

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 27 年 11 月 26 日 (2015.11.26)

【公開番号】特開 2015-133126 (P2015-133126A)

【公開日】平成 27 年 7 月 23 日 (2015.7.23)

【年通号数】公開・登録公報 2015-046

【出願番号】特願 2015-27891 (P2015-27891)

【国際特許分類】

G 0 6 F 9/42 (2006.01)

G 0 6 F 9/30 (2006.01)

【 F I 】

G 0 6 F 9/42 3 2 0 A

G 0 6 F 9/30 3 1 0 A

【手続補正書】

【提出日】平成 27 年 10 月 8 日 (2015.10.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

パイプラインプロセッサの中のプロシージャから戻るときにリンクスタックからリターンアドレスを取り出す方法であって、

ソフトウェアスタックからリターンアドレスを取り出すように動作可能な検索命令を識別することと、ここで、前記検索命令は、前記リターンアドレスを示す少なくとも 1 つのレジスタを識別するレジスタリストを含む、

前記レジスタリストを保存することと、

前記リターンアドレスへと分岐するように動作可能なブランチ命令を識別することと、

前記検索命令と前記ブランチ命令の組み合わせを含むプロシージャリターンシーケンスを識別することと、ここで、前記プロシージャリターンシーケンスは、前記保存されたレジスタリストを前記ブランチ命令のターゲットレジスタと比較することによって識別される、

前記プロシージャリターンシーケンスを識別することに応じて、リンクスタックから前記リターンアドレスを取り出すことと、

前記リターンアドレスを使用して命令をフェッチすることと
を備える、方法。

【請求項 2】

前記検索命令は、POP 命令である、請求項 1 に記載の方法。

【請求項 3】

前記検索命令は、ロード命令である、請求項 1 に記載の方法。

【請求項 4】

前記ブランチ命令は、BX 命令である、請求項 1 に記載の方法。

【請求項 5】

前記ブランチ命令は、MOV 命令である、請求項 1 に記載の方法。

【請求項 6】

前記検索命令を識別することは、前記リターンアドレスを含むレジスタを識別することをさらに備える、請求項 1 に記載の方法。

【請求項 7】

前記レジスタリストを保持することをさらに備え、前記レジスタリストを保持することは、特定のレジスタが上書きされるときに、前記レジスタリストから前記特定のレジスタを取り除くことを備える、請求項 1 に記載の方法。

【請求項 8】

前記ブランチ命令を識別することは、検出口ジック回路によって実行される、請求項 1 に記載の方法。

【請求項 9】

前記検出口ジック回路は、プリデコードロジック回路の一部である、請求項 8 に記載の方法。

【請求項 10】

前記検出口ジック回路は、デコードロジック回路の一部である、請求項 8 に記載の方法。

【請求項 11】

前記ブランチ命令を識別することは、前記保存されたレジスタリストのレジスタとマッチする前記ブランチ命令の前記ターゲットレジスタに応答して、命令キャッシュの中の前記ブランチ命令にフラグ付けすることをさらに備え、前記検索命令の前記レジスタリストを前記フラグ付けされたブランチ命令のターゲットレジスタと比較することなく、前記フラグ付けされたブランチ命令に基づいて第 2 のプロシージャリターンを識別することを備える、請求項 1 に記載の方法。

【請求項 12】

複数の予測されたリターンアドレスを記憶するリンクスタックを有するフェッチロジック回路と、ここで、前記フェッチロジック回路は、命令キャッシュから命令をフェッチするように構成される、

前記フェッチロジック回路に結合されたデコードロジック回路と

を備え、前記フェッチされた命令は、前記デコードロジック回路によって復号可能であり、

前記デコードロジック回路は、さらに、検出口ジック回路を備え、前記検出口ジック回路は、

検索命令とブランチ命令の組み合わせを含むプロシージャリターンシーケンスを識別することと、ここで、前記検索命令は、ソフトウェアスタックからアドレスを取り出すように動作可能であり、前記検索命令は、少なくとも 1 つの予測されたリターンアドレスを示す少なくとも 1 つのレジスタを識別するレジスタリストを含み、前記ブランチ命令は、前記取り出されたアドレスに分岐するように動作可能である、

前記レジスタリストを保存することと、ここで、前記プロシージャリターンシーケンスは、前記保存されたレジスタリストを前記ブランチ命令のターゲットレジスタと比較することによって識別される、

前記プロシージャリターンシーケンスを識別することに応じて前記リンクスタックから前記複数の予測されたリターンアドレスのうちの前記少なくとも 1 つの予測されたリターンアドレスを取り出すことと

を行うように動作可能である、パイプラインプロセッサ。

【請求項 13】

前記フェッチロジック回路は、前記複数の予測されたリターンアドレスのうちの前記取り出された少なくとも 1 つの予測されたリターンアドレスを使用して命令をフェッチする、請求項 12 に記載のパイプラインプロセッサ。

【請求項 14】

前記検索命令は、POP 命令である、請求項 12 に記載のパイプラインプロセッサ。

【請求項 15】

前記検索命令は、ロード命令である、請求項 12 に記載のパイプラインプロセッサ。

【請求項 16】

前記ブランチ命令は、前記検索命令によって識別されるアドレスへと分岐する、請求項 12 に記載のパイプラインプロセッサ。

【請求項 17】

前記ブランチ命令は、MOV 命令である、請求項 12 に記載のパイプラインプロセッサ。

【請求項 18】

パイプラインプロセッサの中のリンクスタックからリターンアドレスを取り出す方法であって、

ソフトウェアスタックからアドレスを取り出すように動作可能な検索命令を識別することと、ここで、前記検索命令は、レジスタリストを有する、

前記検索命令の前記レジスタリストを保存することと、

ブランチ命令を識別することと、

前記保存されたレジスタリストを前記ブランチ命令のターゲットレジスタと比較することと、

前記ターゲットレジスタが前記保存されたレジスタリストの中のレジスタとマッチすると決定することと、

前記ターゲットレジスタが前記保存されたレジスタリストの中の前記レジスタとマッチすると決定することに応じて、前記検索命令と前記ブランチ命令の組み合わせを含むプロシージャリターンシーケンスを識別することと、

前記プロシージャリターンシーケンスを識別することに応じて、リンクスタックからリターンアドレスを取り出すことと、

前記リターンアドレスを使用して命令をフェッチすることとを備える、方法。

【請求項 19】

前記検索命令が、前記レジスタリストを保存するのに先立って前記レジスタリストの中にプログラムカウンタを有しないと決定することをさらに備える、請求項 18 に記載の方法。

【請求項 20】

前記リターンアドレスは、前記検索命令および前記ブランチ命令を実行するのに先立って前記リンクスタックから取り出される、請求項 18 に記載の方法。

【請求項 21】

前記命令は、前記検索命令および前記ブランチ命令を実行するのに先立ってフェッチされる、請求項 18 に記載の方法。

【請求項 22】

前記ブランチ命令は、暗黙ブランチ命令である、請求項 18 に記載の方法。

【請求項 23】

前記リターンアドレスは、前記検索命令および前記ブランチ命令を実行するのに先立って前記リンクスタックから取り出される、請求項 1 に記載の方法。

【請求項 24】

前記検出口ジック回路は、前記プロシージャリターンシーケンスの実行に先立って前記リンクスタックから前記少なくとも 1 つの予測されたリターンアドレスを取り出すようにさらに動作可能である、請求項 12 に記載のパイプラインプロセッサ。

【請求項 25】

実行可能な命令を備える非一時的なコンピュータ読取可能媒体であって、前記命令は、プロセッサに、

ソフトウェアスタックからリターンアドレスを取り出すように動作可能な検索命令を識別することと、ここで、前記検索命令は、前記リターンアドレスを示す少なくとも 1 つのレジスタを識別するレジスタリストを含む、

前記レジスタリストを保存することと、

前記リターンアドレスへと分岐するように動作可能なブランチ命令を識別することと

、
前記検索命令と前記ブランチ命令の組み合わせを含むプロシージャリターンシーケンスを識別することと、ここで、前記プロシージャリターンシーケンスは、前記保存されたレジスタリストを前記ブランチ命令のターゲットレジスタと比較することによって識別される、

前記プロシージャリターンシーケンスを識別することに応じて、リンクスタックから前記リターンアドレスを取り出すことと、

前記リターンアドレスを使用して命令をフェッチすることと
を行わせるように前記プロセッサによって実行可能である、非一時的なコンピュータ読取可能媒体。

【請求項 26】

前記検索命令は、POP 命令である、請求項 25 に記載の非一時的なコンピュータ読取可能媒体。

【請求項 27】

前記検索命令は、ロード命令である、請求項 25 に記載の非一時的なコンピュータ読取可能媒体。

【請求項 28】

命令キャッシュから命令をフェッチするための命令と、ここで、前記命令をフェッチするための手段は、複数の予測されたリターンアドレスを記憶するリンクスタックを有する

、
フェッチされた命令を復号するための手段と
を備え、前記復号するための手段は、前記フェッチするための手段に結合され、
前記復号するための手段は、

検索命令とブランチ命令の組み合わせを含むプロシージャリターンシーケンスを識別するための手段と、ここで、前記検索命令は、ソフトウェアスタックからアドレスを取り出すように動作可能であり、前記検索命令は、少なくとも 1 つの予測されたリターンアドレスを示す少なくとも 1 つのレジスタを識別するレジスタリストを含み、前記ブランチ命令は、前記取り出されたアドレスに分岐するように動作可能である、

前記レジスタリストを保存するための手段と、ここで、前記プロシージャリターンシーケンスは、前記保存されたレジスタリストを前記ブランチ命令のターゲットレジスタと比較することによって識別される、

前記プロシージャリターンシーケンスを識別することに応じて、前記リンクスタックから前記複数の予測されたリターンアドレスのうちの前記少なくとも 1 つの予測されたリターンアドレスを取り出すための手段と

を備える、装置。

【請求項 29】

前記命令をフェッチするための手段は、前記複数の予測されたリターンアドレスのうちの前記取り出された少なくとも 1 つの予測されたリターンアドレスを使用して命令をフェッチする、請求項 28 に記載の装置。

【請求項 30】

命令を備える非一時的なコンピュータ読取可能媒体であって、前記命令は、プロセッサに、

ソフトウェアスタックからアドレスを取り出すように動作可能な検索命令を識別することと、ここで、前記検索命令は、レジスタリストを有する、

前記検索命令の前記レジスタリストを保存することと、

ブランチ命令を識別することと、

前記保存されたレジスタリストを前記ブランチ命令のターゲットレジスタと比較すること、

前記ターゲットレジスタが前記保存されたレジスタリストの中のレジスタとマッチすると決定することと、

前記ターゲットレジスタが前記保存されたレジスタリストの中の前記レジスタとマッチすると決定することに応じて、前記検索命令と前記ブランチ命令の組み合わせを含むプロシージャリターンシーケンスを識別することと、

前記プロシージャリターンシーケンスを識別することに応じて、リンクスタックからリターンアドレスを取り出すことと、

前記リターンアドレスを使用して命令をフェッチすることと
を行わせるように前記プロセッサによって実行可能である、非一時的なコンピュータ読取可能媒体。

【請求項 3 1】

前記リターンアドレスは、前記検索命令および前記ブランチ命令を実行するのに先立って前記リンクスタックから取り出される、請求項 3 0 に記載の非一時的なコンピュータ読取可能媒体。

【請求項 3 2】

前記命令は、前記検索命令および前記ブランチ命令を実行するのに先立ってフェッチされる、請求項 3 0 に記載の非一時的なコンピュータ読取可能媒体。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 3

【補正方法】変更

【補正の内容】

【0 0 6 3】

特定の実施形態が、ここにおいて示され、そして説明されているが、当業者は、同じ目的を達成するように予測される任意の構成が、示される特定の実施形態の代わりにされることができることと、本発明が、他の環境において他のアプリケーションを有することとを理解する。本願は、本発明の任意の適応または変形をカバーするように意図される。添付の特許請求の範囲は、ここにおいて説明される特定の実施形態だけに本発明の範囲を限定するようには決して意図されない。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[C 1]

パイプラインプロセッサの中のプロシージャから戻るときにリンクスタックからリターンアドレスを取り出すための方法であって、

ソフトウェアスタックからリターンアドレスを取り出すように動作可能な検索命令を識別することと、

前記リターンアドレスへと分岐するように動作可能なブランチ命令を識別することと、
識別される前記命令と前記ブランチ命令との両方に応じて、前記リンクスタックから前記リターンアドレスを取り出すことと、

前記リターンアドレスを使用して後続の命令をフェッチすることと、
を備える方法。

[C 2]

前記検索命令は、P O P 命令である、C 1 に記載の方法。

[C 3]

前記検索命令は、ロード命令である、C 1 に記載の方法。

[C 4]

前記ブランチ命令は、B X 命令である、C 1 に記載の方法。

[C 5]

前記ブランチ命令は、M O V 命令である、C 1 に記載の方法。

[C 6]

前記の前記検索命令を識別することは、前記リターンアドレスを含むレジスタを識別することをさらに備える、C 1 に記載の方法。

[C 7]

前記検索命令を識別することは、レジスタリストを保持することをさらに備え、前記レジスタリストは、複数のレジスタを有し、前記複数のレジスタの中の少なくとも1つのレジスタは、前記リターンアドレスを含む、C 1に記載の方法。

[C 8]

前記レジスタリストを保持することは、前記複数のレジスタのうちのどれかが、後続の命令によって上書きされる場合に、前記レジスタリストからレジスタを取り除くことを備える、C 7に記載の方法。

[C 9]

前記ブランチ命令を識別することは、検出口ジック回路によって実行される、C 1に記載の方法。

[C 1 0]

前記検出口ジック回路は、プリデコードロジック回路と共に含まれる、C 9に記載の方法。

[C 1 1]

前記検出口ジック回路は、デコードロジック回路と共に含まれる、C 9に記載の方法。

[C 1 2]

前記ブランチ命令を識別することは、命令キャッシュの中の前記ブランチ命令にフラグ付けすることをさらに備える、C 1に記載の方法。

[C 1 3]

命令キャッシュに結合されたラインバッファと；

前記命令キャッシュに結合され、予測リターンアドレスを記憶するリンクスタックを有するフェッチロジック回路と、なお命令は、前記ラインバッファから前記命令キャッシュへとロードされ、前記フェッチロジック回路は、前記命令キャッシュから命令を取り出す；

前記ラインバッファと通信するプリデコードロジック回路と、なお前記プリデコードロジック回路は、プロシージャリターンシーケンスを識別するための検出口ジック回路をさらに備え、前記プロシージャリターンシーケンスは、ソフトウェアスタックからリターンアドレスを取り出すように動作可能な検索命令と前記取り出されたリターンアドレスに分岐するブランチ命令とを備え、前記パイプラインプロセッサは、前記プロシージャリターンシーケンスの前記識別に応じて前記リンクスタックから前記予測されたリターンアドレスを取り出す；

を備えるパイプラインプロセッサ。

[C 1 4]

前記検出口ジック回路は、前記ブランチ命令が、前記ラインバッファから前記命令キャッシュへとロードされるときに、前記プロシージャリターンシーケンスの前記ブランチ命令にフラグ付けする、C 1 3に記載のパイプラインプロセッサ。

[C 1 5]

前記フェッチロジック回路は、前記フラグ付けされた情報から前記プロシージャリターンシーケンスを識別する、C 1 4に記載のパイプラインプロセッサ。

[C 1 6]

前記フェッチロジック回路内のリターンセクタロジック回路は、前記フラグ付けされた情報から前記リターンシーケンスを識別する、C 1 5に記載のパイプラインプロセッサ。

[C 1 7]

前記検索命令は、POP命令である、C 1 3に記載のパイプラインプロセッサ。

[C 1 8]

前記検索命令は、ロード命令である、C 1 3に記載のパイプラインプロセッサ。

[C 1 9]

前記ブランチ命令は、BX命令である、C 1 3に記載のパイプラインプロセッサ。

[C 2 0]

予測されたリターンアドレスを記憶するリンクスタックを有し、命令キャッシュから命令をフェッチするフェッチロジック回路と、

前記フェッチロジック回路に結合されたデコードロジック回路と、

を備え、前記フェッチされた命令は、前記デコードロジック回路によって復号され、前記デコードロジック回路は、検出ロジック回路をさらに備え、前記検出ロジック回路は、ソフトウェアスタックからアドレスを取り出すように動作可能な検索命令と、前記取り出されたアドレスに分岐するように動作可能なブランチ命令とを備えるプロシージャリターンシーケンスを識別し、パイプラインプロセッサは、前記プロシージャリターンシーケンスの前記識別に応じて前記リンクスタックから前記予測されたリターンアドレスを取り出す、パイプラインプロセッサ。

[C 2 1]

前記フェッチロジック回路は、前記取り出されたアドレスを使用して命令をフェッチする、C 2 0 に記載のパイプラインプロセッサ。

[C 2 2]

前記検索命令は、P O P 命令である、C 2 0 に記載のパイプラインプロセッサ。

[C 2 3]

前記検索命令は、ロード命令である、C 2 0 に記載のパイプラインプロセッサ。

[C 2 4]

前記ブランチ命令は、前記検索命令によって識別されるアドレスへと分岐する、C 2 0 に記載のパイプラインプロセッサ。

[C 2 5]

前記ブランチ命令は、M O V 命令である、C 2 0 に記載のパイプラインプロセッサ。