

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H03M 7/46	(45) 공고일자 1999년06월 15일	(11) 등록번호 10-0197190
(21) 출원번호 10-1995-0034348	(24) 등록일자 1999년02월24일	(65) 공개번호 특1996-0016166
(22) 출원일자 1995년10월06일	(43) 공개일자 1996년05월22일	
(30) 우선권주장 94-246014 1994년10월12일 일본(JP)		
(73) 특허권자 마츠시다 덴끼 산교 가부시카가이샤	모리시다 요이치	
(72) 발명자 후지와라 미키오	일본 오오사카후 가도마시 오오야자 가도마 1006	
	일본국 교토후 교토시 우쿄구 니시쿄고쿠하마노모토초 64-402	
	고이 요시유키	
	일본국 오사카후 가와치나가노시 미카노다이 1-39-1-703	
	이시이 히데키	
(74) 대리인 김영철	일본국 오사카후 다카즈키시 사이와이초 2-8	

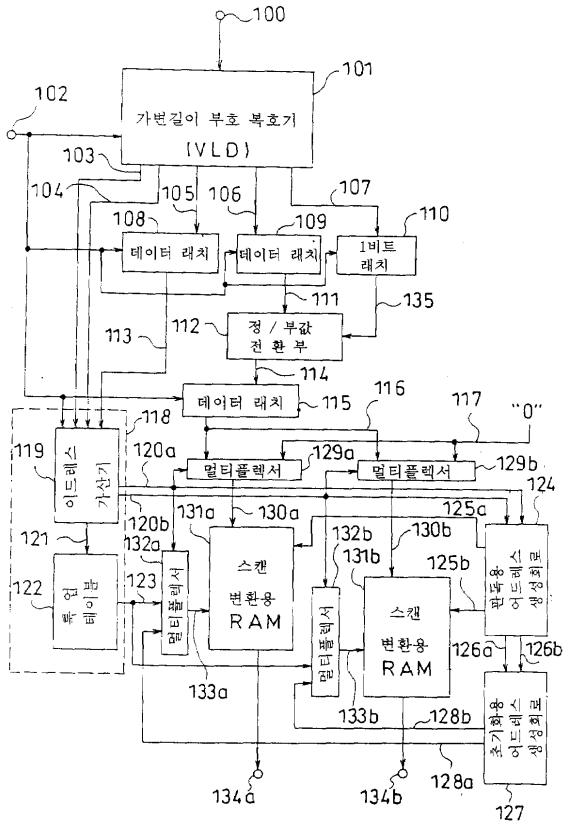
심사관 : 정연용

(54) 런랜스 부호의 복호회로

요약

제1스캔 변환용RAM에 격납되어 있는 모든 데이터 워드를 0으로 초기화한 후에, 제0 런랜스 데이터 워드에 기초하여 부호부 레벨 데이터 워드만을 제1스캔 변환용 RAM 중의 지그재그 스캔 어드레스에 지정된 위치의 0에 오버라이트한다. 이렇게 하여 1개의 블록을 구성하는 8×8개의 성분중 비제로 성분만을 제1스캔 변환용 RAM에 기록하는 동안, 제2스캔 변환용 RAM에 격납되어 있는 1개의 블록 판독 및 초기화를 행한다. 또, 다음 블록의 비제로 성분만을 제2스캔 변환용 RAM에 기록되어 있는 동안, 제1스캔 변환용RAM에 격납되어 있는 1개의 블록 판독 및 초기화를 행한다. 이로써, 고주파수의 화소 클럭 신호에 실시간에 대응할 수 있는 고효율의 런랜스 복호가 달성된다.

대표도



영세서

[발명의 명칭]

런레스 부호의 복호 회로

[도면의 간단한 설명]

제1도는 본 발명에 관한 복호회로의 구성예를 나타내는 블럭도.

제2도는 본 발명에 관한 다른 복호회로의 구성예 일부를 나타내는 블럭도.

제3a도는 제2도 중의 디코더 내부 구성예를 나타내는 회로도.

제3b도는 제2도 중의 디코더 진리값표를 나타내는 도면.

제4도는 종래 복호회로의 구성예를 나타내는 블럭도.

제5도는 양자화 직후 한 개의 블럭중 성분의 예를 나타내는 도면.

제6도는 지그재그 스캔의 순서에 관한 규칙의 예를 나타내는 도면.

제7도는 런레스 부호화된 데이터 스트림의 예를 나타내는 도면.

제8도는 제6도에 대응한 어드레스 변환 테이블의 예를 나타내는 도면.

* 도면의 주요부분에 대한 부호의 설명

- 100 : 가변길이 부호화 코드 입력단자 101 : 가변길이 부호복호기
- 102 : 동기 클럭 103 : 블럭 스타트 신호
- 104 : E0B검출신호 105, 106, 107 : 신호선

[발명의 상세한 설명]

[발명의 배경]

본 발명은 런레스 부호의 복호회로에 관한 것이다.

동화상 데이터 압축 및 신장에 관한 국제 표준으로 ISO / IEC의 워킹 그룹의 이름을 얻어 일반적으로 MPEG2(Moving Picture Image Coding Experts Group Phase2)라 불리우는 국제 표준이 알려져 있다. MPEG2에 의하면, 동화상 데이터는 8×8 화소 크기의 블럭 또는 16×16 화소 크기의 매크로 블럭으로 분할되고,

블럭단위 또는 매크로 블럭단위로 데이터 처리가 행해진다.

MPEG2에 준거한 동화상 데이터의 압축을 위한 이미지 부호화기는 DCT(Discrete Cosine Transform, 이산 코사인 변환)회로와, 양자화기와, RLC(Run Length Coder, 런LENGTH 부호화기)와, VLC(Variable Length Coder, 가변길이 부호화기)를 주요한 구성요소로 하고 있다. DCT 회로는 공간 영역의 데이터를 블럭단위로 주파수 영역의 데이터로 변환하는 것이다. 이 변환은 자연 화상에서는 일반적으로 저주파수 영역의 에너지의 대부분이 집약되는 성질을 이용하여, 0이 아닌 상대적으로 큰 값을 갖는 계수가 저주파수 영역에 편재하는 것을 노리고 있다. 양자화기는 고주파수 영역에 대한 인간의 시각 감수성이 저주파수 영역보다 낮은 것을 이용하여 DCT회로의 결과 중 고주파수 영역의 계수를 보다 성기게 양자화한다. 이로써, 작은 값을 갖는 고주파수 영역의 계수의 대부분이 제로성분으로 변환된다. RLC는 제로 성분이 늘어서 쉽게 양자화기의 결과를 지그재그로 스캔하면서, 각각의 비제로 성분에 선행하는 제로성분의 개수를 나타내는 제로 런LENGTH 데이터 워드와, 이 비제로 성분의 값을 나타내는 레벨 데이터 워드로 구성된 복수의 데이터 세트를 갖는 데이터 스트림을 생성하는 것이다. 이 런LENGTH 부호화된 데이터 스트림은 VLC에 의해 하프만 코드(Huffman code)의 테이블을 이용하는 것에 의해 가변 길이 부호화된다.

여기에서, 상기 이미지 부호화기 중 RLC의 데이터 처리에 대해, 제5도~제7도에 나타내는 예를 참조하여 설명한다. 제5도는 양자화 직후 1개의 블럭을 구성하는 8×8 개의 성분 QF [v] [u] ($0 \leq v \leq 7, 0 \leq u \leq 7$)의 예를 나타내고 있다. 제6도에 나타나는 지그재그 스캔의 순서에 관한 규칙에 따라 제5도중의 8×8 개의 성분을 스캔하면서, 제로 런LENGTH 데이터 워드와 레벨 데이터 워드(비제로 성분에 관한 데이터 워드)의 쌍을 차례로 구한다. 제7도 중의 부호번호 1~21은 구한 21쌍의 데이터 워드를 나타내고 있고, 이것은 DCT회로의 결과중 63개의 AC(교류)계수에 대응하고 있다. $v=0$ 이고 $u=0$ 인 위치의 DC(직류)계수에 대응하는 데이터 워드는 부호 번호 0으로, EOB(End Of Block) 코드는 부호 번호 22로 각각 나타내고 있다. 또 EOB코드는 양자화기의 결과중 그 이후는 비제로 성분이 존재하지 않는 것을 나타낸다. 제5도~제7도에 의하면, 양자화기의 결과에서 1개의 블럭을 구성하는 8×8 개의 성분이 RLD결과에서는 DC계수에 대응하는 1개의 데이터 워드와 AC계수에 대응하는 21쌍의 데이터 워드와 EOB코드로 압축된다. 한편, 원래의 동화상 데이터를 재생하기 위한 이미지 복호기는 상기 이미지 부호화기에 대응하고, VLD(Variable Length Decoder, 가변길이 이 부호 복호기)와, RLD(Run Length Decoder, 런LENGTH 부호 복호기)와, 역양자화기와, IDCT(Inverse Discrete Cosine Transform, 역이산 코사인 변환)회로를 주요한 구성요소로 한다. 제4도는 종래 이미지 복호기중 RLD의 회로 구성예를 그 전단의 VLD와 함께 나타내고 있다. 제4도의 복호회로는 VLD(201)와, 1비트 래치(210), 제1데이터 래치(211)와, 데이터 프리세트부의 다운 카운터(212)와, 제2데이터 래치(221)와, 어드레스 카운터(223)와, 룩업 테이블(226)과, 스캔 변환용 RAM(Random Access Memory)(232)을 구비한 파이프라인 구성을 갖고 있다. 제1데이터 래치(211)와, 다운 카운터(212)와, 제2데이터 래치(221)의 비트 길이는 각각 예를 들어 16, 8 및 16이다. 데이터 입력단자(200)를 통해 공급되는 가변길이 부호화된 데이터 스트림은 VLD(201)로 공급된다. 클럭신호(202)는 복호회로의 동기동작을 위해, 1비트 래치(210)와, 제1데이터 래치(211)와, 다운 카운터(212)와, 제2데이터 래치(221)와, 어드레스 카운터(223)에 분배되는 동시에, 마스크 회로(203) 및 신호선 (204)을 통해 VLD(201)에도 공급된다.

VLD(201)는 DC계수의 가변길이 부호가 데이터 입력단자(200)에 부여되면, 1개 블럭의 시작을 나타내는 블럭 스타트 신호를 신호선(205)에 공급한다. 또 VLD(201)는 AC계수의 가변길이 부호가 데이터 입력단자(200)에 부여되면, 비제로 성분에 선행하는 제로성분의 개수를 나타내는 제로 런LENGTH 데이터 워드를 신호선(207)으로, 이 비제로 성분의 절대값을 나타내는 레벨 데이터 워드를 신호선(208)으로, 이 비제로 성분이 정인지 부인지를 지정하는 1비트 정보를 신호선(209)으로 각각 공급한다. DC계수에 관한 복호결과는 레벨 데이터로서 신호선(208,209)에 공급된다. 더욱이, VLD(201)은 EOB에 관한 가변길이 부호가 데이터 입력단자(200)에 부여되면, EOB 검출신호를 신호선(206)으로 공급한다.

신호선(205)상의 블럭 스타트 신호를 받은 어드레스 카운터(223)는 클럭신호(202)에 동기하여 계수값을 초기값 0에서 차례대로 카운트 업하고, 이 계수 값을 선형 어드레스로서 신호선(224)에 공급한다. 또 어드레스 카운터(223)는 계수값이 63(10진수 표현)이 되면, 블럭의 종료를 나타내는 펄스 신호를 블럭 종료 신호로서 신호선(225)에 공급한다. VLD(201)와 어드레스 카운터(223)에 접속된 RS플립플롭(228)은 초기 상태에서는 신호선(229)을 L 레벨로 유지해 두고, 신호선(206)상의 EOB검출신호를 받았을 때 신호선(229)을 H레벨로 세트하고, 신호선(225)상의 블럭 종료 신호를 받았을 때 신호선(229)을 L레벨로 리세트한다.

룩업테이블(226)은 제6도의 지그재그 스캔에 대응한 제8도에 나타나는 어드레스 변환 테이블을 갖고 있어, 신호선(224)상의 선형 어드레스를 이것에 대응하는 지그재그 스캔 어드레스로 변환하고, 이 지그재그 스캔 어드레스를 신호선(227)으로 공급한다. 신호선(227)상의 지그재그 스캔 어드레스는 스캔 변환용 RAM(232)에 기록 어드레스로 부여된다.

신호선(207)상의 제로 런LENGTH 데이터 워드는 다운 카운터(212)에, 신호선(208)상의 레벨 데이터 워드는 제1데이터 래치(211)에, 그리고 신호선(209)상의 1비트 정보는 1비트 래치(210)에 각각 블럭신호(202)에 동기하여 도입된다. 다운 카운터(212)는 프리세트된 제로 런LENGTH 데이터 워드를 클럭신호(202)에 동기하면서 0이 될 때까지 다운 카운트한다. 이 계수 동작중은 다운 카운터(212)의 신호선(213)이 H레벨로 고정되는 결과, 마스크 회로(203)가 VLD(201)로의 클럭 신호(202)의 전파를 저지하고, VLD(201)는 신호선(207,208,209)의 상태를 유지한다. 한편, 제1데이터 래치(211)에 도입된 레벨 데이터 워드는 신호선(215)을 통해, 1비트 래치(210)에 도입된 1비트 정보는 신호선(214)을 통해 각각 정/부값 전환부(216)로 공급된다. 신호선(215) 상의 레벨 데이터 워드를 LEVEL(n)으로 하고, 신호선(214) 상의 1비트 정보를 S(n)으로 할 때(제7도의 예에서는 $n=0 \sim 21$ 이다.), 정/부값 전환부(216)는,

만일 $S(n)=0$ 이면, $SLEVEL(n)=LEVEL(n) \cdots \cdots (1)$

만일 $S(n)=1$ 이면, $SLEVEL(n)=(-LEVEL(n)) \cdots (2)$

에 따라 부호부 레벨 데이터 워드 SLEVEL(n)을 계산하고, 이 부호부 레벨 데이터 워드를 신호선(218)에 공급한다.

그리고 다운 카운터(212)의 계수 동작중은 이 다운 카운터(212)의 다른 신호선(217)도 H레벨에 고정되는

결과, 2개의 신호선(217,229)상의 신호를 2입력으로 하는 NOR회로(230)가 신호선(231)상의 선택신호를 H레벨에 고정한다. 신호선(231)상의 H레벨의 선택신호 공급을 받은 멀티플렉서(219)는, 고정 데이터 워드 0을 신호선(220)으로 공급한다. 다운 카운터(212)의 계수값이 0이 되면, 신호선(213,217)이 L레벨로 된다. 이 결과, VLD(201)는 다음의 가변길이 부호의 복호 결과를 신호선(207,208,209)으로 공급하고, 멀티플렉서(219)는 신호선(218)상의 부호부 레벨 데이터 워드 신호선(220)으로 공급한다. EOB에 관한 가변길이 부호가 데이터 입력단자(200)에 부여되었을 때는 상기와 같이 VLD(201)가 EOB 검출신호를 RS플립플롭(228)에 공급하는 결과, 멀티플렉서(219)는 다시 고정 데이터 워드 0을 신호선(220)으로 공급하게 된다. 이상과 같이 하여 신호선(220)상에 공급된 고정 데이터 워드 0과 부호부 레벨 데이터 워드는 클럭신호(202)에 동기하여 제2데이터 래치(221)에 도입된다. 제2데이터 래치(221)에 차례로 도입된 데이터 워드는 신호선(222)을 통해 스캔 변환용 RAM(232)에 기록 데이터로 부여된다. 이 결과, 일련의 데이터 워드가 스캔 변환용 RAM(232)중의 상기 신호선(227) 상의 지그재그 스캔 어드레스로 지정된 위치에 차례로 기록되고, 제5도에 나타나는 바와 같은 8×8개의 성분으로 구성된 1개의 블록이 스캔 변환용 RAM(232)중에 복원된다. 그리고 스캔 변환용 RAM(232)중의 8×8개의 성분은 도시하지 않은 판독수단에 의해 데이터 출력단자(234)를 통해 다음 단의 역양자화기에 차례로 공급된다.

상기와 같이 종래의 RLD는 1개의 블록을 구성하는 8×8개의 성분중 비제로 성분의 개수에 구애되지 않고, 1개의 블록 처리에 클럭 신호(202)중의 8²개의 클럭 펄스가 필요했다.

한편, 칼라 동화상중 16×16화소 크기의 매크로 블록은 소위 4 : 2 : 0 포맷에 의하면, 휘도 신호 Y에 관한 4개 블록과, 색차신호 Cb, Cr에 관한 2개의 블록의 합계 6블록으로 구성된다. 각 블록은 8×8개의 데이터 요소로 구성된다. 즉, 상기 종래의 RLD에 의하면, 4×8²화소 크기의 매크로 블록을 나타내는 6×8²개 성분의 런레스 복호에 클럭 신호(202)중의 6×8²개의 클럭 펄스가 필요하다. 따라서, 클럭 신호(202)의 주파수는 화소 클럭신호의 주파수 1.5배 이상이 요구된다.

이것은 MPEG2의 11종류의 스펙 중 현행 텔레비전 방식의 해상도에 대응한 메인 레벨에 있어서의 메인 프로파일(MP@ML)과 같이 화소 클럭 신호의 주파수가 13.5MHz정도이면, 특별히 문제가 되는 것은 없다. 왜냐하면, 다른 조건을 고려하여 그 4배의 54MHz정도의 주파수를 갖는 시스템 클럭신호를 쉽게 준비할 수 있기 때문이다.

그러나 현행 텔레비전 방식보다 해상도가 높은 HDTV(High Definition Television)방식에 대응한 MPEG2의 하이 1440레벨이 메인 프로파일(MP@H1440)이나 하이레벨의 메인 프로파일(MP@HL)의 경우에는 화소 클럭신호의 주파수가 40MHz를 넘는 높은 주파수이므로, 상기 종래의 RLD에서는 실시간 런레스 복호의 실현이 곤란하다.

[발명의 개요]

본 발명의 목적은 상술한 문제점을 감안하여 고주파수 화소 클럭 신호에 실시간 대응 가능한 고효율의 런레스 복호회로를 제공하는 데 있다.

상기 목적을 달성하기 위해 본 발명은 스캔 변환용 RAM에 저장되어 있는 데이터 워드를 미리 모두 0으로 초기화해 둔 후, 이 스캔 변환용 RAM중의 0에 겹쳐쓰도록 제로 런레스 데이터 워드에 기초하여 레벨 데이터 워드만을 이 스캔 변환용 RAM 중의 대응하는 위치에 기록하는 것으로 한 것이다. 이 스캔 변환용 RAM으로의 레벨 데이터 워드의 기록 어드레스는 선형 어드레스를 산출하기 위한 가산기와, 이 선형 어드레스를 지그재그 스캔 어드레스로 변환하기 위한 룩업테이블에 의해 생성된다.

보다 구체적으로는, 상기 목적달성을 위한 본 발명의 런레스 복호회로는, 각각 비제로 성분에 선행하는 제로성분의 개수를 나타내는 제로 런레스 데이터 워드와, 상기 비제로 성분의 값을 나타내는 레벨 데이터 워드로 구성된 복수의 데이터 세트와 룩업테이블을 갖는 런레스 부호화된 데이터 스트림을 복호하기 위한 회로로서, 상기 데이터 스트림 중의 제로 런레스 데이터 워드와 그에 대응하는 레벨 데이터 워드를 1개씩 래치하기 위한 래치수단과, 스캔 변환을 위해 일련의 데이터 워드를 저장하기 위한 기억수단과, 상기 기억수단에 미리 모드 제로 성분인 데이터를 기입하여 상기 기억수단을 초기화하기 위한 초기화 수단과, 상기 래치수단에 의해 래치된 제로 런레스 데이터 워드에 기초하여 상기 기억수단에 기억된 1개의 제로 데이터 워드가 오버라이트되도록 상기 래치 수단에 의해 래치된 레벨 데이터 워드를 상기 기억수단에 기록하기 위한 기록수단과, 상기 기억수단에 저장되어 있는 데이터 워드를 차례로 판독하기 위한 판독수단을 구비한 것을 특징으로 한다.

상기 구성에서 기록수단은, 보유하고 있는 선형 어드레스와, 상기 래치수단에 의해 래치된 제로 런레스 데이터 워드로 나타낸 제로성분의 개수와, 1을 가산하여 새로운 선형 어드레스를 산출하기 위한 가산기와, 상기 가산기에 의해 산출된 선형 어드레스에서 지그재그 스캔 어드레스를 구하고, 이 구한 지그재그 스캔 어드레스를 기록 어드레스로서 상기 기억수단에 공급하기 위한 룩업테이블을 구비하도록 구성해도 된다.

또한, 상기 기억수단은 2개의 듀얼포트 RAM을 구비하고, 상기 2개의 듀얼포트 RAM중 한쪽으로서의 상기 래치된 레벨 데이터 워드의 기록 기간에, 다른 쪽 듀얼포트 RAM에 저장되어 있는 데이터 워드의 판독 및 초기화를 행하도록 구성해도 되며, 상기 다른 쪽 듀얼포트 RAM에 저장되어 있는 1개의 데이터 워드 판독 직후에, 이 데이터 워드의 초기화가 행해지도록 구성해도 된다.

또한, 상기 기억수단은 3개의 싱글포트 RAM을 구비하고, 상기 3개의 싱글포트 RAM중 어느 1개로서의 상기 래치된 레벨 데이터 워드의 기록 기간에, 다른 1개의 싱글포트 RAM에 저장되어 있는 데이터 워드의 판독과, 또 다른 1개의 싱글포트 RAM에 저장되어 있는 데이터 워드의 초기화를 행하도록 구성해도 된다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부 도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

[실시예]

제1도는 본 발명에 관한 RLD(런랜스 부호 복호기)의 회로 구성예를 그 전단의 VLD(가변길이 부호 복호기)와 함께 나타내고 있다. 제1도의 복호회로는 VLD(101)와, 제1데이터 래치(108)와, 제2데이터 래치(109)와, 1비트 래치(110)와, 제3데이터 래치(115)와, 어드레스 가산기(119)와, 룩업 테이블(122)과, 판독용 어드레스 생성회로(124)와, 초기화용 어드레스 생성회로(127)와, 제1스캔 변환용 RAM(131a)과, 제2스캔 변환용 RAM(131b)은 각각 듀얼포트 RAM으로 구성되어 있다. 어드레스 가산기(119)와 룩업테이블(122)은 기록용 어드레스 생성회로(118)를 구성한 것이다. 제1데이터 래치(108)와, 제2데이터 래치(109)와, 제3데이터 래치(115)의 비트 길이는 각각 예를 들어 8, 16 및 16이다. 데이터 입력단자(100)를 통해 공급되는 가변길이 부호화된 데이터 스트림은 VLD(101)에 공급된다. 클럭신호(102)는 복호회로의 동기동작을 위해 제1데이터 래치(108)와, 제2데이터 래치(109)와, 1비트 래치(110)와, 제3데이터 래치(115)와 어드레스 가산기(119)에 분배된다. 또 VLD(101)에 클럭 신호(102)가 직접 공급된다.

VLD(101)는 DC계수의 가변길이 부호가 데이터 입력단자(100)에 부여되면, 1개의 블록의 시작을 나타내는 블록 스타트 신호를 클럭 신호(102)에 동기하여 신호선(103)에 공급한다. 또 VLD(101)는 AC계수의 가변길이 부호가 데이터 입력단자(100)에 부여되면, 비제로 성분에 선행하는 제로성분의 개수를 나타내는 제로 런랜스 데이터 워드를 신호선(105)에, 비제로 성분의 절대값을 나타내는 레벨 데이터 워드를 신호선(106)에, 그리고 비제로 성분이 정인지 부인지를 지정하는 1비트 정보를 신호선(107)에 각각 클럭 신호(102)에 동기하여 공급한다. DC계수에 관한 복호결과는 레벨 데이터로서 신호선(106, 107)에 공급된다. 더욱이, VLD(101)는 E0B에 관한 가변길이 부호가 데이터 입력단자(100)에 부여되면, E0B 검출신호를 클럭신호(102)에 동기하여 신호선(104)에 공급한다.

신호선(105)상의 제로 런랜스 데이터 워드는 제1데이터 래치(108)에, 신호선(106)상의 레벨 데이터 워드는 제2데이터 래치(109)에, 신호선(107)상의 1비트 정보는 1비트 래치(110)에, 각각 클럭 신호(102)에 동기하여 도입된다. 제1데이터 래치(108)에 도입된 제로 런랜스 데이터 워드는 신호선(113)에 공급된다. 제2데이터 래치(109)에 도입된 레벨 데이터 워드는 신호선(111)을 통해 정/부값 전환부(112)에 공급되고, 1비트 래치(110)에 도입된 1비트 정보는 신호선(135)을 통해 정/부값 전환부(112)에 공급된다. 신호선(111)상의 레벨 데이터 워드를 LEVEL(n)으로 하고, 신호선(135)상의 1비트 정보를 S(n)으로 할 때(제7도의 예에서는 n=0~21임), 정/부값 전환부(112)는 상기의 식(1) 및 식(2)에 따라 부호부 레벨 데이터 워드 LEVEL(n)을 계산하고, 이 부호부 레벨 데이터 워드를 신호선(114)에 공급한다. 신호선(114)상의 부호부 레벨 데이터 워드는 클럭 신호(102)에 동기하여 제3데이터 래치(115)에 도입된다. 제3데이터 래치(115)에 도입된 부호부 레벨 데이터 워드는 신호선(116)에 공급된다.

신호선(103)상의 블록 스타트 신호를 받은 어드레스 가산기(119)는 클럭 신호(102)에 동기하여, 보유하고 있는 선행 어드레스를 0으로 초기화하고, 이 선행 어드레스를 신호선(121)으로 공급한다. 또 어드레스 가산기(119)는 보유하고 있는 선행 어드레스를 LADDR(n-1)로 하고, 신호선(113) 상의 제로 런랜스 데이터 워드를 RUN(n)으로 할 때(제7도의 예에서는 n=1~21이다.), 클럭 신호(102)에 동기하여,

$$LADDR(n)=LADDR(n-1)+RUN(n)+1\cdots(3)$$

에 따라 새로운 선행 어드레스 LADDR(n)을 계산하고, 이것을 보유하고 있다. 이 새로운 선행 어드레스도 신호선(121)으로 공급된다. 또 어드레스 가산기(119)는 신호선(120a)상의 제1선택신호와 신호선(120b)상의 제2선택신호 중 어느 한쪽을 H 레벨로, 다른 쪽을 L 레벨로 각각 설정하는 기능을 구비하고 있고, 신호선(104)상의 E0B검출신호를 받을 때마다 이 제1 및 제2선택신호의 논리 레벨을 각각 반전시킨다.

룩업테이블(122)은 제6도의 지그재그 스캔에 대응한 제8도에 나타나는 어드레스 변환 테이블을 갖고 있어 신호선(121)상의 선행 어드레스를 이것에 대응하는 지그재그 스캔 어드레스로 변환하여 이 지그재그 스캔 어드레스를 신호선(123)에 공급한다.

판독용 어드레스 생성회로(124)는 신호선(120a)상의 제1선택신호가 H 레벨인 경우에는 신호선(125b)에, 그리고 신호선(120b)상의 제2선택신호가 H 레벨인 경우에는 신호선(125a)에 각각 판독 어드레스를 공급한다. 신호선(125a)상의 판독 어드레스는 제1스캔 변환용 RAM(131a)에, 신호선(125b)상의 판독 어드레스는 제2스캔 변환용 RAM(131b)에 각각 부여된다. 신호선(125a)상의 판독 어드레스에 따라 제1스캔 변환용 RAM(131a)에서 판독된 데이터 워드는 제1데이터 출력단자(134a)에, 신호선(125b)상의 판독 어드레스에 따라 제2스캔 변환용 RAM(131b)에서 판독된 데이터 워드는 제2데이터 출력단자(134b)에 각각 공급된다. 또 신호선(126a)에는 신호선(125a)과 같은 판독 어드레스가, 신호선(126b)에는 신호선(125b)과 같은 판독 어드레스가 각각 공급된다.

초기화용 어드레스 생성회로(127)는 신호선(126a)상에 판독 어드레스가 공급되었을 때, 이 판독 어드레스와 같은 어드레스를 약간 늦은 타이밍으로 초기화 어드레스로서 신호선(128a)에 공급한다. 또 초기화용 어드레스 생성회로(127)는 신호선(126b)상에 판독 어드레스가 공급되었을 때, 이 판독 어드레스와 같은 어드레스를 약간 늦은 타이밍으로 초기화 어드레스로서 신호선(128b)에 공급한다.

제1 및 제1스캔 변환용 RAM(131a, 131b)의 주변에는 제1 및 제2데이터 멀티플렉서(129a, 129b)와, 제1 및 제2어드레스 멀티플렉서(132a, 132b)가 설치되어 있다. 제1데이터 멀티플렉서(129a)는 신호선(120a)상의 제1선택신호가 H 레벨인 경우에는 신호선(116)상의 부호부 레벨 데이터 워드를, 제1선택신호가 L 레벨인 경우에는 신호선(117)상의 고정 데이터 워드 0을 각각 신호선(130a)에 공급한다. 신호선(130a)상의 데이터 워드는 제1 스캔 변환용 RAM(131a)에 기록 데이터로서 부여된다. 제2데이터 멀티플렉서(129b)는 신호선(120b)상의 제2선택신호가 H레벨인 경우에는 신호선(116)상의 부호부 레벨 데이터 워드를 공급하고, 이 제2선택신호가 L레벨인 경우에는 신호선(117)상의 고정 데이터 워드 0을 각각 신호선(130b)에 공급한다. 신호선(130b)상의 데이터 워드는 제2스캔 변환용 RAM(131b)에 기록 데이터로서 부여된다. 제1어드레스 멀티플렉서(132a)는 신호선(120a)상의 제1선택신호가 H 레벨인 경우에는 신호선(123)상의 지그재그 스캔 어드레스를 공급하고, 이 제1선택신호가 L레벨인 경우에는 신호선(128a)상의 초기화 어드레스를 각각 신호선(133a)에 공급한다. 신호선(133a)상의 어드레스는 제1스캔 변환용 RAM(131a)에 기록 어드레스로서 부여된다. 제2어드레스 멀티플렉서(132b)는 신호선(120b)상의 제2선택신호가 H레벨인 경우에는 신호선(123)상의 지그재그 스캔 어드레스를 공급하고, 이 제2선택신호가 L레벨인 경우에는 신호선(128b)상의 초기화 어드레스를 각각 신호선(133b)에 공급한다. 신호선(133b)상의 어드레스는 제2스캔 변환용 RAM(131b)에 기록

어드레스로서 부여된다.

제1도의 복호회로에 의하면, 제1스캔 변환용 RAM(131a)에 저장되어 있는 모든 데이터 워드가 0으로 초기화된 후에, 제0 런랜스 데이터 워드에 기초하여 부호부 레벨 데이터 워드만이 제1스캔 변환용 RAM(131a)중의 지그재그 스캔 어드레스로 지정된 위치의 0에 오버라이트된다. 이렇게 하여 1개의 블록을 구성하는 8×8개의 성분중 비제로 성분만이 제1스캔 변환용 RAM(131a)에 기록되는 동안, 제2스캔 변환용 RAM(131b)에 저장되어 있는 1개의 블록의 판독 및 초기화가 행해진다. 또 다음 블록의 비제로 성분만이 제2스캔 변환용 RAM(131b)에 기록되어 있는 동안, 제1스캔 변환용 RAM(131a)에 저장되어 있는 1개 블록의 판독 및 초기화가 행해진다.

예를 들어, 제1스캔 변환용 RAM(131a)의 기록이 실행되는 모드에서, DC계수의 가변길이 부호에 이어, VLD(101)에 의해 3의 제0 런랜스 데이터 워드 RUN(n)과, 2의 레벨 데이터 워드 LEVEL(n)과, 0의 1비트 정보 S(n)을 생성하는 것과 같은 AC계수의 가변길이 부호가 데이터 입력단자(100)에 부여되는 것으로 한다. 이 때, 어드레스 가산기(119)는 0의 선형 어드레스 LADDR(n-1)을 신호선(121)에 공급한 후, 식(3)에 따라, 4(10진수 표현)의 선형 어드레스 LADDR(n)을 신호선(121)에 공급한다. 따라서 록업테이블(122)은 제8도에 도시된 어드레스 변환 테이블에 따라, 000 000(2진수 표현) 다음에 001 001(2진수 표현)의 지그재그 스캔 어드레스를 제1스캔 변환용 RAM(131a)에 공급한다. 제3데이터 래치(115)는 DC계수에 관한 부호부 레벨 데이터 워드 SLEVEL(n)의 다음에, 식(1)에서 얻은 +2의 부호부 레벨 데이터 워드 SLEVEL(n)을 제1스캔 변환용 RAM(131a)에 공급한다. 따라서 제1스캔 변환용 RAM(131a)중 지그재그 스캔 어드레스 000 000으로 지정된 위치의 0이 DC계수에 관한 부호부 레벨 데이터 워드 LEVEL(n-1)로 다시 쓴 후, 지그재그 스캔 어드레스 001 001에서 지정된 위치의 0이 +2의 부호부 레벨 데이터 워드 SLEVEL(n)에 다시 쓴다. 이 때, 선형 어드레스 1, 2 및 3의 각각에 대응하는 지그재그 스캔 어드레스로 지정된 위치의 0은 제1스캔 변환용 RAM(131a)중에 그대로 남는다. 이와 마찬가지로 하여, AC계수의 가변길이 부호가 데이터 입력단자(100)에 부여될 때마다, 제3데이터 래치(115)에 도입된 부호부 레벨 데이터 워드가 제1스캔 변환용 RAM(131a)중 대응하는 위치의 0에 오버라이트 된다.

이상과 같이 제1도의 복호회로에 의하면, 스캔 변환용 RAM(예를 들어 131a)에 저장되어 있는 모든 데이터 워드를 미리 0으로 초기화해 두고, 이 스캔 변환용 RAM에 부호부 레벨 데이터 워드만을 클럭신호(102)에 동기하여 기록하여 있으므로, 1개의 블록을 구성하는 8×8개의 성분중 비제로 성분의 개수에 따라, 1개의 블록 처리에 필요한 클럭신호(102)중의 클럭 펄스 수가 8²개보다 매우 적어진다. 따라서, 컬러 동화상 중 16×16화소크기의 매크로 블록(4 : 2 : 0 포맷)을 처리하는 경우에도 화소 클럭 신호와 같은 주파수를 갖는 클럭 신호(102)를 사용할 수 있다. 왜냐 하면 제1도의 복호회로에 의하면, 화소 클럭 신호의 주파수가 40MHz를 넘는 높은 주파수이어도, 클럭신호(102)중 4×8²개보다 적은 수의 클럭 펄스로 매크로 블록을 나타내는 6×8²개 성분의 실시간 런랜스 복호를 쉽게 실현할 수 있기 때문이다.

상기 제1데이터 출력단자(134a)상에 판독된 데이터 워드는 각 파이프라인 구성을 갖는 1조의 역양자화기 및 IDCT회로에, 제2데이터 출력단자(134b)상에 판독된 데이터 워드는 각각 파이프라인 구성을 갖는 다른 1조의 역양자화기 및 IDCT회로에 각각 공급되는 것이 좋다. 복수 파이프라인의 병렬 동작에 의해 제1도의 복호회로를 유효하게 활용할 수 있다.

또 3개 이상의 듀얼포트 RAM을 이용해도 같은 효과를 얻을 수 있는 것은 분명하다. 또 상기의 예에서는 1개의 데이터 워드를 판독할 때마다 이 데이터 워드를 0으로 초기화하기로 하였지만, 1개의 블록 판독 완료 후에 이 블록의 초기화를 개시해도 좋다. 단 1개의 블록을 구성하는 8×8개의 성분중 비제로 성분의 기록을 완료할 때까지 선행블록의 판독 및 초기화를 완료해야 한다.

제1도의 복호회로에서, 선행 블록의 초기화 완료시 초기화용 어드레스 생성회로(127)가 어드레스 가산기(119)에 기록 요구 신호를 공급하도록 해도 좋다. 어드레스 가산기(119)는 이 기록 요구신호를 받을 때까지, 신호선(104)상의 EOB검출신호를 받아도 신호선(120a)상의 제1선택신호와 신호선(120b)상의 제2선택신호를 반전하지 않고 기다리고, VLD(101)에 웨이트 신호를 준다. 이렇게 하면, 상기 선행 블록의 판독 및 초기화와, 다음 블록의 기록이 완료된 후에, 비로소 다시 다음 블록의 기록이 개시되게 된다. 또 제1 및 제2스캔 변환용 RAM(131a) 중 블록의 판독 및 초기화를 고속화하기 위해서는 복수 데이터 워드 단위의 판독 및 초기화 실행 등이 효과적이다.

제2도는 각각 싱글포트 RAM으로 구성된 제1, 제2 및 제3스캔 변환용 RAM(131a, 131b, 131c)을 구비한 본 발명에 관한 다른 복호 회로의 구성의 일부를 나타내고 있다. 이 복호회로는 제1도 중의 VLD(101), 제1데이터 래치(108), 제2데이터 래치(109), 1비트 래치(110), 정/부값 전환부(112) 및 제3데이터 래치(115)와 같은 회로 블록을 구비한 것이지만, 이 가운데 제3데이터 래치(115)이외의 회로 블록 도시는 제2도에서는 간략화하기 위해 생략되어 있다.

제2도 중의 어드레스 가산기(119)는 신호선(103)에 블록 스타트 신호가 공급된 경우에는 클럭 신호(102)와 동기하여 보유하고 있는 선형 어드레스를 0으로 초기화하여, 이 선형 어드레스를 신호선(121)에 공급하는 동시에, 신호선(152)에 트리거(trigger) 신호를 공급한다. 또 어드레스 가산기(119)는 보유하고 있는 선형 어드레스를 LADDR(n-1)로 하고, 신호선(113) 상의 제0 런랜스 데이터 워드를 RUN(n)으로 할 때, 상기의 식(3)에 따라 새로운 선형 어드레스 LADDR(n)을 클럭 신호에 동기하여 계산하고, 이것을 보유한다. 이 새로운 선형 어드레스도 또한 신호선(121)에 공급된다. 또 어드레스 가산기(119)는 신호선(115)상의 2비트 정보를 0, 10 및 1로 순환 설정하는 기능을 구비하고 있고, 신호선(104) 상의 EOB 검출신호를 받을 때마다 이 2비트 정보를 0에서 10으로, 10에서 1로, 1에서 0으로 갱신한다.

제2도 중의 록업테이블(122)은 제6도 중의 지그재그 스캔에 대응한 제8도에 나타나는 어드레스 변환 테이블을 갖고 있고, 신호선(121) 상의 선형 어드레스를 이것에 대응하는 지그재그 스캔 어드레스로 변환하여, 이 지그재그 스캔 어드레스를 신호선(123)에 공급한다.

신호선(152)상의 트리거 신호는 검출 . 초기화용 어드레스 생성회로(159)에 공급된다. 판독 . 초기화용 어드레스 생성회로(159)는 신호선(152) 상의 트리거 신호를 받고, 판독경용 초기화 어드레스를 신호선

(160)으로 차례로 공급하는 동작을 개시한다.

신호선(151)상의 2비트 정보는 디코더(153)에 공급된다. 디코더(153)의 내부 구성예가 제3a도에 나타나 있다. 디코더(153)는 신호선(151)상의 2비트 정보를 구성하는 상위 비트 151.1과 하위 비트 151.0을 각각의 2입력으로 한 4개의 논리 회로(171, 172, 173, 175)와, 상위 비트 151.1을 입력으로 한 인버터(174)와, 하위 비트 151.0을 입력으로 한 인버터(176)를 구비하고 있다. 디코더(153)는 6개의 출력 신호선(154a, 154b, 154c, 155a, 155b, 155c) 있다. 이 디코더(153)의 진리값표를 제3b도에 나타낸다.

제2도 중의 제1, 제2 및 제3스캔 변환용 RAM(131a, 131b, 131c)의 주변에는 제1, 제2 및 제3데이터 멀티플렉서(129a, 129b, 129c)와, 제1, 제2 및 제3비반전 제어버퍼(156a, 156b, 156c)와, 제1, 제2 및 제3반전 제어버퍼(158a, 158b, 158c)와, 제1, 제2 및 제3 어드레스 멀티플렉서(132a, 132b, 132c)가 설치되어 있다.

제1데이터 멀티플렉서(129a)는 신호선(154a)상의 선택신호가 H레벨인 경우에는 신호선(116)상의 부호부 레벨 데이터 워드를, 이 선택 신호가 L레벨인 경우에는 신호선(117)상의 고정 데이터 워드 0을 각각 신호선(130a)에 공급한다. 제1비반전 제어버퍼(156a)는 신호선(157a)상의 제어신호가 H레벨인 경우에는 신호선(130a)상의 데이터 워드를 신호선(157a)으로 공급하고, 이 제어신호가 L레벨인 경우에는 자기의 출력을 하이 임피던스 상태로 유지한다. 신호선(157a)상으로 공급된 데이터 워드는 제1스캔 변환용 RAM(131a)에 부여된다. 제1반전 제어버퍼(158a)는 신호선(155a)상의 제어신호가 L레벨인 경우에는 제1스캔 변환용 RAM(131a)에서 신호선(157a)상에 판독된 데이터 워드를 데이터 출력단자(134)로 공급하고, 이 제어신호가 H레벨인 경우에는 자기의 출력을 하이 임피던스 상태로 유지한다. 제1어드레스 멀티플렉서(132a)는 신호선(154a)상의 선택신호가 H레벨인 경우에는 신호선(123)상의 지그재그 스캔 어드레스를, 이 선택신호가 L레벨인 경우에는 신호선(160)상의 판독경용 초기화 어드레스를 각각 신호선(133a)에 공급한다. 신호선(133a)상의 어드레스는 제1스캔 변환용 RAM(131a)에 부여된다. 제2데이터 멀티플렉서(129b), 제2비반전 제어버퍼(156b), 제2반전 제어버퍼(158b), 제2어드레스 멀티플렉서(132b) 및 신호선(130b, 133b, 154b, 155b, 157b)은 제2스캔 변환용 RAM(131b)을 위해 설치된 것이고, 제1데이터 멀티플렉서(129a), 제1비반전 제어버퍼(156a), 제1반전 제어버퍼(158a), 제1어드레스 멀티플렉서(132a) 및 신호선(130a, 133a, 154a, 155a, 157a)에 각각 대응한다. 제3데이터 멀티플렉서(129c), 제3비반전 제어버퍼(156c), 제3반전 제어버퍼(158c), 제3어드레스 멀티플렉서(132c) 및 신호선(130c, 133c, 154c, 155c, 157c)은 제3스캔 변환용 RAM(131c)을 위해 설치된 것이고, 제1데이터 멀티플렉서(129a), 제1비반전 제어버퍼(156a), 제1반전 제어버퍼(158a), 제1어드레스 멀티플렉서(132a), 및 신호선(130a, 133a, 154a, 155a, 157a)에 각각 대응한다.

제2도의 복호회로에 의하면, 제1스캔 변환용 RAM(131a)에 모두 0의 성분 데이터를 미리 기입한 후, 비제로 성분의 데이터만을 기입하여 부호부 레벨 데이터 워드만이 이 제1스캔 변환용 RAM(131a)중의 지그재그 스캔 어드레스에서 지정된 위치의 0에 오버라이트된다. 이렇게 하여 1개의 블럭을 구성하는 8×8개의 성분중 비제로 성분만이 제1스캔 변환용 RAM(131a)에 기록되어 있는 동안, 제2스캔 변환용 RAM(131b)에 저장되어 있는 1개 블럭의 판독과, 제3스캔 변환용 RAM(131c)에 저장되어 있는 1개 블럭의 초기화를 행한다. 또 다음 블럭의 비제로 성분만이 제3스캔 변환용 RAM(131c)에 기록되어 있는 동안에, 제1스캔 변환용 RAM(131a)에 저장되어 1개 블럭의 판독과, 제2스캔 변환용 RAM(131b)에 저장되어 있는 1개 블럭의 초기화가 행해진다. 다시 다음 블럭의 비제로 성분만이 제2스캔 변환용 RAM(131b)에 기록되어 있는 동안에, 제3스캔 변환용 RAM(131c)에 저장되어 있는 1개 블럭의 판독과, 제1스캔 변환용 RAM(131a)에 저장되어 있는 1개 블럭의 초기화가 행해진다. 따라서 제2도의 복호회로에 의하면, 제1도의 경우와 같이 고주파수의 화소 클럭신호에 실시간에 대응한 고효율의 런레스 복호를 실현할 수 있다.

또 4개 이상의 싱글포트 RAM을 이용해도 같은 효과를 얻을 수 있는 것은 분명하다. 1개의 블럭 판독 완료 후에 이 블럭을 초기화하는 경우에는 2개의 싱글포트 RAM으로 충분하다.

제2도의 복호회로에 있어서, 제1선행 블럭의 초기화와 제2선행 블럭의 판독이 완료된 시점에서 판독 초기화용 어드레스 생성회로(159)가 어드레스 가산기(119)로 기록 요구 신호를 공급하도록 해도 된다. 어드레스 가산기(119)는 이 기록 요구 신호를 받을 때까지는 신호선(104) 상의 E0B검출 신호를 받아도 신호선(151)상의 2비트 정보를 갱신하지 않고 기다리면서 VLD(101)에 웨이트 신호를 부여한다. 이에 의하면, 상기 제1선행 블럭의 초기화와, 상기 제2선행 블럭의 판독과, 다음 블럭의 기록이 완료된 후에, 비로소 다시 다음 블럭의 기록을 개시하게 된다. 또 제1, 제2 및 제3스캔 변환용 RAM(131a, 131b, 131c) 중의 블럭 판독 및 초기화를 고속화하기 위해서는 복수 데이터 워드 단위의 판독 및 초기화 실행 등이 효과적이다.

상술한 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 첨부된 특허청구 범위에 개시된 본 발명의 사상과 범위를 통해 각종 수정, 변경, 대체 및 부가가 가능할 것이다.

(57) 청구의 범위

청구항 1

각각 비제로 성분에 선행하는 제로성분의 개수를 나타내는 제로 런레스 데이터 워드와, 상기 비제로 성분의 값을 나타내는 레벨 데이터 워드로 구성된 복수의 데이터 세트를 갖는 런레스 부호화된 데이터 스트림을 복호하기 위한 런레스 부호의 복호회로에 있어서, 상기 데이터 스트림 중의 제로 런레스 데이터 워드와, 그에 대응하는 레벨 데이터 워드를 1개씩 래치하기 위한 래치수단과, 스캔 변환을 위해 일련의 데이터 워드를 저장하기 위한 기억수단과, 상기 기억수단에 미리 모두 제로 성분인 데이터를 기입하여 상기 기억수단을 초기화하기 위한 초기화 수단과, 상기 래치수단에 의해 래치된 제로 런레스 데이터 워드에 기초하여 상기 기억수단에 기억된 1개의 제로 데이터 워드가 오버라이트되도록 상기 래치 수단에 의해 래치된 레벨 데이터 워드를 상기 기억수단에 기록하기 위한 기록수단과, 상기 기억수단에 저장되어 있는 데이터 워드를 차례로 판독하기 위한 판독수단을 구비한 것을 특징으로 하는 런레스 부호의 복호회로.

청구항 2

제1항에 있어서, 상기 기록수단은, 보유하고 있는 선행 어드레스와, 상기 래치수단에 의해 래치된 제로

런런스 데이터 워드로 나타낸 제로성분의 개수와, 1을 가산하여 새로운 선형 어드레스를 산출하기 위한 가산기와, 상기 가산기에 의해 산출된 선형 어드레스에서 지그재그 스캔 어드레스를 구하고, 이 구한 지그재그 스캔 어드레스를 기록 어드레스로서 상기 기억수단에 공급하기 위한 룩업테이블을 구비한 것을 특징으로 하는 런런스 부호의 복호화로.

청구항 3

제1항에 있어서, 상기 기억수단은 2개의 듀얼포트 RAM을 구비하고, 상기 2개의 듀얼포트 RAM중 한쪽의 상기 래치된 레벨 데이터 워드의 기록 기간에, 다른 쪽 듀얼포트 RAM에 저장되어 있는 데이터 워드의 판독 및 초기화를 행하는 것을 특징으로 하는 런런스 부호의 복호화로.

청구항 4

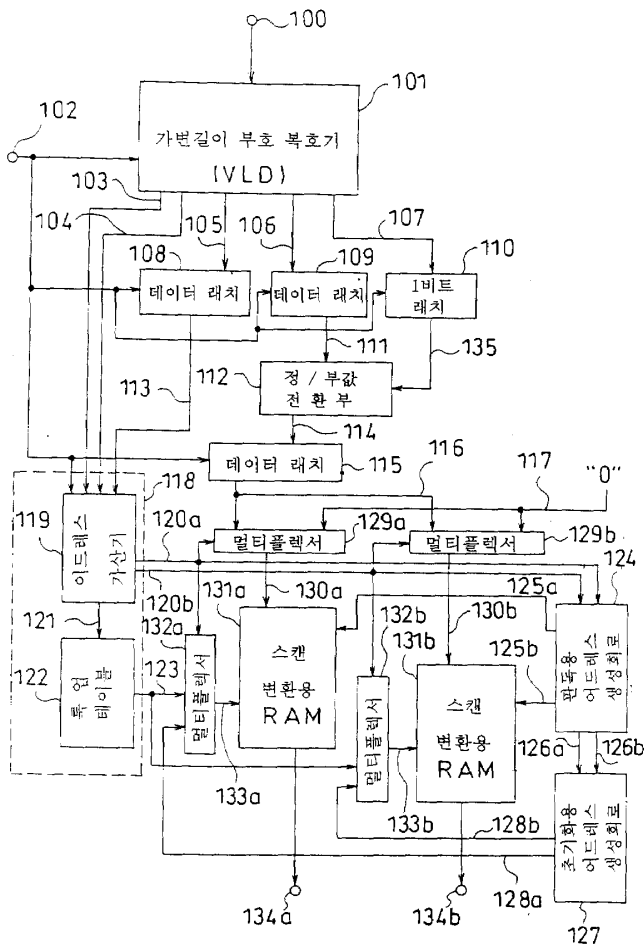
제3항에 있어서, 상기 다른 쪽 듀얼포트 RAM에 저장되어 있는 1개의 데이터 워드 판독 직후에, 이 데이터 워드의 초기화가 행해지는 것을 특징으로 하는 런런스 부호의 복호화로.

청구항 5

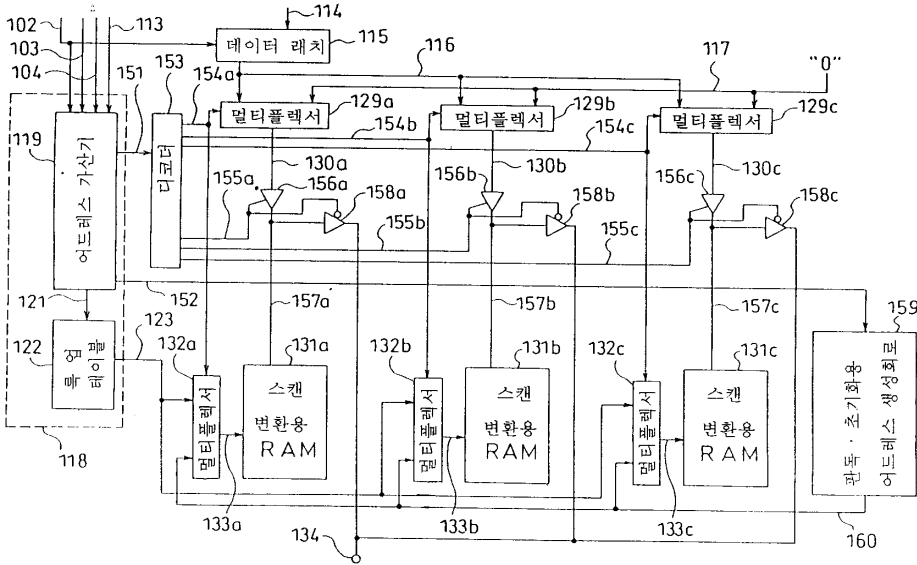
제1항에 있어서, 상기 기억수단은 3개의 싱글포트 RAM을 구비하고, 상기 3개의 싱글포트 RAM중 어느 1개의 상기 래치된 레벨 데이터 워드의 기록 기간에, 다른 1개의 싱글포트 RAM에 저장되어 있는 데이터 워드의 판독과, 또 다른 1개의 싱글포트 RAM에 저장되어 있는 데이터 워드의 초기화를 행하는 것을 특징으로 하는 런런스 부호의 복호화로.

도면

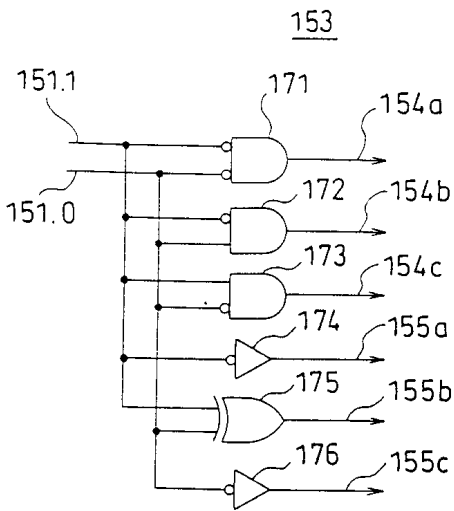
도면1



도면2



도면3a

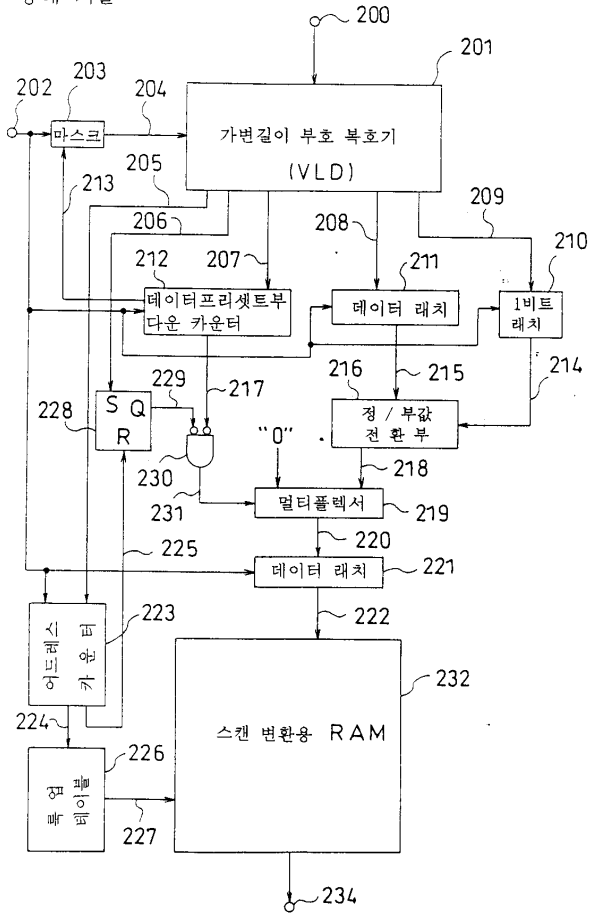


도면3b

입 력		출 력					
151.1	151.0	154a	154b	154c	155a	155b	155c
L(0)	L(0)	H	L	L	H	L	H
L(0)	H(1)	L	H	L	H	H	L
H(1)	L(0)	L	L	H	L	H	H

도면4

종래 기술



도면5

종래 기술

	0	1	2	3	4	5	6	7 ^u
0	29	0	0	1	0	1	-1	0
1	2	0	0	0	0	-1	0	0
2	0	1	-1	0	0	0	0	0
3	1	0	0	0	1	0	0	-1
4	1	-1	-1	1	0	1	0	0
5	-1	1	0	1	0	1	0	0
6	0	1	0	1	0	0	0	0
v 7	0	0	0	0	0	0	0	0

도면6

종래 기술

	0	1	2	3	4	5	6	7 ^u
0	0	1	5	6	14	15	27	28
1	2	4	7	13	16	26	29	42
2	3	8	12	17	25	30	41	43
3	9	11	18	24	31	40	44	53
4	10	19	23	32	39	45	52	54
5	20	22	33	38	46	51	55	60
6	21	34	37	47	50	56	59	61
v 7	35	36	48	49	57	58	62	63

도면7

종래 기술

부호번호	제로 런타임 데이터	비제로 성분 데이터	비고
0		2 9	DC 계수
1	1	2	AC 계수
2	3	1	
3	1	1	
4	0	1	
5	0	1	
6	1	-1	
7	2	1	
8	3	-1	
9	0	-1	
10	1	1	
11	0	-1	
12	2	-1	
13	0	-1	
14	3	1	
15	0	1	
16	1	1	
17	3	1	
18	6	1	
19	1	1	
20	3	1	
21	1	-1	
22	End of Block		

도면8

종래 기술

선형 어드레스 10진수 표현	지그재그 스캔 어드레스 2진수 표현	선형 어드레스 10진수 표현	지그재그 스캔 어드레스 2진수 표현
0	000 000	32	100 011
1	000 001	33	101 010
2	001 000	34	110 001
3	010 000	35	111 000
4	001 001	36	111 001
5	000 010	37	110 010
6	000 011	38	101 011
7	001 010	39	100 100
8	010 001	40	011 101
9	011 000	41	010 110
10	100 000	42	001 111
11	011 001	43	010 111
12	010 010	44	011 110
13	001 011	45	100 101
14	000 100	46	101 100
15	000 101	47	110 011
16	001 100	48	111 010
17	010 011	49	111 011
18	011 010	50	110 100
19	100 001	51	101 101
20	101 000	52	100 110
21	110 000	53	011 111
22	101 001	54	100 111
23	100 010	55	101 110
24	011 011	56	110 101
25	010 100	57	111 100
26	001 101	58	111 101
27	000 110	59	110 110
28	000 111	60	101 111
29	001 110	61	110 111
30	010 101	62	111 110
31	011 100	63	111 111