



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0069602
(43) 공개일자 2016년06월17일

(51) 국제특허분류(Int. Cl.)
H02M 3/155 (2006.01) G05F 1/56 (2006.01)
H02J 7/00 (2006.01)
(21) 출원번호 10-2014-0175223
(22) 출원일자 2014년12월08일
심사청구일자 2014년12월08일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울 성북구 길음로 16, 605동 1301호 (길음동, 길음뉴타운)
김희준
경기도 안양시 만안구 병목안로 81, 105동 801호 (안양동, 성원1차아파트)
(뒷면에 계속)
(74) 대리인
심경식, 홍성욱

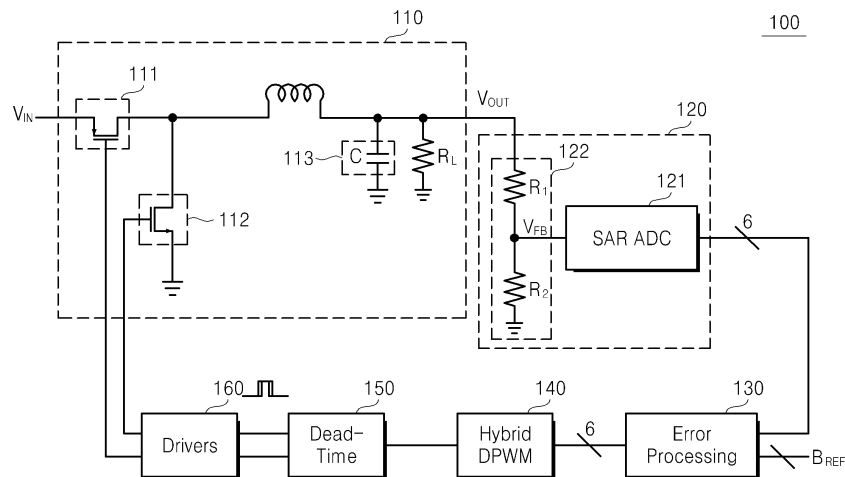
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 디지털 방식의 직류-직류 벡 변환기 및 그의 출력 제어 방법

(57) 요약

디지털 방식의 직류-직류 벡 변환기가 개시된다. 본 발명의 직류-직류 벡 변환기는 입력전압을 감지하여 출력하는 감지부; 상기 감지부의 출력전압을 디지털로 변환하는 디지털 변환부; 상기 디지털 변환부의 출력전압과 기 설정된 기준전압 간의 오차를 감지하고 이를 보상하기 위한 펄스폭을 산출하는 오차 처리부; 및 상기 오차 처리부의 출력값에 의거하여 출력 전압의 펄스폭을 조절하여 출력하는 하이브리드 디지털 펄스폭 조절기를 포함한다.

대표도 - 도1



(72) 발명자

김정문

서울특별시 동대문구 약령사로 5-7, 303호(제기동)

정준원

서울특별시 성북구 안암로9가길 66, 케이하우스
502호 (안암동5가)

심민섭

서울특별시 성북구 안암로 145, 자연계캠퍼스 미래
융합기술관 516호 (안암동5가)

맹준영

서울특별시 성북구 인촌로12길 68, JS빌 601호 (안
암동3가)

이 발명을 지원한 국가연구개발사업

과제고유번호 2013070988

부처명 미래창조과학부

연구관리전문기관 한국연구재단 3-3

연구사업명 중견연구자지원_도약연구(전략)

연구과제명 해상도, 전압 및 동작 속도 조절 가능한 자동차 센서용 아날로그 IP 연구

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2014.12.01 ~ 2015.11.30

명세서

청구범위

청구항 1

직류-직류 벡 변환기에 있어서,

입력전압을 감지하여 출력하는 감지부;

상기 감지부의 출력전압을 디지털로 변환하는 디지털 변환부;

상기 디지털 변환부의 출력전압과 기 설정된 기준전압 간의 오차를 감지하고 이를 보상하기 위한 펄스폭을 산출하는 오차 처리부; 및

상기 오차 처리부의 출력값에 의거하여 출력 전압의 펄스폭을 조절하여 출력하는 하이브리드 디지털 펄스폭 조절기를 포함하는 것을 특징으로 하는 직류-직류 벡 변환기.

청구항 2

제1항에 있어서, 상기 감지부는

제1 및 제2 스위치; 및

상기 제1 및 제2 스위치에 의해 상기 입력전압의 충전 또는 방전이 제어되는 캐패시터를 포함하는 것을 특징으로 하는 직류-직류 벡 변환기.

청구항 3

제2항에 있어서, 상기 직류-직류 벡 변환기는

상기 하이브리드 디지털 펄스폭 조절기의 출력 신호에 의거하여 상기 제1 및 제2 스위치가 동시에 온되는 구간이 발생하지 않도록 상기 제1 및 제2 스위치의 온/오프를 제어하는 스위치 제어신호를 발생시키는 데드타임 회로; 및

상기 스위치 제어신호에 의거하여 상기 제1 및 제2 스위치를 제어하는 드라이버를 더 포함하는 것을 특징으로 하는 직류-직류 벡 변환기.

청구항 4

제1항에 있어서, 상기 오차 처리부는

상기 디지털 변환부의 출력전압과, 비트값으로 변형된 기준전압을 입력으로 받아 그 두 값의 차이에 의해 오차를 감지하는 것을 특징으로 하는 직류-직류 벡 변환기.

청구항 5

제4항에 있어서, 상기 오차 처리부는

상기 기준전압에서 상기 디지털 변환부의 출력전압을 빼줌으로써 음의 오차를 산출하고, 상기 음의 오차에 기준전압을 다시 더하여 상기 출력전압의 오차를 보상하기 위한 펄스폭을 산출하는 것을 특징으로 하는 직류-직류 벡 변환기.

청구항 6

제4항에 있어서, 상기 오차 처리부는

상기 펄스폭 산출 결과가 허용된 비트를 초과하는 경우 상기 펄스폭 산출 결과를 최소값 또는 최대값으로 포화시킨 후 상기 하이브리드 디지털 펄스폭 조절기로 출력하는 것을 특징으로 하는 직류-직류 벽 변환기.

청구항 7

직류-직류 벽 변환기의 출력 제어 방법에 있어서,

입력전압을 감지하는 단계;

상기 감지된 전압을 디지털로 변환하는 단계;

상기 디지털로 변환된 전압과 기 설정된 기준전압 간의 오차를 감지하고 이를 보상하기 위한 펄스폭을 산출하는 단계; 및

상기 산출된 펄스폭에 의거하여 출력 전압의 펄스폭을 조절하는 단계를 포함하는 것을 특징으로 하는 직류-직류 벽 변환기의 출력 제어 방법.

청구항 8

제7항에 있어서, 상기 오차 보상 단계는

기 설정된 기준전압을 기준 비트로 변형하는 단계;

상기 기준 비트와 상기 디지털로 변환된 전압의 차에 의해 음의 오차를 산출하는 단계; 및

상기 음의 오차에 상기 기준 비트를 다시 더하여 오차를 보상하기 위한 펄스폭을 산출하는 단계를 포함하는 것을 특징으로 하는 직류-직류 벽 변환기의 출력 제어 방법.

청구항 9

제8항에 있어서, 상기 오차 보상 단계는

상기 펄스폭 산출 결과가 허용된 비트를 초과하는 경우 상기 펄스폭 산출 결과를 최소값 또는 최대값으로 포화시키는 단계를 더 포함하는 것을 특징으로 하는 직류-직류 벽 변환기의 출력 제어 방법.

발명의 설명

기술 분야

[0001] 본 발명은 직류-직류 벽 변환기에 관한 것으로서, 특히, 디지털 제어 방식으로 빠른 과도 응답이 가능하고, 기준 전압을 빠르게 추적할 수 있는 직류-직류 벽 변환기 및 그의 출력 제어 방법에 관한 것이다.

배경 기술

[0002] 최근 스마트폰, 태블릿 PC등 많은 휴대용 전자기기들이 대중적인 인기를 끌고 있으며, 이들을 휴대하기 위해 배터리는 필수다. 그러나 배터리 기술은 크게 발전하지 못하여 사용 시간에 한계를 보일 뿐 아니라 시간이 지날수록 또는 전력을 소모할수록 배터리의 전압이 감소하는 문제가 있다.

[0003] 이러한 문제를 해소하기 위해 일반적으로 직류-직류 변환기가 사용되고 있다. 이 때, 직류-직류 벽 변환기는 시간에 따라 입력전압이 변하거나 부하가 변하여도 출력 전압을 안정적으로 공급하는 역할을 하는 장치로서, 특히 벽 타입은 고효율로 높은 전압에서 낮은 전압으로 전압을 변화시킬 때 사용한다.

[0004] 상기 직류-직류 변환기를 제어하기 위해 일반적으로 아날로그 방식이 사용되고 있으나, 아날로그 방식은 제어루프 보상을 위해 칩 주변에 보상 캐패시터와 저항을 필요로 한다. 따라서 아날로그 제어 방식을 적용한 직류-직류 변환기는 그 크기가 커질 뿐 아니라 복잡한 계산을 통해서 값을 정해야 하는 번거로움이 있다. 또한 아날로그 방식은 저전압 동작에 한계를 나타내고 있으며, 외부 노이즈에 민감한 단점이 있다.

[0005] 한편, 동적 전압 스케일링(Dynamic Voltage Scaling, DVS)은 배터리의 수명시간을 늘리기 위해 사용하는 방식으로, 디지털 회로에 공급되는 전압이 낮아지게 되면 소비되는 전력은 낮아진 전압의 공급의 비율로 감소하는 특징을 이용하여 대기 모드 등과 같이 많은 전력을 필요로 하지 않을 때 회로의 인가 전압을 낮춤으로써 소비 전력을 줄이도록 하는 방식이다. 이 때, 인가 전압을 낮추기 위해서는 기준 전압을 낮추어야 하는데, 기준전압이 변화하는 과정 동안의 전력 손실을 줄이기 위해서는 동적 전압 스케일링 기술 사용시 기준 전압의 변화를 빠르게 추적하는 하는 것이 중요하다.

발명의 내용

해결하려는 과제

[0006] 따라서 본 발명은 크기가 작고 제어 루프 보상을 프로그래밍하여 온-칩이 가능한 직류-직류 벡 변환기를 제공하고자 한다.

[0007] 또한, 본 발명은 외부 노이즈에 강하고, 저전압에도 동작이 가능하여 소비 전력을 크게 줄일 수 있는 직류-직류 벡 변환기를 제공하고자 한다.

[0008] 또한, 본 발명은 디지털 방식으로 출력을 제어하여 오차를 빠르게 보상하는 직류-직류 벡 변환기를 제공하고자 한다.

[0009] 또한, 본 발명은 한 주기 안에 오차 만큼의 크기를 기준 듀티에 더함으로써 빠른 과도 응답이 가능한 직류-직류 벡 변환기를 제공하고자 한다.

과제의 해결 수단

[0010] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 디지털 방식의 직류-직류 벡 변환기는 입력전압을 감지하여 출력하는 감지부; 상기 감지부의 출력전압을 디지털로 변환하는 디지털 변환부; 상기 디지털 변환부의 출력전압과 기 설정된 기준전압 간의 오차를 감지하고 이를 보상하기 위한 펄스폭을 산출하는 오차 처리부; 및 상기 오차 처리부의 출력값에 의거하여 출력 전압의 펄스폭을 조절하여 출력하는 하이브리드 디지털 펄스폭 조절기를 포함한다.

[0011] 바람직하게는, 상기 감지부는 제1 및 제2 스위치; 및 상기 제1 및 제2 스위치에 의해 상기 입력전압의 충전 또는 방전이 제어되는 캐패시터를 포함할 수 있다.

[0012] 바람직하게는, 상기 직류-직류 벡 변환기는 상기 하이브리드 디지털 펄스폭 조절기의 출력 신호에 의거하여 상기 제1 및 제2 스위치가 동시에 온되는 구간이 발생하지 않도록 상기 제1 및 제2 스위치의 온/오프를 제어하는 스위치 제어신호를 발생시키는 데드타임 회로; 및 상기 스위치 제어신호에 의거하여 상기 제1 및 제2 스위치를 제어하는 드라이버를 더 포함할 수 있다.

[0013] 바람직하게는, 상기 오차 처리부는 상기 디지털 변환부의 출력전압과, 비트값으로 변형된 기준전압을 입력으로 받아 그 두 값의 차이에 의해 오차를 감지할 수 있다.

[0014] 바람직하게는, 상기 오차 처리부는 상기 기준전압에서 상기 디지털 변환부의 출력전압을 빼줌으로써 음의 오차를 산출하고, 상기 음의 오차에 기준전압을 다시 더하여 상기 출력전압의 오차를 보상하기 위한 펄스폭을 산출할 수 있다.

[0015] 바람직하게는, 상기 오차 처리부는 상기 펄스폭 산출 결과가 허용된 비트를 초과하는 경우 상기 펄스폭 산출 결과를 최소값 또는 최대값으로 포화시킨 후 상기 하이브리드 디지털 펄스폭 조절기로 출력할 수 있다.

[0016] 한편, 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 직류-직류 벡 변환기의 출력 제어 방법은 입력전압을 감지하는 단계; 상기 감지된 전압을 디지털로 변환하는 단계; 상기 디지털로 변환된 전압과 기 설정된 기준전압 간의 오차를 감지하고 이를 보상하기 위한 펄스폭을 산출하는 단계; 및 상기 산출된 펄스폭에 의거하여 출력 전압의 펄스폭을 조절하는 단계를 포함한다.

[0017] 바람직하게는, 상기 오차 보상 단계는 기 설정된 기준전압을 기준 비트로 변형하는 단계; 상기 기준 비트와 상기 디지털로 변환된 전압의 차에 의해 음의 오차를 산출하는 단계; 및 상기 음의 오차에 상기 기준 비트를 다시 더하여 오차를 보상하기 위한 펄스폭을 산출하는 단계를 포함할 수 있다.

[0018] 바람직하게는, 상기 오차 보상 단계는 상기 펄스폭 산출 결과가 허용된 비트를 초과하는 경우 상기 펄스폭 산출 결과를 최소값 또는 최대값으로 포화시키는 단계를 더 포함할 수 있다.

발명의 효과

[0019] 본 발명은 직류-직류 벡 변환기의 출력을 디지털 방식으로 제어함으로써, 입력 전압과 부하의 변화에도 오차를 빠르게 보상하여 안정적인 출력 전압을 출력할 수 있다. 또한, 동적 전압 스케일링 기술 사용시 빠르게 기준 전압을 추적함으로써 소비전력을 줄여 배터리의 수명시간을 늘일 수 있는 장점이 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 일 실시 예에 따른 직류-직류 벡 변환기에 대한 개략적인 블록도이다.

도 2는 본 발명의 일 실시 예에 따른 직류-직류 벡 변환기의 출력 제어 방법에 대한 개략적인 처리 흐름도이다.

도 3은 도 2에 예시된 오차 처리 단계에 대한 개략적인 처리 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0021] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0022] 제1, 제2, A, B 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.

[0023] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[0024] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0025] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0026] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다. 명세서 및 청구범위 전체에서, 어떤 부분이 어떤 구성 요소를 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.

[0027] 도 1은 본 발명의 일 실시 예에 따른 직류-직류 벡 변환기에 대한 개략적인 블록도이다. 도 1을 참조하면, 본 발명의 일 실시 예에 따른 직류-직류 벡 변환기(100)는 감지부(110)와, 디지털 변환부(120)와, 오차 처리부(Error processing) (130)와, 하이브리드 디지털 펄스폭 조절기(Hybrid DPWM)(140)와, 데드타임 회로(Dead-

time)(150)와, 드라이버(Drivers)(160)를 포함한다.

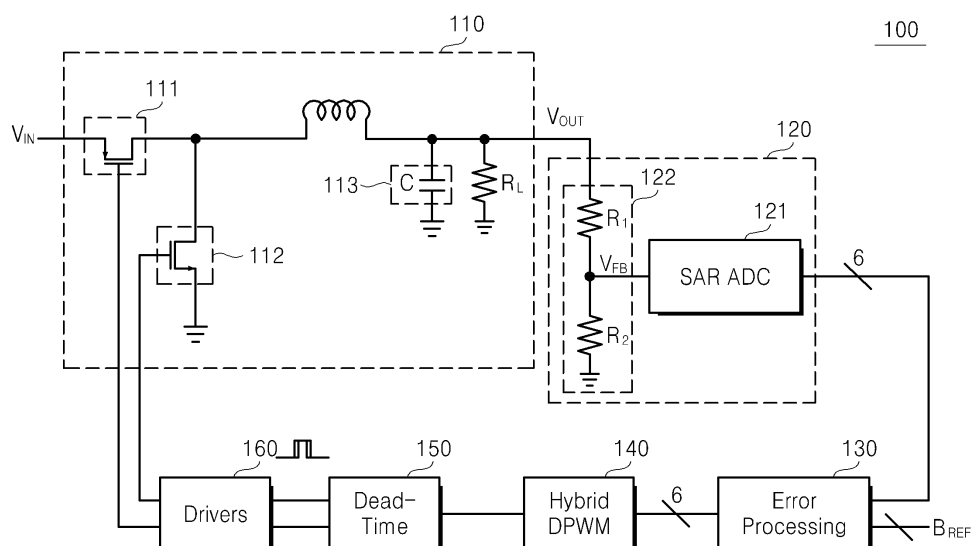
- [0028] 감지부(110)는 입력전압(V_{IN})을 감지하여 출력(V_{OUT})한다. 이를 위해, 감지부(110)는 에너지원(예컨대, 압전 변환기, 진동 소자 등)으로부터 에너지를 공급받을 수 있다. 또한, 감지부(110)는 상기 공급된 에너지를 정류하기 위해 제1 및 제2 스위치(111, 112)와, 제1 및 제2 스위치(111, 112)에 의해 상기 입력전압의 충전 또는 방전이 제어되는 캐패시터(113)를 포함할 수 있다.
- [0029] 디지털 변환부(120)는 감지부(110)의 출력 전압(V_{OUT})을 디지털로 변환하여 출력한다. 이를 위해, 디지털 변환부(120)는 6비트 SAR ADC(Successive Approximation Register Analog-Digital Converter)(121)를 포함하며, 6비트 SAR ADC(121)의 앞 단에 분압기(122)가 연결되어 감지부(110)의 출력 전압(V_{OUT})을 1/2로 분압한 후 그 값을 6비트의 디지털 값으로 변환하여 출력한다. 따라서, 이 때 출력되는 값은 기준 전압과 오차의 합을 1/2로 분압한 값($(V_{REF}+Err)/2$)이다.
- [0030] 오차 처리부(130)는 디지털 변환부(120)의 출력전압과 기 설정된 기준전압 간의 오차를 감지하고 이를 보상하기 위한 펄스폭을 산출한다. 이를 위해, 오차 처리부(130)는 오차를 포함한 디지털 변환부(120)의 출력전압($B_{OUT} = (V_{REF}+Err)/2$)과, 비트값으로 변형된 기준전압(B_{REF})을 입력으로 받아 그 두 값의 차이에 의해 오차를 감지한다. 즉, 오차 처리부(130)는 상기 비트값으로 변형된 기준전압(B_{REF})에서 디지털 변환부의 출력전압(B_{OUT})을 빼줌으로써 음의 오차($mErr$)를 산출하고, 상기 음의 오차($mErr$)에 기준전압(B_{REF})을 다시 더하여 상기 출력전압의 오차를 보상하기 위한 값을 산출한다. 즉, 상기 음의 오차에 기준전압을 더하여 디지털 펄스폭 조절 값을 산출($DPWM_{IN_TMP} = B_{REF} + mErr$)한다.
- [0031] 한편, 오차 처리부(130)의 펄스폭 산출 결과가 허용된 비트를 초과하는 경우, 즉, 오차 처리부(130)에서 출력된 디지털 펄스폭 조절 값($DPWM_{IN_TMP}$)이 허용된 비트를 초과하는 경우(Overflow) 오차 처리부(130)는 상기 디지털 펄스폭 조절 값($DPWM_{IN_TMP}$)을 최소값 또는 최대값으로 포화시킨(Saturate) 후 하이브리드 디지털 펄스폭 조절기(140)로 출력한다.
- [0032] 하이브리드 디지털 펄스폭 조절기(140)는 오차 처리부(130)로부터 전달받은 디지털 펄스폭 조절 값($DPWM_{IN_TMP}$)에 의거하여 출력 전압의 펄스폭을 조절하여 출력한다. 이와 같이 함으로써 본 발명은 한 주기 안에 오차 만큼의 크기를 기준 듀티에 적용할 수 있고, 이로 인해 빠른 과도 응답이 가능한 것이다.
- [0033] 데드타임 회로(150)는 하이브리드 디지털 펄스폭 조절기(140)의 출력 신호에 의거하여 감지부(110)에 포함된 제1 및 제2 스위치(111, 112)가 동시에 온되는 구간이 발생하지 않도록 제1 및 제2 스위치(111, 112)의 온/오프를 제어하는 스위치 제어신호를 발생시킨다.
- [0034] 드라이버(160)는 데드타임 회로(150)로부터 전달되는 스위치 제어 신호에 의거하여 제1 및 제2 스위치(111, 112)를 제어한다.
- [0035] 도 2는 본 발명의 일 실시 예에 따른 직류-직류 벡 변환기의 출력 제어 방법에 대한 개략적인 처리 흐름도이다. 도 1 및 도 2를 참조하면, 본 발명의 일 실시 예에 따른 직류-직류 벡 변환기의 출력 제어 방법은 다음과 같다.
- [0036] 먼저, 단계 S100에서는, 감지부(110)가 에너지원으로부터 공급되는 전압을 감지한다. 이를 위해, 감지부(110)는 에너지원(예컨대, 압전 변환기, 진동 소자 등)으로부터 에너지를 공급받을 수 있다.
- [0037] 단계 S200에서는, 디지털 변환부(120)가 상기 감지된 전압을 디지털로 변환한다. 이 때 디지털 변환부(120)에서 출력되는 값은 기준 전압과 오차의 합을 1/2로 분압한 값($(V_{REF}+Err)/2$)이다.
- [0038] 단계 S300에서는, 오차 처리부(130)가 디지털 변환부(120)의 출력전압과 기 설정된 기준전압 간의 오차를 감지하고 이를 보상하기 위한 펄스폭을 산출한다. 즉, 오차를 보상하기 위한 디지털 펄스폭 조절 값($DPWM_{IN_TMP}$)을 산출한다. 이를 위한 오차 처리부(130)의 보다 상세한 처리 과정은 도 3을 참조하여 설명할 것이다.
- [0039] 단계 S400에서는, 하이브리드 디지털 펄스폭 조절기(140)가 상기 디지털 펄스폭 조절 값($DPWM_{IN_TMP}$)에 의거하여 출력 전압의 펄스폭을 조절하여 출력한다.
- [0040] 도 3은 도 2에 예시된 오차 처리 단계(S300)에 대한 개략적인 처리 흐름도이다. 도 1 및 도 3을 참조하면, 본

발명의 일 실시 예에 따른 오차 처리 단계(S300)는 다음과 같다.

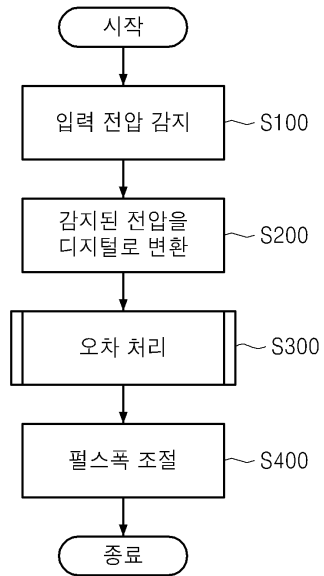
- [0041] 먼저, 단계 S301에서는, 오차 처리부(130)가 기 설정된 기준전압을 기준 비트로 변형한다($B_{REF} = \text{dec2bin}(V_{REF})$).
- [0042] 단계 S302에서는, 오차 처리부(130)가 음의 오차를 산출한다. 즉, 상기 기준 비트(B_{REF})와 상기 디지털로 변환된 전압의 차에 의해 음의 오차를 산출한다. 이 때, 디지털로 변환된 전압은 기준 전압과 오차의 합을 1/2로 분압한 값($(V_{REF} + \text{Err})/2$)이다. 따라서, 단계 S302에서 오차 처리부(130)는 상기 디지털로 변환된 전압($B_{OUT} = (V_{REF} + \text{Err})/2$)과, 비트값으로 변형된 기준전압(B_{REF})을 입력으로 받아 그 두 값의 차이에 의해 음의 오차($m\text{Err} = B_{REF} - B_{OUT}$)를 산출한다
- [0043] 단계 S303에서는, 오차 처리부(130)가 상기 음의 오차($m\text{Err}$)에 상기 기준 비트(B_{REF})를 다시 더하여 오차를 보상하기 위한 펄스폭을 산출($\text{DPWM}_{IN_TMP} = B_{REF} + m\text{Err}$)한다.
- [0044] 단계 S304에서는, 오차 처리부(130)의 펄스폭 산출 결과가 허용된 비트를 초과하는 지 여부를 결정한다. 즉, 오차 처리부(130)에서 출력된 디지털 펄스폭 조절 값(DPWM_{IN_TMP})이 허용된 비트를 초과(Overflow)하는 지 여부를 결정한다.
- [0045] 단계 S305에서는, 단계 S304의 처리 결과 상기 디지털 펄스폭 조절 값(DPWM_{IN_TMP})이 허용된 비트를 초과(Overflow)하는 것으로 결정된 경우, 오차 처리부(130)가 상기 펄스폭 산출 결과를 최소값 또는 최대값으로 포화시킨다(Saturate).
- [0046] 한편, 상술한 본 발명의 실시예들은 컴퓨터에서 실행될 수 있는 프로그램으로 작성가능하고, 컴퓨터로 읽을 수 있는 기록매체를 이용하여 상기 프로그램을 동작시키는 범용 디지털 컴퓨터에서 구현될 수 있다.
- [0047] 상기 컴퓨터로 읽을 수 있는 기록매체는 마그네틱 저장매체(예를 들면, 롬, 플로피 디스크, 하드디스크 등), 광학적 판독 매체(예를 들면, 시디롬, 디브이디 등)를 포함한다.
- [0048] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다.
- [0049] 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

도면

도면1



도면2



도면3

