

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

(57) 要約: 半導体装置(1)は、シリコンからなるN型の半導体基板(32)と、半導体基板(32)の上面に接するN型の低濃度不純物層(33)と、半導体基板(32)の下面全面に接する20 μ m以上の厚さの金属層(31)と、低濃度不純物層内に形成されたトランジスタ(10および20)とを備え、半導体基板(32)は、トランジスタ(10および20)のドレイン領域として機能し、トランジスタ(10および20)のソース電極の間を、トランジスタ(10)側の半導体基板(32)、金属層(31)、トランジスタ(20)側の半導体基板(32)を経由して流れる双方向経路を主電流経路とし、半導体基板(32)と低濃度不純物層(33)とを含む半導体層に対する金属層(31)の厚さの割合は0.27より大きく、半導体装置(1)は、さらに、金属層(31)の下面全面に、接着層(39)のみを介して接着されたセラミック材料からなる支持体(30)を有する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関し、特に、フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置に関する。

背景技術

[0002] 従来、第1主面および第2主面を有する半導体基板と、当該第1主面から当該第2主面に渡って設けられた2つの縦型MOS (Metal Oxide Semiconductor) トランジスタと、当該第2主面上に形成された金属層とを備える半導体装置が提案されている。この構成では、第1のトランジスタから第2のトランジスタへ流れる電流経路として、半導体基板内部を水平方向経路だけでなく、導通抵抗が低い金属層中の水平方向経路も用いることができるので、半導体装置のオン抵抗の低減が可能である。

[0003] 特許文献1では、上記構成に加え、金属層の半導体基板とは反対側に導電層が形成された半導体装置が提案されている。この導電層により、チップを個片化する工程において、金属層のバリの発生を抑制できるとしている。

[0004] また、特許文献2では、上記構成に加え、金属層の半導体基板とは反対側に絶縁被膜が形成された半導体装置が提案されている。この絶縁被膜により、半導体装置の薄型化を維持しつつ、キズやかけなどの破損を防止できるとしている。

先行技術文献

特許文献

[0005] 特許文献1：特開2016-86006号公報

特許文献2：特開2012-182238号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献1および特許文献2に開示された半導体装置では

、半導体基板の熱膨張係数よりも金属層の熱膨張係数の方が大きいため、温度変化による半導体装置の反りが発生する。

[0007] 特許文献1では、金属層の半導体基板とは反対側に導電層が形成されているが、導電層の主材料が金属層と同種の金属であるため、温度変化による半導体装置の反りを軽減するのに十分な厚さの導電層形成は製造する上では容易でない。

[0008] 特許文献2では、金属層の半導体基板とは反対側には、半導体装置の薄型化および破損の防止を実現するための絶縁被膜が形成されているが、金属層の厚さが低オン抵抗を確保するために必要な厚さの場合は、半導体装置の反りを軽減する十分な応力は絶縁被膜に発生しない。

[0009] つまり、特許文献1および2に開示された半導体装置では、オン抵抗の低減と半導体装置の反りの抑制とを両立できない。

[0010] そこで、本開示は、オン抵抗の低減と反りの抑制とを両立させたチップサイズパッケージ型の半導体装置を提供することを目的とする。

課題を解決するための手段

[0011] 上記課題を解決するため、本開示に係る半導体装置の一態様は、フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、第1導電型の不純物を含み、シリコンからなる半導体基板と、前記半導体基板の上面に接して形成され、前記半導体基板の前記第1導電型の不純物の濃度より低い濃度の前記第1導電型の不純物を含む低濃度不純物層と、前記半導体基板の下面全面に接して形成され、厚さが20 μ m以上の金属材料のみで構成された金属層と、前記低濃度不純物層内の第1の領域に形成された第1の縦型MOSトランジスタと、前記第1の領域と前記半導体基板の上面に沿った方向で隣接する、前記低濃度不純物層内の第2の領域に形成された第2の縦型MOSトランジスタと、を備え、前記第1の縦型MOSトランジスタは、前記低濃度不純物層の上面に形成された第1のソース電極および第1のゲート電極を有し、前記第2の縦型MOSトランジスタは、前記低濃度不純物層の上面に形成された第2のソース電極および第2のゲート電極を有し、前

記半導体基板は、前記第1の縦型MOSトランジスタの第1のドレイン領域および前記第2の縦型MOSトランジスタの第2のドレイン領域を共通化したドレイン領域として機能し、前記第1のソース電極と前記第2のソース電極との間を、前記第1のドレイン領域、前記金属層、および前記第2のドレイン領域を経由して流れる双方向経路を主電流経路とし、前記半導体基板と前記低濃度不純物層とを含む半導体層に対する前記金属層の厚さの割合は0.27より大きく、前記半導体装置は、さらに、前記金属層の下面全面に、接着層のみを介して接着された、セラミック材料からなる支持体を有する。

[0012] この構成によれば、低オン抵抗を確保するための厚さを有する金属層の上面に形成された半導体基板の熱膨張係数と金属層の下面に形成された接着層および支持体の熱膨張係数とのバランスが取れるために、オン抵抗を低減しつつ半導体装置の反りを抑制できる。

発明の効果

[0013] 本開示に係る半導体装置によれば、オン抵抗の低減と半導体装置の反りの抑制とを両立させたフェイスダウン実装が可能なチップサイズパッケージ型の半導体装置を提供することが可能となる。

図面の簡単な説明

[0014] [図1A]図1Aは、実施の形態1に係る半導体装置の断面図である。

[図1B]図1Bは、実施の形態1に係る半導体装置の電極構成の一例を示す上面図である。

[図2A]図2Aは、実施の形態1に係る半導体装置の充放電回路への第1の応用例を示す回路図である。

[図2B]図2Bは、充放電回路への応用例を、単方向のトランジスタのみで構成した場合の回路図である。

[図2C]図2Cは、実施の形態1に係る半導体装置の充放電回路への第2の応用例を示す回路図である。

[図3A]図3Aは、比較例1に係る半導体装置における、金属層の厚さに対するオン抵抗を示すグラフである。

[図3B]図3 Bは、比較例2に係る半導体装置における、金属層の厚さ／半導体層の厚さに対するオン抵抗および反り量を表すグラフである。

[図4A]図4 Aは、多層体に発生する反りを導出するための基本モデルを表す図である。

[図4B]図4 Bは、多層体に発生する反り量 δ を説明する側面概略図である。

[図5]図5は、接着層の厚さおよび支持体の厚さに対する反り量を表すグラフである。

[図6A]図6 Aは、実効値算出式を用いて算出した、半導体層の厚さを固定した場合の、反り量を $20\mu\text{m}$ にするための、金属層、接着層および支持体の厚さの関係を表すグラフである。

[図6B]図6 Bは、実効値算出式を用いて算出した、金属層の厚さを固定した場合の、反り量を $20\mu\text{m}$ にするための、半導体層、接着層および支持体の厚さの関係を表すグラフである。

[図7]図7は、実施の形態1に係る半導体装置において、反り量を目標値および許容値にするための接着層の厚さに対する支持体の厚さの関係を規定したグラフである。

[図8A]図8 Aは、実施の形態1の変形例1に係る半導体装置の断面図である。

[図8B]図8 Bは、実施の形態1の変形例1に係る半導体装置の電極構成の一例を示す上面図である。

[図9]図9は、実施の形態1の変形例2に係る半導体装置の断面図である。

[図10A]図10 Aは、実施の形態1に係る半導体装置の製造方法の第1工程を示す断面図である。

[図10B]図10 Bは、実施の形態1に係る半導体装置の製造方法の第2工程を示す断面図である。

[図10C]図10 Cは、実施の形態1に係る半導体装置の製造方法の第3工程を示す断面図である。

[図11A]図11 Aは、実施の形態1に係る半導体装置の製造方法の第4工程を

示す断面図である。

[図11B]図 1 1 Bは、実施の形態 1 に係る半導体装置の製造方法の第 5 工程を示す断面図である。

[図12A]図 1 2 Aは、実施の形態 1 に係る半導体装置の製造方法の第 6 工程を示す断面図である。

[図12B]図 1 2 Bは、実施の形態 1 に係る半導体装置の製造方法の第 7 工程を示す断面図である。

[図13]図 1 3 は、実施の形態 1 に係る半導体装置の製造方法の第 8 工程を示す断面図である。

[図14]図 1 4 は、実施の形態 1 に係る半導体装置の製造方法の第 9 工程を示す断面図である。

発明を実施するための形態

[0015] (本開示の基礎となった知見)

特許文献 2 に開示された、2つの縦型 MOS トランジスタを有する半導体装置におけるオン抵抗の低減および反りの抑制について検討する。

[0016] 特許文献 2 に開示された半導体装置では、金属層を流れるオン電流は金属層の主面に平行な方向に流れる。よって、オン抵抗を低減するという観点では、金属層を厚くするほうが好ましい。ただし、特許文献 2 によれば、半導体装置の反りを低減するという観点では、金属層が厚くなるほど金属層の熱膨張率が支配的となるため、金属層の厚さは半導体基板の $1/4$ 以下とすることが好ましいとされている。この場合、オン抵抗を低減するための金属層の厚さが、半導体基板の厚さで制限されてしまい、半導体基板の厚さによっては、金属層が薄くなり十分なオン抵抗が得られない。

[0017] また、金属層の半導体基板と反対側には、キズやかけの防止を目的とした絶縁被膜が形成されている。この絶縁被膜は、金属層からの剥離防止、および、半導体装置の薄型化という観点から、塗布型の有機材料、有機系のテープ、または無機系酸化物薄膜で構成される。このため、絶縁被膜は、金属層に起因した半導体装置の反りを抑制する機能を副次的には有するものの、オ

ン抵抗の低減を目的として金属層を厚くした場合には、金属層に起因した半導体装置の反りを抑制するための十分な応力を有さない。

[0018] そこで、本発明者は、鋭意検討の結果、2つの縦型MOSトランジスタを有する半導体装置を充放電回路として適用した場合に実用的な低オン抵抗が得られる、厚さ20 μ m以上の金属層を有する半導体装置について、半導体基板および金属層の反り量を所定値以下とする半導体装置の構成を見出すに至った。

[0019] 以下で説明する実施の形態は、いずれも本開示の一具体例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態などは、一例であり、本開示を限定する主旨ではない。また、以下の実施の形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

[0020] (実施の形態1)

[1. 半導体装置の基本構造]

以下、本開示に係る半導体装置1の構造について説明する。本開示に係る半導体装置1は、半導体基板に2つの縦型MOS (Metal Oxide Semiconductor) トランジスタを形成した、CSP (Chip Size Package: チップサイズパッケージ) 型のマルチトランジスタチップである。上記2つの縦型MOSトランジスタは、パワートランジスタであり、いわゆる、トレンチMOS型FET (Field Effect Transistor) である。ただし、本実施の形態に係る半導体装置1は、固体撮像装置等のオプトエレクトロニクスに分類されるものには適用されない。

[0021] 図1Aは、半導体装置1の構造の一例を示す断面図である。また、図1Bは、実施の形態1に係る半導体装置1の電極構成の一例を示す上面図である。図1Aの断面図は、図1BのI A - I Aにおける切断面を見た図である。図1Aに示すように、半導体装置1は、半導体基板32と、低濃度不純物層

33と、金属層31と、接着層39と、支持体30と、第1の縦型MOSトランジスタ10（以下、トランジスタ10）と、第2の縦型MOSトランジスタ20（以下、トランジスタ20）と、を有する。また、図1Bに示すように、半導体装置1は、半導体基板32を平面視した場合、2つの第1のソース電極11、2つの第2のソース電極21、1つの第1のゲート電極19、および、1つの第2のゲート電極29を有している。トランジスタ10の上面には、トランジスタ10とトランジスタ20とが対向する方向と垂直な方向に沿って、第1のソース電極11、第1のゲート電極19、および第1のソース電極11がこの順に形成されている。また、トランジスタ20の上面には、トランジスタ10とトランジスタ20とが対向する方向と垂直な方向に沿って、第2のソース電極21、第2のゲート電極29、および第2のソース電極21がこの順に形成されている。

[0022] なお、1つのトランジスタを構成するソース電極およびゲート電極の個数および配置関係は、図1Bに示されたものに限定されない。

[0023] 半導体基板32は、第1導電型の不純物を含み、シリコンからなる。半導体基板32は、例えば、N型のシリコン基板である。

[0024] 低濃度不純物層33は、半導体基板32の上面（図1Aでの上側主面）に接して形成され、半導体基板32の第1導電型の不純物の濃度より低い濃度の第1導電型の不純物を含む。低濃度不純物層33は、例えば、エピタキシャル成長により半導体基板32上に形成されてもよい。

[0025] 図1Aに示すように、半導体基板32および低濃度不純物層33の積層体を半導体層40と定義する。

[0026] 金属層31は、半導体基板32の下面（図1Aでの下側主面）全面に接して形成され、金属材料のみで構成されている。金属層31は、限定されない一例として、銀、銅、金、アルミニウムのうちのいずれか1つ以上を含む金属材料で構成されてもよい。

[0027] 支持体30は、金属層31の2つの主面のうち半導体基板32と接していない下面全面に、接着層39を介して接着され、セラミック材料からなる。

支持体 30 を構成するセラミック材料としては、特に、シリコンが例示されるが、その他、石英、サファイヤ、ほうけい酸ガラス、ソーダ石灰ガラスなどが例示される。

[0028] 接着層 39 は、金属層 31 および支持体 30 に接して配置され、金属層 31 と支持体 30 とを接着するための層である。接着層 39 は、例えば、アクリル樹脂もしくはエポキシ樹脂からなる接着剤、または D A F (D i e A t t a c h F i l m : ダイボンド用フィルム接着剤)、などが硬化することで形成される。

[0029] トランジスタ 10 は、低濃度不純物層 33 内の第 1 の領域 (図 1 A での左側半分領域) に形成され、低濃度不純物層 33 の上面に形成された第 1 のソース電極 11 および別断面にある第 1 のゲート電極 19 (図 1 B 参照) を有する。

[0030] 低濃度不純物層 33 の第 1 の領域には、第 1 導電型と異なる第 2 導電型の不純物を含む第 1 のボディ領域 18 が形成されている。第 1 のボディ領域 18 には、第 1 導電型の不純物を含む第 1 のソース領域 14、第 1 のゲート導体 15、および第 1 のゲート絶縁膜 16 が形成されている。第 1 のソース電極 11 は第 1 の部分 12 と第 2 の部分 13 とからなり、第 1 の部分 12 は、第 2 の部分 13 を介して第 1 のソース領域 14 および第 1 のボディ領域 18 に接続されている。第 1 のゲート電極 19 は、第 1 のゲート導体 15 に接続される。

[0031] 第 1 のソース電極 11 の第 1 の部分 12 は、実装時にはんだなどの導電性接合材と良好な接合性を示す層であり、限定されない一例として、ニッケル、チタン、タングステン、パラジウムのうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。第 1 の部分 12 の表面には、金などのめっきが施されてもよい。

[0032] 第 1 のソース電極 11 の第 2 の部分 13 は、第 1 の部分 12 と半導体層 40 とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。

- [0033] トランジスタ 20 は、低濃度不純物層 33 内の半導体基板 32 の上面に沿った方向で隣接する第 2 の領域（図 1 A での右側半分領域）に形成され、低濃度不純物層 33 の上面に形成された第 2 のソース電極 21 および別断面にある第 2 のゲート電極 29 を有する。
- [0034] 低濃度不純物層 33 の第 2 の領域には、第 1 導電型と異なる第 2 導電型の不純物を含む第 2 のボディ領域 28 が形成されている。第 2 のボディ領域 28 には、第 1 導電型の不純物を含む第 2 のソース領域 24、第 2 のゲート導体 25、および第 2 のゲート絶縁膜 26 が形成されている。第 2 のソース電極 21 は第 1 の部分 22 と第 2 の部分 23 とからなり、第 1 の部分 22 は、第 2 の部分 23 を介して第 2 のソース領域 24 および第 2 のボディ領域 28 に接続されている。第 2 のゲート電極 29 は、第 2 のゲート導体 25 に接続される。
- [0035] 第 2 のソース電極 21 の第 1 の部分 22 は、実装時にはんだなどの導電性接合材と良好な接合性を示す層であり、限定されない一例として、ニッケル、チタン、タングステン、パラジウムのうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。第 1 の部分 22 の表面には、金などのめっきが施されてもよい。
- [0036] 第 2 のソース電極 21 の第 2 の部分 23 は、第 1 の部分 22 と半導体層 40 とを接続する層であり、限定されない一例として、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成されてもよい。
- [0037] 第 1 のボディ領域 18 および第 2 のボディ領域 28 は、開口を有する層間絶縁層 34 で覆われ、層間絶縁層 34 の開口を通して第 1 のソース領域 14 および第 2 のソース領域 24 に接続するソース電極の第 2 の部分 13 および 23 が設けられている。層間絶縁層 34 およびソース電極の第 2 の部分 13 および 23 は、開口を有するパッシベーション層 35 で覆われ、パッシベーション層 35 の開口を通して第 2 の部分 13、23 にそれぞれ接続するソース電極の第 1 の部分 12 および 22 が設けられている。
- [0038] 半導体装置 1 が実装基板に実装される場合には、第 1 のソース電極 11、

第1のゲート電極19、第2のソース電極21および第2のゲート電極29は、はんだなどの導電性接合材を介して、実装基板上に設けられた電極と、フェイスダウンにより接合される。この場合、半導体装置1の反りが大きいほど、第1のソース電極11、第1のゲート電極19、第2のソース電極21および第2のゲート電極29と、実装基板上に設けられた電極との電氣的接続が不安定となる。つまり、半導体装置1の実装基板への実装をより安定化させるには、半導体装置1の反りを、より小さくする必要がある。

[0039] トランジスタ10および20の上記構成により、半導体基板32は、トランジスタ10の第1のドレイン領域およびトランジスタ20の第2のドレイン領域が共通化された、共通ドレイン領域として働く。また、半導体装置1は、第1のソース電極11と第2のソース電極21との間を、第1のドレイン領域、金属層31、および第2のドレイン領域を経由して流れる双方向経路を主電流経路とする。

[0040] 図2Aは、半導体装置1の充放電回路への第1の応用例を示す回路図である。図2Aに示すように、半導体装置1は、制御IC2から与えられる制御信号に応じて、電池3から負荷4への放電および負荷4から電池3への充電を制御する。

[0041] 図2Bは、同様の応用例を、単方向のトランジスタ10のみで構成した場合の回路図である。図2Bに示すように、放電電流はトランジスタ10をオフ状態にすることで停止できるが、充電電流はトランジスタ10をオフ状態にしても、第1のボディ領域18と低濃度不純物層33との間に形成されるボディダイオードを順方向（第1のボディ領域18から低濃度不純物層33への方向）に流れるために停止することができない。そこで、放電および充電の何れの方向にも完全な電流遮断を可能とするために、双方向トランジスタが必要となる。

[0042] 図2Cは、半導体装置1の充放電回路への第2の応用例を示す回路図である。図2Cに示すように、半導体装置1は、制御IC2から与えられる制御信号に応じて、トランジスタ10をオフ状態にすることにより放電電流を遮

断し、トランジスタ 20 をオフ状態にすることにより充電電流を遮断する。

[0043] なお、図 1 A に示す半導体装置 1 において、例えば、第 1 導電型を N 型、第 2 導電型を P 型として、第 1 のソース領域 14、第 2 のソース領域 24、半導体基板 32、および低濃度不純物層 33 は N 型半導体であり、かつ、第 1 のボディ領域 18 および第 2 のボディ領域 28 は P 型半導体であってもよい。

[0044] また、例えば、第 1 導電型を P 型、第 2 導電型を N 型として、第 1 のソース領域 14、第 2 のソース領域 24、半導体基板 32、および低濃度不純物層 33 は P 型半導体であり、かつ、第 1 のボディ領域 18 および第 2 のボディ領域 28 は N 型半導体であってもよい。

[0045] 以下の説明では断りのない限り、図 1 A に示す半導体装置 1 において、第 1 導電型を N 型、第 2 導電型を P 型とした、いわゆる N チャネル型トランジスタの場合として説明する。

[0046] まず、半導体装置 1 のオン状態について説明する。

[0047] 図 1 A に示す半導体装置 1 において、第 1 のソース電極 11 に高電圧、第 2 のソース電極 21 に低電圧を印加し、第 2 のソース電極 21 を基準として第 1 のゲート電極 19（第 1 のゲート導体 15）および第 2 のゲート電極 29（第 2 のゲート導体 25）にしきい値以上の電圧を印加すると、第 1 のゲート絶縁膜 16 および第 2 のゲート絶縁膜 26 の近傍にチャンネルが形成され、第 1 のソース電極 11－第 1 のボディ領域 18－第 1 のドレイン領域－金属層 31－第 2 のドレイン領域－第 2 のボディ領域 28－第 2 のソース電極 21 という経路で電流が流れる。

[0048] これは図 2 A における充電電流の場合であり、トランジスタ 10、20 が導通してオン電流が流れる半導体装置 1 のオン状態である。

[0049] トランジスタ 10 および 20 間でのオン電流は、金属層 31 を流れる。そのため、金属層 31 の厚くすることで、オン電流の経路の断面積は拡大し、半導体装置 1 のオン抵抗は低下する。

[0050] 次に、半導体装置 1 のオフ状態について説明する。

[0051] 図1Aにおいて、第1のボディ領域18と低濃度不純物層33との間、および、第2のボディ領域28と低濃度不純物層33との間のPNジャンクションが、各々、ボディダイオードを構成する。以下、第1のボディ領域18と低濃度不純物層33との間に形成されたボディダイオードを第1のボディダイオードと記し、第2のボディ領域28と低濃度不純物層33との間に形成されたボディダイオードを第2のボディダイオードと記す。

[0052] 図1Aにおいて、第2のソース電極21を基準として第2のゲート電極29（第2のゲート導体25）の電圧がしきい値未満であれば、第1のソース電極11に高電圧、第2のソース電極21に低電圧を印加してもトランジスタ20のゲート絶縁膜26の近傍にチャネルは形成されず、オン電流が流れないオフ状態になる。このとき、トランジスタ10におけるバイアス状態は、第1のボディダイオードに対して順方向のバイアス状態なので、第1のゲート電極19（第1のゲート導体15）に印加される電圧に依存せずトランジスタ10は導通状態となる。

[0053] なお、第1のソース電極11と第2のソース電極21への電圧印加条件が逆の、第2のソース電極21に高電圧、第1のソース電極11に低電圧を印加した場合も、第1のソース電極11を基準として第1のゲート電極19（第1のゲート導体15）の電圧がしきい値未満であれば、トランジスタ10のゲート絶縁膜16の近傍にチャネルは形成されず、半導体装置1はオン電流が流れないオフ状態になる。

[0054] [2. 半導体装置のオン抵抗を低減する基本構造]

ここで、本実施の形態に係る半導体装置1において、半導体装置1のオン抵抗を低減するための基本構成について説明する。

[0055] 図3Aは、比較例1に係る半導体装置における、金属層の厚さに対するオン抵抗を表すグラフである。比較例1に係る半導体装置は、図1Aおよび図1Bに示された半導体装置1に対して、接着層39および支持体30が形成されていない構成を有している。比較例1に係る半導体装置として、（1）半導体層40の厚さが43 μ mであるもの、および、（2）半導体層40の

厚さが $78\ \mu\text{m}$ であるものを想定し、これら 2 タイプの半導体装置について、金属層 31 の厚さを $10\sim 40\ \mu\text{m}$ の範囲で変化させた場合の半導体装置のオン抵抗を測定した。オン抵抗は、サンプルごとに、サンプルを評価基板に実装した状態で測定する第 1 の方法、およびベアチップの状態のサンプルにプローブを当てて行う第 2 の方法の何れかで行った。測定方法の違いで生じる測定値の差異は、適宜補正した。

[0056] 表 1 に、比較例 1 に係る半導体装置の各パラメータを示す。

[0057] [表1]

パラメータ	数値範囲
半導体層 40 厚さ (μm)	43,78
金属層 31 厚さ ($A_g : \mu\text{m}$)	10-40
低濃度不純物層 33 厚さ (μm)	2.75
対角長 L_1 (mm)	3.92
金属層 31 厚さ／半導体層 40 厚さ	0.13-0.93

[0058] 図 3 A に示すように、金属層 31 を厚くするにつれて、オン抵抗が低くなっていく。

[0059] スマートホンやタブレットの充放電回路として、本開示の半導体装置が適用される場合、充電時間短縮や急速充電実現の制約から、オン抵抗は、 $20\ \text{V}$ 耐圧仕様として、 $2.2\sim 2.4\ \text{m}\Omega$ 以下が求められる。

[0060] 図 3 A より、オン抵抗が $2.4\ \text{m}\Omega$ 以下を満たす金属層 31 の厚さは、 $20\ \mu\text{m}$ 以上であることが必要となる。

[0061] 図 3 B は、比較例 2 に係る半導体装置における、半導体層 40 の厚さに対する金属層 31 の厚さの割合（以下、金属層 31 厚さ／半導体層 40 厚さ、と記す場合がある）、オン抵抗、および反り量の関係を示すグラフである。比較例 2 に係る半導体装置は、図 1 A および図 1 B に示された半導体装置 1 に対して、接着層 39 および支持体 30 が形成されていない構成を有している。比較例 2 に係る半導体装置として、金属層 31 の厚さを $10\ \mu\text{m}\sim 40\ \mu\text{m}$ の範囲で変化させ、かつ、半導体層 40 の厚さを $28\sim 93\ \mu\text{m}$ の範囲で変化させた場合のオン抵抗および半導体基板 32 および金属層 31 の積層

体の反り量を測定した。上記反り量については、ベアチップの状態のサンプルを、リフロー工程を模した最高温度 250℃の熱負荷サイクル下に置き、モアレ法によりベアチップの形状を測定し、測定された反り量の最大値を記録した。

[0062] 表 2 に、比較例 2 に係る半導体装置の各パラメータを示す。

[0063] [表2]

パラメータ	数値範囲
半導体層 40 厚さ (μm)	28-93
金属層 31 厚さ ($\text{Ag} : \mu\text{m}$)	10-40
低濃度不純物層 33 厚さ (μm)	2.75
対角長 L1 (mm)	3.92
金属層 31 厚さ／半導体層 40 厚さ	0.11-1.43

[0064] 図 3 B に示すように、金属層 31 厚さ／半導体層 40 厚さを大きくするにつれて、オン抵抗が低くなっていく。一方、金属層 31 厚さ／半導体層 40 厚さを大きくするにつれて、反り量が増加していく。

[0065] 図 3 B より、オン抵抗が 2.4 m Ω 以下を満たす金属層 31 厚さ／半導体層 40 厚さは、0.27 よりも大きいことが要求される。しかしながら、金属層 31 厚さ／半導体層 40 厚さは、0.27 よりも大きくなると、反り量が 20 μm 以上となる。反り量が大きくなるにつれ、実装基板へのフェイスダウン実装の際、安定した実装が困難となり、不具合が発生する。例えば、(1) 半導体装置上の電極と実装基板上の電極との間の半田接合が不完全となる、(2) 当該半田内でのボイドが発生する、(3) 電極からの半田はみ出しによる電極間ショートが発生する、などの不具合が発生する。

[0066] つまり、比較例 1 および 2 に係る半導体装置の場合、オン抵抗を、充放電回路として必要な 2.4 m Ω 以下を満たすためには、(1) 金属層 31 の厚さは 20 μm 以上、かつ、(2) 金属層 31 厚さ／半導体層 40 厚さが 0.27 よりも大きいこと、が必要であるが、上記 (1) および (2) を満たす場合、反り量が 20 μm 以上となるといった問題が発生する。

[0067] [3. 半導体装置のオン抵抗の低減および反りの低減を両立する構造]

上述した比較例 1 および 2 に係る半導体装置に対して、本実施の形態に係る半導体装置 1 は、金属層 3 1 の半導体基板 3 2 と反対側の主面全面に接して接着層 3 9 が形成され、接着層 3 9 の金属層 3 1 と反対側の主面全面に接して、セラミック材料からなる支持体 3 0 が形成されている。

[0068] セラミック材料からなる支持体 3 0 の応力発生の主要因である熱膨張係数およびヤング率などの物理定数は、金属材料からなる金属層 3 1 の上記物理定数よりも、半導体基板 3 2 の上記物理定数に近い値を有する。つまり、半導体基板 3 2 と金属層 3 1 との接合により発生する熱膨張応力を打ち消す方向の熱膨張応力が、支持体 3 0 と金属層 3 1 との接合により発生する。これにより、金属層 3 1 の対向する主面において、熱膨張応力のバランスがとれるため、金属層 3 1 および半導体層 4 0 の積層体の反りを抑制できる。

[0069] これに対して、特許文献 1 に係る半導体装置では、金属層の半導体基板と反対側の主面に接して導電層が形成されている。導電層の上記物理定数は、半導体基板の上記物理定数よりも金属層の上記物理定数に近い値を有する。このため、特許文献 1 に係る半導体装置では、半導体基板と金属層との接合により発生する応力を打ち消す方向の応力は、導電層と金属層との接合により発生しない。

[0070] また、本実施の形態に係る半導体装置 1 において、厚さ $20\ \mu\text{m}$ 以上であって、かつ、半導体層 4 0 に対する厚さの割合が 0.27 より大きい金属層 3 1 にかかる熱膨張応力を抑制するための支持体 3 0 としては、特許文献 2 に開示された絶縁被膜（塗布型の有機材料、有機系のテープ、または無機系酸化物薄膜）のような薄膜系の材料では不十分である。これに対して、厚さ $20\ \mu\text{m}$ 以上であって、かつ、半導体層 4 0 に対する厚さの割合が 0.27 より大きい金属層 3 1 にかかる熱膨張応力を抑制するための支持体 3 0 として、熱膨張係数およびヤング率が比較的半導体層 4 0 のそれに近いセラミック材料の支持体 3 0 を金属層 3 1 に直接貼り付けることは、現実的に困難である。よって、本実施の形態に係る半導体装置 1 では、金属層 3 1 と支持体 3 0 との間に、接着層 3 9 を介在させる構成としている。

[0071] これにより、厚さ $20\mu\text{m}$ 以上であって、かつ、半導体層 40 に対する厚さの割合が 0.27 より大きい金属層 31 にかかる熱膨張応力を抑制すべく、金属層 31 の半導体基板 32 と反対側に、接着層 39 およびセラミック材料からなる支持体 30 を形成することにより、オン抵抗の低減と半導体装置 1 の反りの抑制とを両立させたチップサイズパッケージ型の半導体装置 1 を提供することが可能となる。

[0072] なお、支持体 30 のセラミック材料は、例えば、シリコンである。これにより、窒化シリコンおよび酸化シリコンと比較しても、半導体装置をダイシングにより個片化する場合の切削加工性が向上する。また、窒化シリコンおよび酸化シリコンよりも材料入手が容易であり、また、低コストである。

[0073] また、金属層 31 の金属材料は、例えば、銀 (Ag) である。これにより、金属材料として一般に用いられる銅 (Cu) などと比較して、オン抵抗を効果的に低減することが可能となる。

[0074] なお、本実施の形態に係る半導体装置 1 において、金属層 31 は、半導体層 40 より厚くてもよい。これにより、オン抵抗のさらなる低減に貢献できる。

[0075] また、支持体 30 は、半導体層 40 より薄くてもよい。本実施の形態に係る半導体装置 1 の構成では、金属層 31 と支持体 30 との間の接着層 39 が介在するため、支持体 30 が半導体層 40 より薄い場合であっても、半導体基板 32 および金属層 31 の反り量低減に貢献できる。

[0076] また、接着層 39 は、導電性接着剤であってもよく、例えば、導電性 DAF が挙げられる。また、導電性接着剤の材料としては、例えば、銀ペーストが挙げられる。これにより、オン抵抗のさらなる低減に貢献できる。

[0077] [4. 半導体装置を構成する各層の厚さの最適化]

ここで、本実施の形態に係る半導体装置 1 のオン抵抗および反りを低減するための各層の厚さを最適化するプロセスについて説明する。

[0078] まず、物理定数の異なる多層を貼り合わせた場合に発生する反り量の理論式 (多層ばり理論により導出された式) を、半導体層 40、金属層 31、接

着層 39、および支持体 30 の 4 層から構成される、本実施の形態に係る半導体装置 1 に適用する（ステップ S 10）。

[0079] 次に、上記理論式に基づいて導出される本実施の形態に係る半導体装置 1 の反り量 δ が有限要素法を用いて構築された反り計算シミュレータでの計算値に合うように上記理論式をフィッティングする（ステップ S 20）。

[0080] 最後に、上記理論式および反り計算シミュレータにより導出された実効的な反り量 δ_e の算出式より、本実施の形態に係る半導体装置 1 の反り量 δ_e が $20\ \mu\text{m}$ 以下および $40\ \mu\text{m}$ 以下となる場合の、接着層 39 および支持体 30 の厚さを導出する（ステップ S 30）。

[0081] まず、上記ステップ S 10 について説明する。

[0082] 図 4 A は、多層体に発生する反り量を導出するための基本モデルを表す図である。図 4 A に示すように、（熱膨張係数 α_1 、ヤング率 E_1 ）および厚さ t_1 を有する第 1 層、（熱膨張係数 α_2 、ヤング率 E_2 ）および厚さ t_2 を有する第 2 層、（熱膨張係数 α_3 、ヤング率 E_3 ）および厚さ t_3 を有する第 3 層、ならびに、（熱膨張係数 α_4 、ヤング率 E_4 ）および厚さ t_4 を有する第 4 層が、y 軸負方向に向けて、この順で接合されている。なお、y 軸方向からみた各層の長さ L および幅（奥行き） b は、4 層とも同じと仮定する。

[0083] 図 4 B は、多層体に発生する反り量 δ を説明する側面概略図である。同図に示すように、多層体に発生する応力により、多層体の x 軸正方向の端部が、水平位置から y 軸負方向にシフトする量を反り量 δ と定義する。

[0084] ここで、非特許文献 1（尾田十八、「多層ばり理論によるプリント基板の応力・変形解析」、機論 A 編、pp. 1777-1782、1993 年）に記載された多層ばり理論に基づき、図 4 A に示された多層体モデルに発生する反り量 δ は、以下の式 1 で表される。また、式 1 の R は、式 2 で表される。

[0085] [数 1]

$$\delta = \frac{L^2}{2R} \quad (\text{式 1})$$

[0086] [数2]

$$R = \frac{F}{G}$$

$$F = 4X_0Y + K_{12}X_{12} + K_{13}X_{13} + K_{23}X_{23} + K_{14}X_{14} + K_{24}X_{24} + K_{34}X_{34}$$

$$G = 2\Delta T \{ (\alpha_1 - \alpha_2)X_{12} + (\alpha_1 - \alpha_3)X_{13} + (\alpha_2 - \alpha_3)X_{23} + (\alpha_1 - \alpha_4)X_{14} + (\alpha_2 - \alpha_4)X_{24} + (\alpha_3 - \alpha_4)X_{34} \}$$

$$Y = E_1I_1 + E_2I_2 + E_3I_3 + E_4I_4$$

$$I_1 = \frac{b \cdot t_1^3}{12}, I_2 = \frac{b \cdot t_2^3}{12}, I_3 = \frac{b \cdot t_3^3}{12}, I_4 = \frac{b \cdot t_4^3}{12}$$

$$X_0 = t_1E_1 + t_2E_2 + t_3E_3 + t_4E_4$$

$$X_{12} = K_{12}t_1t_2E_1E_2, X_{13} = K_{13}t_1t_3E_1E_3, X_{23} = K_{23}t_2t_3E_2E_3$$

$$X_{14} = K_{14}t_1t_4E_1E_4, X_{24} = K_{24}t_2t_4E_2E_4, X_{34} = K_{34}t_3t_4E_3E_4$$

$$K_{12} = t_1 + t_2, K_{13} = t_1 + t_3 + 2t_2, K_{23} = t_2 + t_3$$

$$K_{14} = t_1 + t_4 + 2(t_2 + t_3), K_{24} = t_2 + t_4 + 2t_3, K_{34} = t_3 + t_4 \quad (\text{式 2})$$

[0087] 式 1 および式 2 より、反り量 δ は、各層の厚さ t_n ($n = 1 \sim 4$) の関数として表すことができ、当該関数を決定する他のパラメータが、各層の長さ L 、変化温度 ΔT 、各層の (α_n, E_n) ($n = 1 \sim 4$) である。

[0088] 表 3 に、上記式 1 および式 2 を用いて求めた反り量 δ の一例を示す。また、表 4 に、表 3 の反り量 δ を求めた際に使用した他のパラメータを示す。

[0089]

[表3]

各層厚さ (μm)							
t1	t2	t3	t4	F	G	R	反り量 δ (μm)
20	30	30	0	2.11E+10	-9.87E+11	-0.02	181.2
20	30	30	50	1.73E+12	5.26E+12	0.33	-11.8
20	30	30	100	6.78E+12	1.61E+13	0.42	-9.2
20	30	30	150	1.89E+13	3.14E+13	0.60	-6.4
20	50	30	0	6.64E+10	-2.20E+12	-0.03	128.2
20	50	30	50	2.74E+12	9.52E+12	0.29	-13.5
20	50	30	100	9.49E+12	2.87E+13	0.33	-11.7
20	50	30	150	2.42E+13	5.53E+13	0.44	-8.8
20	30	50	0	2.37E+10	-1.11E+12	-0.02	181.8
20	30	50	50	2.53E+12	7.07E+12	0.36	-10.8
20	30	50	100	8.78E+12	2.00E+13	0.44	-8.8
20	30	50	150	2.25E+13	3.76E+13	0.60	-6.5
20	50	50	0	7.07E+10	-2.36E+12	-0.03	129.5
20	50	50	50	3.81E+12	1.24E+12	0.31	-12.7
20	50	50	100	1.21E+12	3.49E+13	0.35	-11.1
20	50	50	150	2.89E+13	6.49E+13	0.45	-8.7
20	30	100	50	5.24E+12	1.18E+13	0.45	-8.7
20	30	100	100	1.52E+13	3.02E+13	0.50	-7.7
20	50	100	50	7.35E+12	1.99E+13	0.37	-10.5
20	50	100	100	2.04E+13	5.07E+13	0.40	-9.6

[0090] [表4]

	半導体層 4 0 (n = 1)	金属層 3 1 (n = 2)	接着層 3 9 (n = 3)	支持体 3 0 (n = 4)
長さ L (mm)	3.4			
幅 b (mm)	1			
熱膨張係数 α_n (ppm/°C)	3.35	18.5	43	3.35
ヤング率 E_n (GPa)	190	50	1.1	190
ΔT (°C)	100			

[0091] なお、表4において、幅bを1mmとしているが、これは、反り量 δ の計算に関して、幅bは分母および分子の双方に現れて相殺されるため、任意の値でよいことに起因するものである。

[0092] 次に、上記ステップS20について説明する。ステップS20では、上記

式 1 および式 2 に基づいて導出された反り量 δ が反り計算シミュレータでの計算値 δ_s に合うように上記式 1 および式 2 をフィッティングする。なお、このフィッティングに用いた反り計算シミュレータは、有限要素法解析を用いた構造解析ソフトウェア（ANSYS 社製）を、必要量の反り実測データを用いてカスタマイズしたものである。

[0093] 上記反り計算シミュレータに、表 3 に示された各層の厚さ $t_1 \sim t_4$ 、表 4 に示された各パラメータを代入して得られた反り量の計算値 δ_s を用いて、式 1 および式 2 により算出した理論的な反り量 δ を補正することが可能となる。具体的には、反り量 δ と反り量 δ_s との比を β ($=\delta_s/\delta$) とすると、反り量 δ を反り計算シミュレータ算出値にフィッティングされた実効的な反り量 δ_e へと変換できる。つまり、実効的な反り量 δ_e は、フィッティング係数 β を用いて、以下の式 3 で表される。

[0094] [数 3]

$$\delta_e = \beta \cdot \delta \quad (\text{式 3})$$

[0095] 表 3 の各データにおいて、最適なフィッティング係数 β は、0.67 であった。

[0096] 次に、上記ステップ S 30 について説明する。式 3 に示された実効的な反り量 δ_e の算出式（以降、実効値算出式と呼ぶ）により、本実施の形態に係る半導体装置 1 の反り量が（1）20 μm 以下、および、（2）40 μm 以下となる場合の、接着層 39 および支持体 30 の厚さを導出する。

[0097] 図 5 は、実効値算出式を用いて算出した、接着層 39 の厚さ、および、支持体 30 の厚さに対する反り量 δ_e の変化を表すグラフである。同図には、半導体層 40 の厚さを 20 μm 、および、金属層 31 の厚さを 30 μm と固定し、接着層 39 の厚さを 0 μm 、30 μm 、および 50 μm と変化させた場合の、支持体 30 の厚さと反り量 δ_e との関係が示されている。なお、その他のパラメータは、表 4 に示された値となっている。

[0098] 図 5 のグラフより、まず、反り量 δ_e を 20 μm 以下にする接着層 39 と支持体 30 との関係を把握する。図 5 より、以下のことが解る。

- [0099] (1) 接着層39が厚い方が、反り量 δe が0となる支持体30の厚さが小さい。つまり、接着層39の存在で支持体30の必要量が少なくなる。
- [0100] (2) 支持体30を厚くすると、一旦逆反りになる（反り量 δe が負値をとる）が、さらに厚くすると0に近づく。逆反りにおける反り量 δe の極小点は $10\mu m$ 程度であり、 $20\mu m$ 以上にはならない。よって、接着層39および支持体30の厚さの条件を出す場合には、順反りを $20\mu m$ 以下にする条件を出せばよい。
- [0101] 上述した、接着層39および支持体30の厚さの条件出しにおいて、本実施の形態に係る半導体装置1は、異なる物理定数および異なる厚さを有する4つの層を有するため、検討対象のパラメータが多い。そこで、以下の方針により、接着層39および支持体30の厚さを算出する。
- [0102] (1) 主たるパラメータは、4つの層の各厚さ、および、反り量 δe である。反り量 δe の規格値を、第1規格値 $20\mu m$ 、および、第2規格値 $40\mu m$ とする。
- [0103] (2) 本実施の形態に係る半導体装置1の特徴は、半導体層40および金属層31で発生する反りを抑制するために、接着層39および支持体30が配置されていることなので、反り量 δe の規格値を満足する支持体30の厚さを、接着層39の厚さに依存する形式で規定する。つまり、使用する接着層39の厚さに応じて、支持体30の厚さを決定できる関数を導出する。
- [0104] 図6Aは、実効値算出式を用いて算出した、半導体層40の厚さを固定した場合（（a）は半導体層40の厚さ $10\mu m$ 、（b）は半導体層40の厚さ $80\mu m$ ）の、反り量 δe を $20\mu m$ にするための、金属層31、接着層39および支持体30の厚さの関係を表すグラフである。また、図6Bは、実効値算出式を用いて算出した、金属層31の厚さを固定した場合（（a）は金属層31の厚さ $20\mu m$ 、（b）は金属層31の厚さ $70\mu m$ ）の、反り量 δe を $20\mu m$ にするための、半導体層40、接着層39および支持体30の厚さの関係を表すグラフである。
- [0105] 図6Aの（a）および（b）に示すようなグラフを、半導体層40の厚さ

20 μm 、40 μm 、60 μm の場合においても、また、図6Bの(a)および(b)に示すようなグラフを、金属層31の厚さ40 μm 、50 μm 、60 μm の場合においても実効値算出式を用いて取得する。このようにして取得されたグラフより、反り量 δe を20 μm にする接着層39の厚さ毎の支持体30の厚さを抽出する。このとき、半導体層40の厚さおよび金属層31の厚さの変化により、反り量 δe を20 μm にする接着層39の厚さ毎の支持体30の厚さは変化するが、半導体層40の厚さおよび金属層31の厚さが変化するなかで、接着層39の厚さ毎の支持体30の厚さの最大値を抽出する。同様の抽出プロセスを、反り量 δe を40 μm にする接着層39の厚さ毎の支持体30の厚さについても適用する。

[0106] 表5に、この抽出プロセスにより取得された接着層39の厚さ毎の支持体30の厚さの組み合わせを示す。また、表6に、表5の反り量 δe を求めた際に使用した他のパラメータを示す。

[0107] [表5]

	反り量 $\delta e = 20 \mu\text{m}$ (目標値)	反り量 $\delta e = 20 \mu\text{m}$ (許容値)	反り量 $\delta e = 40 \mu\text{m}$ (目標値)	反り量 $\delta e = 40 \mu\text{m}$ (許容値)
接着層39 厚さ (μm)	支持体30 厚さ (μm)	支持体30 厚さ (μm)	支持体30 厚さ (μm)	支持体30 厚さ (μm)
0	19.0	26.2	9.4	13.1
20	14.4	24.3	5.9	12.1
40	11.4	23.2	4.3	11.8
60	9.4	22.5	3.3	11.5
80	7.9	22.0	2.7	11.4
100	6.8	21.7	2.3	11.3

[0108]

[表6]

	半導体層 4 0 (n = 1)	金属層 3 1 (n = 2)	接着層 3 9 (n = 3)	支持体 3 0 (n = 4)
長さ L (mm)	3.4 (目標値) 4.0 (最大値)			
幅 b (mm)	1			
熱膨張係数 α_n (ppm/°C)	3.35	18.5	1.1 (目標値) 5.0 (最大値)	3.35
ヤング率 E_n (GPa)	190	75	50 (目標値) 100 (最大値)	190
ΔT (°C)	100			

[0109] なお、反り量 δ_e 規格値である $20\ \mu\text{m}$ および $40\ \mu\text{m}$ を目標値として設定して、接着層 3 9 の厚さに対する支持体 3 0 の厚さの関係を抽出する場合には、表 6 に示されたパラメータのうち目標値を用い、反り量 δ_e 規格値である $20\ \mu\text{m}$ および $40\ \mu\text{m}$ を許容値として設定して、接着層 3 9 の厚さに対する支持体 3 0 の厚さの関係を抽出する場合には、表 6 に示されたパラメータのうち最大値を用いた。

[0110] 図 7 は、実施の形態 1 に係る半導体装置 1 において、反り量 $20\ \mu\text{m}$ および $40\ \mu\text{m}$ にするための接着層 3 9 の厚さに対する支持体 3 0 の厚さの関係を規定したグラフである。同図には、表 5 に示された抽出データがプロットされている。同図に示されたグラフより、(1) 反り量 δ_e を $20\ \mu\text{m}$ (目標値) にする接着層 3 9 の厚さに対する支持体 3 0 の厚さの関係を表す近似式、(2) 反り量 δ_e を $20\ \mu\text{m}$ (許容値) にする接着層 3 9 の厚さに対する支持体 3 0 の厚さの関係を表す近似式、(3) 反り量 δ_e を $40\ \mu\text{m}$ (目標値) にする接着層 3 9 の厚さに対する支持体 3 0 の厚さの関係を表す近似式、(4) 反り量 δ_e を $40\ \mu\text{m}$ (許容値) にする接着層 3 9 の厚さに対する支持体 3 0 の厚さの関係を表す近似式、が得られる。これらの近似式より、半導体装置 1 の反り量を抑制する接着層 3 9 の厚さに対する支持体 3 0 の厚さの関係は、式 4 ~ 式 7 で表される。

[0111] (1) 接着層 3 9 の厚さを t_3 (μm) とし、支持体 3 0 の厚さを t_4 (μm) とした場合、反り量 δ_e を $20\ \mu\text{m}$ 以下とする接着層 3 9 の厚さに対する

る支持体 30 の厚さは、以下の式 4 で表される。

[0112] [数4]

$$t_4 \geq 1.10 \times 10^{-3} \cdot t_3^2 - 2.24 \times 10^{-1} \cdot t_3 + 1.88 \times 10^1 \quad (\text{式 4})$$

[0113] これにより、金属層 31 の厚さが $20 \mu\text{m}$ 、かつ、金属層 31 厚さ／半導体層 40 厚さが 0.27 よりも大きい半導体装置 1 において、各層の長さ L が 3.4 mm 以下であり、接着層 39 の熱膨張係数 α_3 が $1.1 (\text{ppm}/^\circ\text{C})$ 以下であり、接着層 39 のヤング率 E_3 が $50 (\text{GPa})$ 以下であるという条件において、半導体装置 1 の反り量を $20 \mu\text{m}$ 以下とすることが可能となる。

[0114] (2) 接着層 39 の厚さを $t_3 (\mu\text{m})$ とし、支持体 30 の厚さを $t_4 (\mu\text{m})$ とした場合、反り量 δe を $20 \mu\text{m}$ 以下とする接着層 39 の厚さに対する支持体 30 の厚さは、以下の式 5 で表される。

[0115] [数5]

$$t_4 \geq 4.00 \times 10^{-4} \cdot t_3^2 - 8.68 \times 10^{-2} \cdot t_3 + 2.60 \times 10^1 \quad (\text{式 5})$$

[0116] これにより、金属層 31 の厚さが $20 \mu\text{m}$ 、かつ、金属層 31 厚さ／半導体層 40 厚さが 0.27 よりも大きい半導体装置 1 において、各層の長さ L が 4.0 mm 以下であり、接着層 39 の熱膨張係数 α_3 が $5.0 (\text{ppm}/^\circ\text{C})$ 以下であり、接着層 39 のヤング率 E_3 が $100 (\text{GPa})$ 以下であるという条件において、半導体装置 1 の反り量を $20 \mu\text{m}$ 以下とすることが可能となる。

[0117] (3) 接着層 39 の厚さを $t_3 (\mu\text{m})$ とし、支持体 30 の厚さを $t_4 (\mu\text{m})$ とした場合、反り量 δe を $40 \mu\text{m}$ 以下とする接着層 39 の厚さに対する支持体 30 の厚さは、以下の式 6 で表される。

[0118] [数6]

$$t_4 \geq 9.00 \times 10^{-4} \cdot t_3^2 - 1.54 \times 10^{-1} \cdot t_3 + 9.12 \quad (\text{式 6})$$

[0119] これにより、金属層 31 の厚さが $20 \mu\text{m}$ 、かつ、金属層 31 厚さ／半導

体層 40 厚さが 0.27 よりも大きい半導体装置 1 において、各層の長さ L が 3.4 mm 以下であり、接着層 39 の熱膨張係数 α_3 が 1.1 (ppm/°C) 以下であり、接着層 39 のヤング率 E_3 が 50 (GPa) 以下であるという条件において、半導体装置 1 の反り量を 40 μ m 以下とすることが可能となる。

[0120] (4) 接着層 39 の厚さを t_3 (μ m) とし、支持体 30 の厚さを t_4 (μ m) とした場合、反り量 δe を 40 μ m 以下とする接着層 39 の厚さに対する支持体 30 の厚さは、以下の式 7 で表される。

[0121] [数7]

$$t_4 \geq 2.00 \times 10^{-4} \cdot t_3^2 - 4.11 \times 10^{-2} \cdot t_3 + 1.30 \times 10^1 \quad (\text{式 7})$$

[0122] これにより、金属層 31 の厚さが 20 μ m、かつ、金属層 31 厚さ／半導体層 40 厚さが 0.27 よりも大きい半導体装置 1 において、各層の長さ L が 4.0 mm 以下であり、接着層 39 の熱膨張係数 α_3 が 5.0 (ppm/°C) 以下であり、接着層 39 のヤング率 E_3 が 100 (GPa) 以下であるという条件において、半導体装置 1 の反り量を 40 μ m 以下とすることが可能となる。

[0123] [5. 変形例に係る半導体装置の構造]

図 8 A は、実施の形態 1 の変形例 1 に係る半導体装置 1 A の断面図である。また、図 8 B は、実施の形態 1 の変形例 1 に係る半導体装置 1 A の電極構成の一例を示す上面図である。図 8 A の断面図は、図 8 B の V I I I A - V I I I A における切断面を見た図である。図 8 A に示すように、半導体装置 1 A は、半導体基板 32 と、低濃度不純物層 33 と、金属層 31 と、接着層 39 と、支持体 30 と、トランジスタ 10 と、トランジスタ 20 と、を有する。図 8 B に示すように、半導体装置 1 A は、半導体基板 32 を平面視した場合、2 つの第 1 のソース電極 11、2 つの第 2 のソース電極 21、1 つの第 1 のゲート電極 19、および、1 つの第 2 のゲート電極 29 を有している。トランジスタ 10 の上面には、トランジスタ 10 とトランジスタ 20 とが対向する方向と垂直な方向に沿って、第 1 のソース電極 11、第 1 のゲート

電極 19、および第 1 のソース電極 11 がこの順に形成されている。また、トランジスタ 20 の上面には、トランジスタ 10 とトランジスタ 20 とが対向する方向と垂直な方向に沿って、第 2 のソース電極 21、第 1 のゲート電極 29、および第 1 のソース電極 21 がこの順に形成されている。なお、1 つのトランジスタを構成するソース電極およびゲート電極の個数および配置関係は、図 8 B に示されたものに限定されない。

[0124] 本変形例に係る半導体装置 1 A は、実施の形態 1 に係る半導体装置 1 と比較して、トランジスタ 10 および 20 の境界に、切り込み部 61 が形成されている点のみが構成として異なる。以下、本変形例に係る半導体装置 1 A について、実施の形態 1 に係る半導体装置 1 と同じ構成については説明を省略し、異なる構成を中心に説明する。

[0125] 図 8 A および図 8 B に示すように、本変形例に係る半導体装置 1 A では、トランジスタ 10 の第 1 の領域と、トランジスタ 20 の第 2 の領域との間の境界に、半導体装置 1 A の上面側から下面側に向けて切り込み部 61 が形成されている。また、切り込み部 61 は、低濃度不純物層 33 まで形成されている。なお、本変形例に係る半導体装置 1 A の切り込み部 61 の最下端は、半導体基板 32 の下面よりも半導体装置 1 A の上面側に位置している。

[0126] これにより、半導体基板 32 と低濃度不純物層 33 との間の内部応力を緩和でき、半導体基板 32 と低濃度不純物層 33 との剥離を防止できる。また、切り込み部 61 が半導体基板 32 まで到達することにより、半導体基板 32 と金属層 31 との間の内部応力を緩和でき、半導体基板 32 と金属層 31 との剥離を防止できる。

[0127] 図 9 は、実施の形態 1 の変形例 2 に係る半導体装置 1 B の断面図である。なお、実施の形態 1 の変形例 2 に係る半導体装置 1 B の電極構成の一例を示す上面図については、図 8 B に示された半導体装置 1 A の上面図と同様であるため省略する。

[0128] 図 9 に示すように、半導体装置 1 B は、半導体基板 32 と、低濃度不純物層 33 と、金属層 31 と、接着層 39 と、支持体 30 と、トランジスタ 10

と、トランジスタ 20 と、を有する。半導体装置 1 B は、半導体基板 32 を平面視した場合、2 つの第 1 のソース電極 11、2 つの第 2 のソース電極 21、1 つの第 1 のゲート電極 19、および、1 つの第 2 のゲート電極 29 を有している。トランジスタ 10 の上面には、トランジスタ 10 とトランジスタ 20 とが対向する方向と垂直な方向に沿って、第 1 のソース電極 11、第 1 のゲート電極 19、および第 1 のソース電極 11 がこの順に形成されている。また、トランジスタ 20 の上面には、トランジスタ 10 とトランジスタ 20 とが対向する方向と垂直な方向に沿って、第 2 のソース電極 21、第 1 のゲート電極 29、および第 1 のソース電極 21 がこの順に形成されている。なお、1 つのトランジスタを構成するソース電極およびゲート電極の個数および配置関係は、図 8 B に示されたものに限定されない。

[0129] 本変形例に係る半導体装置 1 B は、実施の形態 1 に係る半導体装置 1 と比較して、トランジスタ 10 および 20 の境界に切り込み部 62 が形成されている点のみが構成として異なる。以下、本変形例に係る半導体装置 1 B について、実施の形態 1 に係る半導体装置 1 と同じ構成については説明を省略し、異なる構成を中心に説明する。

[0130] 図 9 に示すように、本変形例に係る半導体装置 1 B では、トランジスタ 10 の第 1 の領域と、トランジスタ 20 の第 2 の領域との間の境界に、半導体装置 1 B の上面側から下面側に向けて切り込み部 62 が形成されている。また、切り込み部 62 は、金属層 31 まで形成されている。なお、本変形例に係る半導体装置 1 B の切り込み部 62 の最下端は、金属層 31 の上面と下面との間に位置している。

[0131] これにより、半導体基板 32 と金属層 31 との間の内部応力を緩和でき、半導体基板 32 と金属層 31 との剥離を防止できる。さらに、金属層 31 と接着層 39 および支持体 30 との間の内部応力を緩和でき、金属層 31 と支持体 30 との間における剥離を防止できる。

[0132] [6. 半導体装置の製造方法]

実施の形態 1 に係る半導体装置 1 の製造方法について、図 10 A ~ 10 C

、図11A～11B、図12A～12B、図13および図14を参照しながら説明する。ここでは「縦型」MOSFETを例にとって説明するが、他に、ダイオード、「縦型」のバイポーラトランジスタ等においても同様の効果を得られることは言うまでもない。

[0133] 図10Aは、実施の形態1に係る半導体装置1の製造方法の第1工程を示す断面図である。図10Bは、実施の形態1に係る半導体装置1の製造方法の第2工程を示す断面図である。図10Cは、実施の形態1に係る半導体装置の製造方法の第3工程を示す断面図である。

[0134] まず、図10Aに示すように、半導体基板32Aの一主面上に低濃度不純物層33を形成し、さらに低濃度不純物層33の表面領域に素子領域を形成する。次に、素子領域上の所定箇所にAlまたはCu等の金属を主材料とする電極（第1のソース電極、第2のソース電極）を形成する。

[0135] 次に、図10Bに示すように、半導体基板32Aの一主面側に仮接着剤37を塗布する。このとき、電極や素子領域などの凹凸よりも仮接着剤37を厚くすることが望ましい。さらに、仮接着剤37の上にガラス基板36をのせて押圧することで接着する。このとき、ガラス基板36と仮接着剤37との間に気泡が入らないようにするため、真空チャンバー内で接着することが望ましい。

[0136] 次に、図10Cに示すように、求められる電気特性（オン抵抗）を実現できるように、半導体基板32Aの一主面と反対側の裏面を、半導体基板32Aの厚さが所望の厚さ（好ましくは50μm以下）にまでバックグラインドし、所望の厚さの半導体基板32を形成する。さらにCMP等の鏡面処理をしておくことが望ましい。

[0137] 図11Aは、実施の形態1に係る半導体装置1の製造方法の第4工程を示す断面図である。図11Bは、実施の形態1に係る半導体装置1の製造方法の第5工程を示す断面図である。

[0138] 次に、図11Aに示すように、半導体基板32の一主面と反対側の裏面上に、金属層31を形成する。具体的な方法としては、半導体基板32とオー

ミックコンタクトをとるように蒸着法を用いて半導体基板 3 2 の裏面全体に第 1 金属層 3 1 A を形成する。ここで、第 1 金属層 3 1 A として、例えば、半導体基板 3 2 の裏面に近い側から順に T i および N i を積層する。

[0139] 次に、第 1 金属層 3 1 A 上に、第 2 金属層 3 1 B を形成する。具体的には、電解めっき法を用いて形成する。ここで、第 2 金属層 3 1 B としては、主に A g、A u、C u などを用いるのが良い。以降の説明では、第 1 金属層 3 1 A と第 2 金属層 3 1 B とを合わせて金属層 3 1 と呼ぶ。

[0140] 次に、図 1 1 B に示すように、金属層 3 1 上に接着剤を塗布し、接着層 3 9 を形成する。このとき、金属層 3 1 の表面凹凸よりも接着層 3 9 を厚くすることが望ましい。さらに、接着層 3 9 の上に支持体 3 0 をのせて押圧することで接着する。このとき、支持体 3 0 と接着層 3 9 との間に気泡が入らないようにするため、真空チャンバー内で接着することが望ましい。

[0141] 接着層 3 9 を形成する接着剤としては、エポキシ樹脂、フェノール樹脂などの熱硬化型樹脂を用いる。また、支持体 3 0 として、シリコンなどの材料のほかに、石英、サファイヤ、ほうけい酸ガラス、ソーダ石灰ガラスなど、紫外線に対して透明な材料を用いる場合は、接着剤として、エポキシアクリレート、アクリル酸アクリレート、ウレタンアクリレートなどの紫外線硬化型樹脂を用いることもできる。

[0142] 次に、上記接着剤を硬化させる工程について説明する。接着剤として熱硬化型樹脂を用いる場合の工程としては、貼り合わせを行ったウェハを、例えば、150℃程度の恒温炉に入れて1～2時間加熱する。加熱により上記接着剤を硬化させ、支持体 3 0 と金属層 3 1 との間を強く接着させる。

[0143] また、上記接着剤に紫外線硬化型樹脂を用いる場合には、高圧水銀ランプなどの紫外線発生装置を用いて貼り合わせを行ったウェハの支持体 3 0 側の面に対して、紫外線を照射する。照射する光量は例えば、300～2000 m J / c m²とする。

[0144] 図 1 2 A は、実施の形態 1 に係る半導体装置 1 の製造方法の第 6 工程を示す断面図である。図 1 2 B は、実施の形態 1 に係る半導体装置 1 の製造方法

の第7工程を示す断面図である。

[0145] 次に、図12Aに示すように、支持体30の表面、およびリングフレーム50にダイシングテープ38を貼付けて、リングフレーム50へのマウントを行う。

[0146] 次に、仮接着剤37とガラス基板36とを除去する。具体的には、図12Aに示すように、仮接着剤37のガラス基板36との境界面付近にレーザー光70を照射することで、ガラス基板36に接している部分の仮接着剤37を改質させて、半導体基板32からなるウェハからガラス基板36を除去する。その後、図12Bに示すように、仮接着剤37を剥離除去する。

[0147] 図13は、実施の形態1に係る半導体装置1の製造方法の第8工程を示す断面図である。

[0148] 最後に、図13に示すように、例えば、ダイシングソー等のダイシングブレード80を用いて、半導体基板32、低濃度不純物層33、金属層31、接着層39、および支持体30をダイシングして複数の半導体基板1へ個片化する。

[0149] 金属層31を含む半導体基板32のダイシングの際は、切削した金属がブレードに付着して目詰まり状態となり切削能力を維持できないという課題がある。さらに、シリコンからなる半導体基板32を薄くしていくと、ブレードへの切削負荷が減少しブレードの磨耗が遅くなり前述の目詰まりを解消しにくくなるという悪循環に至り、さらに切削能力の維持が難しくなることが想定される。これに対して、本実施の形態に係る半導体装置1では、支持体30としてシリコンを用いる。シリコンは、ブレードに適度な負荷を与えブレードの磨耗を促進する材質であるため、上記の目詰まり課題を改善できる。

[0150] また、比較例1および2のような従来の構造では、半導体装置の片側最表面が金属層となっているため、ダイシング加工で金属層を切削する際にブレードで金属層が引き伸ばされ大きなバリが発生する。

[0151] これに対して、本実施の形態に係る半導体装置1の製造工程では、金属層

31が半導体基板32および支持体30に挟まれている構造であるため、最表面に金属層31のような延性材料がない状態となるため、切削端面にバリが発生しにくい、という効果を奏する。

[0152] 図14は、実施の形態1に係る半導体装置の製造方法の第9工程を示す断面図である。さらに別の一例として、図14に示すように、最後のダイシング工程の際に、複数のトランジスタ間にダイシングブレード81を用いて切り込み64を入れる。これにより、半導体基板32とその上に形成された素子領域や電極による内部応力を緩和することができ、半導体基板32と金属層31との間の剥離を防止できる。図14の工程は、図10A～10C、図11A～11B、図12A～12Bに示した製造工程の後、実行されてもよく、図14の工程の後に、図13に示すダイシング工程により個別の半導体装置1へと分離される。図14に示すように、半導体装置1に形成された複数のトランジスタ間にダイシングブレード81によって切り込み64が形成される。

[0153] 以上、本開示の1つまたは複数の態様に係る半導体装置について、実施の形態に基づいて説明したが、本開示は、この実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本開示の1つまたは複数の態様の範囲内に含まれてもよい。

産業上の利用可能性

[0154] 本願発明に係る半導体装置は、CSP型の半導体装置として、双方向トランジスタ、単方向トランジスタ、ダイオードなどの各種の半導体装置に広く利用できる。

符号の説明

[0155] 1、1A、1B 半導体装置
2 制御IC
3 電池

4 負荷

10 トランジスタ（第1の縦型MOSトランジスタ）

11 第1のソース電極

12、22 第1の部分

13、23 第2の部分

14 第1のソース領域

15 第1のゲート導体

16 第1のゲート絶縁膜

18 第1のボディ領域

19 第1のゲート電極

20 トランジスタ（第2の縦型MOSトランジスタ）

21 第2のソース電極

24 第2のソース領域

25 第2のゲート導体

26 第2のゲート絶縁膜

28 第2のボディ領域

29 第2のゲート電極

30 支持体

31 金属層

31A 第1金属層

31B 第2金属層

32、32A 半導体基板

33 低濃度不純物層

34 層間絶縁層

35 パッシベーション層

36 ガラス基板

37 仮接着剤

38 ダイシングテープ

- 39 接着層
- 40 半導体層
- 50 リングフレーム
- 61、62 切り込み部
- 63、64 切り込み
- 70 レーザー光
- 80、81 ダイシングブレード

請求の範囲

[請求項1]

フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、

第1導電型の不純物を含み、シリコンからなる半導体基板と、

前記半導体基板の上面に接して形成され、前記半導体基板の前記第1導電型の不純物の濃度より低い濃度の前記第1導電型の不純物を含む低濃度不純物層と、

前記半導体基板の下面全面に接して形成され、厚さが $20\mu\text{m}$ 以上の金属材料のみで構成された金属層と、

前記低濃度不純物層内の第1の領域に形成された第1の縦型MOSトランジスタと、

前記第1の領域と前記半導体基板の上面に沿った方向で隣接する、前記低濃度不純物層内の第2の領域に形成された第2の縦型MOSトランジスタと、を備え、

前記第1の縦型MOSトランジスタは、前記低濃度不純物層の上面に形成された第1のソース電極および第1のゲート電極を有し、

前記第2の縦型MOSトランジスタは、前記低濃度不純物層の上面に形成された第2のソース電極および第2のゲート電極を有し、

前記半導体基板は、前記第1の縦型MOSトランジスタの第1のドレイン領域および前記第2の縦型MOSトランジスタの第2のドレイン領域を共通化したドレイン領域として機能し、

前記第1のソース電極と前記第2のソース電極との間を、前記第1のドレイン領域、前記金属層、および前記第2のドレイン領域を経由して流れる双方向経路を主電流経路とし、

前記半導体基板と前記低濃度不純物層とを含む半導体層に対する前記金属層の厚さの割合は 0.27 より大きく、

前記半導体装置は、さらに、

前記金属層の下面全面に、接着層のみを介して接着された、セラミ

ック材料からなる支持体を有する
半導体装置。

[請求項2] 前記セラミック材料は、シリコンである
請求項 1 に記載の半導体装置。

[請求項3] 前記金属材料は、銀である
請求項 1 または 2 に記載の半導体装置。

[請求項4] 前記金属層の厚さは、前記半導体層の厚さより厚い
請求項 3 に記載の半導体装置。

[請求項5] 前記支持体の厚さは、前記半導体層の厚さより薄い
請求項 3 に記載の半導体装置。

[請求項6] 前記接着層の構成材料は、導電性材料である
請求項 3 に記載の半導体装置。

[請求項7] 前記支持体の厚さを t_4 、前記接着層の厚さを t_3 とした場合、
[数1]

$$t_4 \geq 9.00 \times 10^{-4} \cdot t_3^2 - 1.54 \times 10^{-1} \cdot t_3 + 9.12$$

を満足する

請求項 3 に記載の半導体装置。

[請求項8] 前記支持体の厚さを t_4 、前記接着層の厚さを t_3 とした場合、
[数2]

$$t_4 \geq 2.00 \times 10^{-4} \cdot t_3^2 - 4.11 \times 10^{-2} \cdot t_3 + 1.30 \times 10^1$$

を満足する

請求項 7 に記載の半導体装置。

[請求項9] 前記支持体の厚さを t_4 、前記接着層の厚さを t_3 とした場合、
[数3]

$$t_4 \geq 1.10 \times 10^{-3} \cdot t_3^2 - 2.24 \times 10^{-1} \cdot t_3 + 1.88 \times 10^1$$

を満足する

請求項 7 に記載の半導体装置。

[請求項10] 前記支持体の厚さを t_4 、前記接着層の厚さを t_3 とした場合、

[数4]

$$t_4 \geq 4.00 \times 10^{-4} \cdot t_3^2 - 8.68 \times 10^{-2} \cdot t_3 + 2.60 \times 10^1$$

を満足する

請求項 9 に記載の半導体装置。

[請求項11] 前記第 1 の領域と前記第 2 の領域との間の境界に、前記半導体装置の上面側から下面側に向けて切り込み部が形成されており、

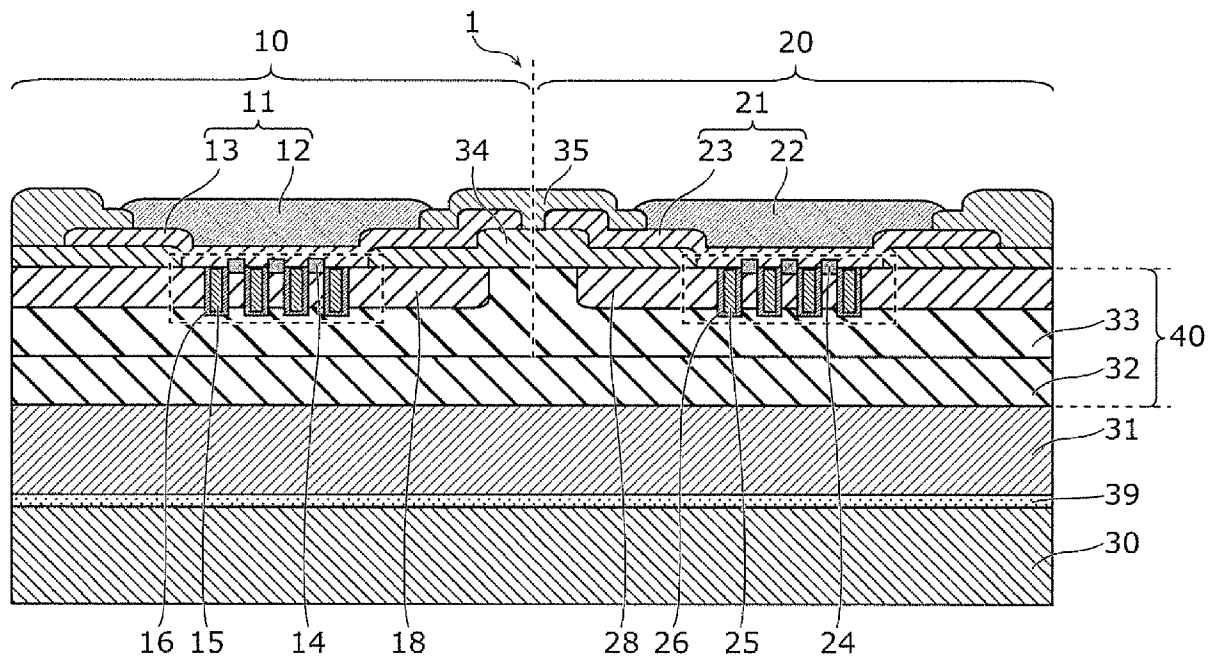
前記切り込み部の最下端は、前記半導体基板の下面よりも前記上面側に位置する

請求項 1 に記載の半導体装置。

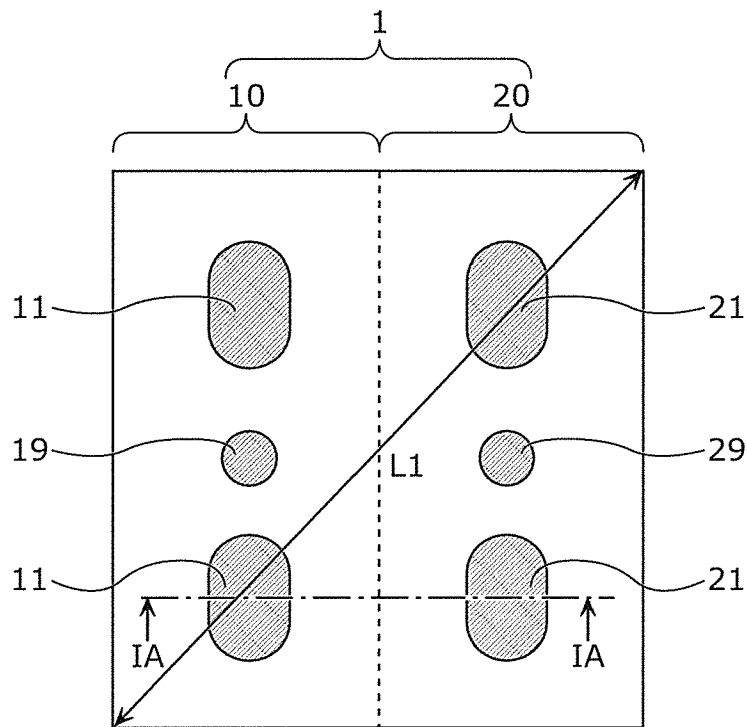
[請求項12] 前記切り込み部の最下端は、前記金属層の上面と下面との間に位置する

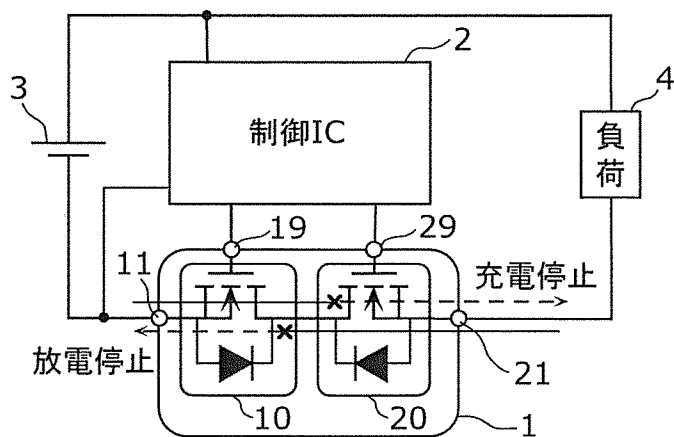
請求項 11 に記載の半導体装置。

[図1A]

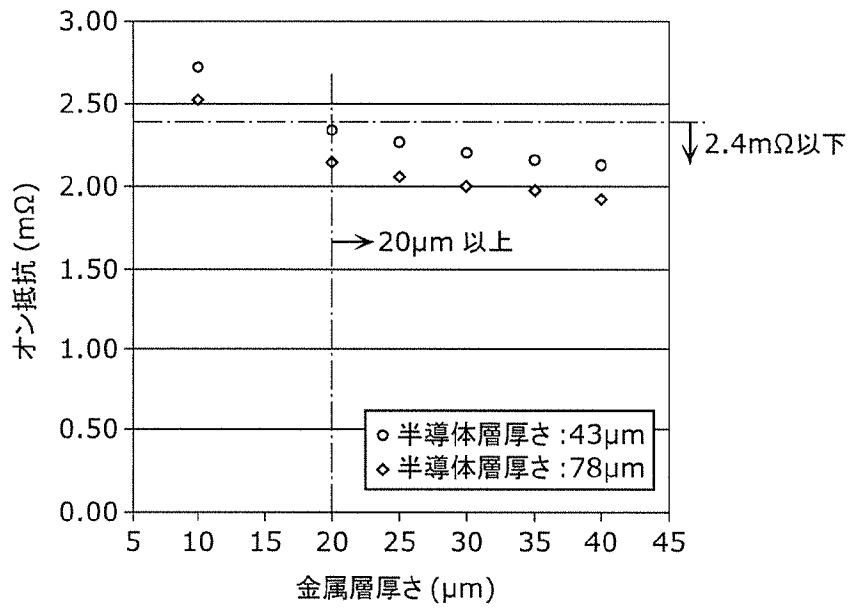


[図1B]

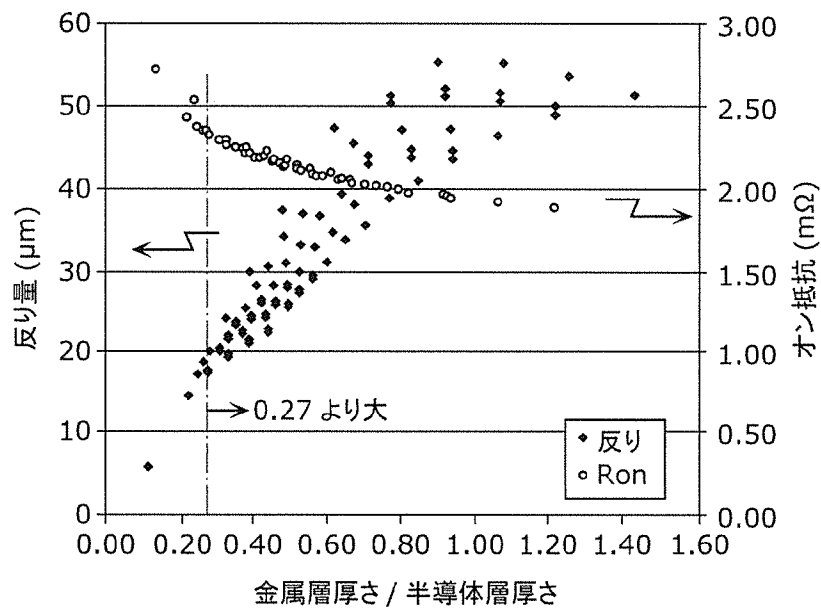




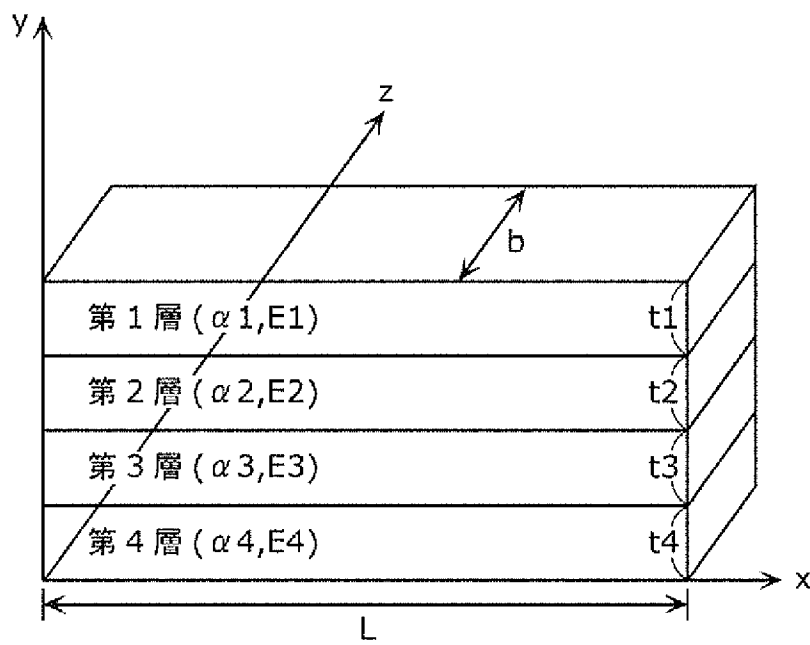
[図3A]



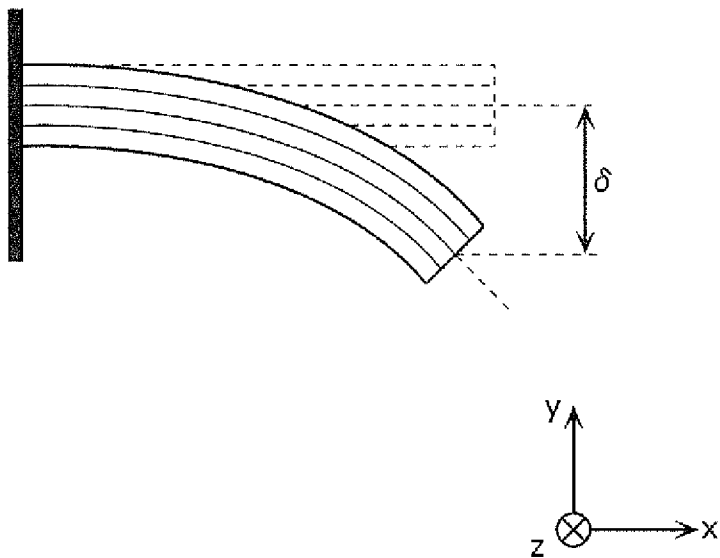
[図3B]



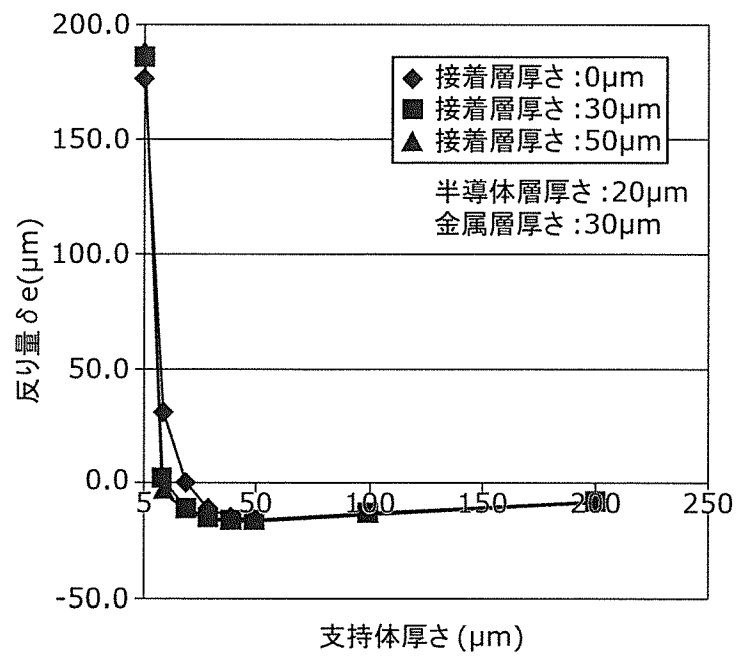
[図4A]



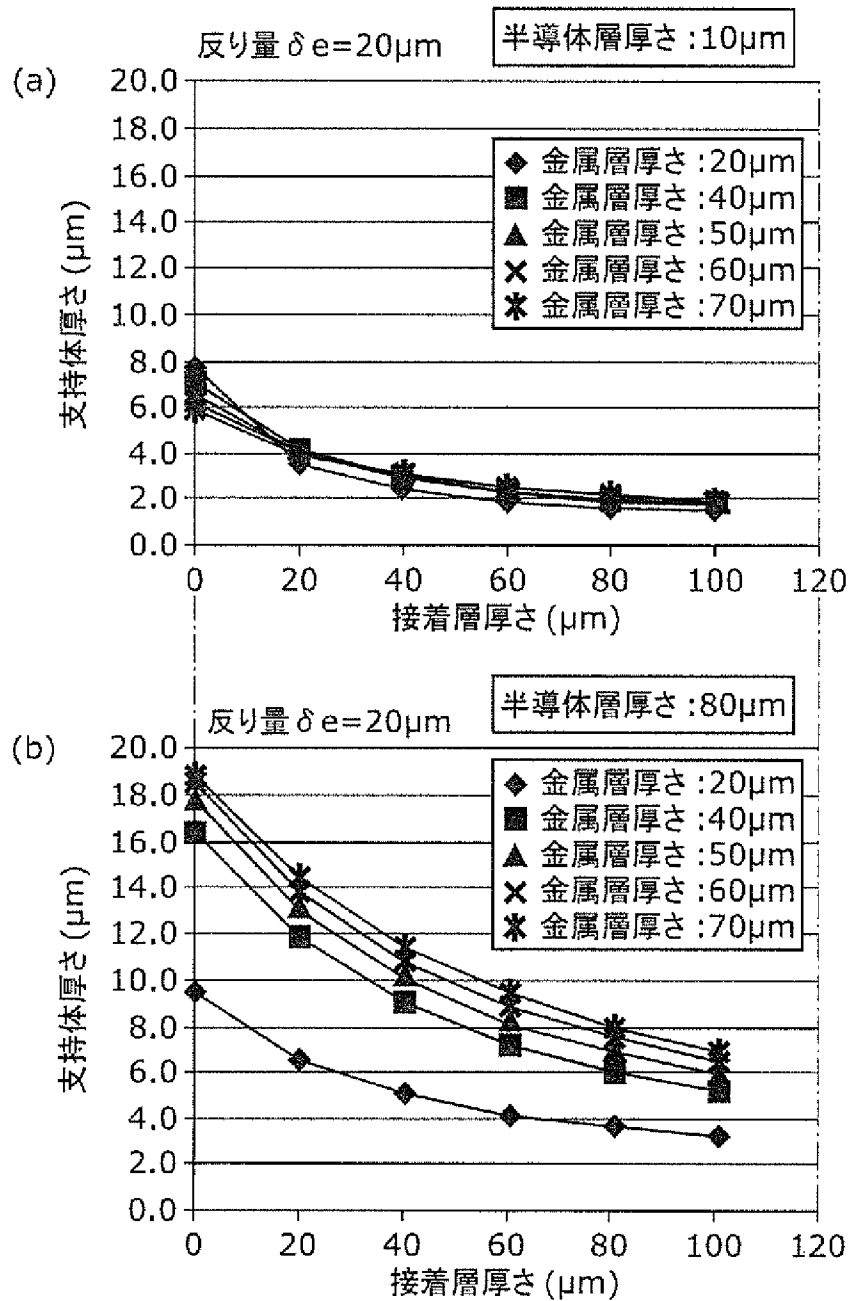
[図4B]



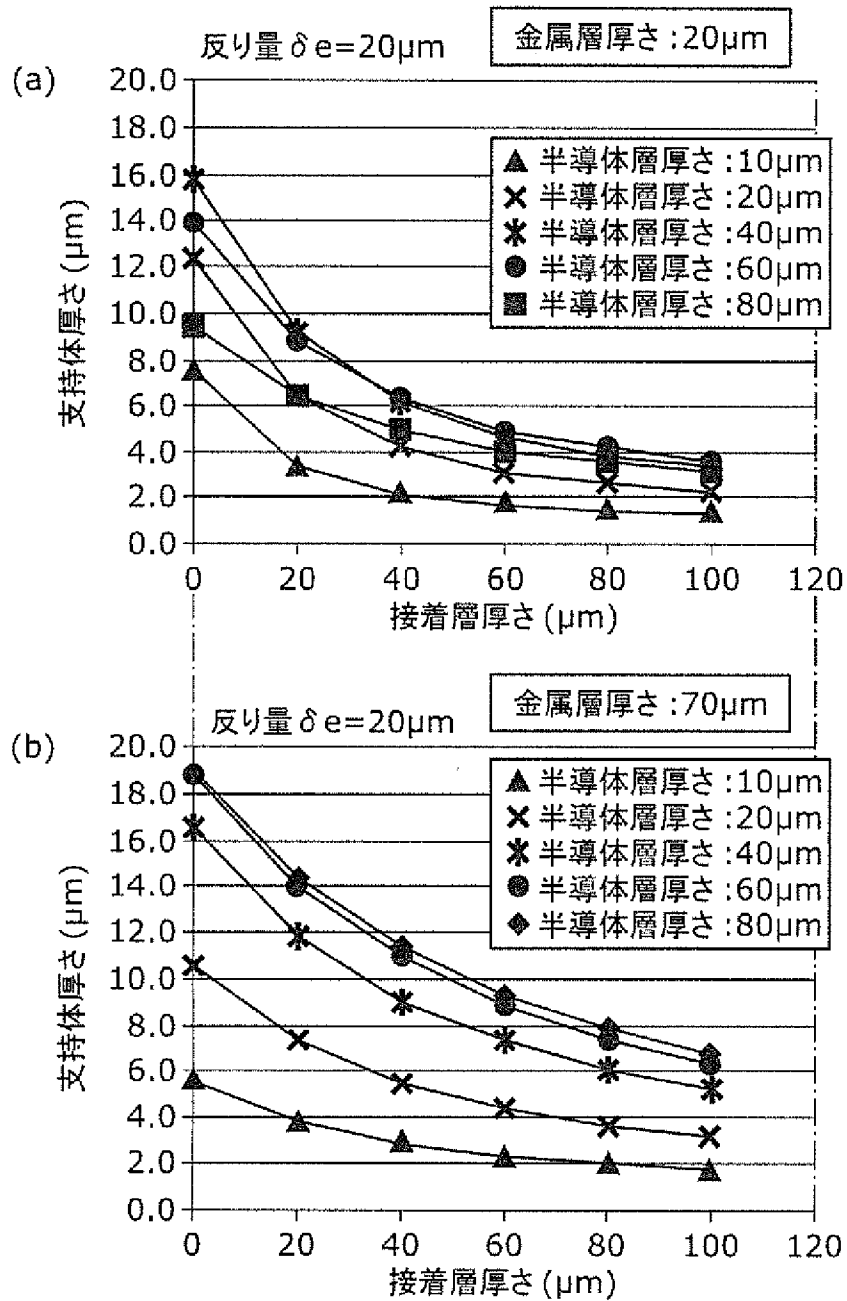
[図5]



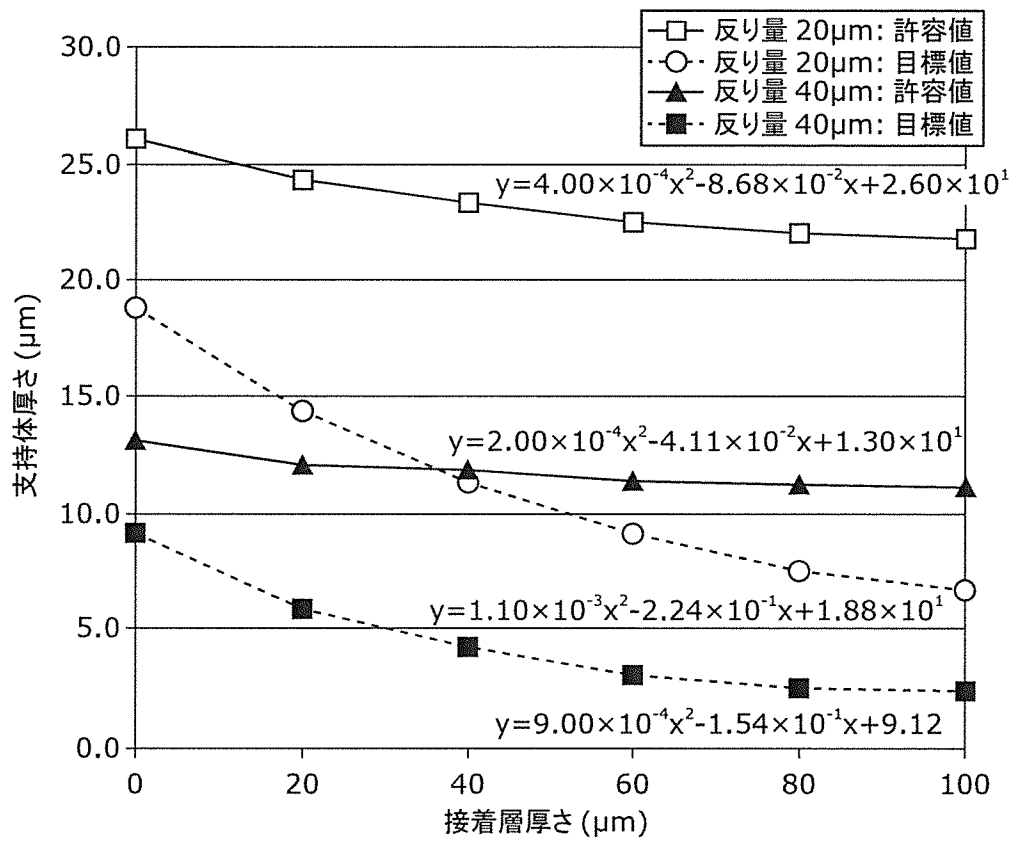
[図6A]



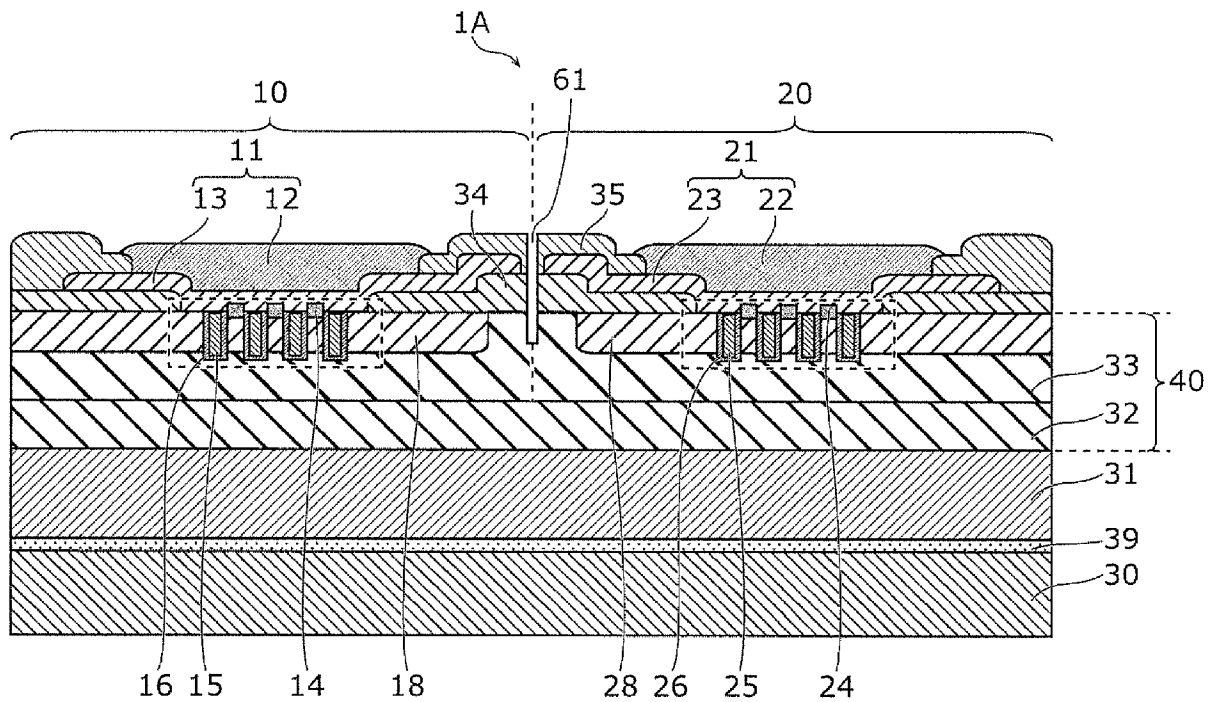
[図6B]



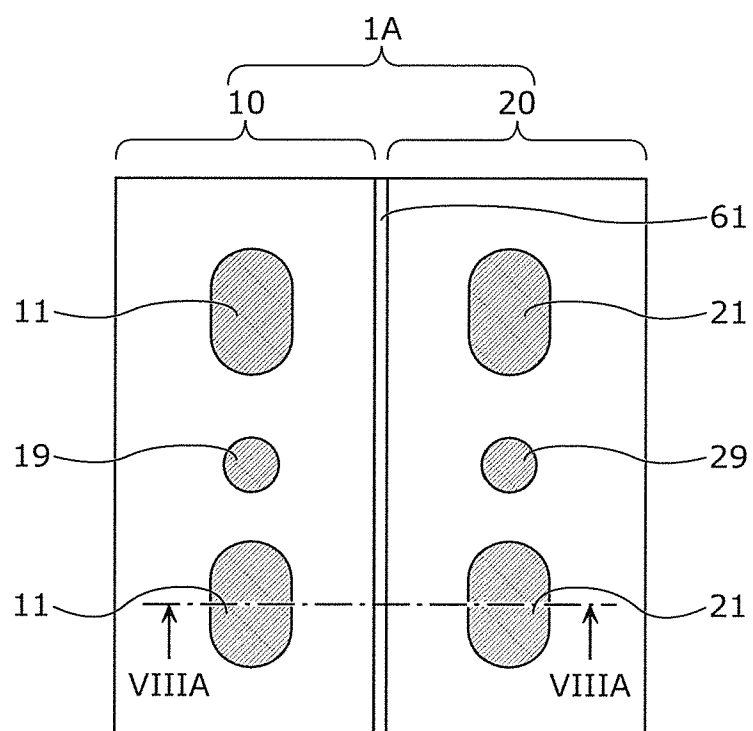
[図7]



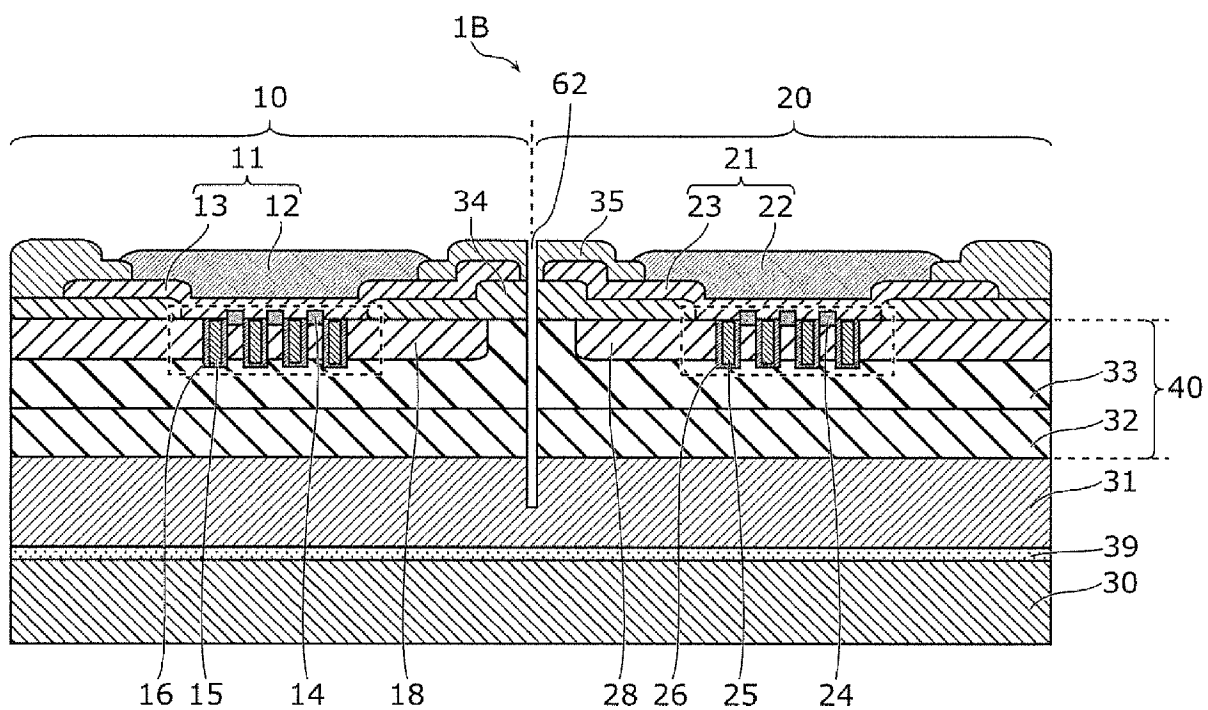
[図8A]



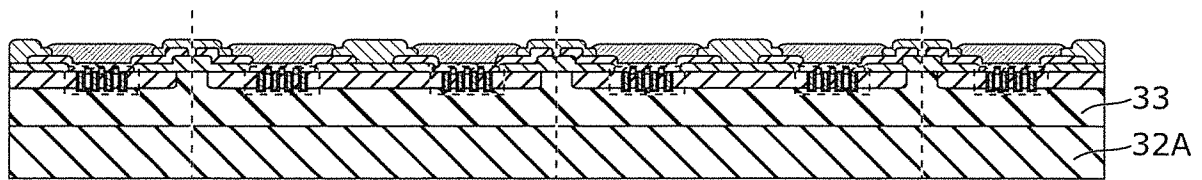
[図8B]



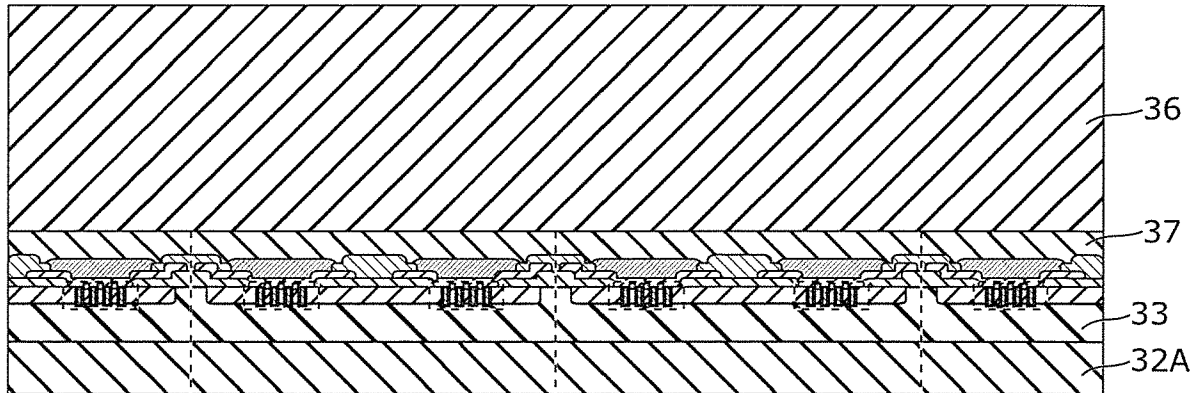
[図9]



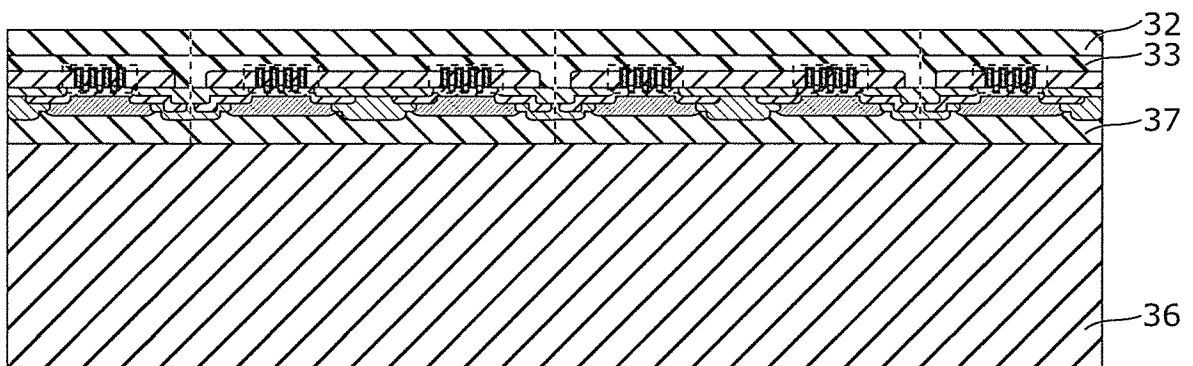
[図10A]



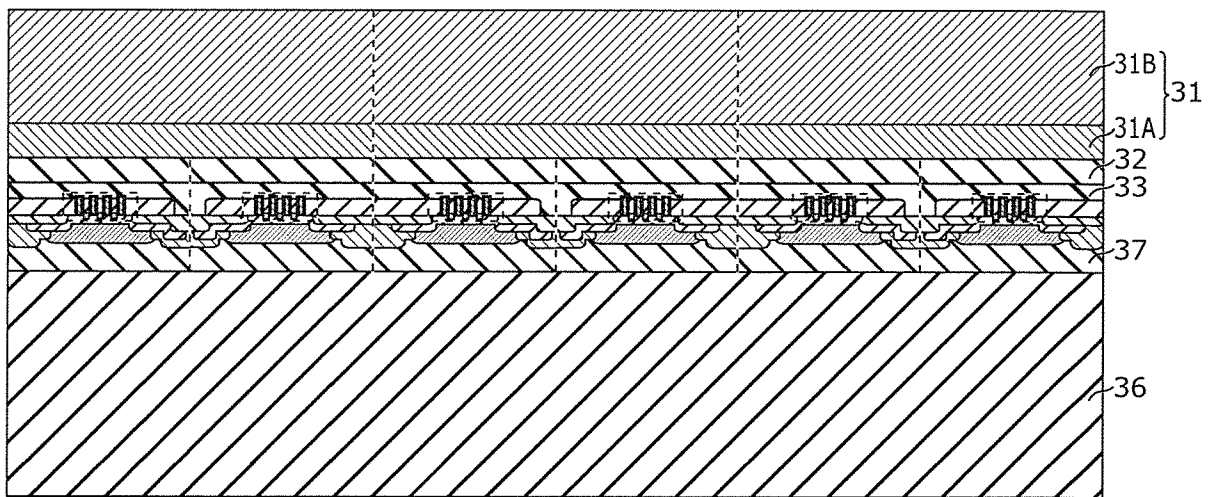
[図10B]



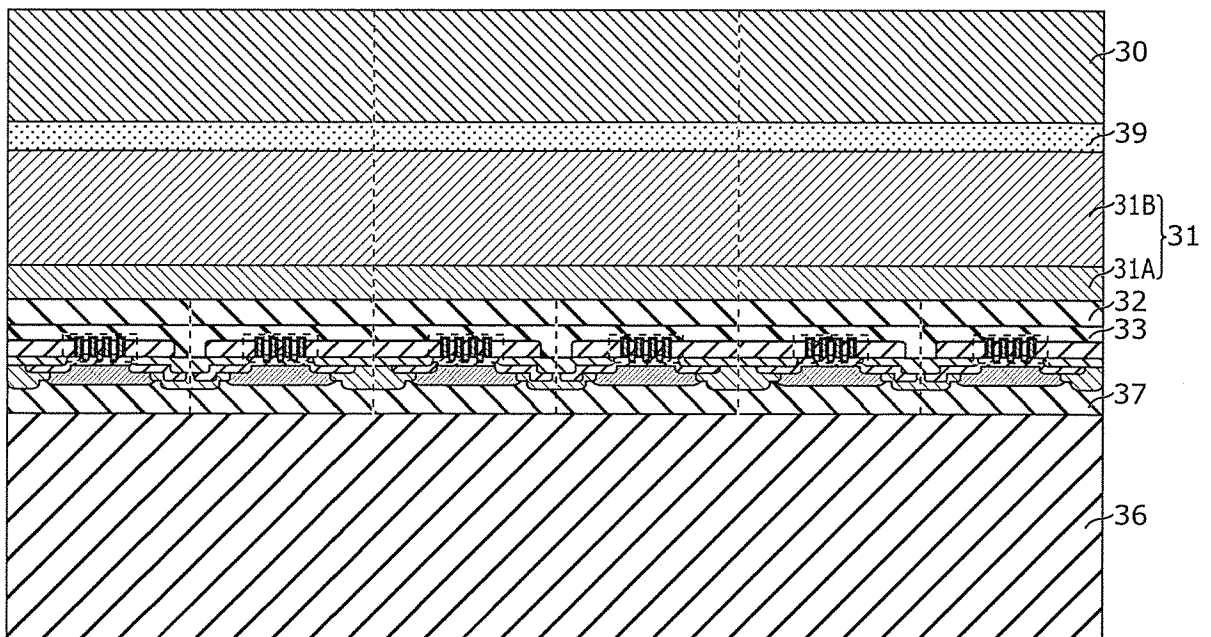
[図10C]



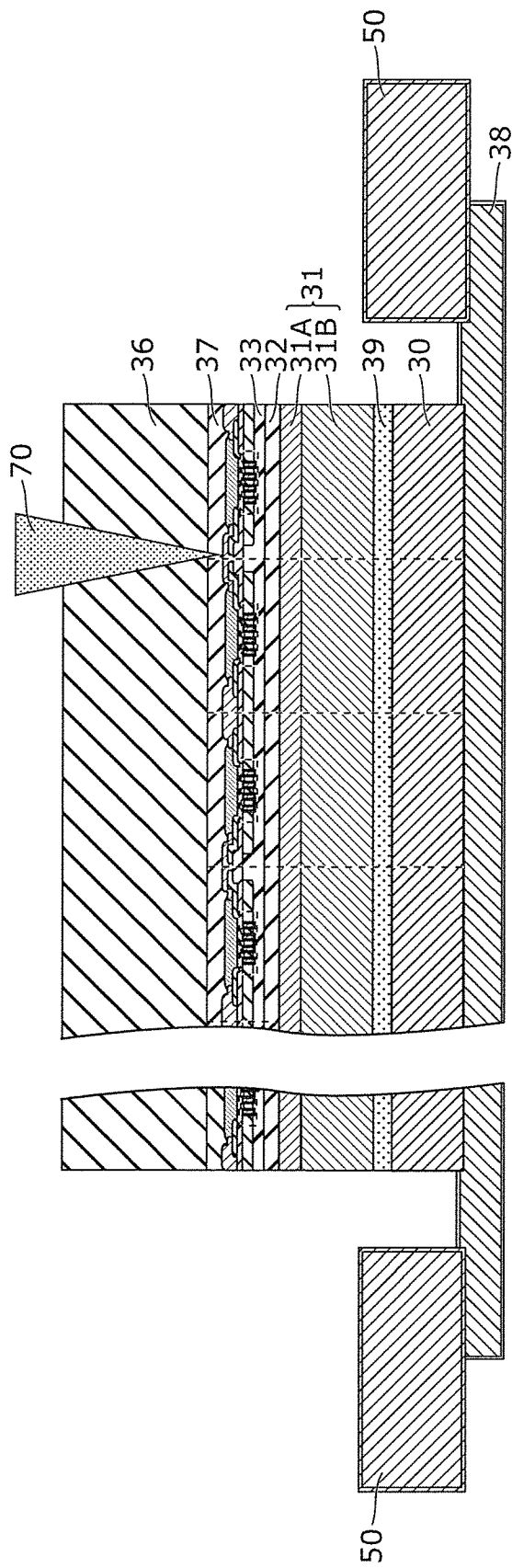
[図11A]



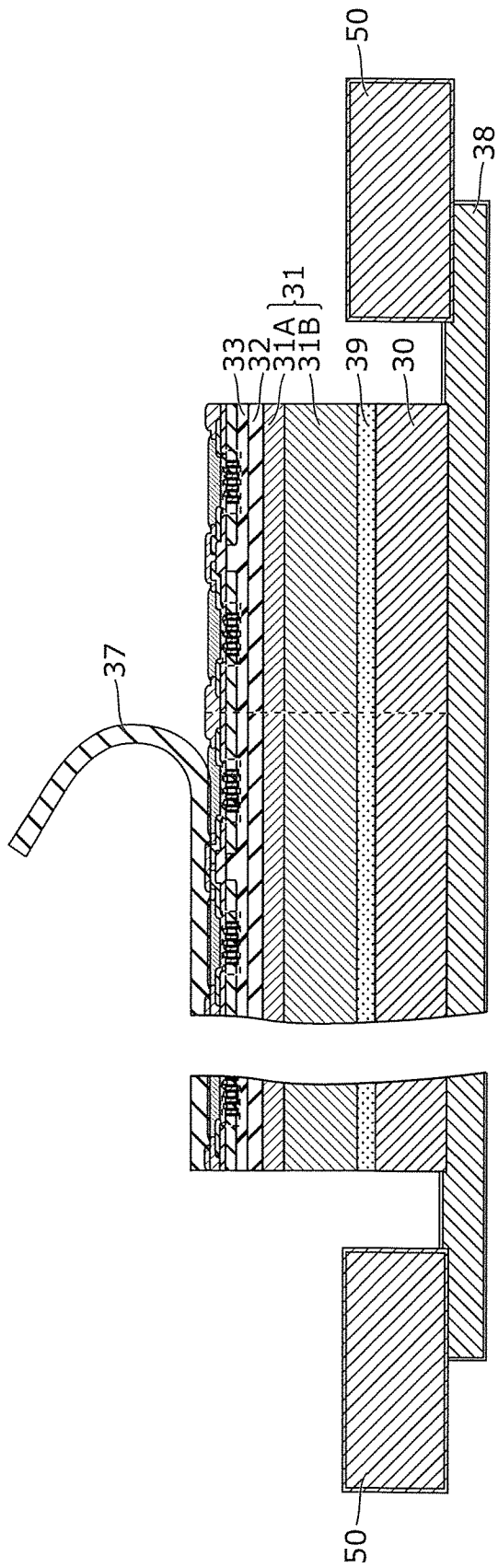
[図11B]



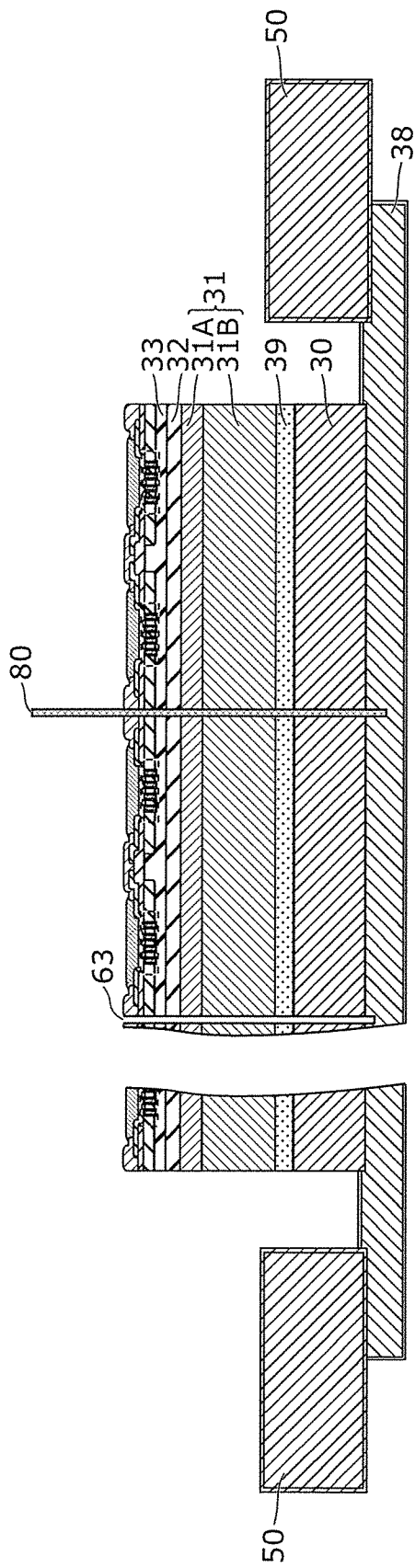
[図12A]



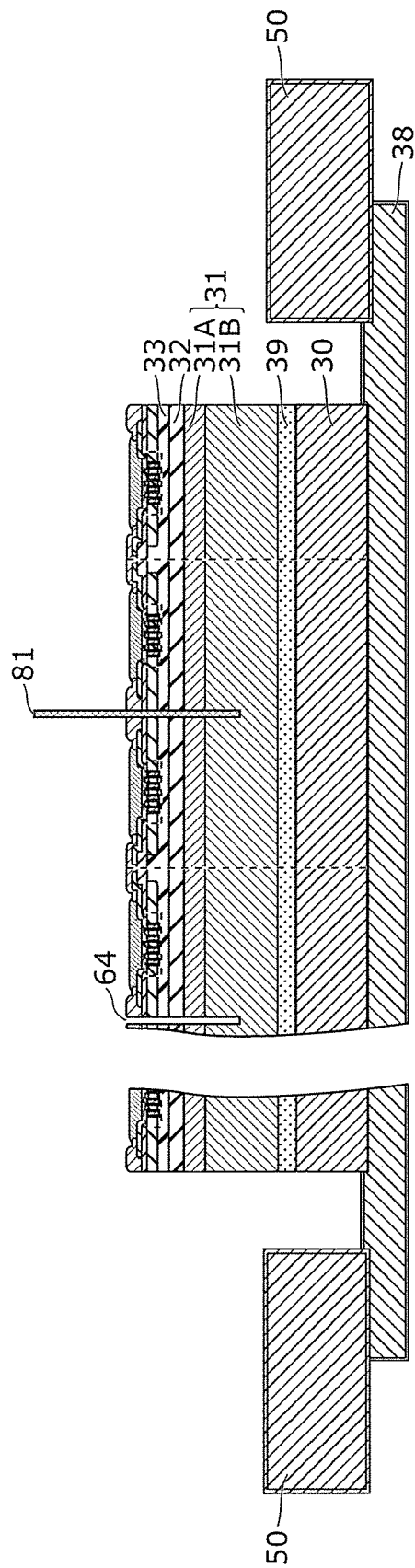
[図12B]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/045908

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L29/78 (2006.01) i, H01L21/76 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L29/78, H01L21/76

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2015-231033 A (RENESAS ELECTRONICS CORP.) 21 December 2015, paragraphs [0013]-[0040], [0052]-[0064], fig. 1, 3, 12-15 & US 2015/0357424 A1, paragraphs [0029]-[0056], [0068]-[0081], fig. 1, 3, 12-15	1-3, 6, 11 4, 5, 7-10, 12
Y A	JP 2016-197737 A (TAMURA CORP., THE NATIONAL INSTITUTE OF INFORMATION AND COMMUNICATIONS TECHNOLOGY) 24 November 2016, paragraphs [0081]-[0083], [0094]-[0109], [0141], [0144]-[0145], fig. 7-9 (Family: none)	1-3, 6, 11 4, 5, 7-10, 12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/045908

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-060105 A (SHINDENGEN ELECTRIC MFG. CO., LTD.) 13 March 2008, paragraph [0043], fig. 9 (P) (Family: none)	3, 6 1, 2, 4, 5, 7-12
Y A	JP 2007-005657 A (NEC ELECTRONICS CORP.) 11 January 2007, paragraph [0023], fig. 2 & US 2006/0289930 A1, paragraph [0085], fig. 2	3, 6 1, 2, 4, 5, 7-12
Y A	JP 2001-127290 A (NEC CORP.) 11 May 2001, paragraph [0024], fig. 1 (Family: none)	3, 6 1, 2, 4, 5, 7-12
Y A	JP 2004-342718 A (TOSHIBA CORP.) 02 December 2004, paragraphs [0085]-[0093], fig. 12, 13 (Family: none)	11 1-10, 12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/78(2006.01)i, H01L21/76(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/78, H01L21/76

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2015-231033 A（ルネサスエレクトロニクス株式会社） 2015.12.21, 段落[0013]-[0040], [0052]-[0064], 図1, 3, 12-15 & US 2015/0357424 A1, 段落[0029]-[0056], [0068]-[0081], 図1, 3, 12-15	1-3, 6, 11 4, 5, 7-10, 12
Y A	JP 2016-197737 A（株式会社タムラ製作所, 国立研究開発法人情報 通信研究機構） 2016.11.24, 段落[0081]-[0083], [0094]-[0109], [0141], [0144]-[0145], 図7-9（ファミリーなし）	1-3, 6, 11 4, 5, 7-10, 12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

27.02.2018

国際調査報告の発送日

13.03.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

恩田 和彦

5 F

5896

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2008-060105 A (新電元工業株式会社) 2008.03.13, 段落[0043], 図 9(p) (ファミリーなし)	3, 6 1, 2, 4, 5, 7-12
Y A	JP 2007-005657 A (NECエレクトロニクス株式会社) 2007.01.11, 段落[0023], 図 2 & US 2006/0289930 A1, 段落[0085], 図 2	3, 6 1, 2, 4, 5, 7-12
Y A	JP 2001-127290 A (日本電気株式会社) 2001.05.11, 段落[0024], 図 1 (ファミリーなし)	3, 6 1, 2, 4, 5, 7-12
Y A	JP 2004-342718 A (株式会社東芝) 2004.12.02, 段落[0085]-[0093], 図 12, 13 (ファミリーなし)	11 1-10, 12