

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025年1月2日 (02.01.2025)



(10) 国际公布号
WO 2025/001866 A1

- (51) 国际专利分类号:
G06F 12/06 (2006.01)
- (21) 国际申请号: PCT/CN2024/099055
- (22) 国际申请日: 2024年6月13日 (13.06.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310794233.2 2023年6月29日 (29.06.2023) CN
202311199956.4 2023年9月15日 (15.09.2023) CN
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 朱晓明 (ZHU, Xiaoming); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong

518129 (CN)。陈一峰(CHEN, Yifeng); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。王成旭(WANG, Chengxu); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。崔紫荆(CUI, Zijing); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京同达信恒知识产权代理有限公司 (TDIP & PARTNERS); 中国北京市西城区裕民路18号北环中心A座2002, Beijing 100029 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,

(54) Title: DATA PROCESSING SYSTEM, MEMORY, DATA READ-WRITE METHOD, AND DEVICE

(54) 发明名称: 一种数据处理系统、存储器、数据读写方法及设备

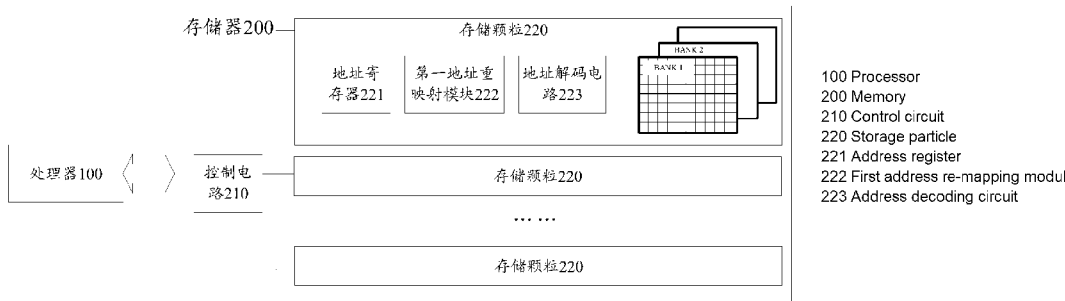


图4

(57) Abstract: A data processing system, a memory, a data read-write method, and a device. In the present application, a processor sends a read-write request to a memory, wherein the read-write request is used for requesting to perform data read-write on the memory, and the read-write request carries a logic address of data. After receiving the read-write request, the memory maps the logic address to target locations on BANKs of N storage particles of the memory, and performs data read-write on the target locations on the BANKs of the N storage particles, wherein the target locations on the BANKs of the N storage particles are distributed in different areas, and N target locations are not located in the same area any more, so that in the single read-write process for the memory, the error rate of the memory cannot significantly fluctuate due to different logic addresses, ensuring that the error rate of the memory is stable in a small range.

(57) 摘要: 一种数据处理系统、存储器、数据读写方法及设备, 本申请中, 处理器向存储器发送读写请求, 读写请求用于请求对存储器进行数据读写, 读写请求中携带有数据的逻辑地址。存储器接收该读写请求后, 将逻辑地址映射到存储器的N个存储颗粒的BANK上的目标位置, 对N个存储颗粒的BANK上的目标位置进行数据读写; 其中, N个存储颗粒的BANK上的目标位置分布在不同的区域, N个目标位置不再位于相同的区域内, 使得在对存储器的单次读写的过程中, 存储器的出错率不会因为逻辑地址的不同而发生明显波动, 保证存储器的出错率稳定在一个较小的范围内。

MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

一种数据处理系统、存储器、数据读写方法及设备

相关申请的交叉引用

本申请要求在2023年06月29日提交中国国家知识产权局、申请号为202310794233.2、申请名称为“一种存储装置”的中国专利申请的优先权，其全部内容通过引用结合在本申请中；本申请要求在2023年09月15日提交中国国家知识产权局、申请号为202311199956.4、申请名称为“一种数据处理系统、存储器、数据读写方法及设备”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及通信技术领域，尤其涉及一种数据处理系统、存储器、数据读写方法及设备。

背景技术

内存寻址通常是指根据处理器发送的逻辑地址定位到内存中存储颗粒中 BANK 的某个位置。在一些存储器中，逻辑地址上的数据通常是分布在各个存储颗粒中的，该各个存储颗粒是共享该逻辑地址的。也即在内存寻址的过程中，需要确定该各个存储颗粒中 BANK 的某个位置，也即需要定位多个位置。

事实上，由于存储器内部电路的设计，存储颗粒的 BANK 可能包括多个出错率范围不同的区域，若内存寻址时，该多个位置均位于所属 BANK 中出错率范围最高的区域，那么，在该逻辑地址上进行数据读写时出错的概率将会翻倍增大。相反的，若内存寻址时，该多个位置均位于所属 BANK 中出错率范围最低的区域，那么，在该逻辑地址上进行数据读写时出错的概率将大幅度减少。

可见，基于已有的内存寻址方式，该存储器整体的出错率会随着逻辑地址的变化而发生变化，存储器整体的出错率并不稳定，这也对后续将存储器设计为具备纠错能力的存储器增大了难度。

发明内容

本申请实施例提供一种数据处理系统、存储器、数据读写方法及设备，用以稳定存储器的出错率。

第一方面，本申请实施例提供了一种数据处理系统，该数据处理系统包括处理器以及存储器。

处理器向存储器发送读写请求，该读写请求用于请求对存储器进行数据读写，读写请求中携带有数据的逻辑地址。

存储器在接收该读写请求后，将逻辑地址映射到存储器的 N 个存储颗粒的 BANK 上的目标位置，对 N 个存储颗粒的 BANK 上的目标位置进行数据读写；其中，N 个存储颗粒的 BANK 上的目标位置分布在不同的区域，N 为正整数，BANK 上的区域是基于出错率划分形成的，不同区域的出错率不同。

通过上述系统，对于同一个逻辑地址，存储器将该逻辑地址映射到 N 个存储颗粒的 BANK 上的目标位置，该 N 个目标位置分布在不同的区域内。N 个目标位置不再位于相同的区域内，使得在对存储器的单次读写的过程中，存储器的出错率不会因为逻辑地址的不同而发生明显波动，保证存储器的出错率稳定在一个较小的范围内。

在一种可能的实现方式中，存储器具备地址重映射功能，存储器对外提供该地址重映射功能的使能选项。例如，处理器在发送读写请求之前，向存储器发送地址重映射指令，地址重映射指令用于使能存储器的地址重映射功能，这样处理器能够根据实际需要使能存储器的地址重映射功能。

在一种可能的实现方式中，存储器包括 N 个第一地址重映射模块，每个存储颗粒对应一个第一地址重映射模块，控制电路在接收到地址重映射指令后，根据地址重映射指令控制 M 个第一地址重映射模块处于工作状态，其中，M 为正整数，M 不大于 N。

其中，任一处于工作状态的第一地址重映射模块对逻辑地址转换后的物理地址进行修改，修改后的物理地址指向第一地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

通过上述系统，处于工作状态的第一地址重映射模块能够修改物理地址，由于 N 个存储颗粒中 M 个存储颗粒对应的第一地址重映射模块能够修改该物理地址，使得 M 个存储颗粒所获取的物理地址不完全相同，进一步保证逻辑地址最终能够映射到 N 个存储颗粒的不同区域内的目标位置上。

在一种可能的实现方式中，处于工作状态的第一地址重映射模块在对物理地址进行修改时，可以对物理地址中指向 BANK 中行和/或列的字段进行修改。

通过上述系统,处于工作状态的第一地址重映射模块只需改变物理地址中的部分字段,即可保证逻辑地址最终能够映射到N个存储颗粒的不同区域内的目标位置上,实现方式较为简单。

在一种可能的实现方式中,未处于工作状态的第一地址重映射模块不对物理地址进行修改,维持物理地址中各个字段不变,物理地址指向第一地址重映射模块对应的存储颗粒的BANK上的目标位置。

5 通过上述系统,处于工作状态的第一地址重映射模块与未处于工作状态的第一地址重映射模块对物理地址的处理方式不同,最终能够保证N个存储颗粒所获得的N个物理地址是不同的,不同的N个物理地址映射到N个存储颗粒的BANK的目标地址也将属于不同的区域。

10 在一种可能的实现方式中,任一存储颗粒根据从所对应的第一地址重映射模块获取的物理地址确定存储颗粒的BANK上的目标位置,对目标位置进行数据读写。其中,存储颗粒从处于工作状态的第二地址重映射模块所获取的物理地址为修改后的物理地址,存储颗粒从未处于工作状态的第二地址重映射模块所获取的物理地址为原始的物理地址。

通过上述系统,N个存储颗粒从所对应的第一地址重映射模块获取的物理地址不再是完全相同的,最终确定的存储颗粒的BANK上的目标位置也不同。

15 在一种可能的实现方式中,在前述说明中,存储器的地址重映射功能通过直接修改逻辑地址转换的物理地址来实现的。存储器的地址重映射功能也可以通过修改逻辑地址来实现。下面对这种实现方式进行说明。控制电路包括N个第二地址重映射模块,每个存储颗粒对应一个第二地址重映射模块。

控制电路根据地址重映射指令控制M个第二地址重映射模块处于工作状态,其中,M不大于N。

任一处于工作状态的第二地址重映射模块对逻辑地址进行修改,修改后的逻辑地址映射到第二地址重映射模块对应的存储颗粒的BANK上的目标位置。

20 通过上述系统,处于工作状态的第二地址重映射模块能够修改逻辑地址,由于N个存储颗粒中M个存储颗粒对应的第二地址重映射模块能够修改该逻辑地址,使得M个存储颗粒所获取的由该逻辑地址转换后的物理地址不完全相同,进一步保证逻辑地址最终能够映射到N个存储颗粒的不同区域内的目标位置上。

25 在一种可能的实现方式中,处于工作状态的第二地址重映射模块对逻辑地址中指向BANK中行和/或列的字段进行修改。

通过上述系统,处于工作状态的第二地址重映射模块只需改变逻辑地址中的部分字段,即可保证逻辑地址最终能够映射到N个存储颗粒的不同区域内的目标位置上,实现方式较为简单。

在一种可能的实现方式中,未处于工作状态的第二地址重映射模块维持逻辑地址中各个字段不变。逻辑地址指向第一地址重映射模块对应的存储颗粒的BANK上的目标位置。

30 通过上述系统,处于工作状态的第二地址重映射模块与未处于工作状态的第二地址重映射模块对逻辑地址的处理方式不同,最终能够保证N个存储颗粒所获得的N个物理地址是不同的,不同的N个物理地址映射到N个存储颗粒的BANK的目标位置也将属于不同的区域。

35 在一种可能的实现方式中,控制电路包括地址转换模块;地址转换模块将从第二地址重映射模块获取的逻辑地址转换为物理地址;将物理地址发送给第二地址重映射模块对应的存储颗粒。其中,地址转换模块从处于工作状态的第二地址重映射模块所获取的逻辑地址为修改后的逻辑地址,地址转换模块从未处于工作状态的第二地址重映射模块所获取的逻辑地址为原始的逻辑地址。

通过上述系统,地址转换模块能够实现逻辑地址到物理地址的转换,不同的逻辑地址所转换成的物理地址也将不同,保证存储器所接收到的该逻辑地址能够映射到N个存储颗粒的BANK、分布在不同区域的目标位置。

40 第二方面,本申请还提供了一种存储器,存储器具有实现上述第一方面以及任一可能的是实现方式中存储器所具备的功能,部分有益效果可以参见第一方面的描述此处不再赘述。该存储器包括控制电路以及N个存储颗粒,N为正整数。

45 在该存储器中,控制电路接收处理器发送的读写请求,该读取请求用于请求对存储器进行数据读写,读写请求中携带有数据的逻辑地址。控制电路在接收到该读写请求后,将该逻辑地址转换为物理地址,将逻辑地址转换后的物理地址分别发送给存储器的N个存储颗粒,物理地址指向存储器的N个存储颗粒的BANK上的目标位置,N个存储颗粒的BANK上的目标位置分布在不同的区域,N为正整数。不同区域是基于BANK内的出错率划分形成的,不同区域的出错率范围不同。

任一存储颗粒在接收到物理地址后,对存储颗粒的BANK上的目标位置进行数据读写;

通过上述存储器，对于同一个逻辑地址，在存储器内部可以被映射到 N 个存储颗粒的 BANK 上的目标位置，这 N 个目标位置分布在不同的区域，保证存储器的出错率不会随着该存储器所接收到的逻辑地址的不同而发生明显波动。

5 在一种可能的实现方式中，控制电路接收处理器发送的发送地址重映射指令，地址重映射指令用于使能存储器的地址重映射功能。

在一种可能的实现方式中，存储器包括 N 个第一地址重映射模块，每个存储颗粒包括一个第一地址重映射模块，控制电路根据地址重映射指令控制 M 个第一地址重映射模块处于工作状态，其中，M 为正整数，M 不大于 N。

10 任一处于工作状态的第一地址重映射模块对逻辑地址转换后的物理地址进行修改，修改后的物理地址指向第一地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

在一种可能的实现方式中，处于工作状态的第一地址重映射模块对物理地址中指向 BANK 中行和/或列的字段进行修改。

在一种可能的实现方式中，未处于工作状态的第一地址重映射模块维持物理地址中各个字段不变，物理地址指向第一地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

15 在一种可能的实现方式中，任一存储颗粒根据从所对应的第一地址重映射模块获取的物理地址确定存储颗粒的 BANK 上的目标位置，对目标位置进行数据读写。其中，存储颗粒从处于工作状态的第一地址重映射模块获取的物理地址为修改后的物理地址，存储颗粒从未处于工作状态的第一地址重映射模块获取的物理地址为原始的物理地址。

20 在一种可能的实现方式中，控制电路包括 N 个第二地址重映射模块，每个存储颗粒对应一个第二地址重映射模块，控制电路根据地址重映射指令控制 M 个第二地址重映射模块处于工作状态，其中，M 为正整数，M 不大于 N。

任一处于工作状态的第二地址重映射模块对逻辑地址进行修改，修改后的逻辑地址指向第二地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

25 在一种可能的实现方式中，处于工作状态的第二地址重映射模块对逻辑地址中指向 BANK 中行和/或列的字段进行修改。

在一种可能的实现方式中，未处于工作状态的第二地址重映射模块维持逻辑地址中各个字段不变。逻辑地址映射到第二地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

30 在一种可能的实现方式中，控制电路包括地址转换模块；地址转换模块将从第二地址重映射模块获取的逻辑地址转换为物理地址；将物理地址发送给第二地址重映射模块对应的存储颗粒。地址转换模块从处于工作状态的第二地址重映射模块所获取的逻辑地址为修改后的逻辑地址，地址转换模块从未处于工作状态的第二地址重映射模块所获取的逻辑地址为原始的逻辑地址。

第三方面，本申请还提供了一种数据读写方法，在该数据读写方法中，存储器具有实现上述第一方面以及任一可能的是实现方式中存储器的功能，有益效果可以参见第一方面的描述此处不再赘述。

35 控制电路接收处理器发送的读写请求，读取请求用于请求对存储器进行数据读写，读写请求中携带有数据的逻辑地址；将逻辑地址转换为物理地址，将逻辑地址转换后的物理地址分别发送给 N 个存储颗粒，物理地址指向存储器的 N 个存储颗粒的 BANK 上的目标位置，其中，N 个存储颗粒的 BANK 上的目标位置分布在不同的区域；

任一存储颗粒对存储颗粒的 BANK 上的目标位置进行数据读写。

40 在一种可能的实现方式中，控制电路还可以接收处理器发送的发送地址重映射指令，地址重映射指令用于使能方法的地址重映射功能。

在一种可能的实现方式中，存储器包括 N 个第一地址重映射模块，每个存储颗粒对应一个第一地址重映射模块，控制电路根据地址重映射指令控制 M 个第一地址重映射模块处于工作状态，其中，M 不大于 N。

45 任一处于工作状态的第一地址重映射模块对逻辑地址转换后的物理地址进行修改，修改后的物理地址指向第一地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

在一种可能的实现方式中，处于工作状态的第一地址重映射模块对逻辑地址转换后的物理地址进行修改时，处于工作状态的第一地址重映射模块对物理地址中指向 BANK 中行和/或列的字段进行修改。

在一种可能的实现方式中，未处于工作状态的第一地址重映射模块维持物理地址中各个字段不变，

物理地址指向第一地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

在一种可能的实现方式中，任一存储颗粒对存储颗粒的 BANK 上的目标位置进行数据读写时，任一存储颗粒根据从所对应的第一地址重映射模块获取的物理地址确定存储颗粒的 BANK 上的目标位置，对目标位置进行数据读写。

5 在一种可能的实现方式中，控制电路包括 N 个第二地址重映射模块，每个存储颗粒对应一个第二地址重映射模块，控制电路将逻辑地址转换为物理地址时，控制电路根据地址重映射指令控制 M 个第二地址重映射模块处于工作状态，其中，M 不大于 N。

任一处于工作状态的地址重映射模块对逻辑地址进行修改，修改后的逻辑地址指向第二地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

10 在一种可能的实现方式中，未处于工作状态的地址重映射模块维持逻辑地址中各个字段不变，逻辑地址指向第二地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

在一种可能的实现方式中，控制电路包括地址转换模块；地址转换模块将从第二地址重映射模块获取的逻辑地址转换为物理地址；将物理地址发送给第二地址重映射模块对应的存储颗粒。地址转换模块从处于工作状态的地址重映射模块所获取的逻辑地址为修改后的逻辑地址，地址转换模块从未处于工作状态的地址重映射模块所获取的逻辑地址为原始的逻辑地址。

15 第四方面，本申请还提供了一种计算设备，该计算设备包括上述第二方面以及第三方面的各个可能的实现方式中提及的存储器，可选的，还可以包括处理器。

第五方面，本申请还提供一种计算机可读存储介质，计算机可读存储介质中存储有指令，当其在计算机上运行时，使得计算机执行上述第三方面以及第三方面的各个可能的实现方式中的方法。

20 第六方面，本申请还提供一种包含指令的计算机程序产品，当其在计算机上运行时，使得计算机执行上述第三方面以及第三方面的各个可能的实现方式中的方法。

第七方面，本申请还提供一种计算机芯片，芯片与存储器相连，芯片用于读取并执行存储器中存储的软件程序，执行上述第三方面以及第三方面的各个可能的实现方式中的方法。

25 附图说明

图 1 为存储器中内存寻址的示意图；

图 2 为本申请实施例提供的一种数据处理系统的结构示意图；

图 3 为本申请实施例提供的一种存储器的结构示意图；

图 4 为本申请实施例提供的一种存储颗粒的结构示意图；

30 图 5A 为本申请实施例提供的一种存储颗粒的 BANK 内区域的分布示意图；

图 5B~5D 为本申请实施例提供的一种存储颗粒的 BANK 内物理地址的映射示意图；

图 6A~6B 为本申请实施例提供的一种存储颗粒的 BANK 的分布示意图；

图 7 为本申请实施例提供的一种数据读写方法示意图；

图 8 为本申请实施例提供的一种存储器的结构示意图；

35 图 9 为本申请实施例提供的一种数据读写方法示意图。

具体实施方式

在对本申请实施例提及的数据处理系统、存储器、数据读写方法以及设备介绍之前，先对本申请实施例所涉及的内存寻址方式进行说明。

40 内存寻址方式：

通常，作为内存的存储器可以包括多个存储颗粒（chip）。该存储器可以相变存储器（phase change memory, PCM），也可以为动态随机存储器（dynamic random access memory, DRAM），也可以为其他类型的存储器。

45 从硬件结构上，存储颗粒是该存储器中存储数据的最小物理单元。任一存储颗粒内部的存储空间还可以进步进行划分，每个存储颗粒的包括多个 BANK，每个 BANK 可以看成是一个存储矩阵，该存储矩阵像一个格子阵。这个“格子阵”有很多列（column）和很多行（row）。当需要取该存储空间中的某个数据时，只需要指定 BANK、该 BANK 中的行、以及列。每个 BANK 的大小、行数以及列数都是相对固定的，也即每个 BANK 所覆盖的逻辑地址范围是固定的。

在 PCM 或 DRAM 这类存储器中, 存储器所包括的多个存储颗粒共享同一组逻辑地址。也就是说, 该存储器在接收到携带有逻辑地址的读写请求后, 存储器内部的控制电路将该逻辑地址转换为物理地址, 将该物理地址发送给各个存储颗粒, 每个存储颗粒中部署的地址解码电路会对该物理地址进行解析, 解析出指向 BANK、column、row 的地址信息, 并对该地址信息所指向的 BANK、column、row 进行数据读写。

如图 1 所示, 为存储器中内存寻址的示意图, 图 1 中示例性的展示了存储器中一个存储颗粒的寻址方式, 在该存储颗粒中设置有地址寄存器。该地址寄存器用于接收来自该存储器的控制电路发送的物理地址。地址寄存器在接收到物理地址后, 会将所接收到的物理地址发送到存储颗粒中的地址解码电路。地址解码电路能够从所接收到的物理地址中确定指向 BANK、column、row 的地址信息, 进而定位到存储颗粒中的 BANK, 以及该 BANK 中的行或列。

具体的, 该地址解码电路包括 BANK 控制逻辑、列地址解码逻辑、以及行地址解码逻辑。地址寄存器在接收到物理地址后可以将物理地址中表征 BANK 的部分 (如 4bit) 发送给 BANK 控制逻辑, 将逻辑地址中表征列 (column) 的部分 (如 15bit) 发送给列地址解码逻辑, 将逻辑地址中表征行 (row) 的部分 (如 11bit) 发送给行地址解码逻辑。BANK 控制逻辑根据所接收到的部分物理地址解析出指向 BANK 的地址信息, 列地址解码逻辑根据所接收到的部分物理地址解析出指向列的地址信息, 行地址解码逻辑根据所接收到的部分物理地址解析出指向行的地址信息。

当存储器包括 8 个存储颗粒时, 每个存储颗粒可以贡献部分数据, 如每个存储颗粒贡献 8 字节 (byte) 数据, 这样在每次数据读写操作所读写的数据量为每个存储颗粒所贡献的数据量的总和, 如一次数据读写操作所读写的数据量为 64byte 数据。该逻辑地址上的数据从物理位置上是分布在该存储器的各个存储颗粒中的。

由于每个存储颗粒的地址解码电路所解析的物理地址是基于同一个逻辑地址转换而来的, 最终解析出的指向 BANK、column、row 的地址信息通常也是相同的。换句话说, 该逻辑地址会映射到每个存储颗粒内部的不同位置处, 或者也可以理解为同一个物理地址会映射到每个存储颗粒内部的不同位置处。

由于存储器内部电路的走线方式以及存储器内部的驱动电压的设计方式等因素的影响, 会导致每个存储颗粒的 BANK 中不同区域的出错率不同, 也即在每个 BANK 可以根据出错率进一步划分为多个区域, 每个区域内出错率的范围是相同的, 而不同区域的出错率的范围不同。也即在存储颗粒的每个 BANK 中包括出错率较高的区域、出错率较低的区域以及出错率适中的区域。若逻辑地址映射到的 BANK 中的位置传输出错率较高的区域, 那么, 在该位置上数据读写的出错概率较高, 也即读出的数据或者写入的数据可能存在出错。若逻辑地址映射到的 BANK 中的位置传输出错率较低的区域, 那么, 在该位置上数据读写的出错概率较低, 也即读出的数据或者写入的数据不容易出错。其中, 出错率指示了在该位置或区域内进行数据读写出现错误数据的概率。在本申请实施例, 并不限定出错率的具体计算方式, 某个位置或者某个区域的出错率可以等于执行设定次数的数据读写操作中出错的比特数量与设定次数的数据读写操作所读写的总比特数的比值, 也可以等于单位时间内执行的多次数据读写操作中出错的比特数量与设定次数的数据读写操作所读写的总比特数的比值。

可见, 同一个逻辑地址 (或该逻辑地址所转换的物理地址) 最终会映射到每个存储颗粒的某个 BANK 的相同位置上, 由于位置相同, 那么该位置所属的区域的出错率的范围也将是相同的, 若所属的区域的出错率较高, 那么, 将导致从该逻辑地址上读写数据的出错率会翻倍。

也即, 在这种内存寻址方式中, 在对存储器进行数据读写时, 存储器整体的出错率会随着数据所在的区域发生变化, 较不稳定。另外, 为了降低存储器整体的出错率, 会为存储器增加纠错电路, 而不稳定的出错率也会对纠错电路的设置增加难度。

为此, 在本申请所提及的存储器具备地址重映射功能, 该具备该功能的存储器在对逻辑地址进行映射时, 该逻辑地址所映射到的每个存储颗粒的 BANK 的位置可以是不同的, 也即该逻辑地址映射到的各个 BANK 中的位置不再属于同一个出错率的范围相同的区域, 逻辑地址映射到的各个 BANK 中的位置可以分布在多个区域中。这样, 逻辑地址映射到的各个 BANK 中的位置的出错率不再是完全相同的。存储器的地址重映射功能具备两种实现方式, 一种实现方式为对存储器中各个存储颗粒对所接收到的逻辑地址转换后的物理地址进行处理, 该存储器的地址重映射功能借助存储颗粒内部的第一地址重映射模块 (第一地址重映射模块用于对物理地址进行修改) 实现。另一种实现方式为存储器中控制电路将逻辑地址转换为不完全相同的物理地址, 并分别向各个存储颗粒发送该不完全相同的物理地址, 该存储器的

地址重映射功能借助控制电路内部的第二地址重映射模块(第二地址重映射模块用于对逻辑地址进行修改)实现。无论采用哪一种实现方式,其最终效果均使得同一个逻辑地址上最终映射到各个存储颗粒的BANK中的不同位置上,这样,在对存储器进行数据读写时,存储器整体的出错率不会随着数据所在的区域发生较大的波动,存储器整体的出错率较为稳定。

5 第一种实现方式:该存储器的地址重映射功能借助存储颗粒内部的第一地址重映射模块实现。

下面结合附图对本申请实施例提供的数据处理系统进行说明。如图2所示,为本申请实施例提供的一种数据处理系统的结构示意图。在该数据处理系统10中包括处理器100以及存储器200。

10 处理器100为该系统的计算核心。处理器100能够完成主要的计算操作。处理器100在执行数据计算操作过程中,可以访问存储器200,以在存储器200中读取数据或写入数据。例如,处理器100能够从存储器200中读取数据,对读取的数据进行数据计算;处理器100还可以将数据计算后产生的数据存储在存储器200中。

处理器100在访问存储器200时,向存储器200发送读写请求,该读写请求中携带有数据的逻辑地址,以指示存储器200对该逻辑地址进行数据读写。

15 在本申请实施例中,处理器100除了能够访问存储器200之外。处理器100还能够使能存储器200地址重映射功能。例如,处理器100可以向存储器200发送地址重映射指令,该地址重映射指令用于使能该存储器200地址重映射功能。

20 处理器100可以是中央处理器(central processing unit, CPU),也可以是其他特定的集成电路。处理器100还可以是其他通用处理器、数字信号处理器(digital signal processing, DSP)、专用集成电路(application specific integrated circuit, ASIC)、现场可编程门阵列(field programmable gate array, FPGA)或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等。

存储器200具备数据存储功能,存储器200中可以存储处理器100进行数据计算所需的数据,还可以存储处理器100数据计算后产生的数据。示例性的,存储器200接收处理来自处理器100的读写请求,对该逻辑地址进行数据读写,将处理器100进行数据计算后的数据写入到该逻辑地址上或者从该逻辑地址上读取处理器100进行数据计算所需的数据,将读取的数据反馈给处理器100。

25 在本申请实施例中,存储器200还具备地址重映射功能,存储器200能够将逻辑地址映射到多个BANK的目标位置上,该多个BANK的目标位置分布在多个区域内,其中,不同区域对应不同的出错率范围。

30 对外,存储器200可以提供地址重映射功能的使能选项,也即存储器200允许该存储器200之外的装置使能该地址重映射功能。在使能该地址重映射功能的情况下,存储器200可以将所接收到的逻辑地址映射到多个BANK的目标位置上,该多个BANK的目标位置分布在多个区域内。在未使能该地址重映射功能的情况下,存储器200可以将所接收到的逻辑地址映射到多个BANK的相同位置上。

35 本申请实施例并不限定存储器200提供地址重映射功能的使能选项的方式,例如,存储器200的装置上配置有地址重映射功能的使能开关,用户可以根据实际需要打开或者关闭该地址重映射功能的使能开关。又例如,存储器200配置地址重映射指令的解析功能,存储器200之外的装置可以向该存储器200发送地址重映射指令,存储器200通过解析接收到的地址重映射指令,使能该地址重映射功能。

此外针对使能地址重映射功能的情况,存储器200还可以对外提供多种不同的地址重映射策略。任一地址重映射策略描述了下列的部分或全部信息:

处于工作状态的第一地址重映射模块222的数量;

任一处于工作状态的第一地址重映射模块222对逻辑地址转换后的物理地址的修改方式。

40 不同的地址重映射策略所描述的处于工作状态的第一地址重映射模块222的数量和/或任一处于工作状态的第一地址重映射模块222对逻辑地址转换后的物理地址的修改方式可能不同。

45 相应的,本申请实施例也不限定存储器200提供多种不同的地址重映射策略的方式。例如,在存储器200上配置了多种不同地址重映射策略的选择按钮,用户可以根据实际需要需要通过该选择按钮选择地址重映射策略。又例如,存储器200配置地址重映射指令的解析功能,存储器200之外的装置向该存储器200发送的地址重映射指令除了指示使能该地址重映射功能,还可以指示某一种地址重映射策略,存储器200通过解析接收到的地址重映射指令,使能该地址重映射功能,并采用该地址重映射指令中所指示地址重映射策略的进行地址重映射。

当然,在实际应用中,也可以在存储器200出厂前使能该地址重映射功能,也即存储器200在出厂

后该地址重映射功能处于使能状态，无需额外操作。

下面结合图 3 对存储器 200 的结构进行说明，如图 3 所示，为本申请实施例提供的一种存储器 200，在该存储器 200 包括控制电路 210 以及多个存储颗粒 220。关于存储颗粒 220 的说明具体可以参见前述说明，此处不再赘述。

5 在该存储器 200 中，存储颗粒 220 主要用于存储数据，而控制电路 210 则是该存储器 200 的控制中心，控制电路 210 能够对该存储器 200 所接收的读写请求进行处理。也即控制电路 210 能够解析该读写请求中携带的逻辑地址，根据该逻辑地址对各个存储颗粒 220 进行数据读写。

10 在本申请实施例中，控制电路 210 能够将逻辑地址转换为物理地址，并将该物理地址发送给每个存储颗粒 220 上。而在任一存储颗粒 220 中，该物理地址指向到该存储颗粒 220 的一个 BANK 的目标位置处。

在该存储器 200 使能地址重映射功能的情况下，该多个 BANK 的目标位置分布在不同的区域，不同区域对应不同的出错率范围。

在该存储器 200 未使能地址重映射功能的情况下，该多个 BANK 的目标位置分布在相同区域。

15 可选的，当存储器 200 对外提供地址重映射功能的使能选项时，控制电路 210 能够检测地址重映射功能的使能状态，也即确定是否使能地址重映射功能。例如，当存储器 200 的装置上配置有地址重映射功能的使能开关，控制电路 210 可以检测该地址重映射功能的使能开关，以此确定是否使能地址重映射功能。又例如，当存储器 200 配置地址重映射指令的解析功能，该解析功能可以由控制电路 210 实现，控制电路 210 可以解析所接收到的地址重映射指令，使能该地址重映射功能。

20 在后续说明中，只针对存储器 200 使能地址重映射功能的情况进行说明，对于存储器 200 未使能地址重映射功能的情况，存储器 200 内部对逻辑地址进行数据读写的方式可以参见图 1 所示的方式，此处不再赘述。

25 从图 1 所示的内存寻址方式可知，逻辑地址映射到各个存储颗粒 220 时，控制电路 210 需要对逻辑地址转换，获得对应的物理地址，之后该物理地址传输给各个存储颗粒 220，各个存储颗粒 220 对该物理地址解析，确定指向 BANK、行、列的地址信息，之后再根据指向 BANK、行、列的地址信息定位到 BANK 中的位置。

在本申请实施例中，不同存储颗粒 220 在对物理地址进行解析时，可以采用不同的解析方式，采用不同的解析方式最终获得指向 BANK、行、列的地址信息是不完全相同的。这里不完全相同是指采用不同的解析方式获得的 BANK、行、列的地址信息完全不同或者部分不同。

30 假设，当对同一个物理地址进行分别采用两种不同的方式进行解析时，可以产生两组地址信息，每组地址信息包括指向 BANK、行和列的地址信息，若该两组地址信息中指向 BANK 的地址信息相同，指向行和列的地址信息完全不同，那么两组地址信息将分别对应该 BANK 上两个不同的位置，进而这两个位置所在的区域也可能不同。若该两组地址信息中指向 BANK 以及行的地址信息相同，指向列的地址信息不同，那么两组地址信息将分别对应一个 BANK 上不同位置，进而这两个位置所在的区域也有可能不同。

35 在该存储器 200 使能地址重映射功能的情况下，为了保证逻辑地址所映射到的多个 BANK 的目标位置分布在不同的区域，存储颗粒 220 对该物理地址所采用的解析方式可以完全不同，以获取多组不完全相同的地址信息，也即在多个存储颗粒 220 中，存储颗粒 220 可以将物理地址转换为多组不完全相同的地址信息，该多组不完全相同对应多个 BANK 中的不同的目标位置，这样，该多个 BANK 的目标位置也将不再属于相同区域。

40 在本申请实施例中，“不完全相同”表示两种情况，一种为部分相同部分不同。另一种为完全不同。

45 各个存储颗粒 220 对该物理地址所采用的解析方式可以部分不同，以获取不完全相同的多组地址信息，也即对在该多个存储颗粒 220 中的部分存储颗粒 220，对物理地址采用一种解析方式对逻辑地址进行解析，最终获得多组相同的地址信息，对该多个存储颗粒 220 中的另一部分存储颗粒 220，对物理地址采用另一种解析方式对逻辑地址进行解析，最终获得多组相同的地址信息。这样，最终获取的不完全相同的多组地址信息，多组地址信息中一部分对应多个 BANK 中的相同的一个目标位置，多组地址信息中另一部分对应多个 BANK 中的相同的另一个目标位置。

例如，各个的存储颗粒 220 对该物理地址所采用两种不同的解析方式，其中，存储颗粒 220-1、存储颗粒 220-2、存储颗粒 220-3、存储颗粒 220-4 采用一种解析方式，存储颗粒 220-5、存储颗粒 220-6、

存储颗粒 220-7、存储颗粒 220-8 采用另一种解析方式，那么，存储颗粒 220-1、存储颗粒 220-2、存储颗粒 220-3、存储颗粒 220-4 中解析所获得的四组地址信息是相同的，分别指向存储颗粒 220-1、存储颗粒 220-2、存储颗粒 220-3、存储颗粒 220-4 中某个 BANK 上的目标位置 A。该各个目标位置 A 在所属 BANK 中的位置是相同的，也即是多个 BANK 中相同的目标位置。存储颗粒 220-5、存储颗粒 220-6、存储颗粒 220-7、存储颗粒 220-8 中解析所获得的四组地址信息是相同的，分别指向存储颗粒 220-5、存储颗粒 220-6、存储颗粒 220-7、存储颗粒 220-8 中某个 BANK 上的目标位置 B。该各个目标位置 B 在所属的 BANK 中的位置是相同的，也即是多个 BANK 中相同的目标位置。

本申请实施例并不限定存储颗粒 220 对物理地址所采用的具体解析方式，凡是能够将物理地址解析为指向 BANK、行、列的地址信息的方式均适用于本申请实施例。例如，存储颗粒 220 在解析物理地址的过程中，可以修改物理地址的部分字段，之后再基于第一映射关系对修改后的物理地址进行分析，进而生成指向 BANK、行、列的地址信息。该第一映射关系记录了物理地址中各个字段与 BANK、行、列的对应关系。

下面对存储器 200 的结构以及具体功能进行说明，如图 4 所示，为本申请实施例提供的一种存储器 200 的结构示意图，该存储器 200 包括控制电路 210 以及多个存储颗粒 220，每个存储颗粒 220 包括地址寄存器 221、第一地址重映射模块 222、以及地址解码电路 223。

地址寄存器 221 为具备存储功能的寄存器，第一地址重映射模块 222、以及地址解码电路 223 可以为逻辑电路，本申请实施例并不限定第一地址重映射模块 222、以及地址解码电路 223 内部具体结构，凡是能够实现相应的功能的逻辑电路均可以作为第一地址重映射模块 222、以及地址解码电路 223。

其中，每个存储颗粒 220 中，第一地址重映射模块 222 设置在地址寄存器 221 以及地址解码电路 223 之间，也即地址寄存器 221 向地址解码电路 223 发送的物理地址会先经过第一地址重映射模块 222，第一地址重映射模块 222 在对物理地址进行处理操作后，可以将执行处理操作后的物理地址发送给地址解码电路 223。第一地址重映射模块 222 在对物理地址可以执行两种处理操作中的一种，一种为对该物理地址进行修改，另一种为维持该物理地址中的各个字段不变。其中，处于工作状态该第一地址重映射模块 222 可以对该物理地址进行修改，未处于工作状态该第一地址重映射模块 222 维持该物理地址的各个字段不变。

对于任一存储颗粒 220，地址寄存器 221 用于存储该控制电路 210 发送的物理地址。通常，控制电路 210 在发送物理地址时，需要经过多个时钟周期，才能将完整的物理地址发送给存储颗粒 220。也即，控制电路 210 在一个时钟周期所传递数据的数据量是有限的，控制电路 210 可以分多次将该物理地址中所包括的字段发送给存储颗粒 220，地址寄存器 221 可以接收、并缓存控制电路 210 所发送的物理地址所包括的字段。例如，控制电路 210 在每个时钟周期可以发送 6 比特的地址，物理地址的总长度为 48 比特，控制电路 210 可以通过 8 个时钟周期将该 48 比特的物理地址发送给存储颗粒 220。地址寄存器 221 每接收 6 个比特，缓存该 6 比特，直至缓存的数据量达到 48 比特。

当地址寄存器 221 接收到了该物理地址所包括的所有地址后，地址寄存器 221 可以将物理地址发送给第一地址重映射模块 222。

第一地址重映射模块 222 在接收到地址寄存器 221 发送的物理地址后，可以对物理地址执行处理操作，并将执行处理操作后的物理地址发送给地址解码电路 223 本申请实施例并不限定该第一地址重映射模块 222 对物理地址的修改方式。例如，第一地址重映射模块 222 可以对物理地址中的部分字段取反，又例如，第一地址重映射模块 222 可以对物理地址中的部分字段和预设值做减法，获取差值，利用该差值替换该物理地址中的该部分字段。

地址解码电路 223 在从第一地址重映射模块 222 获取物理地址后，可以基于第一映射关系对该物理地址进行分析，获得指向 BANK、行、列的地址信息，进而确定出该存储颗粒 220 中的 BANK 上的目标位置，对该目标地址进行数据读写。本申请实施例并不限定地址解码电路 223 根据物理地址中获得指向 BANK、行、列的地址信息的具体实现方式，凡是对该物理地址分析，获得指向 BANK、行、列的地址信息的方式均适用于本申请实施例。

具体的，该地址解码电路 223 包括 BANK 控制逻辑、列地址解码逻辑、以及行地址解码逻辑。第一地址重映射模块 222 在对物理地址修改后，可以将修改后的物理地址中表征 BANK 的部分（如 4bit）发送给 BANK 控制逻辑，将物理地址中表征列（column）的部分（如 15bit）发送给列地址解码逻辑，将物理地址中表征行（row）的部分（如 11bit）发送给行地址解码逻辑。BANK 控制逻辑根据所接收到

的部分物理地址获得指向 BANK 的地址信息，列地址解码逻辑根据所接收到的部分物理地址获得指向列的地址信息，行地址解码逻辑根据所接收到的部分物理地址获得指向行的地址信息。

该地址解码电路 223 在获得指向 BANK、行以及列的地址信息后，即可定位该 BANK 的目标位置上，通过改变该目标位置中器件的工作电压实现数据读写。

5 从图 1 可知，地址寄存器 221 会将物理地址发送给地址解码电路 223，地址解码电路 223 则可以对所接收到的物理地址进行解析，获得指向 BANK、行、列的地址信息。在本申请实施例中，在地址解码电路 223 之前增设第一地址重映射模块 222，在地址解码电路 223 之前增设的第一地址重映射模块 222 能够对该地址解码电路 223 所接收到的物理地址进行修改，这样，地址解码电路 223 可以对修改后的物理地址进行解析。这种修改方式仅需要在存储器 200 原有的设计中增加部分电路逻辑，修改方式简单，
10 成本较低。

下面基于图 4 所示的控制电路 210，列举几种存储器 200 实现地址重映射功能的具体方式。

在介绍这几种具体实现方式之前，先假设经过对存储器 200 的测试，确定该存储器 200 的 BANK 中包括三种区域，每个区域对应的出错率的范围不同。为方便说明，这三个区域分别称为 AREA1、AREA2、AREA3 区域。这三个区域所内的物理地址分布可以如表 1 所示。

15 表 1

| | AREA3 | AREA2 | AREA1 |
|---------------------------|--------------------------------|-------------------------------|--------------------------------|
| ADDR[1]=0, ADDR [0]=0, | ADDR[2: 8]+ ADDR[9: 31]>=40 | ADDR[2: 8]+ ADDR[9: 31]<40 | ADDR[2 : 8]+ ADDR[9: 31]<20 |
| ADDR[1]=0, ADDR [0]=1 | ADDR[2: 8]+ ADDR[9: 31]>=40 | ADDR[2: 8]+ ADDR[9: 31]<40 | ADDR[2 : 8]+ ADDR[9: 31]<20 |
| ADDR[1]=1, ADDR [0]=0 | ADDR[2: 8]+ ADDR[9: 31]>=40 | ADDR[2: 8]+ ADDR[9: 31]<40 | ADDR[2 : 8]+ ADDR[9: 31]<20 |
| ADDR[1]=1, ADDR [0]=1 | ADDR[2: 8]+ ADDR[9: 31]>=40 | ADDR[2: 8]+ ADDR[9: 31]<40 | ADDR[2 : 8]+ ADDR[9: 31]<20 |

其中，ADDR[M]表示物理地址的第 M 位，ADDR[M: N]表示物理地址的第 N 位到第 M 位。举例来说，ADDR[1]=0 表示物理地址的第 1 位为 0。ADDR[2: 8]+ ADDR[9: 31]>=40 则表示物理地址中第 2 位到第 8 位与物理地址中第 9 位到第 31 位的 2 倍的和大于或等于 40。

20 如图 5A 所示，为一个 BANK 中 AREA1、AREA2、AREA3 区域的分布示意图，其中，AREA1 区域位于 BANK 的下方，AREA3 区域位于 BANK 的上方，AREA2 区域位于 BANK 的中间区域。经过测试在三个区域中，AREA1 区域的出错率最高，AREA2 区域的出错率居中，AREA3 区域颜色的出错率最低。

需要说明的是，BANK 中不同出错率范围的区域划分，与该存储器 200 内部控制电路 210 的走线以及存储器 200 中驱动电压的设计等多个因素有关，BANK 所包括的区域的区域的数量以及每个区域的出错率范围会随着存储器 200 的具体设计有关。另外，在具体测试时，BANK 中不同出错率范围的区域的数量以及每个区域的出错率范围也会因为测试参数的设置发生变化。例如，在具体测试时，可以选择了更高的精确度或者出错率的档位选择更多时，BANK 所包括的区域也可能变多。表 1 仅是列举了其中一种可能的分布情况。

30 对其中任一个存储颗粒 220，存储器 200 可以采用下列两种方式实现地址重映射。

方式一、将指向该存储颗粒 220 的 BANK 中 AREA1 区域内的某个位置的物理地址映射到 AREA3 区域内的目标位置。

AREA1 区域以及 AREA3 区域内的位置的行不同，故而从 AREA1 区域到 AREA3 区域的映射需要改变物理地址中表征行的字段。

35 第一地址重映射模块 222 对该物理地址中表征行与列的字段进行修改，这样根据修改后的物理地址获取的指向 BANK、行、列的地址信息与根据未修改之前的物理地址获取的指向 BANK、行、列的地址信息中指向行、列的地址信息的会发生变化。

例如，修改后的物理地址中表征行的字段 ADDR'[15: 12]满足：

$$\text{ADDR}'[15: 12]=40-\text{ADDR}[15: 12]$$

如图 5B 所示, 地址寄存器 221 将物理地址发送该第一地址重映射模块 222, 第一地址重映射模块 222 对物理地址表征行的字段进行修改后, 指向该存储颗粒 220 的 BANK 中 AREA1 区域内的某个位置的物理地址将被映射到 AREA3 区域内的目标位置。

5 方式二、将指向该存储颗粒 220 的 BANK 中 AREA1 区域内的某个位置的物理地址映射到 AREA2 区域内的目标位置。

从 AREA1 区域到 AREA2 区域的映射最简单的方式是改变物理地址中表征行的字段、或者表征行和列的字段。

1) 、改变物理地址中表征行的字段。

10 第一地址重映射模块 222 可以对该物理地址中表征行的字段进行修改, 这样根据修改后的物理地址获取的指向 BANK、行、列的地址信息与根据未修改之前的物理地址获取的指向 BANK、行、列的地址信息中指向行的地址信息的会发生变化。

也即第一地址重映射模块 222 只需要修改后的物理地址中表征行的字段即可。例如, 第一地址重映射模块 222 可以对物理地址中表征行的字段中的某一位或多位取反, 如可以将物理地址中表征行的字段中的一位 ADDR[16]取反, 也即修改后的物理地址中表征行的一位 ADDR'[16], 满足: ADDR'[13]=invADDR[16]。

如图 5C 所示, 在控制电路 210 中地址寄存器 221 将物理地址中的行字段发送该第一地址重映射模块 222, 第一地址重映射模块 222 对物理地址中的行字段进行修改后, 指向该存储颗粒 220 的 BANK 中 AREA1 区域内的某个位置的物理地址将被映射到 AREA2 区域内的目标位置。

2) 、改变物理地址中表征行和列的字段。

第一地址重映射模块 222 可以对该物理地址中表征行和列的字段进行列修改, 这样根据修改后的物理地址获取的指向 BANK、行、列的地址信息与根据未修改之前的物理地址获取的指向 BANK、行、列的地址信息中指向列的地址信息的会发生变化。

也即第一地址重映射模块 222 需要修改后的物理地址中表征行和列的字段即可。例如, 第一地址重映射模块 222 可以对物理地址中表征列的字段中的某一位或多位取反, 如可以将物理地址中表征列的字段中的一位 ADDR[23]取反, 也即修改后的物理地址中表征列的一位 ADDR'[23], 满足: ADDR'[23]=invADDR[23], 第一地址重映射模块 222 可以对物理地址中表征行的字段中的某一位或多位取反, 如可以将物理地址中表征行的字段中的一位 ADDR[16]取反, 也即修改后的物理地址中表征行的一位 ADDR'[16], 满足: ADDR'[13]=invADDR[16]。

30 如图 5D 所示, 在控制电路 210 中地址寄存器 221 将物理地址中的列字段发送该第一地址重映射模块 222, 第一地址重映射模块 222 对物理地址中的列字段进行列修改后, 指向该存储颗粒 220 的 BANK 中 AREA1 区域内的某个位置的物理地址将被映射到 AREA2 区域内的目标位置。

上述第一地址重映射模块 222 对物理地址进行修改的具体方式仅是举例。在实际应用中, 第一地址重映射模块 222 对物理地址进行修改的方式可以根据物理地址中表征行、列的字段所在的位置以及不同出错率范围的区域的分布位置进行设计。

除此之外, 在实际应用中, 鉴于存储颗粒 220 的设计方式不同, 存储颗粒 220 内部 BANK 可以是采用平面的方式排布的, 也即存储颗粒 220 所包括的各个 BANK 位于同一个平面。存储颗粒 220 内部 BANK 也可以采用三维方式排布, 也即在存储颗粒 220 中的某个 BANK 可以包括堆叠的多层。

40 如图 6A 为存储颗粒 220 内部 BANK 是采用平面的方式排布的示意图, 在该存储颗粒 220 内部 BANK 处于同一平面内。在这种排布方式中, 该存储颗粒 220 内部, BANK 中的区域均位于同一个平面内, 也即进行地址重映射时, 可以改变物理地址中表征行/或列的字段即可。

如图 6B 为存储颗粒 220 内部 BANK 是采用三维的方式排布的示意图, 在该存储颗粒 220 内部每个 BANK 包括上下两层。这里仅是以 BANK 包括两层为例, 事实上, BANK 也可以包括三层甚至更多层。

45 对于该 BANK 的每一层中可以包括多个不同的区域, 每个区域对应的出错率范围也不同, 而且由于存储器 200 内部的设计等因素, 该 BANK 中上下两层中相对区域的出错率范围也可能不同。其中相对区域是指同个 BANK 内位置是相对的两个区域。

在这种排布方式中, 物理地址通常会包括表征 BANK 中层的字段, 除了通过该改变物理地址中表

行/或列的字段实现地址重映射之外，也可以通过改变物理地址中表征 BANK 中层的字段实现地址重映射。

前述说明中，所列举的仅是以举例的方式展示了几种可能的实现地址重映射的具体方式。本申请实施例中对控制电路 210 实现地址重映射时对物理地址中各个字段的修改方式并不做限定，凡是实现从指向一个区域的位置的物理地址映射到另一个区域的位置的针对物理地址修改方式均适用于本申请实施例。

此外，在一些场景中，不同 BANK 中相同行以及列的位置上的出错率也不同，也即不同 BANK 内相同位置的出错率也可能不同。在这种场景中，第一地址重映射模块 222 在对物理地址进行修改时，还可以修改该物理地址中表征 BANK 的比特，其修改方式与第一地址重映射模块 222 修改该物理地址中表征行或列的比特的的方式类似，此处不再赘述。

基于图 4 所示的控制电路 210 中，在存储器 200 使能地址重映射功能的情况下，存储器 200 内部并不需要所有第一地址重映射模块 222 处于工作状态。也即在存储器 200 使能地址重映射功能的情况下，只需要保证该多个第一地址重映射模块 222 中部分第一地址重映射模块 222 能够对所接收到的物理地址进行修改即可。其他第一地址重映射模块 222 则不需要对所接收到的物理地址进行修改，在接收到物理地址后，可以该物理地址直接发送给地址解码电路 223。

举例来说，存储器 200 包括 N 个存储颗粒，那么该存储器 200 也将包括 N 个第一地址重映射模块 222，在存储器 200 中可以使能 M 个第一地址重映射模块 222，该 M 个第一地址重映射模块 222 处于工作状态。其中，M 为小于 N 的正整数。

存储器 200 中第一地址重映射模块 222 是否处于工作状态可以由控制电路 210 自身设置的，例如，当控制电路 210 在接收到地址重映射指令后，控制电路 210 可以控制该多个第一地址重映射模块 222 中数量等于设定数值的第一地址重映射模块 222 处于工作状态。

存储器 200 中第一地址重映射模块 222 是否处于工作状态、哪些第一地址重映射模块 222 处于工作状态也可以在存储器 200 出厂前就设置好的，也即在出厂前已将该多个第一地址重映射模块 222 中部分第一地址重映射模块 222 设置为工作状态。

存储器 200 中第一地址重映射模块 222 是否处于工作状态、以及处于工作状态的第一地址重映射模块 222 也可以是由处理器 100 指示的。例如，处理器 100 所发送的地址重映射指令中除了指示使能地址重映射功能，还携带了地址重映射策略，该地址重映射策略指示了处于工作状态的第一地址重映射模块 222 的数量（如 M），控制电路 210 可以控制该多个第一地址重映射模块 222 中部分第一地址重映射模块 222 处于工作状态，该部分第一地址重映射模块 222 的数量满足地址重映射指令的指示。又例如，处理器 100 所发送的地址重映射指令中除了指示使能地址重映射功能，还指示了工作状态的第一地址重映射模块 222，也即告知了哪些第一地址重映射模块 222 需要处于工作状态，控制电路 210 可以控制该多个第一地址重映射模块 222 中部分第一地址重映射模块 222 处于工作状态，该部分第一地址重映射模块 222 即为地址重映射指令所指示的第一地址重映射模块 222。

此外，若该地址重映射策略还指示了处于工作状态的第一地址重映射模块 222 对物理地址的修改方式，控制电路 210 还可以控制处于工作状态的第一地址重映射模块 222 采用地址重映射策略所指示的修改方式对所接收到的物理地址进行修改。

当然，在实际应用中，若每个处于工作状态的第一地址重映射模块 222 对物理地址的修改方式不同，存储器 200 内部也可以控制所有第一地址重映射模块 222 处于工作状态，由于每个处于工作状态的第一地址重映射模块 222 对物理地址的修改方式，那么，在各个存储颗粒 220 中第一地址重映射模块 222 处理后的物理地址（也即修改后的物理地址）也将不完全相同，该多个不完全相同的物理地址将指向各个存储颗粒 220 的 BANK 中的目标位置上。

在图 4 所示的控制电路 210 中，为每个存储颗粒 220 设置了一个对应的第一地址重映射模块 222，在实际应用中，存储器 200 也可以仅是对部分存储颗粒 220 设置第一地址重映射模块 222。在出厂前可以将该第一地址重映射模块 222 中设置为工作状态，或者在处理器 100 发送指示使能地址重映射功能的地址重映射指令时，控制电路 210 控制所包括的第一地址重映射模块 222 处于工作状态。

下面结合图 7 对本申请提供的的数据读写方法进行说明，这里以存储器 200 对外提供地址重映射功能的使能选项为例进行说明，对于存储器 200 对外不提供地址重映射功能的使能选项的情况，可以省略步骤 700~701。

步骤 700: 处理器 100 向存储器 200 发送地址重映射指令, 该地址重映射指令用于指示使能地址重映射功能该地址重映射指令还指示了需要处于工作状态的第一地址重映射模块 222。

步骤 701: 存储器 200 接收该地址重映射指令, 根据该地址重映射指令控制该地址重映射指令指示的第一地址重映射模块 222 处于工作状态。

5 步骤 702: 处理器 100 向存储器 200 发送读写请求, 该读写请求中携带了数据的逻辑地址。

步骤 703: 存储器 200 接收该读写请求, 在该存储器 200 的每个存储颗粒 220 中将该逻辑地址映射到该存储颗粒 220 的 BANK 上的目标位置。

10 在存储器 200 内部, 控制电路 210 在将逻辑地址转换为物理地址后, 向各个存储颗粒 220 发送该物理地址, 每个存储颗粒 220 内部地址寄存器 221 接收控制电路 210 所发送的物理地址, 将物理地址发送给每个存储颗粒 220 的第一地址重映射模块 222, 对于处于工作状态的第一地址重映射模块 222, 第一地址重映射模块 222 对物理地址进行修改, 将修改后的物理地址发送给该存储颗粒 220 的地址解码电路 223, 地址解码电路 223 对修改后的物理地址进行分析, 获得执行 BANK、行、列的地址信息, 进而根据该地址信息定位到 BANK 上的目标位置。

15 对于不处于工作状态的第一地址重映射模块 222, 第一地址重映射模块 222 将接收到的物理地址中发送给该存储颗粒 220 的地址解码电路 223, 地址解码电路 223 对所获取的物理地址进行分析, 获得执行 BANK、行、列的地址信息, 进而根据该地址信息定位到 BANK 上的目标位置。

步骤 704: 存储器 200 对该每个存储颗粒 220 的 BANK 上的目标位置进行数据读写。

当该读写请求为请求读取数据的读取请求时, 存储器 200 从该每个存储颗粒 220 的 BANK 上的目标位置读取数据, 将从各个存储颗粒 220 读取的数据汇总后反馈给处理器 100。

20 当该读写请求为请求写入数据的写入请求时, 存储器 200 在该每个存储颗粒 220 的 BANK 上的目标位置写入该写入请求携带的数据, 其中, 在每个目标位置上写入的数据为该写入请求所携带的部分数据, 所有目标位置上写入的数据为该写入请求所携带的数据。

第二种实现方式: 该存储器 200 的地址重映射功能借助控制电路 210 内部的第二地址重映射模块 211 实现。

25 在该种实现方式中, 本申请实施例所提供的一种数据处理系统 10 的结构以及该数据处理系统中包括处理器 100 以及存储器 200 的功能与图 2 所示的数据处理系统类似, 具体可以参见前述说明此处不再赘述。

区别在于, 在该种实现方式中, 针对使能地址重映射功能的情况, 存储器 200 还可以对外提供多种不同的地址重映射策略。任一地址重映射策略描述了下列的部分或全部信息:

30 处于工作状态的地址重映射模块 211 的数量;

任一处于工作状态的地址重映射模块 211 对逻辑地址的修改方式。

不同的地址重映射策略所描述的处于工作状态的地址重映射模块 211 的数量和/或任一处于工作状态的地址重映射模块 211 对逻辑地址转换后的物理地址的修改方式可能不同。

35 相应的, 本申请实施例也不限定存储器 200 提供多种不同的地址重映射策略的方式。例如, 在存储器 200 上配置了多种不同地址重映射策略的选择按钮, 用户可以根据实际需要通过对该选择按钮选择地址重映射策略。又例如, 存储器 200 配置地址重映射指令的解析功能, 存储器 200 之外的装置向该存储器 200 发送的地址重映射指令除了指示使能该地址重映射功能, 还可以指示某一种地址重映射策略, 存储器 200 通过解析接收到的地址重映射指令, 使能该地址重映射功能, 并采用该地址重映射指令中所指示地址重映射策略的进行地址重映射。

40 下面对存储器 200 的结构进行说明, 与图 3 所示的存储器 200 的结构类似, 在该种实现方式中, 在该存储器 200 包括控制电路 210 以及多个存储颗粒 220。但在该种实现方式在, 控制电路 210 与存储颗粒 220 的结构与图 3 所示的存储器 200 的结构不同。存储颗粒 220 的结构与图 1 所示的实施例中存储颗粒 220 的结构类似, 具体可以参见前述说明, 此处不再赘述。

45 在该存储器 200 中, 存储颗粒 220 主要用于存储数据, 而控制电路 210 则是该存储器 200 的控制中心, 控制电路 210 能够对该存储器 200 所接收的读写请求进行处理。也即控制电路 210 能够解析该读写请求中携带的逻辑地址, 根据该逻辑地址对各个存储颗粒 220 进行数据读写。

在本申请实施例中, 控制电路 210 能够将逻辑地址分别映射到每个存储颗粒 220 上。而在任一存储颗粒 220 中, 该逻辑地址可以映射到该存储颗粒 220 的一个 BANK 的目标位置处。也即控制电路 210,

可以将该逻辑地址分别映射到的多个 BANK 的目标位置处。

在该存储器 200 使能地址重映射功能的情况下, 该多个 BANK 的目标位置分布在不同的区域, 不同区域对应不同的出错率范围。

在该存储器 200 未使能地址重映射功能的情况下, 该多个 BANK 的目标位置分布在相同区域。

5 可选的, 当存储器 200 对外提供地址重映射功能的使能选项时, 控制电路 210 能够检测地址重映射功能的使能状态, 也即确定是否使能地址重映射功能。例如, 当存储器 200 的装置上配置有地址重映射功能的使能开关, 控制电路 210 可以检测该地址重映射功能的使能开关, 以此确定是否使能地址重映射功能。又例如, 当存储器 200 配置地址重映射指令的解析功能, 该解析功能可以由控制电路 210 实现, 控制电路 210 可以解析所接收到的地址重映射指令, 使能该地址重映射功能。

10 在后续说明中, 只针对存储器 200 使能地址重映射功能的情况进行说明, 对于存储器 200 未使能地址重映射功能的情况, 控制电路 210 对逻辑地址进行地址读写的方式可以参见图 1 所示的方式, 此处不再赘述。

从图 1 所示的内存寻址方式可知, 逻辑地址映射到各个存储颗粒 220 时, 控制电路 210 需要对逻辑地址进行转换获得对应的物理地址, 之后再物理地址发送给各个存储颗粒 220。

15 在本申请实施例中, 控制电路 210 在对逻辑地址进行转换时, 针对不同的存储颗粒 220, 可以采用不同的转换方式, 采用不同的转换方式最终获得不同的物理地址。

控制电路 210 针对各个的存储颗粒 220 对该逻辑地址所采用的转换方式可以不完全相同, 以获取不完全相同的多个物理地址。例如, 对在该多个存储颗粒 220 中的部分存储颗粒 220, 控制电路 210 对逻辑地址采用一种转换方式对逻辑地址进行转换, 最终获得多个相同的物理地址, 对该多个存储颗粒 220 20 中的另一部分存储颗粒 220, 控制电路 210 对逻辑地址采用另一种转换方式对逻辑地址进行转换, 最终获得多个相同的物理地址。这样, 最终获取的该不完全相同的多个物理地址, 多个物理地址中一部分对应多个 BANK 中的相同的一个目标位置, 多个物理地址中另一部分对应多个 BANK 中的相同的另一个目标位置。又例如, 控制电路 210 针对各个的存储颗粒 220 对该逻辑地址所采用的转换方式完全不同, 以获取多组完全不同的地址信息, 也即对在不同存储颗粒 220 中, 控制电路 210 对逻辑地址采用不同的转换方式对逻辑地址进行转换, 最终获得完全不同的多个物理地址, 这样该多个物理地址对应多个 25 BANK 中的不同的目标位置, 这样, 该多个 BANK 的目标位置也将不再属于相同区域。

举例来说, 控制电路 210 针对各个的存储颗粒 220 对该逻辑地址所采用两种不同的转换方式, 其中, 对存储颗粒 220-1、存储颗粒 220-2、存储颗粒 220-3、存储颗粒 220-4 采用一种转换方式, 对存储颗粒 220-5、存储颗粒 220-6、存储颗粒 220-7、存储颗粒 220-8 采用另一种转换方式, 那么, 在存储颗粒 220-1、 30 存储颗粒 220-2、存储颗粒 220-3、存储颗粒 220-4 所获得的物理地址是相同的, 分别指向存储颗粒 220-1、存储颗粒 220-2、存储颗粒 220-3、存储颗粒 220-4 中某个 BANK 上的目标位置 A。该各个目标位置 A 在所属 BANK 中的位置是相同的, 也即是多个 BANK 中相同的目标位置。在存储颗粒 220-5、存储颗粒 220-6、存储颗粒 220-7、存储颗粒 220-8 中所获得的物理地址是相同的, 分别指向存储颗粒 220-5、存储颗粒 220-6、存储颗粒 220-7、存储颗粒 220-8 中某个 BANK 上的目标位置 B。该各个目标位置 B 35 在所属的 BANK 中的位置是相同的, 也即是多个 BANK 中相同的目标位置。

本申请实施例并不限定控制电路 210 对逻辑地址所采用的具体转换方式, 凡是能够将逻辑地址转换为物理地址的方式均适用于本申请实施例。例如, 控制电路 210 在转换逻辑地址的过程中, 可以修改逻辑地址的中部分或全部字段, 之后再基于预设的映射关系对修改后的逻辑地址进行分析, 进而生成物理 40 地址。

下面对存储器 200 的结构以及具体功能进行说明, 如图 8 所示, 为本申请实施例提供的一种存储器 200 的结构示意图, 该控制电路 210 中包括多个第二地址重映射模块 211 以及多个地址转换模块 212。第二地址重映射模块 211 以及多个地址转换模块 212 可以为逻辑电路, 本申请实施例并不限定第二地址重映射模块 211 以及多个地址转换模块 212 内部的具体结构, 凡是能够实现相应功能的逻辑电路均适用于本申请实施例。 45

其中, 每个存储颗粒 220 对应一个第二地址重映射模块 211 以及一个地址转换模块 212, 第二地址重映射模块 211 设置在存储颗粒 220 以及地址转换模块 212 之间, 也即逻辑地址会先经过第二地址重映射模块 211, 第二地址重映射模块 211 在对逻辑地址进行处理操作后, 可以将执行处理操作后的逻辑地

址发送给地址转换模块 212。地址转换模块 212 用于基于第二映射关系将执行处理操作后的逻辑地址转换为物理地址。第二映射关系为物理地址与逻辑地址之间的映射关系。

第二地址重映射模块 211 在对逻辑地址可以执行两种处理操作中的一种，一种为对该逻辑地址进行修改，本申请实施例并不限定该第二地址重映射模块 211 对逻辑地址的修改方式。例如，第二地址重映射模块 211 可以对逻辑地址中的部分字段取反，又例如，第二地址重映射模块 211 可以对逻辑地址中的部分字段和预设值做减法，获取差值，利用该差值替换该逻辑地址中的该部分字段。另一种为维持该逻辑地址中的各个字段不变。其中，处于工作状态该第二地址重映射模块 211 可以对该逻辑地址进行修改，未处于工作状态该第二地址重映射模块 211 维持该逻辑地址的各个字段不变。

地址转换模块 212 在接收到第二地址重映射模块 211 发送的逻辑地址后，可以第二映射关系将所获取的逻辑地址转换为对应的物理地址，将该物理地址转换给存储颗粒 220，存储颗粒 220 内部对物理地址的解析过程可以参见图 1 所示实施例中的相关说明此处不再赘述。

图 8 仅是列举了控制电路 210 的一种可能结构示意图。本申请实施例并不限定该控制电路 210 中各个模块的划分方式。

第二地址重映射模块 211 对逻辑地址进行修改的方式与第一地址重映射模块 222 对的物理地址的修改方式类似，具体可以参见前述内容此处不再赘述，区别在于，第二地址重映射模块 211 对逻辑地址中表征 BANK、行、以及列的字段的具体取值以及对各个字段所采用的具体操作可能不同。

基于图 8 所示的存储器 200 中，在存储器 200 使能地址重映射功能的情况下，控制电路 210 内部并不需要所有第二地址重映射模块 211 处于工作状态。也即在存储器 200 使能地址重映射功能的情况下，只需要保证该多个第二地址重映射模块 211 中部分第二地址重映射模块 211 能够对所接收到的逻辑地址进行修改即可。其他第二地址重映射模块 211 则不需要对所接收到的逻辑地址进行修改，在接收到逻辑地址后，可以该路基地址直接发送给地址解码电路 223。

第二地址重映射模块 211 处于工作状态的设置方式与第一地址重映射模块 222 处于工作状态的设置方式类似具体可以参见前述说明此处不再赘述。

下面结合图 9 对本申请提供的数据读写方法进行说明，这里以存储器 200 对外提供地址重映射功能的使能选项为例进行说明，对于存储器 200 对外不提供地址重映射功能的使能选项的情况，可以省略步骤 900~901。

步骤 900：处理器 100 向存储器 200 发送地址重映射指令，该地址重映射指令用于指示使能地址重映射功能该地址重映射指令还指示了需要处于工作状态的第二地址重映射模块 211。

步骤 901：存储器 200 接收该地址重映射指令，根据该地址重映射指令控制该地址重映射指令指示的第二地址重映射模块 211 处于工作状态。

步骤 902：处理器 100 向存储器 200 发送读写请求，该读写请求中携带了逻辑地址。

步骤 903：存储器 200 接收该读写请求，在该存储器 200 的每个存储颗粒 220 中将该逻辑地址映射到该存储颗粒 220 的 BANK 上的目标位置。

在存储器 200 内部，各个存储颗粒 220 的第二地址重映射模块 211 获取该逻辑地址发送，对于处于工作状态的第二地址重映射模块 211，第二地址重映射模块 211 对逻辑地址中的字段进行修改，将修改后的逻辑地址发送给该存储颗粒 220 对应的地址转换模块 212，地址转换模块 212 对修改后的逻辑地址进行转换获得物理地址，将该物理地址发送给对应的存储颗粒 220。

对于未处于工作状态的第二地址重映射模块 211，第二地址重映射模块 211 将接收到的逻辑地址中发送给该存储颗粒 220 的地址转换模块 212，该地址转换模块 212 对逻辑地址进行转换获得物理地址，将该物理地址发送给对应的存储颗粒 220。

步骤 904：存储器 200 对该每个存储颗粒 220 的 BANK 上的目标位置进行数据读写。

当该读写请求为请求读取数据的读取请求时，存储器 200 从该每个存储颗粒 220 的 BANK 上的目标位置读取数据，将从各个存储颗粒 220 读取的数据汇总后反馈给处理器 100。

当该读写请求为请求写入数据的写入请求时，存储器 200 在该每个存储颗粒 220 的 BANK 上的目标位置写入该写入请求携带的数据，其中，在每个目标位置上写入的数据为该写入请求所携带的部分数据，所有目标位置上写入的数据为该写入请求所携带的数据。

需要说明的是，在第二实现方式中是以第二地址重映射模块 211 直接修改逻辑地址为例进行说明的。作为一种可能的实现方式，第二地址重映射模块 211 可以不直接修改逻辑地址，而是对地址转换模块

212 转换后获得的物理地址进行修改，再将修改后的物理地址发送给对应的存储颗粒 220。

需要说明的是，本申请实施例中对模块的划分是示意性的，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式。在本申请的实施例中的各功能模块可以集成在一个处理模块中，也可以是各个模块单独物理存在，也可以两个或两个以上模块集成在一个模块中。上述集成的模块既可以采用硬件的形式实现，也可以采用软件功能模块的形式实现。

上述实施例，可以全部或部分地通过软件、硬件、固件或其他任意组合来实现。当使用软件实现时，上述实施例可以全部或部分地以计算机程序产品的形式实现。所述计算机程序产品包括一个或多个计算机指令。在计算机上加载或执行所述计算机程序指令时，全部或部分地产生按照本发明实施例所述的流程或功能。所述计算机可以为通用计算机、专用计算机、计算机网络、或者其他可编程装置。所述计算机指令可以存储在计算机可读存储介质中，或者从一个计算机可读存储介质向另一个计算机可读存储介质传输，例如，所述计算机指令可以从一个网站站点、计算机、服务器或数据中心通过有线（如同轴电缆、光纤、数字用户线（DSL））或无线（例如红外、无线、微波等）方式向另一个网站站点、计算机、服务器或数据中心进行传输。所述计算机可读存储介质可以是计算机能够存取的任何可用介质或者是包含一个或多个可用介质集合的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质（例如，软盘、硬盘、磁带）、光介质（例如，DVD）、或者半导体介质。半导体介质可以是固态硬盘（solid state drive, SSD）。

本领域内的技术人员应明白，本申请的实施例可提供为方法、系统、或计算机程序产品。因此，本申请可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且，本申请可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘存储器、CD-ROM、光学存储器等）上实施的计算机程序产品的形式。

本申请是参照根据本申请的方法、设备（系统）、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

显然，本领域的技术人员可以对本申请进行各种改动和变型而不脱离本申请范围。这样，倘若本申请的这些修改和变型属于本申请权利要求及其等同技术的范围之内，则本申请也意图包含这些改动和变型在内。

权利要求

- 1.一种数据处理系统,其特征在于,所述系统包括:
处理器,用于向存储器发送读写请求,所述读写请求中携带有数据的逻辑地址;
5 存储器,用于接收所述读写请求,将所述逻辑地址映射到所述存储器的N个存储颗粒的BANK上的目标位置,对所述N个存储颗粒的BANK上的目标位置进行数据读写;
其中,所述N个存储颗粒的BANK上的目标位置分布在不同的区域,N为正整数。
- 2.如权利要求1所述的系统,其特征在于,所述处理器在发送所述读写请求之前,还用于:向所述存储器发送地址重映射指令,所述地址重映射指令用于使能所述存储器的地址重映射功能。
- 10 3.如权利要求2所述的系统,其特征在于,所述存储器包括控制电路以及N个第一地址重映射模块,每个存储颗粒对应一个第一地址重映射模块,所述控制电路,用于:
根据所述地址重映射指令控制所述M个第一地址重映射模块处于工作状态,其中,M不大于N;
任一处于工作状态的所述第一地址重映射模块,用于:对所述逻辑地址转换后的物理地址进行修改,修改后的所述物理地址指向所述第一地址重映射模块对应的存储颗粒的BANK上的目标位置。
- 15 4.如权利要求3所述的系统,其特征在于,处于工作状态的所述第一地址重映射模块,用于:
对所述物理地址中指向BANK中行和/或列的字段进行修改。
- 5.如权利要求2~4任一项所述的系统,其特征在于,所述第一地址重映射模块位于所对应的存储颗粒中;
所述控制电路,还用于接收所述读写请求,将所述逻辑地址转换为物理地址,向每个存储颗粒发送
20 所述物理地址。
- 6.如权利要求3所述的系统,其特征在于,未处于工作状态的所述第一地址重映射模块,用于:
维持所述物理地址中各个字段不变,所述物理地址指向所述第一地址重映射模块对应的存储颗粒的BANK上的目标位置。
- 7.如权利要求2~4任一项所述的系统,其特征在于,任一所述存储颗粒,用于:根据从所对应的所述
25 所述第一地址重映射模块获取的物理地址确定所述存储颗粒的BANK上的目标位置,对所述目标位置进行数据读写。
- 8.如权利要求2所述的系统,其特征在于,所述控制电路包括N个第二地址重映射模块,每个存储颗粒对应一个第二地址重映射模块,所述控制电路,用于:
根据所述地址重映射指令控制所述M个第一地址重映射模块处于工作状态,其中,M不大于N;
30 任一处于工作状态的所述第二地址重映射模块,用于对所述逻辑地址进行修改,修改后的所述逻辑地址映射到所述第二地址重映射模块对应的存储颗粒的BANK上的目标位置。
- 9.如权利要求8所述的系统,其特征在于,处于工作状态的所述第二地址重映射模块,用于:
对所述逻辑地址中指向BANK中行和/或列的字段进行修改。
- 10.如权利要求8所述的系统,其特征在于,未处于工作状态的所述第二地址重映射模块,用于:
35 维持所述逻辑地址中各个字段不变。
- 11.如权利要求2、8~10任一项所述的系统,其特征在于,所述控制电路包括地址转换模块;
所述地址转换模块,用于从所述第二地址重映射模块获取的逻辑地址;将从所述第二地址重映射模块获取的逻辑地址转换为物理地址;将所述物理地址发送给所述第二地址重映射模块对应的存储颗粒。
- 40 12.一种存储器,其特征在于,所述存储器包括控制电路以及N个存储颗粒;
控制电路,用于接收处理器发送的读写请求,所述读写请求用于请求对存储器进行数据读写,所述读写请求中携带有数据的逻辑地址;将所述逻辑地址转换为物理地址,将所述逻辑地址转换后的物理地址分别发送给所述N个存储颗粒,所述物理地址指向所述存储器的N个存储颗粒的BANK上的目标位置,其中,所述N个存储颗粒的BANK上的目标位置分布在不同的区域;
- 45 任一所述存储颗粒,用于对所述存储颗粒的BANK上的目标位置进行数据读写。
- 13.如权利要求12所述的存储器,其特征在于,所述控制电路,还用于:接收所述处理器发送的发送地址重映射指令,所述地址重映射指令用于使能所述存储器的地址重映射功能。
- 14.如权利要求13所述的存储器,其特征在于,所述存储器包括N个第一地址重映射模块,每个存

储颗粒对应一个所述第一地址重映射模块, 所述控制电路, 用于:

根据所述地址重映射指令控制所述 M 个第一地址重映射模块处于工作状态, 其中, M 不大于 N;
任一处于工作状态的所述第一地址重映射模块, 用于: 对所述逻辑地址转换后的物理地址进行修改, 修改后的所述物理地址指向所述第一地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

5 15. 如权利要求 13 所述的存储器, 其特征在于, 处于工作状态的所述第一地址重映射模块, 用于: 对所述物理地址中指向 BANK 中行和/或列的字段进行修改。

16. 如权利要求 15 所述的存储器, 其特征在于, 未处于工作状态的所述第一地址重映射模块, 用于: 维持所述物理地址中各个字段不变, 所述物理地址指向所述第一地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

10 17. 如权利要求 14~16 任一项所述的存储器, 其特征在于, 任一所述存储颗粒, 用于: 根据从所对应的所述第一地址重映射模块获取的物理地址确定所述存储颗粒的 BANK 上的目标位置, 对所述目标位置进行数据读写。

18. 如权利要求 13 所述的存储器, 其特征在于, 所述控制电路包括 N 个第二地址重映射模块, 每个存储颗粒对应一个第二地址重映射模块, 所述控制电路, 用于:

15 根据所述地址重映射指令控制所述 M 个第二地址重映射模块处于工作状态, 其中, M 不大于 N;
任一处于工作状态的所述第二地址重映射模块, 用于对所述逻辑地址进行修改, 修改后的所述逻辑地址映射到所述第二地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

19. 如权利要求 18 所述的存储器, 其特征在于, 处于工作状态的所述第二地址重映射模块, 用于: 对所述逻辑地址中指向 BANK 中行和/或列的字段进行修改。

20 20. 如权利要求 18 所述的存储器, 其特征在于, 未处于工作状态的所述第二地址重映射模块, 用于: 维持所述逻辑地址中各个字段不变, 所述逻辑地址映射到所述第二地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

21. 如权利要求 13、18~20 任一项所述的存储器, 其特征在于, 所述控制电路包括地址转换模块;

25 所述地址转换模块, 用于将从所述第二地址重映射模块获取的逻辑地址转换为物理地址; 将所述物理地址发送给所述第二地址重映射模块对应的存储颗粒。

22. 一种数据读写方法, 其特征在于, 所述方法应用于存储器, 所述包括控制电路以及 N 个存储颗粒, N 为正整数, 所述方法包括:

30 所述控制电路接收处理器发送的读写请求, 所述读取请求用于请求对存储器进行数据读写, 所述读写请求中携带有数据的逻辑地址; 将所述逻辑地址转换为物理地址, 将所述逻辑地址转换后的物理地址分别发送给所述 N 个存储颗粒, 所述物理地址指向所述存储器的 N 个存储颗粒的 BANK 上的目标位置, 其中, 所述 N 个存储颗粒的 BANK 上的目标位置分布在不同的区域;

任一所述存储颗粒对所述存储颗粒的 BANK 上的目标位置进行数据读写。

23. 如权利要求 22 所述的方法, 其特征在于, 所述方法还包括:

35 所述控制电路接收所述处理器发送的发送地址重映射指令, 所述地址重映射指令用于使能所述方法的地址重映射功能。

24. 如权利要求 23 所述的方法, 其特征在于, 所述存储器包括 N 个第一地址重映射模块, 每个存储颗粒对应一个所述第一地址重映射模块, 所述方法还包括:

40 所述控制电路根据所述地址重映射指令控制所述 M 个第一地址重映射模块处于工作状态, 其中, M 不大于 N;

任一处于工作状态的所述第一地址重映射模块对所述逻辑地址转换后的物理地址进行修改, 修改后的所述物理地址指向所述第一地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

25. 如权利要求 24 所述的方法, 其特征在于, 所述处于工作状态的所述第一地址重映射模块对所述逻辑地址转换后的物理地址进行修改, 包括:

45 处于工作状态的所述第一地址重映射模块对所述物理地址中指向 BANK 中行和/或列的字段进行修改。

26. 如权利要求 24 所述的方法, 其特征在于, 所述方法还包括:

未处于工作状态的所述第一地址重映射模块维持所述物理地址中各个字段不变, 所述物理地址指向

所述第一地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

27.如权利要求 24~26 任一项所述的方法,其特征在于,所述任一所述存储颗粒对所述存储颗粒的 BANK 上的目标位置进行数据读写,包括:

5 任一所述存储颗粒根据从所对应的所述第一地址重映射模块获取的物理地址确定所述存储颗粒的 BANK 上的目标位置,对所述目标位置进行数据读写。

28.如权利要求 23 所述的方法,其特征在于,所述控制电路包括 N 个第二地址重映射模块,每个存储颗粒对应一个第二地址重映射模块,所述方法还包括:

所述控制电路根据所述地址重映射指令控制所述 M 个第二地址重映射模块处于工作状态,其中, M 不大于 N;

10 任一处于工作状态的所述第二地址重映射模块对所述逻辑地址进行修改,修改后的所述逻辑地址指向所述第二地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

29.如权利要求 28 所述的方法,其特征在于,所述处于工作状态的所述第二地址重映射模块对所述逻辑地址进行修改,包括:

15 所述处于工作状态的所述第二地址重映射模块对所述逻辑地址中指向 BANK 中行和/或列的字段部分字段进行修改。

30.如权利要求 28 所述的方法,其特征在于,所述方法还包括:

未处于工作状态的所述第二地址重映射模块维持所述逻辑地址中各个字段不变,所述逻辑地址指向所述第二地址重映射模块对应的存储颗粒的 BANK 上的目标位置。

20 31.如权利要求 23、28~30 任一项所述的方法,其特征在于,所述控制电路包括地址转换模块;所述控制电路所述逻辑地址转换为物理地址,将所述逻辑地址转换后的物理地址发送给所述存储器的 N 个存储颗粒,包括:

所述地址转换模块将从所述第二地址重映射模块获取的逻辑地址转换为物理地址;将所述物理地址发送给所述第二地址重映射模块对应的存储颗粒。

25 32.一种计算设备,其特征在于,所述计算设备包括如权利要求 12~21 任一项所述的存储器。

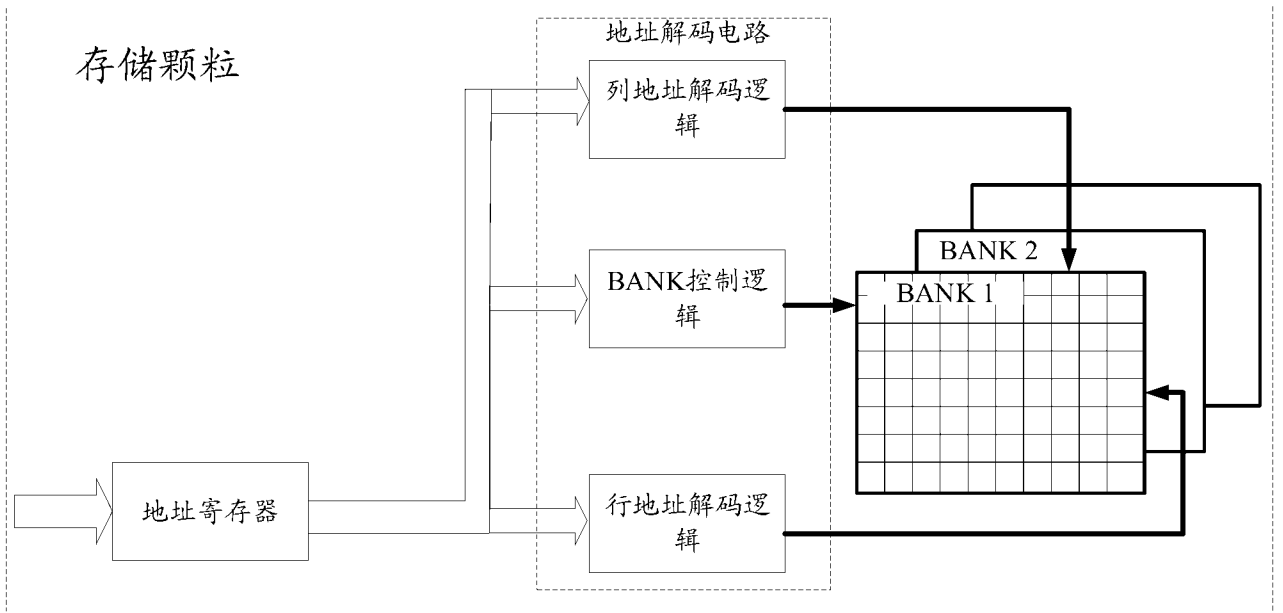


图 1

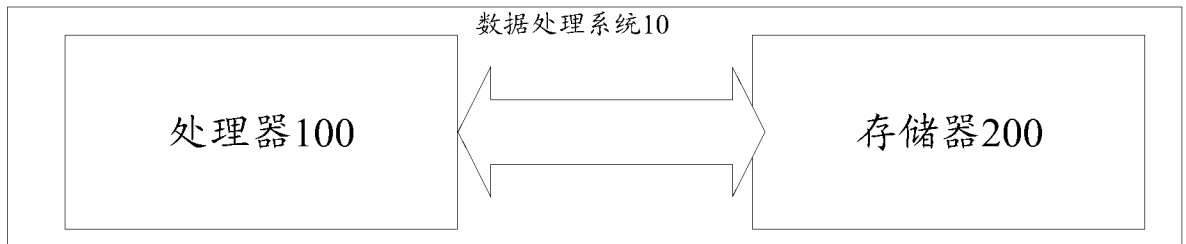


图 2

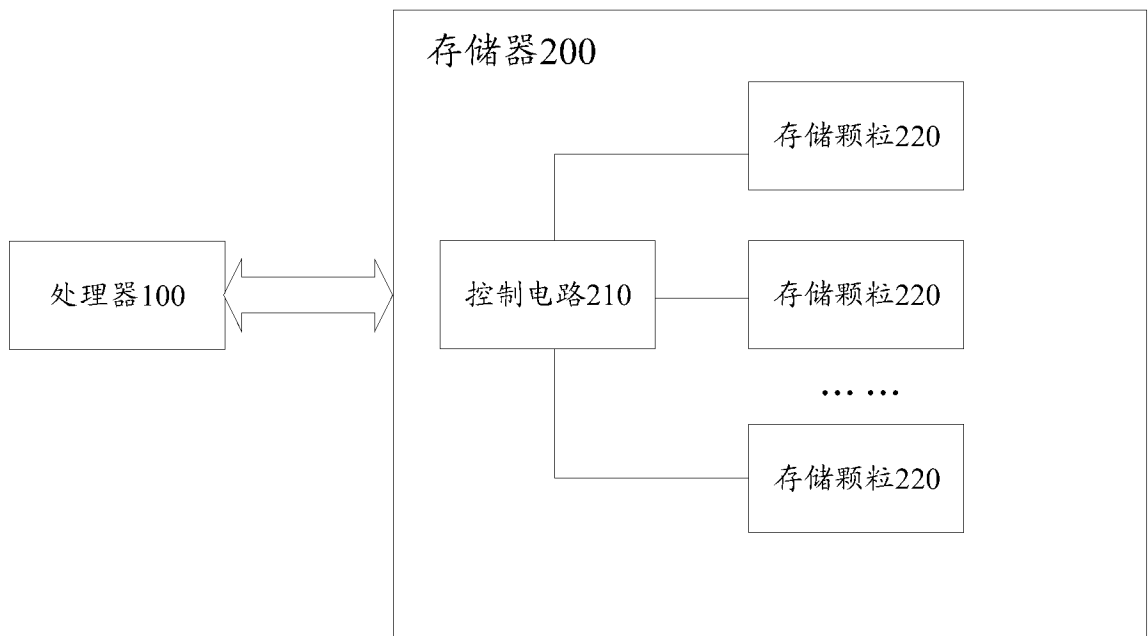


图 3

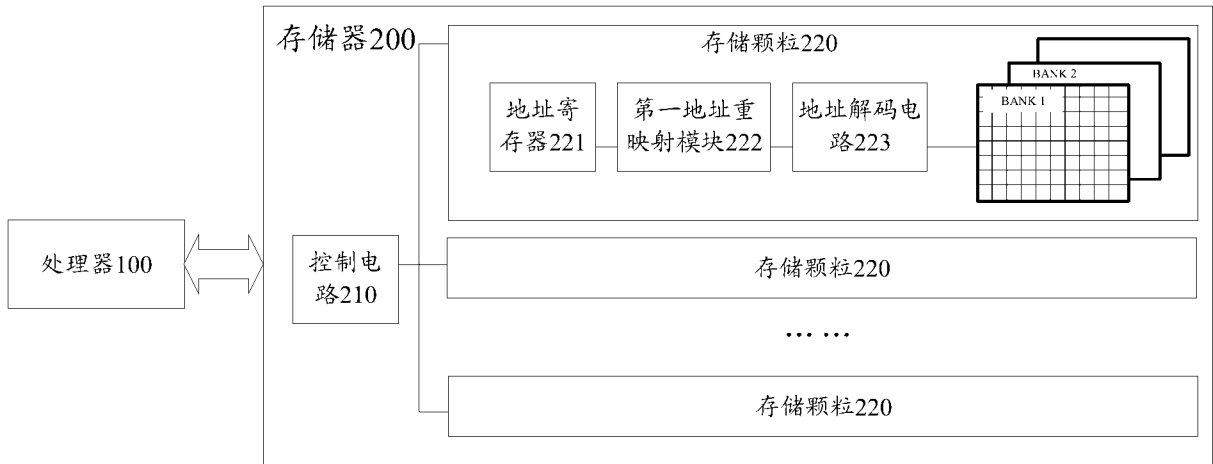


图 4

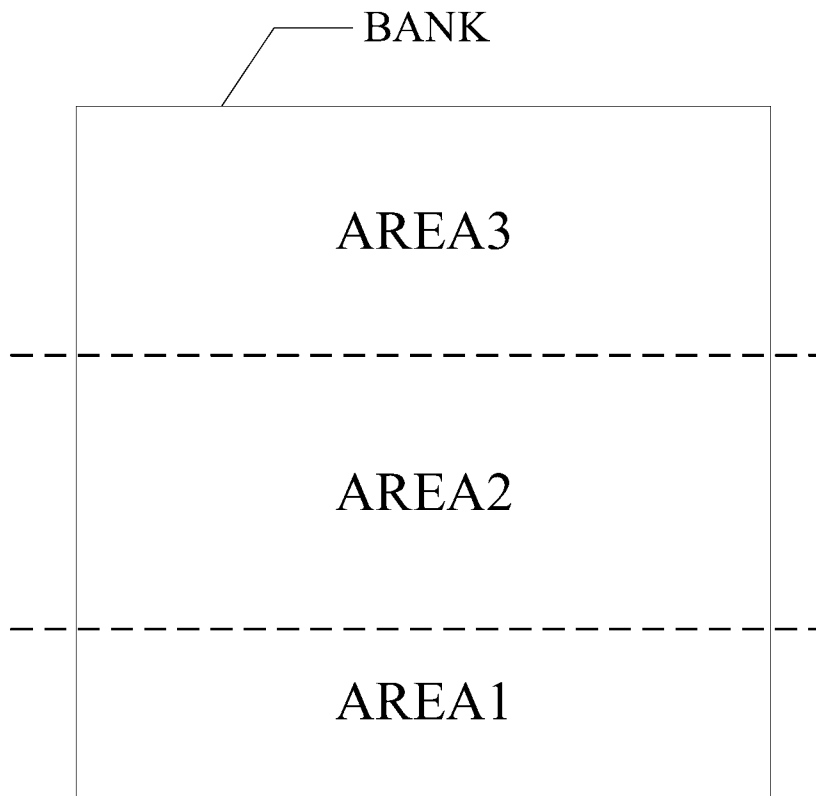


图 5A

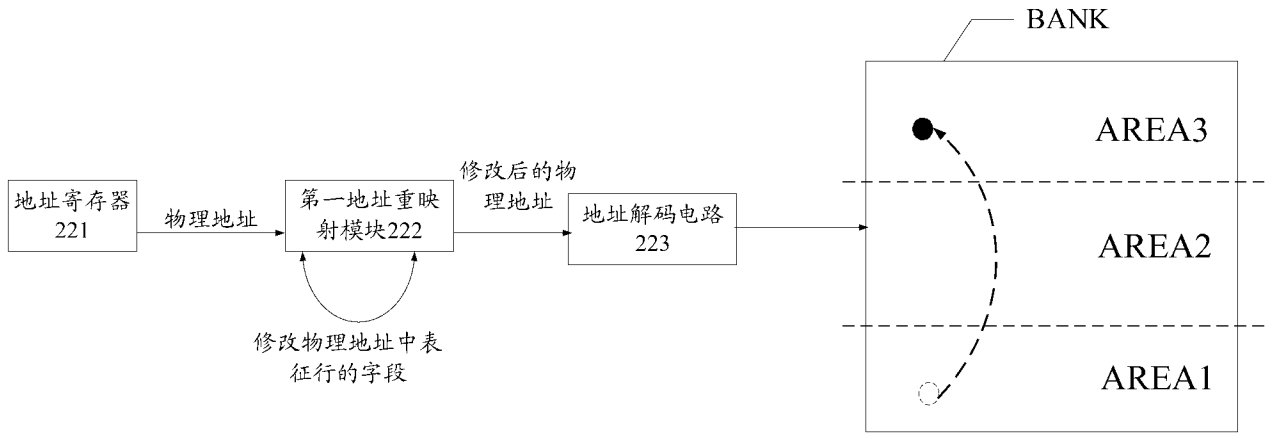


图 5B

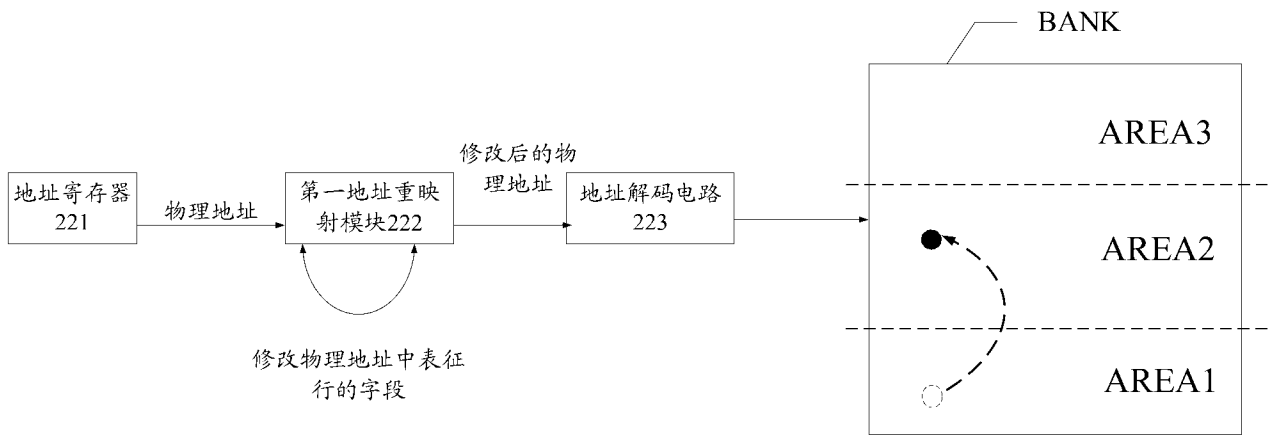


图 5C

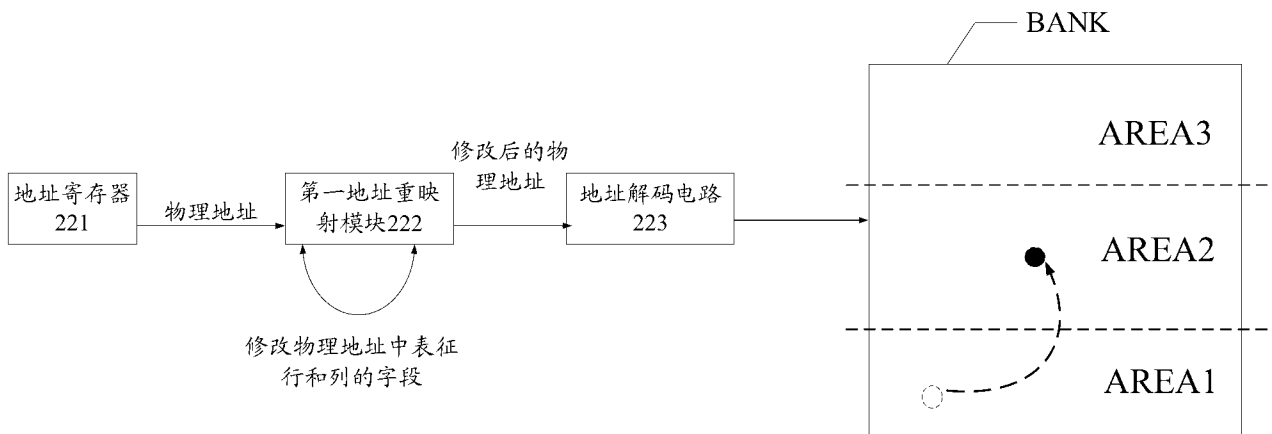


图 5D

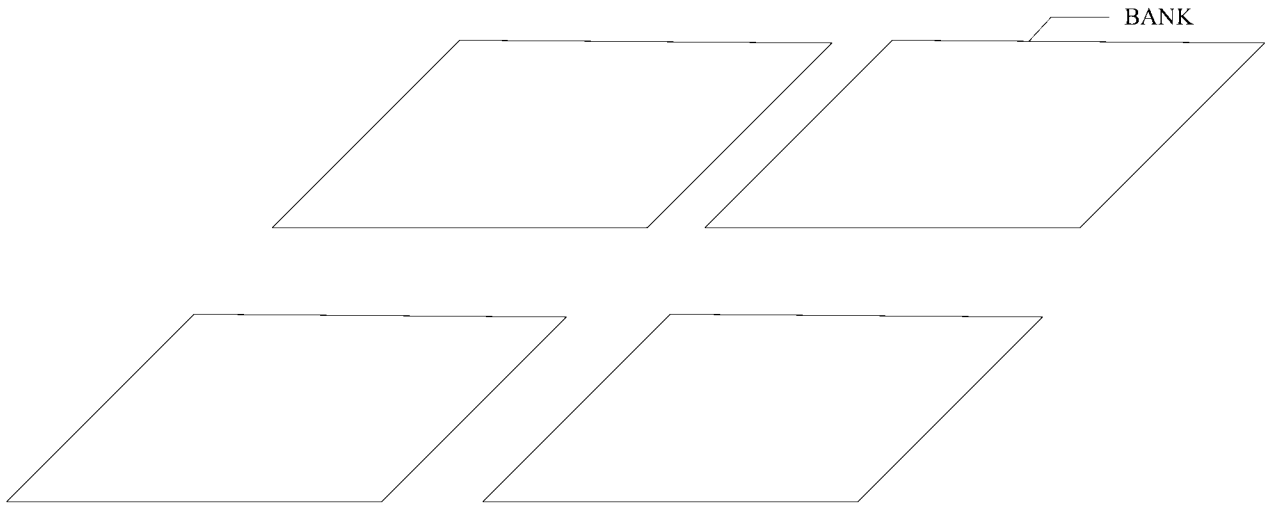


图 6A

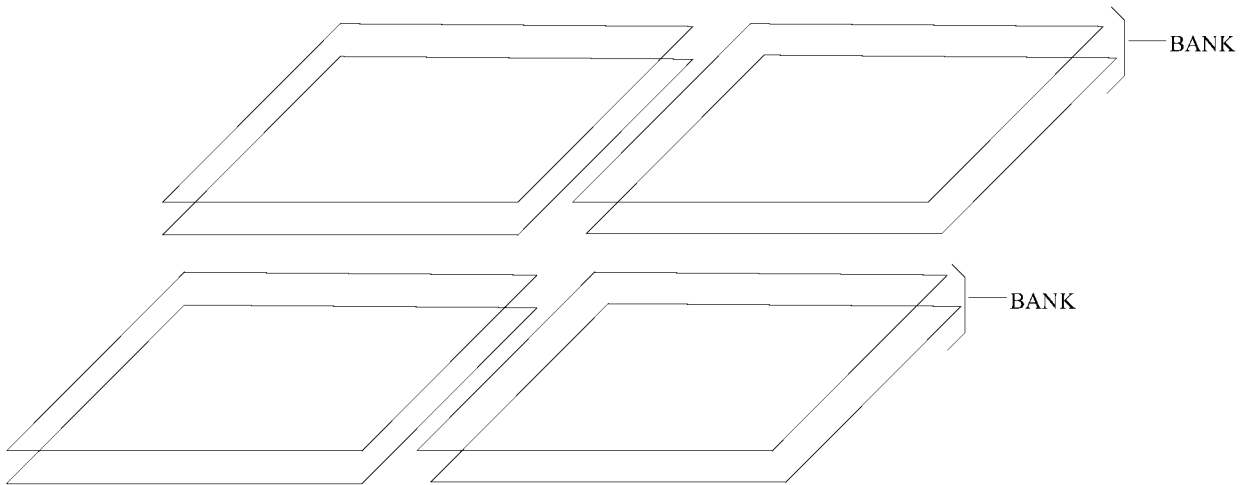


图 6B

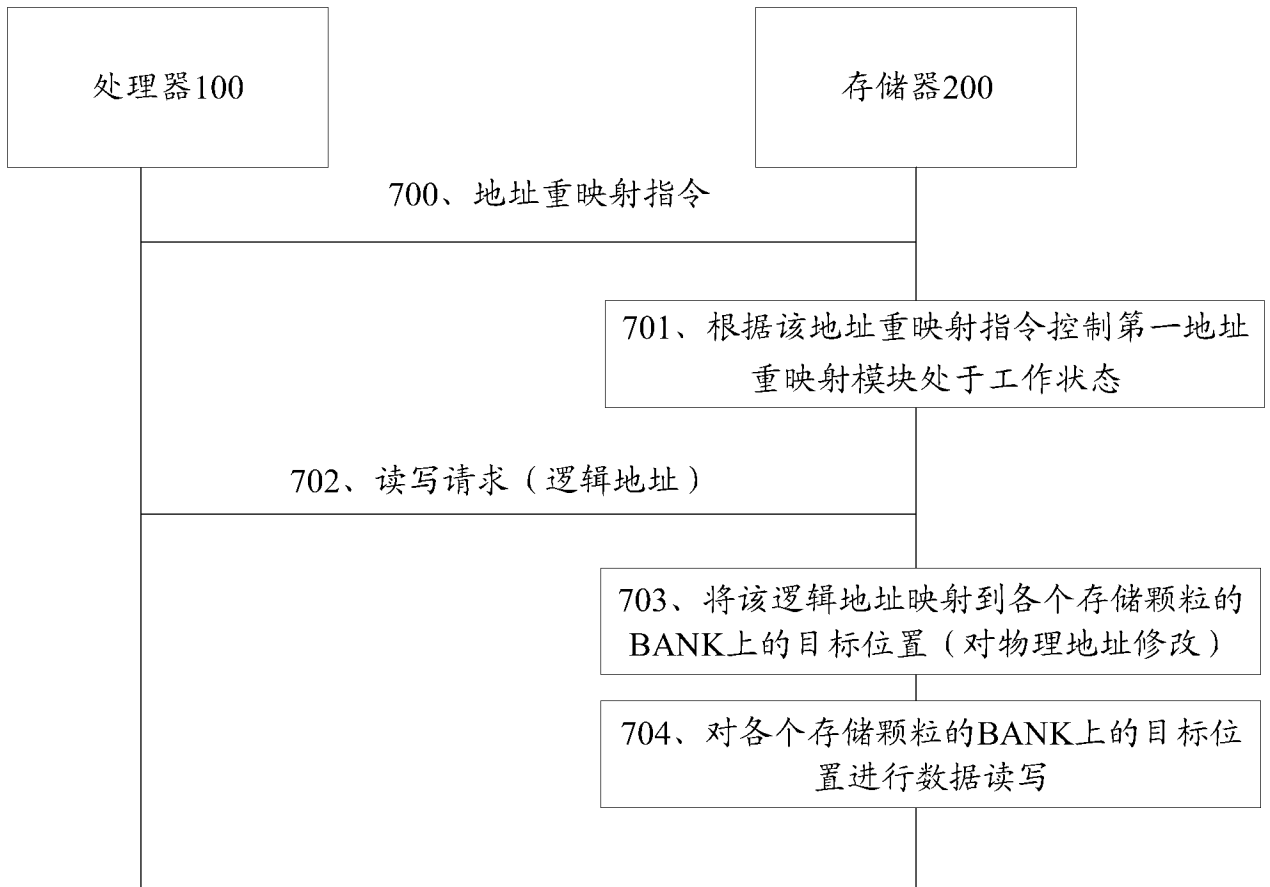


图 7

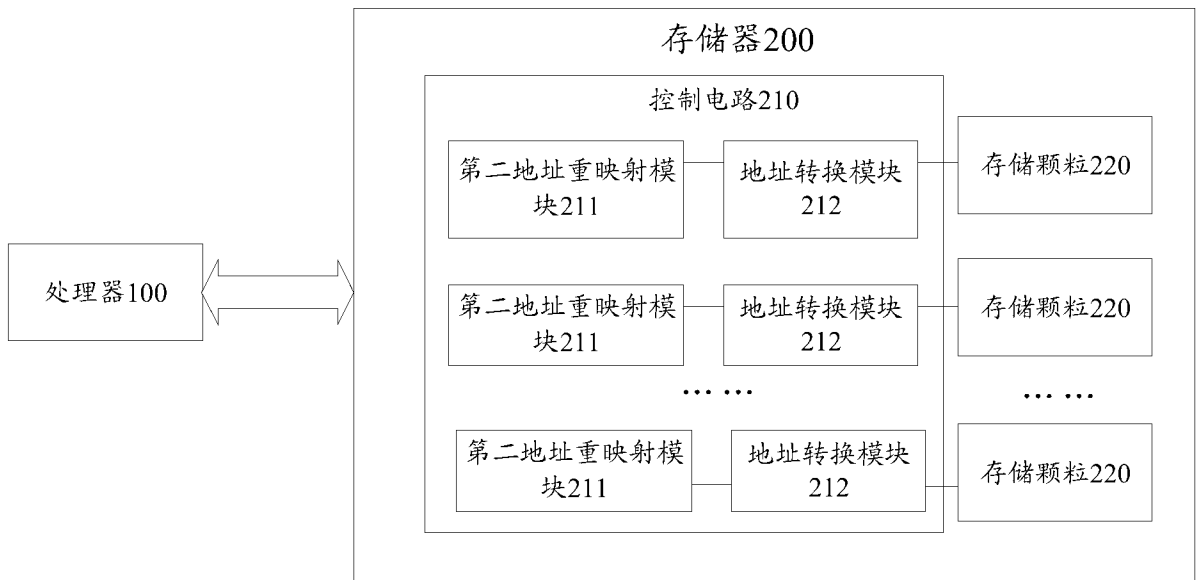


图 8

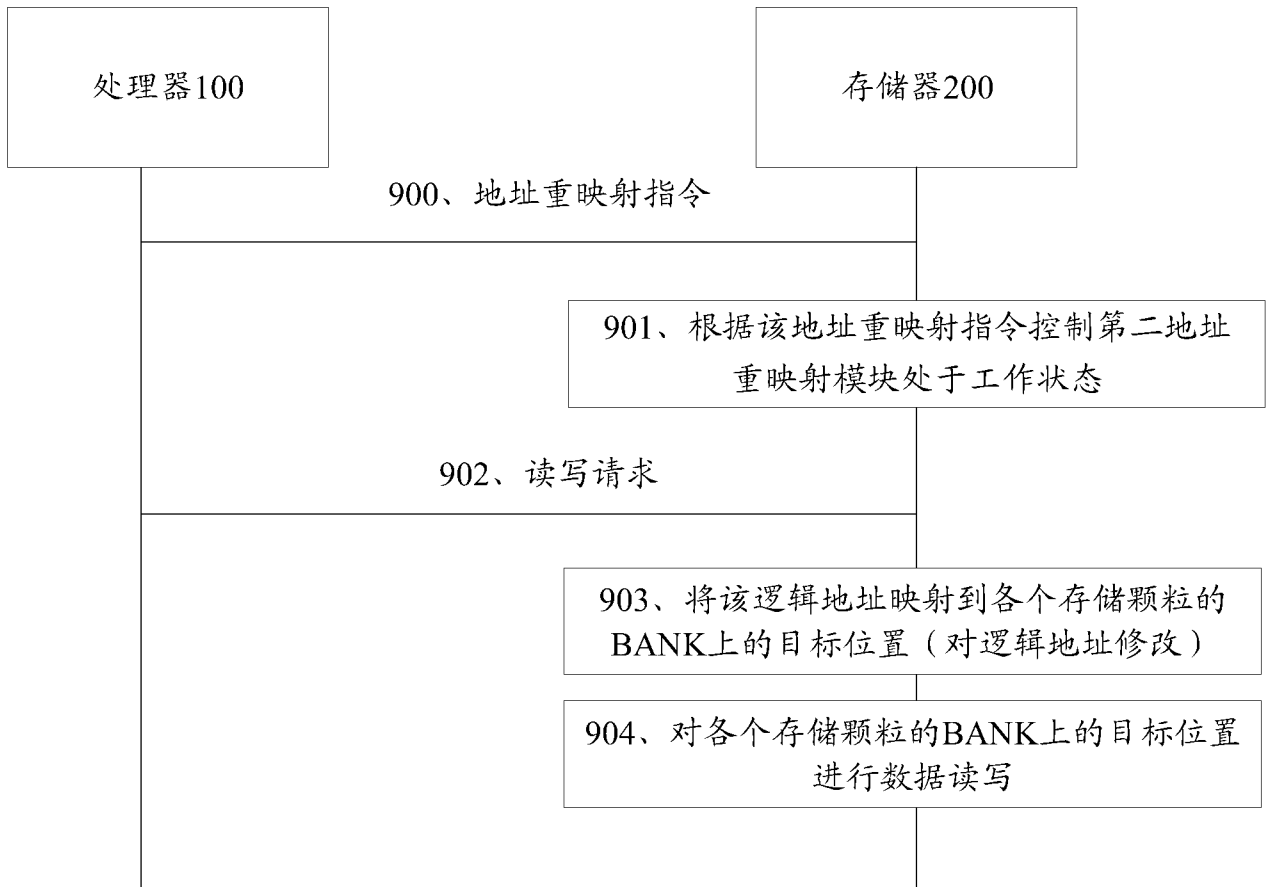


图9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/099055

| A. CLASSIFICATION OF SUBJECT MATTER G06F 12/06(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC | | |
|--|--|---|
| B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: G06F Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 存储器, 地址, 重映射, 重定位, bank, 行, 列, 逻辑地址, 物理地址, memory, address, remap, modify, relocate, line, column, logical address, physical address | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X | US 2016276002 A1 (VIXS SYSTEMS INC.) 22 September 2016 (2016-09-22) description, paragraphs [0014]-[0026] | 1-3, 5-7, 12-14, 17, 22-24, 26-27, 32 |
| A | CN 110970077 A (WESTERN DIGITAL TECHNOLOGIES, INC.) 07 April 2020 (2020-04-07) entire document | 1-32 |
| A | CN 111352855 A (SK HYNIX INC.) 30 June 2020 (2020-06-30) entire document | 1-32 |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family | | |
| Date of the actual completion of the international search 23 August 2024 | | Date of mailing of the international search report 29 August 2024 |
| Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/ CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088 | | Authorized officer Telephone No. |

INTERNATIONAL SEARCH REPORT
Information on patent family members

| |
|---|
| International application No. PCT/CN2024/099055 |
|---|

| Patent document cited in search report | | | Publication date (day/month/year) | Patent family member(s) | | | Publication date (day/month/year) |
|--|------------|----|-----------------------------------|-------------------------|-------------|----|-----------------------------------|
| US | 2016276002 | A1 | 22 September 2016 | US | 10019358 | B2 | 10 July 2018 |
| CN | 110970077 | A | 07 April 2020 | US | 2020105354 | A1 | 02 April 2020 |
| CN | 111352855 | A | 30 June 2020 | US | 10811112 | B2 | 20 October 2020 |
| | | | | KR | 20200077276 | A | 30 June 2020 |
| | | | | US | 2020201774 | A1 | 25 June 2020 |
| | | | | US | 11119934 | B2 | 14 September 2021 |

| <p>A. 主题的分类</p> <p>G06F 12/06(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p> | | | | | | | | | | | | | | |
|---|--|--|-----|-------------------|---------|---|--|---------------------------------|---|--|------|---|---|------|
| <p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>IPC: G06F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI, IEEE: 存储器, 地址, 重映射, 重定位, bank, 行, 列, 逻辑地址, 物理地址, memory, address, remap, modify, relocate, line, column, logical address, physical address</p> | | | | | | | | | | | | | | |
| <p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 2016276002 A1 (VIXS SYSTEMS INC.) 2016年9月22日 (2016 - 09 - 22) 说明书第[0014]-[0026]段</td> <td>1-3,5-7,12-14,17,22-24,26-27,32</td> </tr> <tr> <td>A</td> <td>CN 110970077 A (西部数据技术公司) 2020年4月7日 (2020 - 04 - 07) 全文</td> <td>1-32</td> </tr> <tr> <td>A</td> <td>CN 111352855 A (爱思开海力士有限公司) 2020年6月30日 (2020 - 06 - 30) 全文</td> <td>1-32</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p> | | | 类型* | 引用文件, 必要时, 指明相关段落 | 相关的权利要求 | X | US 2016276002 A1 (VIXS SYSTEMS INC.) 2016年9月22日 (2016 - 09 - 22) 说明书第[0014]-[0026]段 | 1-3,5-7,12-14,17,22-24,26-27,32 | A | CN 110970077 A (西部数据技术公司) 2020年4月7日 (2020 - 04 - 07) 全文 | 1-32 | A | CN 111352855 A (爱思开海力士有限公司) 2020年6月30日 (2020 - 06 - 30) 全文 | 1-32 |
| 类型* | 引用文件, 必要时, 指明相关段落 | 相关的权利要求 | | | | | | | | | | | | |
| X | US 2016276002 A1 (VIXS SYSTEMS INC.) 2016年9月22日 (2016 - 09 - 22) 说明书第[0014]-[0026]段 | 1-3,5-7,12-14,17,22-24,26-27,32 | | | | | | | | | | | | |
| A | CN 110970077 A (西部数据技术公司) 2020年4月7日 (2020 - 04 - 07) 全文 | 1-32 | | | | | | | | | | | | |
| A | CN 111352855 A (爱思开海力士有限公司) 2020年6月30日 (2020 - 06 - 30) 全文 | 1-32 | | | | | | | | | | | | |
| 国际检索实际完成的日期 | 2024年8月23日 | 国际检索报告邮寄日期 | | | | | | | | | | | | |
| ISA/CN的名称和邮寄地址 | 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088 | 授权官员 唐楹琰 电话号码 (+86) 010-53961367 | | | | | | | | | | | | |

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2024/099055

| 检索报告引用的专利文件 | | | 公布日 (年/月/日) | 同族专利 | | | 公布日 (年/月/日) |
|-------------|------------|----|----------------|------|-------------|----|----------------|
| US | 2016276002 | A1 | 2016年9月22日 | US | 10019358 | B2 | 2018年7月10日 |
| CN | 110970077 | A | 2020年4月7日 | US | 2020105354 | A1 | 2020年4月2日 |
| | | | | US | 10811112 | B2 | 2020年10月20日 |
| CN | 111352855 | A | 2020年6月30日 | KR | 20200077276 | A | 2020年6月30日 |
| | | | | US | 2020201774 | A1 | 2020年6月25日 |
| | | | | US | 11119934 | B2 | 2021年9月14日 |