(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 115989590 A
(43)申请公布日 2023.04.18

(21)申请号 202180048362.6
(22)申请日 2021.05.11
(30)优先权数据
63/026,454 2020.05.18 US
(85)PCT国际申请进入国家阶段日
2023.01.06
(86)PCT国际申请的申请数据
PCT/US2021/031868 2021.05.11
(87)PCT国际申请的公布数据
WO2021/236382 EN 2021.11.25
(71)申请人 纳诺西斯有限公司
地址 美国加利福尼亚州
(72)发明人 A·波克利亚 Z·泰兹詹·厄泽尔 S·查德
(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
专利代理师 范海云
(51)Int.Cl.
H01L 33/50(2006.01)

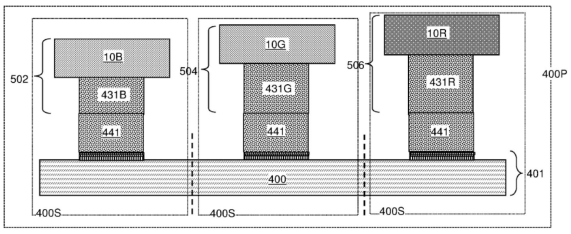
权利要求书3页 说明书22页 附图31页

(54)发明名称

用于直视型显示器的次像素发光二极管及其制造方法

(57)摘要

本发明提供一种方法,其包含:将第一LED的第一子集从第一衬底转移到第一背板,以在像素区域中形成第一次像素;将第二LED的第一子集转移到第二背板且将所述第二LED的所述第一子集与第二衬底分离,以在所述第二衬底上留下第一空位;在将所述第二LED的所述第一子集转移到所述第二背板之后,在位于所述第二衬底上的第二LED的第二子集上形成额外导电材料;将所述第二衬底定位于所述第一背板上方,使得所述第一次像素安置于所述第一空位中;及将所述第二LED的所述第二子集转移到所述第一背板上的接合结构的第二子集,以在所述像素区域中形成第二次像素,同时间隙存在于所述第一次像素与所述第二衬底之间。



CN 115989590 A

1.一种转移发光二极管(LED)的方法,其包括:

提供经配置以发射第一色彩光且位于第一衬底上的第一LED,及经配置以发射不同于所述第一色彩光的第二色彩光且位于第二衬底上的第二LED;

将所述第一LED的第一子集转移到第一背板上的接合结构的第一子集以在像素区域中形成第一次像素,且将所述第一LED的所述第一子集与所述第一衬底分离;

将所述第二LED的第一子集转移到第二背板,且将所述第二LED的所述第一子集与所述第二衬底分离以在所述第二衬底上留下第一空位;

在将所述第二LED的所述第一子集转移到所述第二背板之后,在位于所述第二衬底上的第二LED的第二子集上形成额外导电材料;

将所述第二衬底定位于所述第一背板上方,使得所述第一次像素安置于所述第一空位中;及

将所述第二LED的所述第二子集转移到所述第一背板上的接合结构的第二子集以在所述像素区域中形成第二次像素,同时间隙归因于所述额外导电材料的存在而存在于所述第一次像素与所述第二衬底之间。

2.根据权利要求1所述的方法,其中:

将所述第一LED的所述第一子集转移到接合结构的所述第一子集的步骤包括在所述LED的所述第一子集上形成第一焊料层,将所述第一焊料层接合到所述第一接合结构,且将所述第一LED的所述第一子集与所述第一衬底分离;及

将所述第二LED的所述第二子集转移到接合结构的所述第二子集的步骤包括在所述第二LED的所述第二子集上形成第二焊料层,将所述第二焊料层接合到所述第二接合结构,且将所述第二LED的所述第二子集与所述第二衬底分离。

3.根据权利要求2所述的方法,其中:

将所述第一焊料层接合到所述第一接合结构包括第一激光接合步骤;

将所述第一LED的所述第一子集与所述第一衬底分离包括发生于所述第一激光接合步骤之前或之后的第一激光剥离步骤;

将所述第二焊料层接合到所述第二接合结构包括第二激光接合步骤;且

将所述第二LED的所述第二子集与所述第二衬底分离包括发生于所述第二激光接合步骤之前或之后的第二激光剥离步骤。

4.根据权利要求2所述的方法,其中:

所述第一LED的所述第一子集上的所述第一焊料层包括第一转移结构;

所述第二LED的所述第二子集上的所述第二焊料层包括第二转移结构;

所述第一转移结构从所述第一衬底延伸第一距离;且

所述第二转移结构从所述第二衬底延伸大于所述第一距离的第二距离。

5.根据权利要求2所述的方法,其中形成所述额外导电材料包括形成比所述第一焊料层厚的所述第二焊料层。

6.根据权利要求2所述的方法,其中形成所述额外导电材料包括在第二LED的所述第二子集上形成比第一LED的所述第一子集上的第一反射层厚的第二反射层。

7.根据权利要求6所述的方法,其进一步包括:

在将所述第二LED的所述第一子集转移到所述第二背板之前,在所述第二LED的所述第

一子集及所述第二子集上形成所述第二反射层的第一部分;及

在将所述第二LED的所述第一子集转移到所述第二背板之后,在位于所述第二LED的所述第二子集上的所述第二反射层的所述第一部分上形成所述第二反射层的第二部分。

8.根据权利要求2所述的方法,其中形成所述额外导电材料包括形成比所述第一焊料层厚的所述第二焊料层且在第二LED的所述第二子集上形成比第一LED的所述第一子集上的第一反射层厚的第二反射层。

9.根据权利要求2所述的方法,其进一步包括:

提供经配置以发射不同于所述第一及第二色彩光的第三色彩光且位于第三衬底上的第三LED;

将所述第三LED的第一子集及第二子集转移到额外背板且将所述第三LED的所述第一子集及所述第二子集与所述第三衬底分离,以在所述第三衬底上留下第二空位;

在将所述第三LED的所述第一子集及所述第二子集转移到所述额外背板之后,在位于所述第三衬底上的第三LED的第三子集上形成另一额外导电材料;

将所述第三衬底定位于所述第一背板上方,使得所述第一次像素及所述第二次像素安置于所述第二空位中;及

将所述第三LED的所述第三子集转移到所述第一背板上的接合结构的第三子集以在所述像素区域中形成第三次像素,同时间隙归因于所述另一额外导电材料的存在而存在于所述第一次像素及所述第二次像素与所述第三衬底之间。

10.根据权利要求9所述的方法,其中将所述第三LED的所述第三子集转移到接合结构的所述第三子集的步骤包括在所述第三LED的所述第三子集上形成第三焊料层,将所述第三焊料层接合到所述第三接合结构,且将所述第三LED的所述第三子集与所述第三衬底分离。

11.根据权利要求10所述的方法,其中形成所述另一额外导电材料包括形成比所述第一焊料层及所述第二焊料层厚的所述第三焊料层。

12.根据权利要求10所述的方法,其中形成所述另一额外导电材料包括在第三LED的所述第三子集上形成比第一LED的所述第一子集上的第一反射层及第二LED的所述第二子集上的第二反射层厚的第三反射层。

13.根据权利要求9所述的方法,其中:

所述第一衬底包括从其上最初形成所述第一LED的第一晶片切割的第一试样块;

所述第二衬底包括从其上最初形成所述第二LED的第二晶片切割的第二试样块;且

所述第三衬底包括从其上最初形成所述第三LED的第三晶片切割的第三试样块。

14.根据权利要求9所述的方法,其中所述像素区域中的次像素的密度低于位于所述第一衬底上的所述第一LED的密度,低于位于所述第二衬底上的所述第二LED的密度,且低于位于所述第三衬底上的所述第三LED的密度。

15.根据权利要求9所述的方法,其中:

所述第一LED位于所述第一衬底上第一像素区域中;

所述第二LED位于所述第二衬底上第二像素区域中;

所述第三LED位于所述第三衬底上第三像素区域中;

所述第一、第二及第三像素区域具有与所述第一背板上的所述像素区域相同的面积及

形状;且

在所述第一、第二及第三像素区域中的每一者中比在所述第一背板上的所述像素区域中安置更多LED。

16.根据权利要求15所述的方法,其中所述第一、第二或第三LED中的至少两者安置于相应第一像素区域、第二像素区域或第三像素区域中的每一者中;且所述第一、第二及第三LED中的每一者的仅一者安置于所述第一背板上的每一像素区域中。

17.根据权利要求9所述的方法,其中所述第一、第二及第三接合结构从所述第一背板延伸基本上相同距离。

18.根据权利要求1所述的方法,其进一步包括将所述第一背板并入到直视型显示器装置中。

19.一种显示器装置,其包括:

背板;

第一发光二极管(LED),其含有第一反射器且经配置以发射第一色彩光,所述第一发光二极管(LED)经接合到所述背板;

第二LED,其含有第二反射器且经配置以发射不同于所述第一色彩光的第二色彩光,所述第二LED经接合到所述背板;及

第三LED,其含有第三反射器且经配置以发射不同于所述第一色彩光及所述第二色彩光的第三色彩光,所述第三LED经接合到所述背板;

其中所述第二反射器比所述第一反射器厚,且所述第三反射器比所述第二反射器厚。

20.根据权利要求19所述的显示器装置,其中:

所述显示器装置包括直视型显示器装置;

所述第一反射器包括第一铝层;

所述第二反射器包括比所述第一铝层厚的第二铝层;且

所述第三反射器包括比所述第二铝层厚的第三铝层。

用于直视型显示器的次像素发光二极管及其制造方法

技术领域

[0001] 本发明涉及发光装置,且特定来说,涉及用于直视型显示器装置的次像素发光二极管及其制造方法。

背景技术

[0002] 例如发光二极管(LED)的发光装置用于例如位于膝上型计算机或电视中的液晶显示器中的背光的电子显示器中。发光装置包含发光二极管及经配置以发射光的各种其它类型的电子装置。

发明内容

[0003] 各种实施例提供一种显示器装置,其包括:背板;含有第一反射器且经配置以发射第一色彩光的第一发光二极管(LED),其接合到所述背板;含有第二反射器且经配置以发射不同于所述第一色彩光的第二色彩光的第二LED,其接合到所述背板;及含有第三反射器且经配置以发射不同于所述第一及第二色彩光的第三色彩光的第三LED,其接合到所述背板。所述第二反射器比所述第一反射器厚,且所述第三反射器比所述第二反射器厚。

[0004] 各种实施例提供一种转移发光二极管(LED)的方法,其包括:提供经配置以发射第一色彩光且位于第一衬底上的第一LED及经配置以发射不同于所述第一色彩光的第二色彩光且位于第二衬底上的第二LED;将所述第一LED的第一子集转移到第一背板上的接合结构的第一子集以在像素区域中形成第一次像素且将所述第一LED的所述第一子集与所述第一衬底分离;将所述第二LED的第一子集转移到第二背板且将所述第二LED的所述第一子集与所述第二衬底分离以在所述第二衬底上留下第一空位;在将第二LED的所述第一子集转移到所述第二背板之后,在位于所述第二衬底上的第二LED的第二子集上形成额外导电材料;将所述第二衬底定位于所述第一背板上方,使得所述第一次像素安置于所述第一空位中;及将所述第二LED的所述第二子集转移到所述第一背板上的接合结构的第二子集以在所述像素区域中形成第二次像素,同时间隙归因于所述额外导电材料的存在而存在于所述第一次像素与所述第二衬底之间。

附图说明

[0005] 图1A是根据本公开的各种实施例的发光二极管的第一配置的垂直横截面图。

[0006] 图1B是根据本公开的各种实施例的发光二极管的第二配置的垂直横截面图。

[0007] 图2A是根据本公开的各种实施例的发光二极管的第三配置的垂直横截面图。

[0008] 图2B是根据本公开的各种实施例的发光二极管的第四配置的垂直横截面图。

[0009] 图3A是根据本公开的各种实施例的发光二极管的第五配置的垂直横截面图。

[0010] 图3B是根据本公开的各种实施例的发光二极管的第六配置的垂直横截面图。

[0011] 图4A是根据本公开的各种实施例的发光二极管的第七配置的垂直横截面图。

[0012] 图4B是根据本公开的各种实施例的发光二极管的第八配置的垂直横截面图。

[0013] 图4C是根据本公开的各种实施例的发光二极管的第九配置的垂直横截面图。

[0014] 图5A说明根据本公开的各种实施例的阳极触点的第一配置。

[0015] 图5B说明根据本公开的各种实施例的阳极触点的第二配置。

[0016] 图5C说明根据本公开的各种实施例的阳极触点的第三配置。

[0017] 图5D说明根据本公开的各种实施例的阳极触点的第四配置。

[0018] 图6是根据本公开的各种实施例的第一金属层的沉积之后的示范性处理中发光二极管的垂直横截面图。

[0019] 图7是根据本公开的各种实施例的形成图案化剥离掩模及沉积第二金属层、铝层及金属粘合层之后的示范性处理中发光二极管的垂直横截面图。

[0020] 图8是根据本公开的各种实施例的剥离图案化剥离掩模及在高温下沉积第一金属接合垫层、铂层及锡以形成装置侧锡焊料之后的示范性处理中发光二极管的垂直横截面图。

[0021] 图9是根据本公开的替代实施例的第二金属层、铝层及金属粘合层的沉积之后的另一示范性处理中发光二极管的垂直横截面图。

[0022] 图10A是根据本公开的各种实施例的背板侧接合垫的形成期间背板的垂直横截面图。

[0023] 图10B是根据本公开的各种实施例的在沉积锡以形成背板侧锡焊料之后的背板的垂直横截面图。

[0024] 图10C是根据本公开的各种实施例的背板的俯视图。

[0025] 图11A到11C是根据本公开的各种实施例的半导体晶片的俯视图。

[0026] 图12是根据本公开的各种实施例的半导体晶片及试样块的俯视图。

[0027] 图13A到13I是根据本公开的各种实施例的将发光装置转移到背板期间示范性结构的连续垂直横截面图。

[0028] 图14A及14B是根据本公开的各种实施例的显示器装置的截面图。

具体实施方式

[0029] 后文参考其中展示本发明的示范性实施例的附图更全面描述本发明。然而，本发明可以许多不同形式具体实施且不应解释成限于本文所陈述的示范性实施例。而是，提供这些示范性实施例使得本公开是详尽的且将本发明的范围充分传达给所属领域的技术人员。在所述图式中，为使清楚，可放大层及区域的大小及相对大小。在所述图式中，相同元件符号标示相同元件。

[0030] 应理解，当一元件或层被称为是“安置于在……上”、“连接到”另一元件或层时，其可直接在其它元件或层上或直接连接到其它元件或层，或可存在中介元件或层。相比之下，当一元件被称为“直接安置于另一元件或层上”或“直接连接到另一元件或层”时，不存在中介元件或层。应理解，出于本公开的目的，“X、Y及Z中的至少一者”可解释为仅X、仅Y、仅Z或X、Y及Z中的两项或更多项的任何组合(例如XYZ、XYY、YZ、ZZ)。本文中，术语“约”及“基本上”可指+/-5％的变动，例如+/-1％。

[0031] 显示器装置(例如直视型显示器装置)可从接合到背板的有序像素阵列形成。每一像素可包含以相应峰值波长发射光的一组次像素。例如，像素可包含红色次像素、绿色次像

素及蓝色次像素。每一次像素可包含发射特定波长的光的一或多个发光二极管(LED)。每一像素由背板电路驱动使得色域内的色彩的任何组合可展示于每一像素的显示器上。显示器面板可由其中LED次像素焊接到或以其它方式电附接到位于背板上的接合垫的工艺来形成。接合垫由背板电路及其它驱动电子器件电驱动。

[0032] 图1A、1B、2A、2B、3A、3B、4A、4B及4C说明本公开的发光二极管10的各种配置。本公开的发光装置的各种配置通常可由提供支撑衬底22及单晶缓冲半导体层24来形成。支撑衬底22可包含单晶材料，例如使用基面或r面生长表面的Al_2O_3(蓝宝石)、钻石、Si、Ge、GaN、AlN、纤锌矿(α)及闪锌矿(β)形式的SiC、InN、GaP、GaAsP、GaAs、InP、ZnO、ZnS及ZnSe。例如，支撑衬底22可包含具有适合表面定向的蓝宝石(即，单晶氧化铝)。支撑衬底22可包括具有图案化(例如，粗糙)生长表面的图案化蓝宝石衬底(PSS)。凸块、凹窝及/或斜切可或可不提供于支撑衬底22的顶面上以促进缓冲层的单晶化合物半导体材料的外延生长，以促进后续分离工艺中单晶缓冲半导体层24与支撑衬底22的分离。如果凸块及/或凹窝提供于支撑衬底22的顶面上，那么每一凸块或每一凹窝的横向尺寸可在1.5微米到6微米的范围内，尽管也可采用更小及更大横向尺寸。但也可采用更小及更大距离，但相邻凸块或凹窝对之间的中心到中心距离可在3微米到15微米的范围内。各种几何配置可用于凸块或凹窝的布置。凸块的高度及/或凹窝的深度可大约为1微米到3微米，但也可采用更小及更大高度及/或深度。

[0033] 单晶缓冲半导体层24包含单晶化合物半导体材料(例如III-V族化合物半导体材料)，例如III族氮化物化合物半导体材料。用于形成单晶缓冲半导体层24的沉积工艺可采用有机金属气相外延法(MOVPE)、分子束外延法(MBE)、氢化物气相外延法(HVPE)、液相外延法(LPE)、有机金属分子束外延法(MOMBE)及原子层沉积法(ALD)中的任一者。单晶缓冲半导体层24可具有恒定或分级组成物使得与支撑衬底22的接口处的单晶缓冲半导体层24的组成物提供与支撑衬底22的顶面的二维晶格结构的实质晶格匹配。单晶缓冲半导体层24的组成物可在沉积工艺期间逐渐改变。如果支撑衬底22包含图案化蓝宝石，那么单晶缓冲半导体层24的底面可为图案化(即，粗糙)表面。

[0034] 可用于单晶缓冲半导体层24的底部部分的材料可为(例如)$Ga_{1-w-x}In_wAl_xN$，其中w及x在零与小于一之间的范围内且可为零(即，GaN)且经选择以匹配支撑衬底22的顶面的晶格常数。任选地，As及/或P还可包含于用于缓冲层的底部部分的材料中，其中单晶缓冲半导体层24的底部部分可包含$Ga_{1-w-x}In_wAl_xN_{1-x-z}As_yP_z$，其中y及z在零与小于一之间(匹配支撑衬底22的顶面的晶格常数)。可用于单晶缓冲半导体层24的顶部部分的材料包含(但不限于)III-V族化合物材料，包含例如氮化镓(GaN)、氮化铝(AlN)、氮化铟(InN)、氮化铝镓及氮化铟镓的III族氮化物材料以及例如磷化镓(GaP)、砷化镓(GaAs)、锑化镓(GaSb)、磷化铟(InP)、砷化铟(InAs)及锑化铟(InSb)的其它III-V族材料。单晶缓冲半导体层24的组成物可在单晶缓冲半导体层24的底部部分与单晶缓冲半导体层24的顶部部分之间逐渐改变使得由沿生长方向(垂直方向)的逐渐晶格参数改变引起的位错不会传播到单晶缓冲半导体层24的顶面。在一个实施例中，厚度小于1微米的单晶缓冲半导体层24的薄的底部部分可不掺杂或以低浓度硅掺杂。

[0035] 具有低缺陷密度的高质量单晶表面可提供于单晶缓冲半导体层24的顶面处。任选地，单晶缓冲半导体层24的顶面可经平坦化以提供平坦顶面，例如，通过化学机械平坦化。

可在平坦化工艺之后执行适合表面清洁工艺以从单晶缓冲半导体层24的顶面移除污染物。单晶缓冲半导体层24的平均厚度可在2微米到10微米的范围内，但也可采用更小及更大厚度。

[0036] n掺杂化合物半导体衬底层26随后直接形成于单晶缓冲半导体层24的顶面上。n掺杂化合物半导体衬底层26可形成为单晶缓冲半导体层24的整个顶面上方具有均匀厚度的连续材料层。n掺杂化合物半导体衬底层26包含n掺杂化合物半导体材料。n掺杂化合物半导体衬底层26可为与单晶缓冲半导体层24的顶部部分的单晶化合物半导体材料匹配的晶格。n掺杂化合物半导体衬底层26可或可不包含与单晶缓冲半导体层24的顶部部分相同的化合物半导体材料。在一个实施例中，n掺杂化合物半导体衬底层26可包含n掺杂直接能带隙化合物半导体材料。在一个实施例中，n掺杂化合物半导体衬底层26可包含n掺杂氮化镓(GaN)、氮化铟镓(InGaN)或其它III-V族半导体材料(例如磷化镓或其三元或四元化合物)。用于形成n掺杂化合物半导体衬底层26的沉积工艺可采用有机金属气相外延法(MOVPE)、分子束外延法(MBE)、氢化物气相外延法(HVPE)、液相外延法(LPE)、有机金属分子束外延法(MOMBE)及原子层沉积法(ALD)中的任一者。n掺杂化合物半导体衬底层26的厚度可在300nm到2微米的范围内，但也可采用更小及更大厚度。支撑衬底22、单晶缓冲半导体层24及n掺杂化合物半导体衬底层26共同包括衬底20。

[0037] 在一些实施例(例如图1A、1B、2A、2B、3A及3B中所说明的实施例)中，图案化生长掩模层42可形成于衬底20的顶面上(例如，n掺杂化合物半导体衬底层26的顶部上)。可(例如)通过沉积介电材料层且图案化介电材料层以在其中形成开口来形成图案化生长掩模层42。例如，氮化硅层、氧化硅层或电介质金属氧化物层(例如氧化铝层)可形成于衬底20的顶面上。在一个实施例中，介电材料层可包含氮化硅层。介电材料层的厚度可在3nm到100nm的范围内，但也可采用更小及更大厚度。

[0038] 光致抗蚀剂层(未展示)可施加于介电材料层的顶面上方且可经光刻图案化以通过光刻曝光及显影来形成穿过其中的开口。在一个实施例中，光致抗蚀剂层中的开口可形成为二维周期阵列。每一开口的大小及形状可经选择以优化随后通过选择性沉积工艺(例如选择性外延工艺)形成的半导体结构的形状及大小。光致抗蚀剂层中的开口的图案可转移通过介电材料层以形成图案化生长掩模层42。随后可(例如)通过灰化来移除光致抗蚀剂层。替代地，可使用电子束光刻或纳米压印光刻接着蚀刻来图案化生长掩模层。图案化生长掩模层42包含可或可不布置成二维周期阵列的开口。每一开口的形状可为圆形、椭圆形或多边形(例如六边形)。n掺杂化合物半导体衬底层26的顶面的部分在每一开口下方通过图案化生长掩模层42物理暴露。

[0039] 单晶缓冲半导体层24、n掺杂化合物半导体衬底层26及其上待形成的额外结构随后经图案化以界定次像素阵列(其是发光二极管10的阵列)。因此，单晶缓冲半导体层24及n掺杂化合物半导体衬底层26的每一随后图案化区域将对应于相应发光二极管10的区域。例如，发光二极管10的阵列可形成为矩形阵列或六边形阵列，且每一发光二极管10可形成有在1微米到60微米的范围内(例如2微米到30微米)的最大横向尺寸(例如矩形形状的对角或六边形形状的外接圆的直径)。例如，穿过图案化生长掩模层42的每一开口的最大横向尺寸可在50nm到50微米的范围内(例如200nm到10微米)，但也可采用更小及更大尺寸。

[0040] 在替代实施例中，在n掺杂化合物半导体衬底层26上形成额外结构(例如，后续半

导体材料的外延生长)之前通过光刻工艺及异向性蚀刻的组合来图案化单晶缓冲半导体层24及n掺杂化合物半导体衬底层26。例如,光致抗蚀剂层可施加于n掺杂化合物半导体衬底层26上方且经光刻图案化以覆盖发光二极管10的每一离散区域。例如,沿正交水平方向延伸的两组线沟槽可穿过n掺杂化合物半导体衬底层26及单晶缓冲半导体层24形成以形成n掺杂化合物半导体衬底层26及单晶缓冲半导体层24的图案化部分的矩形阵列。随后可移除光致抗蚀剂层。

[0041] 在例如图1A及1B的配置的配置中,发光二极管10的每一区域包含图案化生长掩模层42中的相应单个开口。在例如图2A、2B、3A及3B的配置的配置中,发光二极管10的每一区域包含图案化生长掩模层42中的相应开口阵列。

[0042] 在一些其它实施例中(例如图4A到4C中所说明的实施例),未采用图案化生长掩模层42。在此情况中,连续平面半导体层形成于n掺杂化合物半导体衬底层26上。

[0043] N掺杂化合物半导体区域32可通过选择性化合物半导体沉积工艺(其可为选择性外延工艺)来生长穿过生长掩模层42且生长于其上方。n掺杂化合物半导体区域32的形状及大小可基于穿过生长掩模层42的开口的形状及尺寸且通过选择性化合物半导体沉积工艺的工艺条件来确定。n掺杂化合物半导体区域32可形成有位于相应结晶平面内的各种结晶刻面。如本文中所使用,“p平面”意味着“角锥平面”,其可为III族氮化物系统中的{1101}平面中的任一者,“c平面”表示{0001}平面且“m平面”表示{1100}平面中的任一者。不同结晶平面中的生长速率通常不同。当未另外说明时,本文中的“生长速率”意味着沿垂直于生长表面的方向的层生长速率。在一个实施例中,n掺杂化合物半导体衬底层26的顶面可在c平面内。每一n掺杂化合物半导体区域32的高度可在50nm到10微米的范围内(例如200nm到2微米),但也可采用更小及更大高度。在一些实施例中,可任选地采用在引发沉积半导体材料的迁移的高温下的退火、部分回蚀工艺及/或化学机械平坦化工艺来提供平面顶面及/或刻面表面。

[0044] 在一些实施例(例如图1A及1B中所说明的实施例)中,n掺杂化合物半导体区域32可形成为微盘。如本文中所使用,盘是指具有彼此平行的顶面及底面且顶面的面积大于不平行于顶面的表面(例如刻面表面或侧壁表面)的总面积的结构元件。“微盘”是指其顶面的最大横向尺寸是至少1微米且小于1mm的盘。微盘从上方观察时可具有圆形、椭圆形或多边形(例如矩形、六边形等等)。

[0045] 在一些实施例(例如图2A及2B中所说明的实施例)中,n掺杂化合物半导体区域32可形成为纳米盘。“纳米盘”是指其顶面的最大横向尺寸是至少1nm且小于1微米。可针对发光二极管10的每一区域形成微盘或纳米盘的集群。

[0046] 在一些实施例(例如图3A及3B中所说明的实施例)中,n掺杂化合物半导体区域32可形成为纳米线芯、微米线芯、纳米角锥体、微米角锥体、纳米截头体、微米截头体、其组合或其它纳米尺度结构或微米尺度结构。“纳米线”是指沿纵向方向(例如垂直方向)延伸且具有大于最大横向尺寸(其是至少1nm且小于1微米)的最大垂直尺寸且沿垂直于纵向方向的方向包含基本上均匀的横截面形状的区域的结构。“微米线”是指沿纵向方向(例如垂直方向)延伸且具有大于最大横向尺寸(其是至少1微米且小于1mm)的最大垂直尺寸且沿垂直于纵向方向的方向包含基本上均匀的横截面形状的区域的结构。“纳米角锥体”是指具有多边形或大致曲线形状的基底的锥形结构,使得基底的最大横向尺寸是至少1nm且小于1微米。

“微米角锥体”是指具有多边形或大致曲线形状的基底的锥形结构，使得基底的最大横向尺寸是至少1nm且小于1微米。“纳米截头体”是指具有多边形或大致曲线形状的基底的截头体(即，顶点周围无区域的锥形结构)，使得基底的最大横向尺寸是至少1nm且小于1微米。“微米截头体”是指具有多边形或大致曲线形状的基底的截头体，使得基底的最大横向尺寸是至少1微米且小于1mm。如果n掺杂化合物半导体衬底层26的顶面在c平面内，那么纳米线及微米线可包含m平面、p平面及任选地相应c平面。纳米角锥体、微米角锥体、纳米截头体及微米截头体可包含p平面。纳米截头体及微米截头体可包含c平面。

[0047] 例如，在授予克里利乌克(Krylіouk)等人的第9,444,007号美国专利、授予洛格伦(Lowgren)等人的第9,419,183号美国专利、授予罗马(Romano)等人的第9,281,442号美国专利及授予康塞克(Konsek)等人的第8,669,574号美国专利中描述用于形成n掺杂化合物半导体区域32的选择性外延工艺，所述申请案中的每一者转让给Glo AB且以全文引用方式并入本文中。

[0048] 在一些实施例(例如图4A到4C中所说明的实施例)中，可在不将图案化生长掩模42用于n掺杂化合物半导体衬底层26的图案化部分的阵列的所有物理暴露表面上的情况下执行n掺杂化合物半导体区域32的外延。在此实施例中，n掺杂化合物半导体区域32包括连续平面半导体层。

[0049] 随后，包含经配置以发射光的光学有源化合物半导体层堆叠的有源区域34形成于每一n掺杂化合物半导体区域32上。每一有源区域34包含在施加适合电偏压之后发射光的至少一种半导体材料。例如，每一有源区域34可包含在其两端施加电偏压之后发射光的单量子阱或多量子阱(MQW)结构。例如，量子阱可包括位于氮化镓或氮化铝镓势垒层之间的氮化铟镓阱。替代地，有源区域34可包含任何其它适合半导体层(例如，例如磷化镓或其三元或四元化合物)或用于发光二极管应用的层的堆叠，只要其在n掺杂化合物半导体区域32的表面上生长。有源区域34内的所有层的集合在本文中称为有源层。

[0050] 在一个实施例中，多个有源区域34中的每一者包含经配置以发射光的相应光学有源的化合物半导体层堆叠。在非限制性说明性实例中，有源区域34可包含层堆叠，其从底部到顶部包含具有30nm到70nm(例如约50nm到约60nm)的厚度的硅掺杂GaN层、具有2nm到10nm(例如约5nm到约7nm)的厚度的GaN层、具有1nm到5nm(例如3nm到4nm)的厚度的InGaN层及具有10nm到30nm(例如约15nm到20nm)的厚度的GaN势垒层。任选地，AlGaN罩盖层可形成于InGaN层上用于红色LED。层的序列、每一层的组成物及每一有源区域34内的每一层的厚度可经优化以最大发射强度且提供目标峰值发射波长。有源区域34可取决于其中半导体材料的组成物及施加到半导体材料的应变而发射任何色彩光，例如蓝光、绿光或红光。

[0051] 选择性外延工艺可用于生长有源区域34。选择性外延工艺的工艺参数可经选择使得有源区域34生长为整体具有相同厚度的保形结构。在另一实施例中，有源区域34可生长为其中水平部分整体具有相同厚度(例如第一厚度t1)且刻面具有小于水平部分的厚度的厚度(例如第二厚度t2)的伪保形结构。在一个实施例中，多个有源区域34中的每一者可包含具有第一厚度t1的顶部平面部分及覆盖n掺杂化合物半导体区域32中的相应者的锥形平面侧壁且具有第二厚度t2的侧壁部分。在一个实施例中，第一厚度t1与第二厚度t2的比率可在2到50的范围内，但也可采用更小及更大比率。在授予克里利乌克(Krylіouk)等人的第9,444,007号美国专利、授予洛格伦(Lowgren)等人的第9,419,183号美国专利、授予罗马

(Romano)等人的第9,281,442号美国专利及授予康塞克(Konsek)等人的第8,669,574号美国专利中描述用于在纳米线上生长有源区域34的层堆叠的方法。有源区域34接触、环绕且覆盖底层n掺杂化合物半导体区域32。在图1A、1B、4A、4B及4C中所展示的一个实施例中,每个发光二极管10可形成单个有源区域34。在图2A到3B中所展示的另一实施例中,每个发光二极管10可形成有源区域34的集群。

[0052] p掺杂半导体材料层36形成于有源区域34的平面顶面及刻面外表面上。p掺杂半导体材料层36包含具有第二导电类型(其与第一导电类型相反)的掺杂的掺杂半导体材料。例如,如果第一导电类型是n型,那么第二导电类型是p型。如果第一导电类型是p型,那么第二导电类型是n型。

[0053] p掺杂半导体材料层36可包含化合物半导体材料。p掺杂半导体材料层36的化合物半导体材料可为任何适合半导体材料,例如p型III族氮化物化合物半导体材料(例如氮化镓及/或氮化铝镓)。在一个实施例中,n掺杂化合物半导体区域32可包含n掺杂GaN或InGaN,且p掺杂半导体材料层36可包含p掺杂AlGaN及/或GaN。替代地,区域32及/或层36可包含其它半导体材料,例如磷化镓或其三元或四元化合物。

[0054] 可通过将掺杂半导体材料选择性沉积于有源区域34的外表面上来形成p掺杂半导体材料层36。例如,可采用选择性外延工艺。在选择性沉积工艺(其可为选择性外延工艺)期间,离散半导体材料部分从有源区域中的每一者的外表面生长直到离散半导体材料部分合并以形成p掺杂半导体材料层36作为每一发光二极管10的区域内的连续半导体材料层。在生长掩模层42的顶面的部分未被n掺杂化合物半导体区域32或有源区域34覆盖的情况中,p掺杂半导体材料层36的底面可接触生长掩模层42的顶面的此类部分。

[0055] 关于图4C,包含半导体层26、32、34、36、阳极触点50及第一反射层70A的台面31可形成于缓冲半导体层24上。台面31可通过将半导体层26、32、34、36、阳极触点50及第一反射层70A沉积于缓冲半导体层24上,接着掩模及蚀刻这些层以形成台面31。可形成介电材料层60以覆盖台面31的顶部及侧面。介电材料层60包含电介质(即,电绝缘)材料,例如氧化铝、氧化硅、氮化硅、有机硅酸盐玻璃、硅酮、树脂、自平坦化介电材料或另一介电材料。在一些实施例中,可通过任何适合方法来形成介电材料层60。例如,当介电材料层60包括氧化铝时,可通过原子层沉积(ALD)来形成电介质层。

[0056] 接着,电介质层60可经图案化以暴露第一反射层70A的上表面。例如,光致抗蚀剂层可施加于示范性结构上方且可经光刻图案化以在阳极触点50的每一外围内形成开口。可采用图案化光致抗蚀剂层作为蚀刻掩模层来执行异向性蚀刻工艺或等向性蚀刻工艺。介电材料层60可具有50nm到1,000nm的范围内(例如100nm到500nm)的厚度。在一些实施例中,介电材料层60可为透明的。

[0057] 可形成第二反射层70B以接触第一反射层70A的暴露部分且覆盖电介质层60。例如,可通过沉积及剥离工艺来形成第二反射层70B。因此,第二反射层70B可覆盖台面31的顶面及侧表面。

[0058] 阳极触点50可形成于p掺杂半导体材料层36的顶面上。图5A到5D说明可并入到图1A、1B、2A、2B、3A、3B、4A、4B及4C中所说明的发光二极管10中的任一者中的p掺杂半导体材料层36的各种配置。

[0059] 图5A说明阳极触点50的第一配置。在第一配置中,阳极触点50可包含氧化镍层51

及透明导电氧化物层53。可通过保形或非保形沉积镍且通过后续氧化经沉积镍部分来形成氧化镍层51。可(例如)通过物理气相沉积(PVD)、真空蒸发或化学气相沉积来沉积镍层。镍层的厚度可在0.3nm到100nm的范围内(例如1nm到10nm),但也可采用更小及更大厚度。可通过热氧化工艺或等离子体氧化工艺来执行镍层的氧化。替代地,如果镍层足够薄,那么可从随后沉积的透明导电氧化物层53提供氧原子。氧化镍层51的厚度可在0.4nm到130nm的范围(例如1.3nm到13nm)内,但也可采用更小及更大厚度。氧化镍层51增强p掺杂半导体材料层36与透明导电氧化物层53之间的粘合性。在一个实施例中,阳极触点50可包括具有小于3nm的厚度(其可在(例如)0.4nm到3nm的范围内)的氧化镍的表面层。

[0060] 透明导电氧化物层53可沉积于p掺杂半导体材料层36上方。透明导电氧化物层53可沉积为横跨p掺杂半导体材料层36的整个面积延伸的连续材料层。透明导电氧化物层53的厚度可在50nm到600nm(例如10nm到300nm)的范围内,但也可采用更小及更大厚度。透明导电氧化物层53包含透明导电氧化物材料,例如选自掺杂氧化锌、氧化铟锌、氧化镉锡(Cd_2SnO_4)、锡酸锌(Zn_2SnO_4)及掺杂二氧化钛(TiO_2)的材料。示范性掺杂氧化锌材料包含硼掺杂氧化锌、氟掺杂氧化锌、镓掺杂氧化锌及铝掺杂氧化锌。在一个实施例中,阳极触点50可为光学透明的。

[0061] 图5B说明阳极触点50的第二配置。在第二配置中,阳极触点50可包含粘合金属层52及银层54。粘合金属层52及银层54的组合提供随后形成的反射器层70与p掺杂半导体材料层36的良好粘合性以及与p掺杂半导体材料层36的良好电接触。粘合金属层52直接接触p掺杂半导体材料层36。粘合金属层52的材料可为促进粘合性的元素金属。例如,粘合金属层52可为基本上由铂组成的铂层或基本上由镍组成的镍层。可(例如)通过物理气相沉积来沉积粘合金属层52。粘合金属层52的厚度(如在水平表面上方测量)可在2nm到200nm的范围内(例如5nm到100nm),但也可采用更小及更大厚度。银层54可基本上由银组成且可(例如)通过物理气相沉积来形成。银层54的厚度(如在水平表面上方测量)可在2nm到200nm的范围内(例如5nm到100nm),但也可采用更小及更大厚度。

[0062] 图5C说明阳极触点50的第三配置。在第三配置中,阳极触点50可由直接接触p掺杂半导体材料层36的银层54组成。银层54可基本上由银组成且可(例如)通过物理气相沉积来形成。银层54的厚度(如在水平表面上方测量)可在2nm到200nm的范围内(例如5nm到100nm),但也可采用更小及更大厚度。

[0063] 图5D说明阳极触点50的第四配置。在第四配置中,阳极触点50可为包含NiO:Au复合物(包含NiO区域及Au区域)的NiO:Au复合层55。可通过形成氧化镍层且沉积金及引发金相互扩散到氧化镍层来形成NiO:Au复合层55。金原子在氧化镍基质中分离以形成NiO:Au复合层55。

[0064] 替代地,可首先沉积金,且可随后形成氧化镍。替代地,可将金及镍沉积为至少两个层的堆叠,且可通过将镍热氧化成氧化镍以形成NiO:Au复合层55来引发氧化及相互扩散。NiO:Au复合层55的厚度可在2nm到200nm的范围内(例如5nm到100nm),但也可采用更小及更大厚度。

[0065] 随后可在图1B、2B、3B及4B的实施例中的示范性结构的物理暴露表面上形成光学介电材料层60。介电材料层60包含电介质(电绝缘)材料,例如氧化铝、氧化硅、氮化硅、有机硅酸盐玻璃、硅酮、树脂、自平坦化介电材料或另一介电材料。在一个实施例中,可通过例如

低压化学气相沉积(LPCVD)或原子层沉积(ALD)的保形沉积工艺来形成介电材料层60(例如,通过ALD形成的氧化铝)。替代地,可通过等离子体增强化学气相沉积(PECVD)或旋涂来形成介电材料层60。覆盖阳极触点50的水平表面的介电材料层60的部分的厚度可在50nm到1,000nm的范围内(例如100nm到500nm),但也可采用更小及更大厚度。

[0066] 介电材料层60随后可经图案化以在每一阳极触点50上方提供开口。例如,光致抗蚀剂层可施加于示范性结构上方且可经光刻图案化以在阳极触点50的每一外围内形成开口。可采用图案化光致抗蚀剂层作为蚀刻掩模层来执行异向性蚀刻工艺或等向性蚀刻工艺。例如,如果介电材料层60包含氧化硅,那么采用稀释氢氟酸的等向性蚀刻工艺可用于形成穿过介电材料层60的开口。穿过介电材料层60的每一开口的面积可在底层阳极触点50的面积的10%到90%的范围内。围绕开口的介电材料层60的侧壁可呈锥形或可为垂直的。随后可(例如)通过灰化来移除光致抗蚀剂层。

[0067] 图6到8说明随后形成用于配置(例如图1A、2A、3A及4A的配置)的反射金属层70的处理顺序,其中反射金属层70形成为完全覆盖底层阳极触点50的顶面的平面结构。在此类配置中,在每一发光二极管10内,与n掺杂化合物半导体区域32的最远端表面距离n掺杂化合物半导体衬底层26相比,反射器70的整体更远离n掺杂化合物半导体衬底层26。在图1A、2A、3A及4A的实施例中,覆盖及电连接到阳极触点50的反射器70具有小于阳极触点50的面积。

[0068] 图9说明对应于用于替代配置(例如图1B、2B、3B及4B的配置)的图7的处理步骤的处理步骤,其中反射金属层70形成有:横向延伸部分,与p掺杂半导体材料层36(其与阳极触点50接触)的最远端表面距离n掺杂化合物半导体衬底层26相比,其更远离n掺杂化合物半导体衬底层26;及侧壁部分,其邻接横向延伸部分的外围,从所述外围向下延伸且横向环绕相同发光二极管装置10的n掺杂化合物半导体区域32、n掺杂化合物半导体衬底层26及单晶缓冲半导体层24。应理解,图6到9中所说明的结构特征可存在于其中随后形成发光二极管10的每一区域中。

[0069] 参考图6,第一金属层71可直接沉积于阳极触点50的暴露表面及光学介电材料层60(如果如图9中所展示那样存在)。第一金属层71是反射器70的组件。第一金属层71包含例如镍或铂的粘合促进材料。在一个实施例中,第一金属层71包含镍。可通过非保形沉积工艺(例如物理气相沉积(PVD)或真空蒸发)或通过保形沉积工艺(例如化学气相沉积(CVD))来沉积第一金属层71。第一金属层71可具有在0.3nm到10nm的范围内(例如0.6nm到4nm)的第一厚度,但也可采用更小及更大厚度。

[0070] 如图7及9中所展示,图案化剥离掩模77可形成于第一金属层71上方。图案化剥离掩模77可为图案化光致抗蚀剂层。在一个实施例中,可通过施加及光刻图案化具有开口阵列的光致抗蚀剂层使得穿过光致抗蚀剂层的每一开口完全位于底层阳极触点50的外围内来形成图案化剥离掩模77,如图7中所说明。

[0071] 参考图7及9,随后可(例如)通过物理气相沉积(PVD)或真空蒸发来将具有与第一金属层71相同的组成物的第二金属层72异向性蚀刻地沉积于第一金属层71上及图案化剥离掩模77上方。第二金属层72可直接形成于第一金属层71的顶面上。额外第二金属层72'可形成于图案化剥离掩模77的顶面上。第二金属层72及额外第二金属层72可形成于第一金属层71的物理暴露表面上及图案化剥离掩模77上方发光二极管10的每一区域周围。第二金属

层72包含与第一金属层71相同的金属以最小化第一金属层71与第二金属层72之间的粘合强度。在一个实施例中，第一金属层71及第二金属层72包含例如镍或铂的元素金属。水平表面上方第二金属层72的厚度可在0.3nm到40nm的范围内(例如0.4nm到6nm)，但也可采用更小及更大厚度。

[0072] 在发光二极管10的每一区域周围，第一金属层71及第二金属层72的组合沉积于发光二极管10的中心区域内，同时仅第一金属层71沉积于位于中心区域的外围外侧的外围区域中。中心区域可完全位于由阳极触点50界定的区域内。外围区域可具有与中心区域的外围重合的内外围。具体来说，外围区域的内外围可与图案化剥离掩模77的侧壁重合。

[0073] 第一金属层71及第二金属层72的组合构成具有两个不同厚度的单个金属层。具体来说，第一金属层71及第二金属层72的组合构成在外围区域(即，其中仅沉积第一金属层71的区域)处具有第一厚度且在中心区域(即，其中沉积第一金属层71及第二金属层72的区域)处具有大于第一厚度的第二厚度的双厚度金属粘合层(71、72)。在一个实施例中，第一厚度在0.3nm到10nm的范围内，且第二厚度在0.6nm到50nm的范围内。在另一实施例中，第一厚度在0.6nm到4nm的范围内，且第二厚度在1nm到10nm的范围内。

[0074] 可通过异向性沉积方法(例如溅镀或真空蒸发)来沉积铝。铝层74可直接形成于阳极触点50上方的双厚度金属粘合层(71、72)上，且额外铝层74'可形成于图案化剥离掩模77上方的额外第二金属层72'上。铝层74可基本上由铝组成。铝层74在后续激光处理工艺(例如激光烧蚀工艺及激光焊接工艺)期间提供展性使得发光装置10的有源区域34受保护而免受机械冲击及/或结构损坏。还可使用具有更高展性的金属(例如金或银)来代替铝。铝层74的水平部分在双厚度金属粘合层(71、72)上方可具有200nm的3,000nm的范围内的厚度(例如800nm到2,000nm)。

[0075] 可通过例如物理气相沉积或真空蒸发的异向性沉积工艺来将金属粘合材料沉积于铝层74上方。金属粘合材料可包含例如镍或铂的元素金属。金属粘合层76形成于覆盖阳极触点50的铝层74的顶面上，且额外金属粘合层76'形成于图案化剥离掩模77上方的额外铝层74'上。金属粘合层76的水平部分可具有均匀厚度，其可在1nm到300nm的范围内(例如10nm到100nm)，但也可采用更小及更大厚度。双厚度金属粘合层(71、72)、铝层74及金属粘合层76的堆叠构成反射器70，其可充当发光装置10的反射器及阳极的部分。额外金属粘合层76'、额外铝层74'及额外第二金属层72'的堆叠构成额外反射器70'。

[0076] 参考图8，可采用剥离工艺来移除图案化剥离掩模77及其上的材料层(例如额外反射器70')。例如，示范性结构可沉浸于溶解图案化剥离掩模77的材料的溶剂中。可执行适合清洁工艺以移除额外反射器70'的残余材料。

[0077] 光致抗蚀剂层(未展示)可施加于示范性结构上方且经光刻图案化以覆盖发光二极管10的每一区域。光致抗蚀剂层的图案化区域可经布置为具有横向环绕发光二极管10的每一区域的通道(对应于显影期间从其移除光致抗蚀剂层的材料的区域)的二维阵列。执行异向性蚀刻工艺以图案化阳极触点50、p掺杂半导体材料层36、有源区域34、n掺杂化合物半导体区域32、生长掩模层42(如果存在)、n掺杂化合物半导体衬底层26及单晶缓冲半导体层24。异向性蚀刻工艺可在支撑衬底22上停止。

[0078] 在图1A、2A、3A及4A中所展示的实施例中，光致抗蚀剂层中的开口的面积延伸超过底层图案化反射器70的整个相应面积。因此，在以上蚀刻步骤期间未蚀刻先前剥离步骤中

图案化的反射器70。此避免相对困难的金属蚀刻。在这些实施例中，反射器70具有小于阳极触点50的面积。

[0079] 替代地，在图1B、2B、3B及4B中所展示的实施例中，还在以上蚀刻步骤期间蚀刻金属反射器70。在这些实施例中，执行金属蚀刻以形成在LED 10的侧壁上方部分延伸的金属反射器70以提高由LED 10发射的光的反射。在蚀刻之后，可(例如)通过灰化来移除光致抗蚀剂层。

[0080] 包括反射器70的一组连续图案化部分的每一蚀刻台面、阳极触点50、p掺杂半导体材料层36、有源区域34、n掺杂化合物半导体区域32、生长掩模层42(如果存在)、n掺杂化合物半导体衬底层26及单晶缓冲半导体层24构成相应发光二极管10的组件。可将任选电介质层(例如氧化铝、氧化硅或氮化硅)沉积于蚀刻台面的侧壁上方同时暴露反射器70的顶面。如果在形成n掺杂化合物半导体区域32之前将n掺杂化合物半导体衬底层26及单晶缓冲半导体层24图案化为离散材料部分(如在图4A及4B的替代配置的情况中)，可任选地省略以上图案化步骤。在此情况中，具有与有源区域34及n掺杂化合物半导体区域32相同的材料组成物的薄材料层可形成于n掺杂化合物半导体衬底层26及单晶缓冲半导体层24的图案化部分的侧壁上，且p掺杂半导体材料层36可延伸到每一发光二极管10的外围处此类薄材料层的侧壁。

[0081] 如图8及9中所展示，第二图案化剥离掩模177可形成于第一金属层71上方。第二图案化剥离掩模177可为图案化光致抗蚀剂层。在一个实施例中，可通过施加及光刻图案化具有开口阵列的光致抗蚀剂层来形成第二图案化剥离掩模177。随后，可沉积用于形成装置侧接合垫的材料层。例如，可异向性沉积第一金属接合垫金属来形成第一金属接合垫层82及第一金属材料层82'。第一金属接合垫层82可直接沉积于覆盖阳极触点50及反射器70的金属粘合层76上，且第一金属材料层82'可沉积于第二图案化剥离掩模177的顶面上。第一金属接合垫层82及第一金属材料层82'可包含例如钛或钽的过渡金属。在一个实施例中，第一金属接合垫层82及第一金属材料层82'可基本上由钛或钽组成。第一金属接合垫层82及第一金属材料层82'的水平部分可具有30nm到300nm的范围内的厚度(例如60nm到200nm)，但也可采用更小及更大厚度。第一金属接合垫层82通过反射器70电连接到阳极触点50。

[0082] 可异向性沉积第二金属接合垫金属以形成第二金属接合垫层84及第二金属材料层84'。第二金属接合垫层84可直接沉积于覆盖阳极触点50及反射器70的第一金属接合垫层82上，且第二金属材料层84'可沉积于图案化剥离掩模77上方的第一金属材料层82'的顶面上。第二金属接合垫层84及第二金属材料层84'可包含具有大于1,500摄氏度的熔化温度的粘合促进金属。在一个实施例中，第二金属接合垫层84及第二金属材料层84'可基本上由铂组成。第二金属接合垫层84及第二金属材料层84'的水平部分可具有50nm到500nm的范围内的厚度(例如100nm到250nm)，但也可采用更小及更大厚度。

[0083] 示范性结构放置于具有可在100摄氏度到230摄氏度(即，低于锡熔点)的范围内的高温(例如120摄氏度到200摄氏度)的环境中。在高温下将锡沉积于第二金属接合垫层84的最上表面的外围内的每一区域内及第二金属材料层84'上。在此步骤中，沉积纯锡(仅含有不可避免的杂质)或含有小于1原子百分比(例如0.5原子百分比或更小)的银及/或铜的锡作为防枝晶元素。锡是高温焊料材料且在随后采用的激光焊料工艺期间提供受控回流。锡沉积期间的高温引发锡在锡沉积到第二金属接合垫层84上期间扩散到第二金属接合垫层

84中。

[0084] 包括铂及锡的合金(例如,金属间化合物)的第三金属接合垫层86及第三金属材料层86'形成于锡扩散到其中的相应第二金属接合垫层84及第二金属材料层84'的上部区域中。第三金属接合垫层86可含有60到80重量百分比的锡及20到40重量百分比的铂。第二金属接合垫层84的剩余下部包含原子浓度小于0.5%的原子浓度的锡且被认为是剩余第二金属接合垫层84。因此,第二金属接合垫层84可包含小于0.5%的原子浓度的锡的表面部分且可包含基本上由铂组成的部分。第二金属接合垫层84的整个体积包含至少99%的原子浓度(例如至少99.5%)的铂。沉积锡的未反应部分形成锡部分431。锡部分431可包含至少99%的原子浓度(例如至少99.5%)的锡且可任选地包含0.5原子百分比的银及/或铜。

[0085] 锡部分431的厚度可在1微米到10微米的范围内,例如1.5微米到4微米。第一金属接合垫层82、第二金属接合垫层84及第三金属接合垫层86共同构成装置侧接合垫80。第三金属接合垫层86的厚度可小于第二金属接合垫层84的厚度。例如,第二金属接合垫层84的厚度可在50nm到500nm的范围内,例如100nm到250nm。第三金属接合垫层86的厚度可在40nm到400nm的范围内,例如80nm到200nm。锡部分431的每一区域包含至少99%的原子浓度的锡。与装置侧接合垫80间隔超过200nm的锡部分431的区域可基本上由锡组成。装置侧接合垫80中锡与铂体积比可为至少30:1,例如至少50:1(例如100:1到30:1)。第三金属材料层86'、第二金属材料层84'及第一金属材料层82'的堆叠构成金属材料层堆叠80'。

[0086] 返回参考图1A及3B,可采用剥离工艺来移除第二图案化剥离掩模177及其上的材料层(例如金属材料层堆叠80')。例如,可将示范性结构沉浸于溶解第二图案化剥离掩模177的材料的溶剂中。可执行适合清洁工艺来移除金属材料层堆叠80'的残余材料。

[0087] 在一个实施例中,第一金属接合垫层82可基本上由钛组成,且第二金属接合垫层84可基本上由铂组成。在一个实施例中,第一金属接合垫层82可具有30nm到300nm的范围内的厚度,第二金属接合垫层84的薄化部分可具有10nm到200nm的范围内的厚度,第三金属接合垫层86在锡部分431接触第三金属接合垫层84的区域内可具有40nm到400nm的范围内的厚度,且锡部分431可具有1微米到10微米的范围内的厚度。

[0088] 直视型显示器制造

[0089] 可通过将图1A、1B、2A、2B、3A、3B、4A、及/或4B的发光二极管10转移到背板来形成直视型显示器装置。图10A及10B中说明形成背板侧接合垫421的工艺。图10C中展示背板401的俯视图。

[0090] 参考图10A,说明形成背板侧接合垫421期间的背板401。尽管本文中仅说明单个背板侧接合垫421,但应理解,背板侧接合垫421的阵列形成于背板401的前表面上以形成直视型显示器装置。背板401包含其中嵌入背板驱动器电路系统440的背板衬底400。如本文中所使用,"背板衬底"是指经配置以将多个装置固定于其上的任何衬底。背板驱动器电路系统440可包含有源装置(例如场效应晶体管)阵列及/或金属互连结构。金属互连结构可提供背板侧接合垫421与有源装置之间及/或背板侧接合垫421与背板401的输入/输出端口之间的电连接。

[0091] 一般来说,可采用用于形成装置侧接合垫80的相同组的处理步骤以在背板衬底400的正面上形成背板侧接合垫421的阵列。例如,可通过沉积及图案化光致抗蚀剂层在背板衬底400的顶面上形成剥离掩模277。可图案化光致抗蚀剂层以在其中随后形成背板侧接

合垫421的区域中形成开口。可沉积用于形成背板侧接合垫421的材料层。例如，可异向性沉积第一背板侧接合垫金属以形成第一背板侧接合垫层412及第一金属材料层412'。第一背板侧接合垫层412可直接沉积于背板衬底400的顶面的物理暴露部分上，且第一金属材料层412'可沉积于图案化剥离掩模277的顶面上。第一背板侧接合垫层412及第一金属材料层412'可包含例如钛或钽的过渡金属。在一个实施例中，第一背板侧接合垫层412及第一金属材料层412'可基本上由钛或钽组成。第一背板侧接合垫层412及第一金属材料层412'的水平部分可具有30nm到300nm的范围内的厚度(例如60nm到200nm)，但也可采用更小及更大厚度。第一背板侧接合垫层412电连接到阳极触点50。

[0092] 可异向性沉积第二背板侧接合垫金属以形成第二背板侧接合垫层414及第二金属材料层414'。第二背板侧接合垫层414可直接沉积于第一背板侧接合垫层412上，且第二金属材料层414'可沉积于图案化剥离掩模277上方的第一金属材料层412'的顶面上。第二背板侧接合垫层414及第二金属材料层414'可包含具有大于1,500摄氏度的熔化温度的粘合促进金属。在一个实施例中，第二背板侧接合垫层414及第二金属材料层414'可基本上由铂组成。第二背板侧接合垫层414及第二金属材料层414'可具有50nm到500nm的范围内(例如100nm到250nm)的厚度，但也可采用更小及更大厚度。

[0093] 背板401随后可放置于具有可在100摄氏度到230摄氏度的范围内(例如120摄氏度到200摄氏度)的高温的环境中。可沉积纯锡或含有小于1原子百分比的Ag及/或Cu的锡。在高温下将锡沉积于第二背板侧接合垫层414的最上表面的外围内的每一区域内。锡是高温焊料材料且在随后采用的激光焊料工艺期间减少回流。锡沉积期间的高温引发锡在锡沉积到第二背板侧接合垫层414上期间扩散到第二背板侧接合垫层414中。

[0094] 包括铂及锡的合金(例如，金属间化合物)的第三背板侧接合垫层416形成于锡扩散到其中的第二背板侧接合垫层414的上部区域中。第三背板侧接合垫层416可含有60到80重量百分比的锡及20到40重量百分比的铂。第二背板侧接合垫层414的剩余下部包含原子浓度小于0.5％的原子浓度的锡且被认为是剩余第二背板侧接合垫层414。因此，第二背板侧接合垫层414可包含小于0.5％的原子浓度的锡的表面部分且可包含基本上由铂组成的部分。第二背板侧接合垫层414的整个体积包含至少99％的原子浓度(例如至少99.5％)的铂。沉积锡的未反应部分形成背板侧锡部分441(本文中可称为背板焊料层)及图案化剥离掩模277上的牺牲锡部分。焊料层441可包含含有至少99％的原子浓度(例如至少99.5％)的锡且可任选地包含0.5原子百分比的银及/或铜的焊料材料。然而，本公开不限于任何特定类型的焊料材料。

[0095] 参考图10B，可采用剥离工艺来移除图案化剥离掩模277及其上的材料层(例如第二金属材料层414'、第一金属材料层412'及牺牲锡部分)。例如，可将背板401及图案化剥离掩模277沉浸于溶解图案化剥离掩模277的材料的溶剂中。可执行适合清洁工艺来从第二金属材料层414'及第一金属材料层412'移除残余材料。

[0096] 第一背板侧接合垫层412、第二背板侧接合垫层414及第三背板侧接合垫层416共同构成背板侧接合垫421。接合垫421及相邻焊料层441形成背板接合结构500。每一背板焊料层441可包含至少99％的原子浓度的锡。与背板侧接合垫421间隔超过200nm的背板侧锡部分441的区域可基本上由锡组成。背板侧接合垫421及背板焊料层441的组合中锡与铂体积比可为至少30:1，例如至少50:1(例如100:1到30:1)。

[0097] 在一个实施例中，第一背板侧接合垫层412可基本上由钛组成，且第二背板侧接合垫层414可基本上由铂组成。在一个实施例中，第一背板侧接合垫层412可具有30nm到300nm的范围内的厚度，第二背板侧接合垫层414的薄化部分可具有10nm到200nm的范围内的厚度，第三背板侧接合垫层416可具有40nm到400nm的范围内的厚度，且背板焊料层441可具有1微米到10微米的范围内(例如1.5微米到4微米)的厚度。

[0098] 参考图10C，背板401可包含可布置于背板衬底400的表面上像素区域400P中的多个接合结构500。每一像素区域400P对应于显示器装置的一个像素的位置且含有四个次像素区域400S。特定来说，每一像素区域400P可包含至少三个接合结构500。例如，如图10C中所展示，每一像素区域400P可包含四个接合结构500。可通过将至少三个LED接合到接合结构500来形成显示器装置的像素，其中一个接合结构500位于每一次像素区域400S中。特定来说，接合到像素区域400P的接合结构500的LED 10可一起形成显示器装置的像素，且每一LED 10可操作为其的次像素。例如，可将发射不同色彩(例如蓝色、绿色及红色)的峰值波长的三个LED 10接合到每一像素区域400P中的相应接合结构500。第四接合结构500可用于接合传感器、修复LED(如果经接合LED 10中的一者有缺陷)或发射相同色彩(例如蓝色、绿色或红色)的峰值波长的第二LED 10作为接合于相同像素区域400P中的其它LED 10中的一者。

[0099] 图11A是根据本公开的各种实施例的生长衬底(例如，半导体或蓝宝石晶片)的俯视图，且图11B及11C是分别展示可包含于图11A的生长衬底22上的比较实例及实施例实例的像素区域22P中的一者的俯视图。参考图11A，生长衬底22可划分成许多像素区域22P。每一像素区域22P可具有经配置以匹配图10C中所展示的对应显示器装置的背板401的像素区域400P的尺寸的尺寸。例如，每一像素区域22P可为大小对应于例如直视型显示器的显示器装置的像素区域400P的生长衬底22的矩形区域。每一像素区域22P具有与背板401上的相应次像素区域400S相同的面积的四个次像素区域22S。

[0100] 一般来说，如图11B中所展示，为允许LED 10在不与先前或随后沉积于相同像素区域400P中的LED 10物理干扰的情况下转移到背板401的对应像素区域400P，每一比较实例次像素区域22S可包含一个LED 10。因而，LED 10可仅占据生长衬底22的表面积的相对较小部分。例如，每一LED 10可仅占据对应96×96μm次像素区域22S的20×20μm部分。因而，生长衬底22的大量表面积可保持不用于LED形成以促进LED转移。由于生长衬底22上的LED 10密度减小，此增加装置的生产成本。

[0101] 如图11C中所展示，为增大生长衬底利用率，可根据本公开的实施例在每一次像素区域22S中形成多个LED 10，使得生长衬底22上的LED 10密度增大。特定来说，较高的LED 10密度增大相对昂贵的蓝宝石生长衬底22的利用率，借此大幅降低LED的生产成本。

[0102] 例如，每一次像素区域22S可包含2个到50个LED，例如10个到20个LED，例如图11C中所展示的16个20×20μm的LED 10。然而，在其它实施例中，可使用其它数量的LED 10。例如，9个20×20μm的LED可位于每一次像素区域22S中。在其它实施例中，可通过相应地减小其大小(例如，通过在每一次像素区域22S中形成64个较小LED)在每一次像素区域22S中形成超过16个LED 10。

[0103] 如下文将详细讨论，本公开的实施例提供用于利用具有大于每像素区域一个LED的LED密度的生长衬底的各种方法。特定来说，各种实施例提供对LED厚度的修改，以在LED

转移到背板期间减少及/或防止LED之间的干扰。

[0104] 图12说明根据本公开的各种实施例从LED生长衬底(例如,晶片)形成转移单元或“试样块”。参考图12,生长衬底22可包含经安置于像素区域22P中的LED 10。LED 10可具有图1A、1B、2A、2B、3A、3B、4A及/或4B中所展示的结构中的任一者。生长衬底22可各自包含发射例如蓝色、绿色或红色的特定色彩的光(例如,具有主要发射峰值波长)的LED 10。

[0105] 每一晶片22可任选地被切割成第一、第二或第三转移衬底22B、22G、22R,其在本文中可被称为第一、第二及第三“试样块”。每一试样块22R、22G、22B可包含经安置于像素区域22P中的LED 10的矩形阵列。每一试样块22R、22G、22B的LED 10可发射特定色彩的光。例如,第一试样块22B可包含可发射蓝光的LED 10B,第二试样块22G可包含发射绿光的LED 10G,且第三试样块22R可包含发射红光的LED 10R。然而,本公开不限于任何特定LED发射色彩。替代地,可不形成试样块22R、22G、22B,且可将LED 10从各自生长衬底(例如,晶片)22直接转移到背板。然而,为使解释简单,将关于试样块22R、22G、22B描述以下方法。

[0106] 图13A到13I说明可用于将LED从试样块转移到图10B及10C中所说明的背板401的示范性转移工艺。参考图13A,说明处理中结构,其可用于形成根据本公开的实施例的示范性发光装置组合件(例如,直视型显示器)。

[0107] 在此实施例中,背板衬底400可具有基本上平坦顶面。在背板衬底400的顶面上提供接合垫421。可采用图10A及10B中所说明的方法,在每一背板侧接合垫421上提供背板锡部分441(可称为“焊料层”),以形成背板接合结构500。接合结构500可从衬底400延伸距离D(例如,接合结构可具有基本上相同的高度)。接合结构500布置在对应于如图10C中所展示的显示器装置的像素的像素区域400P中,其中一个接合结构500位于每一像素区域400P的每一次像素区域400S中。

[0108] 可提供包含发射第一色彩光(例如,蓝光)的第一LED 10B的阵列的第一试样块22B。第一试样块22B可经处理以将焊料层431施加到首先接合到背板401的一或多个LED10B(例如,“LED 10B的第一子集”),借此形成各自包含LED 10B及LED 10B上的焊料层431的一或多个第一转移结构502。例如,可将焊料层431添加到第一试样块22B的每一像素区域22P中的LED 10B,如上文所描述。第一转移结构502可从第一试样块22B的表面延伸第一距离D1(例如,可具有等于距离D1的厚度或高度)。在一个实施例中,焊料层431可从未包含于LED 10B的第一子集中的剩余LED 10B中省略,如图13A中所展示。

[0109] 第一试样块22B可相对于背板401定位,使得对应接合结构500及第一转移结构502垂直对准。例如,相应焊料层431、441可彼此物理接触。

[0110] 参考图13B,加热激光467可用于使所选择的相反对的焊料层431及背板焊料层441回流。加热激光467可具有在经辐照的焊料层对431、441的材料内引起比在第一试样块22B的材料内或在待转移的装置(例如LED 10B)的材料内更大的能量吸收的波长。加热激光467可具有0.8微米到20微米的范围内(例如1至2微米)的波长。

[0111] 在一个实施例中,激光束可传输穿过第一试样块22B且辐照经辐照的第一发光二极管10B的反射材料层70,其吸收激光束且加热相邻焊料层431、441。此选择性加热导致焊料回流及焊接接点451的形成。

[0112] 替代地,加热激光467可通过背板401辐照于组合件上。来自加热激光467的激光束通过背板401传播到所选择的背板侧接合垫421的背面上,且加热及使焊料层441及底层锡

部分431回流以形成接点451。

[0113] 背板驱动器电路系统440(包含嵌入背板衬底400中的金属互连结构)可经配置以在每一背板侧接合垫421上方提供开口,使得可最小化背板衬底400内的金属互连结构的附带加热。

[0114] 焊接接点451可从每一经加热及回流的焊料层对431、441的回流材料由激光辐照的任一方法形成。接合到焊接接点451的第三金属接合垫层86及第三背板侧接合垫层416提供背板衬底400与每一接合的第一发光二极管10B之间的粘合。

[0115] 引发回流的激光辐照的持续时间可小于1秒且可小于0.1秒及/或小于0.01秒及/或小于0.001秒。因此,辐照工艺充当快速退火。此短时间回流通常不足以形成金属间化合物。焊接接点451可提供良好粘合性,而不会在焊料材料中形成复杂的金属间化合物,其防止在每一接点451的中心区域内形成成分金属的组成物梯度。每一接点451的中心区域(占体积的99%以上)可由锡(即,具有不可避免的杂质的纯锡)或含有0.5原子百分比或更少的银及/或铜作为抗枝晶剂的锡组成。每一接点451可归因于其纯度而相对较薄(例如,厚度为10微米或更小,例如厚度为3到7微米)且归因于其软度而提供良好平面度。

[0116] 参考图13C,执行激光辐照工艺以将每一接合的LED 10B与第一试样块22B分离。激光477(本文中称为“烧蚀激光”)的波长可不同于(例如,短于)加热激光467的波长,例如在0.1微米与0.75微米之间(例如0.25微米到0.5微米)。单晶缓冲半导体层24吸收此波长范围内的辐射。因此,单晶缓冲半导体层24的材料在激光辐照时被烧蚀,且底层LED 10B的剩余部分与第一试样块22B断开连接。n掺杂化合物半导体衬底层26的表面在每一经辐照的LED 10B的剩余部分内物理暴露。在每一经辐照的LED 10B内,单晶缓冲半导体层24可被完全移除,或单晶缓冲半导体层24的剩余部分可包含底层n掺杂化合物半导体衬底层26的表面通过其物理暴露的开口。

[0117] 在替代实施例中,可反转图13B及13C中所展示的步骤的顺序。在此替代实施例中,可首先执行图13C中所展示的激光剥离步骤,接着图13B中所展示的激光接合步骤。

[0118] 参考图13D,第一试样块22B可与背板401分离,使得LED 10B的经接合第一子集保留在背板401上以形成第一次像素600B,而剩余LED 10B保持附着到第一试样块22B。因此,空位V归因于LED 10B的第一子集的转移而形成于第一试样块22B上。像素区域400P及次像素区域400S的面积在图13D中以虚线示意性展示。应注意,为方便说明,焊料层441可定位成二维(例如,图10C中所展示的矩形布局中)而非如图13D中示意性展示那样全部展示成一行。

[0119] 参考图13E,可提供包含第二LED 10G的第二试样块22G。第二LED 10G可发射不同于由第一LED 10B发射的第一色彩光(例如,蓝光)的第二色彩光(例如,绿光)。

[0120] 第二试样块22G最初可包含LED 10G的全阵列。可执行图13A到13D的处理步骤以将LED 10G的第一子集转移到另一背板(未展示),使得第二试样块22G上形成空位V。空位可布置成对应于由经转移的第一LED 10B形成于背板401上的图案的图案。

[0121] 第二试样块22G可经处理使得在LED 10G的第一子集接合到另一背板之后,导电材料形成于LED 10G的第二子集上以形成第二转移结构504。第二转移结构504具有比第一转移结构502的相应导电材料厚的导电材料,使得第二转移结构504具有大于第一转移结构502的总厚度的总厚度。

[0122] 导电材料可包括形成反射器70的反射材料层、焊料层431或其组合中的至少一者。例如，如果第一LED 10B的半导体层具有与第二LED 10B相同的相应半导体层的厚度，那么第二转移结构504中的反射器70及焊料层431的组合具有大于第一转移结构502中的反射器70及焊料层431的组合的厚度。

[0123] 在图13E及14A中所展示的第一实施例中，第一及第二转移结构具有相同厚度的相应半导体层及反射器70，但第二转移结构504的第二焊料层431(例如图14A中的431G)比第一转移结构502的第一焊料层431(例如图14A中的431B)厚。在图14B中所展示且下文更详细描述的第二实施例中，第一及第二转移结构具有相同厚度的相应半导体层及焊料层431，但第二转移结构504的第二反射器70(例如图14B中的70G)比第一转移结构502的第一反射器70(例如图14B中的70B)厚。在第三实施例中，第一及第二转移结构具有相同厚度的相应半导体层，但第二转移结构504的反射器70及焊料层431两者比第一转移结构502的相应反射器70及焊料层431厚。

[0124] 如图13E中所展示，在第一实施例中，第二转移结构504的第二焊料层431(即，431G)比第一转移结构502的第一焊料层431(即，431B)厚。在LED 10G的第一子集接合到另一背板以形成至少一个第二转移结构504之后，可在步骤中将第二焊料层431沉积为LED 10G的第二子集上的单层。替代地，可在两个单独步骤中沉积第二焊料层431。例如，将相同厚度的第二焊料层431沉积于LED 10G的第一及第二子集两者上，接着将LED 10G的第一子集接合到另一背板，接着在位于LED 10G的第二子集上的第二焊料层431的先前沉积的第一部分上形成第二焊料层431的第二部分以形成至少一个第二转移结构504。

[0125] 如图13E中所展示，第二转移结构504可从第二试样块22G的表面延伸大于第一转移结构502在图13A中所展示的步骤中从第一试样块22B延伸的距离D1的距离D2(例如，具有等于距离D2的厚度或高度)。例如，距离D2可为大于距离D1约1μm到5μm，例如约1.25μm到约3μm或约1.5μm到约2μm。

[0126] 第二试样块22G可定位于背板401上方，使得第一次像素600B安置于通过从第二试样块22G移除LED 10G的第一子集来形成的空位(V)内。另外，接合结构500及第二转移结构504的组合高度(D+D2)可大于第一次像素600B的高度，使得间隙G形成于每一第一次像素600B的第一LED 10B与第二试样块22G之间。因而，第一次像素600B不会物理干扰LED 10G的第二子集的放置。

[0127] 图13B及13D的激光辐照及烧蚀方法可用于将LED 10G的第二子集接合到背板401且将LED 10G的第二子集从第二试样块22G拆离。因此，如图13F中所展示，可在背板401上形成第二次像素600G且可移除第二试样块22G。

[0128] 参考图13G，可提供包含第三LED 10R的第三试样块22R。第三LED 10R可发射不同于由第一LED 10B发射的第一色彩光(例如蓝光)及由第二LED 10G发射的第二色彩光(例如绿光)的第三色彩光(例如红光)。

[0129] 第三试样块22R最初可包含第三LED 10R的全阵列。可执行图13A到13D的处理步骤以将LED 10R第一及第二子集转移到其它背板(未展示)，使得第三试样块22R上形成空位V。空位可布置成对应于由第一及第二相应次像素(600B、600G)的经转移的LED10B及10G形成于背板401上的图案的图案。

[0130] 第三试样块22R可经处理使得在LED 10R第一及第二子集接合到其它背板之后，导

电材料形成于LED 10R的第三子集上以形成第三转移结构506。第三转移结构506具有比第一及第二转移结构(502、504)的相应导电材料厚的导电材料，使得第三转移结构506具有大于第一转移结构502及第二转移结构504的总厚度的总厚度。

[0131] 导电材料可包括形成反射器70的反射材料层、焊料层431或其组合中的至少一者。例如，如果第一及第二LED(10B、10G)的半导体层具有与第三LED 10R的相应半导体层相同的厚度，那么第三转移结构506中的反射器70及焊料层431的组合具有大于第一转移结构502或第二转移结构504中的反射器70及焊料层431的组合的厚度。

[0132] 在图13G及14A中所展示的第一实施例中，第一、第二及第三转移结构具有相同厚度的相应半导体层及反射器70，但第三转移结构506的第三焊料层431(即，431R)比第一转移结构502及第二转移结构504中的每一者的第一及第二焊料层431(即，431B及431G)厚。在图14B中所展示且下文更详细描述的第二实施例中，第一、第二及第三转移结构具有相同厚度的相应半导体层及焊料层431，但第三转移结构506的第三反射器70R比第一转移结构502及第二转移结构504中的每一者的第一及第二反射器(70B、70G)厚。在第三实施例中，第一、第二及第三转移结构具有相同厚度的相应半导体层，但第三转移结构506的反射器70及焊料层431两者比第一转移结构502或第二转移结构504的相应反射器70及焊料层431厚。

[0133] 在第一实施例中，第三转移结构506的第三焊料层431R比第一转移结构502及第二转移结构504的第一及第二焊料层(431B、431G)厚。如上文相对于图13E所描述，在LED 10R的第一及第二子集接合到其它背板以形成至少一个第三转移结构506之后，可在一个步骤中或在多个步骤中将第三焊料层431沉积为LED 10R的第三子集上的单层。

[0134] 第三转移结构506可从第三试样块22R的表面延伸大于第二转移结构504延伸的距离D2的距离D3(例如，具有等于距离D3的厚度或高度)。例如，距离D3可为大于距离D2约1μm到5μm，例如约1.25μm到约3μm或约1.5μm到约2μm。

[0135] 如图13G中所展示，第三试样块22R可定位于背板401上方，使得第一次像素600B及第二次像素600G安置于通过从第三试样块22R移除LED 10R的第一及第二子集来形成的空位(V)内。另外，接合结构500及第三转移结构506的组合厚度或高度(D+D3)可大于第一次像素600B及第二次像素600G的高度，使得间隙G形成于每一第一次像素600B及第二次像素600G的LED 10B、10G与第三试样块22R之间。因而，第一次像素600B及第二次像素600G不会物理干扰LED 10R的第三子集的放置。

[0136] 图13B及13D的激光辐照及烧蚀方法可用于将LED 10R的第三子集接合到背板401且将LED 10R的第三子集从第三试样块22R拆离。因此，如图13H中所展示，可在背板401上形成第三次像素600R且可移除第三试样块22R。因此，可将三个不同色彩LED(10B、10G、10R)依序接合到相同像素区域400P的相应次像素区域400S中的背板衬底401。

[0137] 参考图13I，可通过将介电基质445安置于背板401上次像素600B、600G、600R之间来形成显示器装置610。介电基质445可横向环绕构成背板401上方的像素阵列的次像素600B、600G、600R中的每一者。介电基质445可包含例如旋涂式玻璃(SOG)或聚合物的自平坦化介电材料或可通过凹槽蚀刻或化学机械平坦化来平坦化。经平坦化的介电基质445的顶面可在包含经转移LED 10B、10G、10R的顶面的水平面内，或可在包含LED 10B、10G、10R的顶面的水平面下方垂直凹陷。在一个实施例中，介电基质445可经图案化以物理暴露背板衬底400的导电焊垫结构。

[0138] 正面透明导电氧化物层450可形成于介电基质445上方且直接形成于位于每一LED10B、10G、10R的顶部上的电节点上。例如，正面透明导电氧化物层450可沉积于每一LED 10B、10G、10R的化合物半导体材料层26及位于背板衬底400的物理暴露的导电焊垫结构(未展示)上，借此提供经转移的发光二极管(10B、10G、10R)的共同电接地。替代地，如果单晶缓冲半导体层24具有高电阻率且在上述激光烧蚀步骤期间未完全移除，那么可将额外n型掺杂剂引入单晶缓冲半导体层24中以提供足够高的导电性，且可将n掺杂单晶缓冲半导体层24用作到正面透明导电氧化物层450的导电路径。

[0139] 任选透明钝化电介质层452可形成于正面透明导电氧化物层450上方。透明钝化电介质层452可包含氮化硅或氧化硅。因此，LED 10B、10G、10R可通过n掺杂化合物半导体衬底层26、正面透明导电氧化物层450及透明钝化电介质层452发射光。发光二极管是垂直装置，因为其在相对侧上具有电接点(即，一电接点在顶部且另一电接点在底部)。

[0140] 多个转移组合件及多个背板可用于将不同类型的装置转移到每一背板且在每一背板上形成装置集的周期性阵列。每一转移组合件中的装置在一系列装置转移之前可具有相同二维周期性。装置的周期性阵列在背板上可为相同的，且可具有二维周期性(其是转移组合件上的装置的二维周期性的倍数)。

[0141] 图14A说明含有通过图13A到13I的工艺制成的不同厚度的第一、第二及第三焊料层431B、431G、431R的第一实施例的显示器装置。特定来说，第二焊料层431G可比第一焊料层431B厚，且第三焊料层431R可比第二焊料层431G厚。因此，可通过改变焊料层431B、431G、431R的厚度来提供转移结构502、504、506之间的高度差。

[0142] 图14B说明含有通过图13A到13I的工艺制成的不同厚度的第一、第二及第三反射器70B、70G、70R的第二实施例的显示器装置。参考图13A到13I及14B，试样块22B、22G、22R的处理可包含将不同厚度的反射层分别沉积到LED 10B、10G、10R的第一、第二及第三反射器70B、70G、70R。特定来说，可将较厚反射层沉积于第二LED 10G上而非第一LED 10B上以形成第二反射器70G，且可将较厚反射层沉积于第三LED 10R上而非第二LED 10G上以形成第三反射器70R。因而，第二反射器70G可比第一反射器70B厚，且第三反射器70R可比第二反射器70G厚。

[0143] 可在图13E及/或13G中所展示的处理步骤的单个沉积步骤或多个沉积步骤中沉积第二及第三反射器(70G、70R)。例如，在将LED 10G的第一子集及/或LED 10R的第一及第二子集接合到其它背板之后，可在步骤中分别将第二及/或第三反射器(70G、70R)沉积为LED 10G的第二子集或LED 10R的第三子集上的单层。替代地，可在两个单独步骤中各自沉积第二及/或第三反射器(70G、70R)。例如，可将相同厚度的第二反射层沉积于LED 10G的第一及第二子集两者上，接着将LED 10G的第一子集接合到另一背板，接着在位于LED 10G的第二子集上的第二反射层的先前沉积的第一部分上形成第二反射层的第二部分以形成至少一个第二转移结构504的第二反射器70G。可针对第三反射器70R实行类似多步沉积工艺。

[0144] 在第二实施例中，可在形成反射器70B、70G、70R之后将焊料沉积于LED 10B、10G、10R中的每一者上，使得焊料层431具有基本上相同厚度或高度。因此，可通过改变反射器70B、70G、70R的厚度来提供转移结构502、504、506之间的高度差。

[0145] 在第三实施例中，可在形成反射器70B、70G、70R之后将焊料沉积于LED 10B、10G、10R中的每一者上，使得焊料层431B、431G、431R具有不同厚度。因此，可通过改变反射器

70B、70G、70R及焊料层431B、431G、431R两者的厚度来提供转移结构502、504、506之间的高度差。

[0146] 总之，如上文相对于图10A到14B所描述，用于转移发光二极管(LED)的方法包括提供经配置以发射第一色彩光且位于第一衬底22B上的第一LED 10B(如图12及13A中所展示)及经配置以发射不同于第一色彩光的第二色彩光且位于第二衬底22G上的第二LED 10G(如图12及13E中所展示)。方法还包含将第一LED 10B的第一子集转移到第一背板401上的接合结构500的第一子集以在像素区域400P中形成第一次像素600B及使第一LED 10的第一子集与第一衬底22B分离，如图13D中所展示。方法还包含将第二LED 10G的第一子集转移到第二背板及使第二LED 10G的第一子集与第二衬底22G分离以在第二衬底22G上留下第一空位V，及在将第二LED 10G的第一子集转移到第二背板之后，在位于第二衬底22G上的第二LED 10G的第二子集上形成额外导电材料(70及/或431)，如图13E中所展示。方法还包含将第二衬底22G定位于第一背板401上方，使得第一次像素600B安置于第一空位(V)中，及将第二LED 10G的第二子集转移到第一背板401上的接合结构500的第二子集以在像素区域400P中形成第二次像素600G，同时间隙(G)归因于额外导电材料的存在而存在于第一次像素600B与第二衬底22G之间，如图13E及13F中所展示。

[0147] 在一个实施例中，将第一LED 10B的第一子集转移到接合结构500的第一子集的步骤包括在第一LED 10B的第一子集上形成第一焊料层431，将第一焊料层接合到第一接合结构及将第一LED 10B的第一子集与第一衬底22B分离。将第二LED 10G的第二子集转移到接合结构500的第二子集的步骤包括在第二LED 10G的第二子集上形成第二焊料层431，将第二焊料层接合到第二接合结构及将第二LED 10G的第二子集与第二衬底22G分离。

[0148] 在一个实施例中，将第一焊料层接合到第一接合结构包括第一激光接合步骤，如图13B中所展示，将第一LED 10B的第一子集与第一衬底22B分离包括第一激光剥离步骤，如图13C中所展示，将第二焊料层接合到第二接合结构包括第二激光接合步骤，且将第二LED 10G的第二子集与第二衬底22G分离包括第二激光剥离步骤。

[0149] 在一个实施例中，第一LED 10B的第一子集上的第一焊料层431包括第一转移结构502，如图13A中所展示。第二LED 10G的第二子集上的第二焊料层431包括第二转移结构504，如图13E中所展示。第一转移结构502从第一衬底22B延伸第一距离D1，且第二转移结构504从第二衬底22G延伸大于第一距离D1的第二距离D2。

[0150] 在第一实施例中，形成额外导电材料的步骤包括形成比第一焊料层431B厚的第二焊料层431G，如图14A中所展示。在第二实施例中，形成额外导电材料的步骤包括在第二LED 22G的第二子集上形成比第一LED 22B的第一子集上的第一反射层70B厚的第二反射层70G，如图14B中所展示。可通过在将第二LED 22G的第一子集转移到第二背板之前在第二LED 22G的第一及第二子集上形成第二反射层70G的第一部分且在将第二LED的第一子集转移到第二背板之后在位于第二LED的第二子集上的第二反射层的第一部分上形成第二反射层70G的第二部分来形成第二反射层(即，反射器)70G。在第三实施例中，形成额外导电材料包括形成比第一焊料层431B厚的第二焊料层431G及在第二LED 10G的第二子集上形成比第一LED 10B的第一子集上的第一反射层70B厚的第二反射层70G。

[0151] 在一个实施例中，方法还包含提供经配置以发射不同于第一及第二色彩光的第三色彩光且位于第三衬底22R上的第三LED 10R，将第三LED 10R的第一及第二子集转移到额

外背板且将第三LED 10R的第一及第二子集与第三衬底22R分离以在第三衬底22R上留下第二空位(V)，在将第三LED的第一及第二子集转移到额外背板之后，在位于第三衬底22R上的第三LED 10R的第三子集上形成另一额外导电材料(70R及/或431R)，及将第三衬底22R定位于第一背板401上方，使得第一及第二次像素(600B、600G)安置于第二空位(V)中，如图13G中所展示。方法还包含将第三LED 10RR的第三子集转移到第一背板401上的接合结构500的第三子集以在像素区域400P中形成第三次像素600R，同时间隙(G)归因于另一额外导电材料的存在而存在于第一及第二次像素(600B、600G)与第三衬底22R之间，如图13H中所展示。

[0152] 在一个实施例中，将第三LED 10R的第三子集转移到接合结构500的第三子集的步骤包括在第三LED 10R的第三子集上形成第三焊料层431，将第三焊料层431接合到第三接合结构500，及将第三LED 10R的第三子集与第三衬底22R分离，如图13H中所展示。

[0153] 在第一实施例中，形成另一额外导电材料的步骤包括形成比第一及第二焊料层(431B、431G)厚的第三焊料层431R，如图14A中所展示。在第二实施例中，形成另一额外导电材料的步骤包括在第三LED 10R的第三子集上形成比第一LED 10B的第一子集的第一反射层70B及第二LED 10G的第二子集上的第二反射层70G厚的第三反射层(例如，第三反射器)70R。

[0154] 在一个实施例中，第一衬底22B包括从其上最初形成第一LED 10B的第一晶片22切割的第一试样块，第二衬底22G包括从其上最初形成第二LED 10G的第二晶片22切割的第二试样块，且第三衬底22R包括从其上最初形成第三LED 10R的第三晶片22切割的第三试样块。

[0155] 在图11A及11C中所展示的一个实施例中，像素区域400P中的次像素600(即，600B、600G、600R)的密度低于位于第一衬底上的第一LED 10B的密度，低于位于第二衬底上的第二LED 10G的密度且低于位于第三衬底上的第三LED 10R的密度。如图11A及11C中所展示，第一LED 10(例如10B)位于第一衬底22(例如22B)上第一像素区域22P中，第二LED 10G位于第二衬底22(例如22G)上第二像素区域中，第三LED 10R位于第三衬底22(例如22R)上第三像素区域中，第一、第二及第三像素区域22P具有与图10C中所展示的第一背板401上的像素区域400P相同的面积及形状，且安置于第一、第二及第三像素区域22P中的每一者中的LED 10比在第一背板401上的像素区域400P中更多。

[0156] 在一个实施例中，第一、第二或第三LED 10中的至少两者(例如至少9个)安置于相应第一、第二或第三像素区域22P中的每一者中，如图11C中所展示，且第一、第二及第三LED中的每一者的仅一者安置于图10C中所展示的第一背板401上的每一像素区域400P中。

[0157] 在一个实施例中，第一、第二及第三接合结构500从第一背板401延伸基本上相同距离。第一背板401可并入到直视型显示器装置中。

[0158] 在一个实施例中，显示器装置包括背板401，含有第一反射器70B且经配置以发射第一色彩光的第一发光二极管(LED)10B接合到背板401，含有第二反射器70G且经配置以发射不同于第一色彩光的第二色彩光的第二LED 10G接合到背板401，且含有第三反射器70R且经配置以发射不同于第一及第二色彩光的第三色彩光的第三LED 10R接合到背板。第二反射器70G比第一反射器70B厚，且第三反射器70R比第二反射器70G厚。

[0159] 在一个实施例中，显示器装置包括直视型显示器装置，第一反射器70B包括第一铝层，第二反射器70G包括比第一铝层厚的第二铝层，且第三反射器70R包括比第二铝层厚的

第三铝层。

[0160] 因此，各种实施例提供用于通过在晶片上的单个次像素区域内形成多个LED以高密度在所述晶片上形成LED的方法。因而，可降低LED制造成本。另外，各种实施例提供工艺，借此可将金属添加到具有基本上相同厚度的不同LED阵列的所选择的LED，使得不同高度(例如厚度)的LED转移结构可在无物理干扰的情况下被制造及转移到背板。此外，由于最初以一致厚度制造不同色彩的LED，所以可将LED以任何顺序转移到背板，借此增大制造灵活性。

[0161] 提供所公开实施例的先前描述以使所属领域的技术人员制造或使用本发明。所属领域的技术人员将轻易明白对这些实施例的各种修改，且可在不背离本发明的精神或范围的情况下将本文中所界定的一般原理应用于其它实施例。因此，本发明不希望限于本文中所展示的实施例，而是符合与所附权利要求书及本文中所公开的原理及新颖特征一致的最广范围。

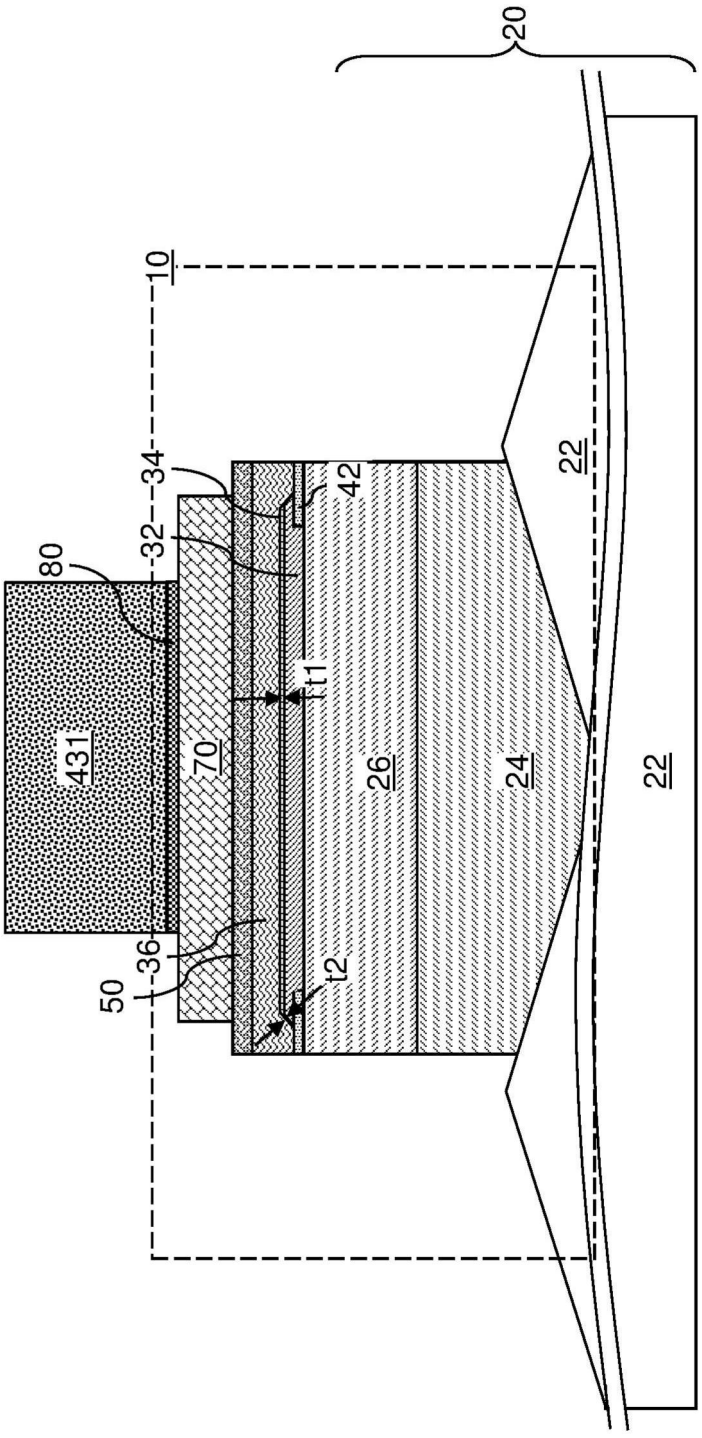


图1A

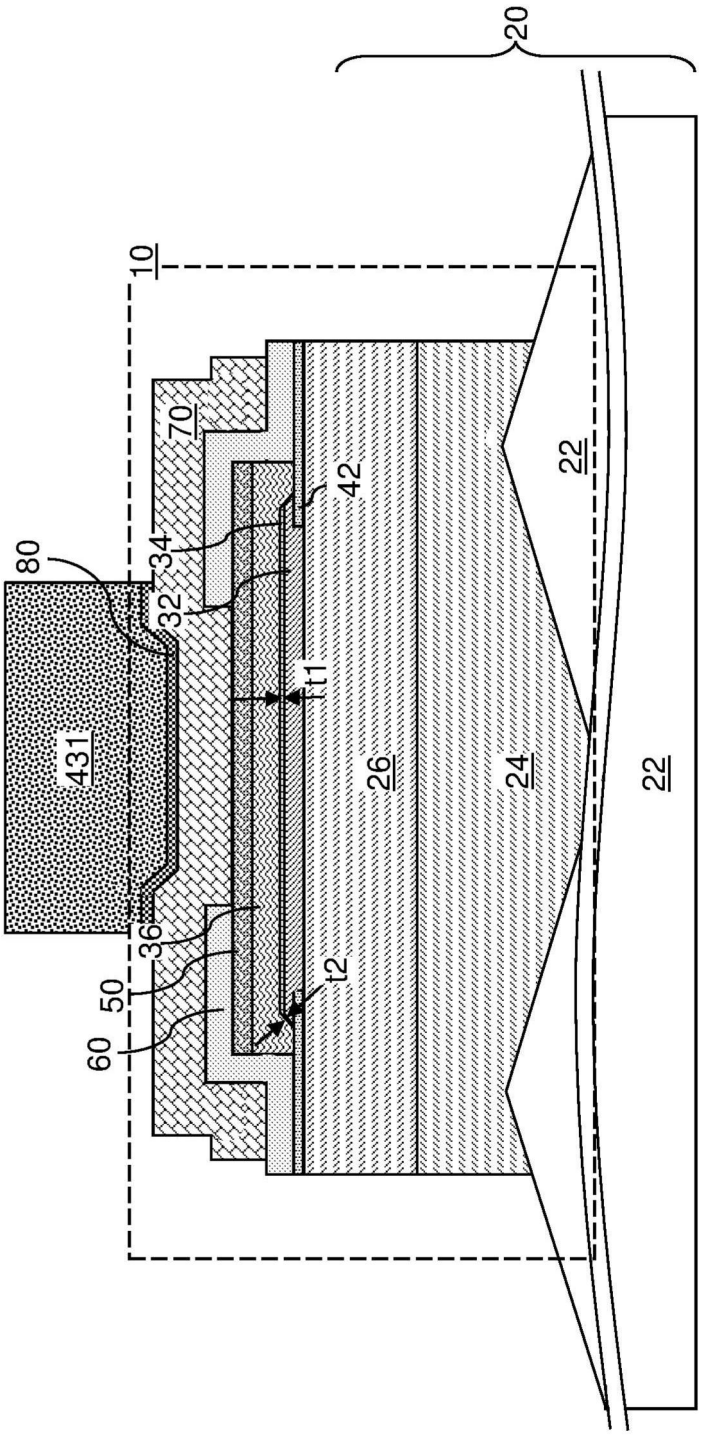


图1B

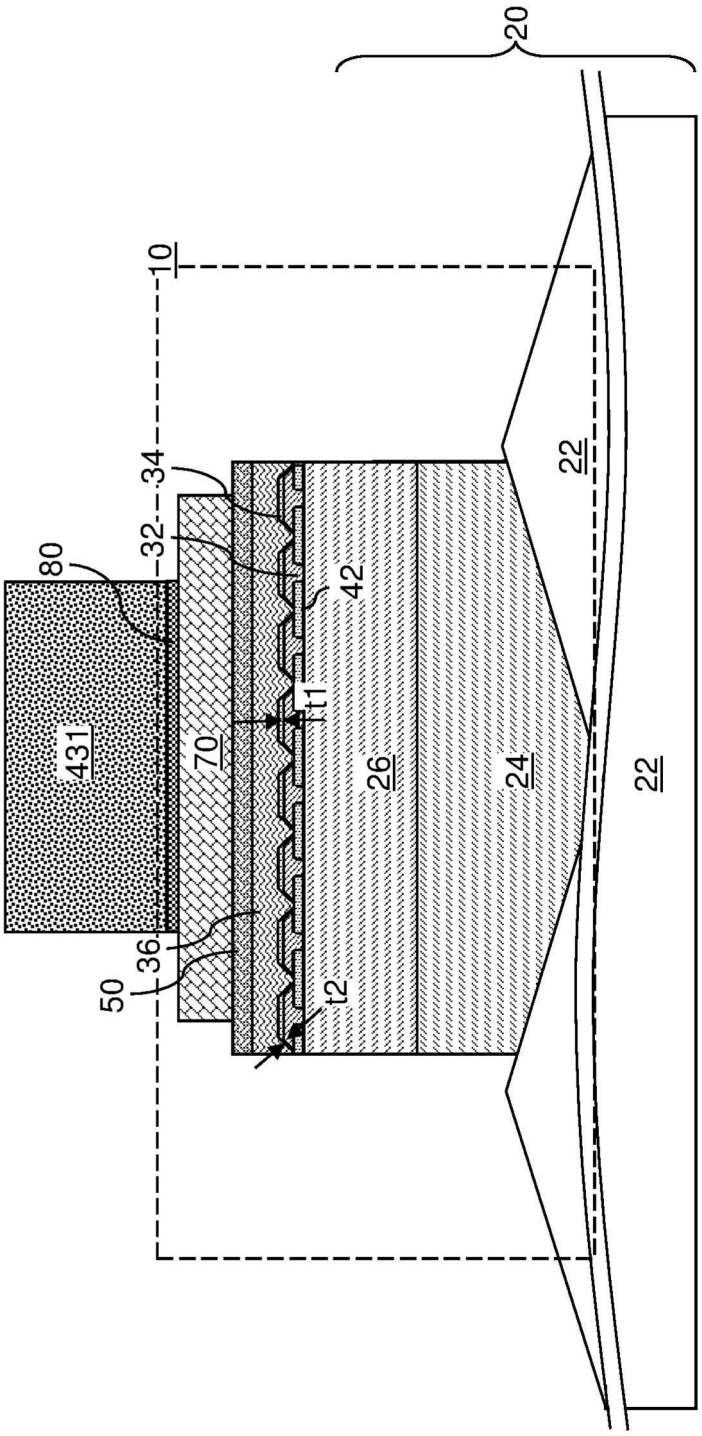


图2A

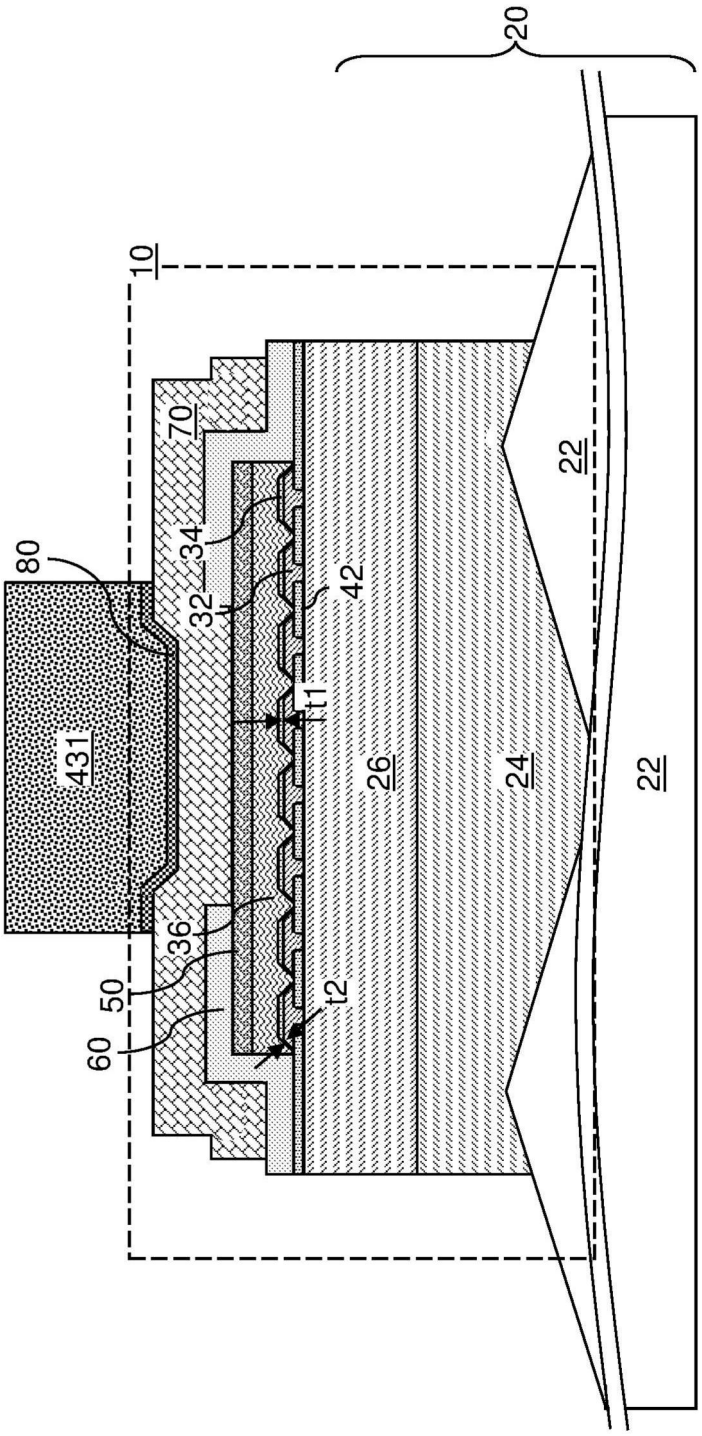


图2B

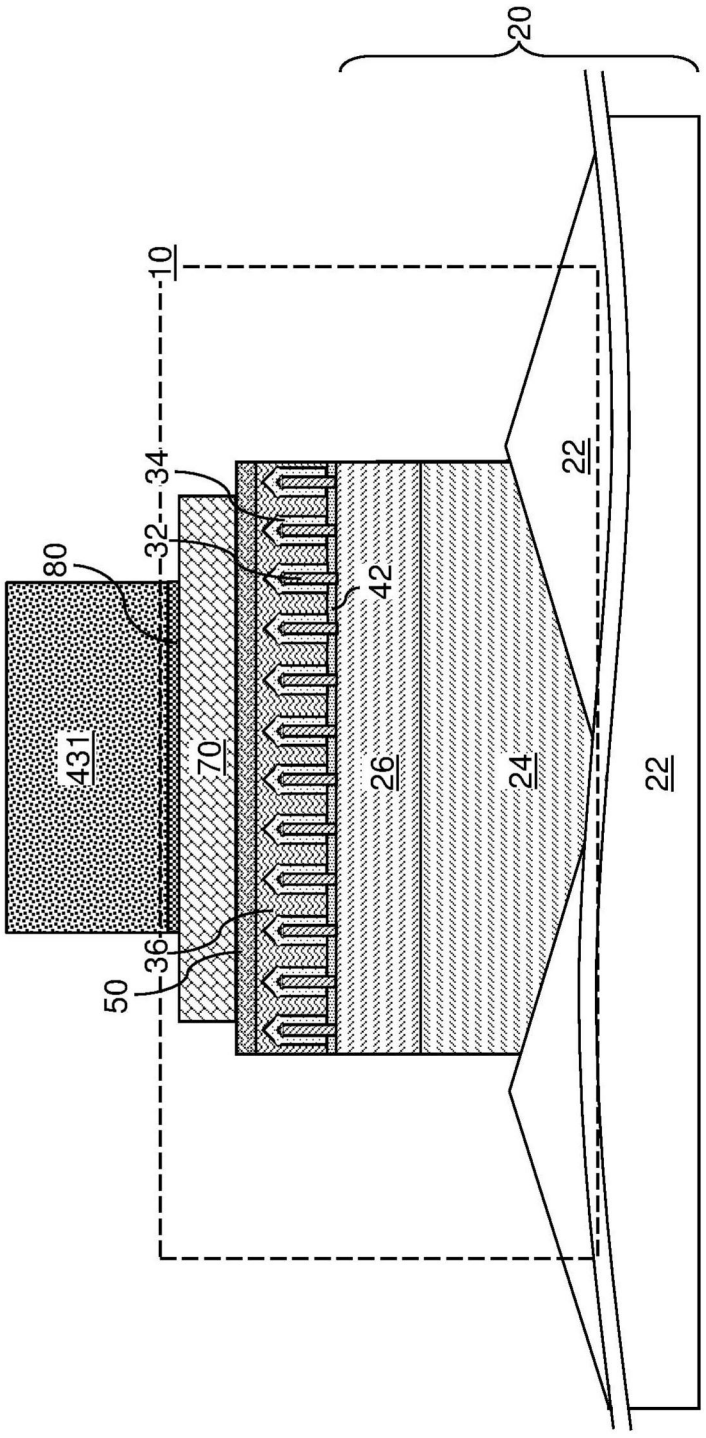


图3A

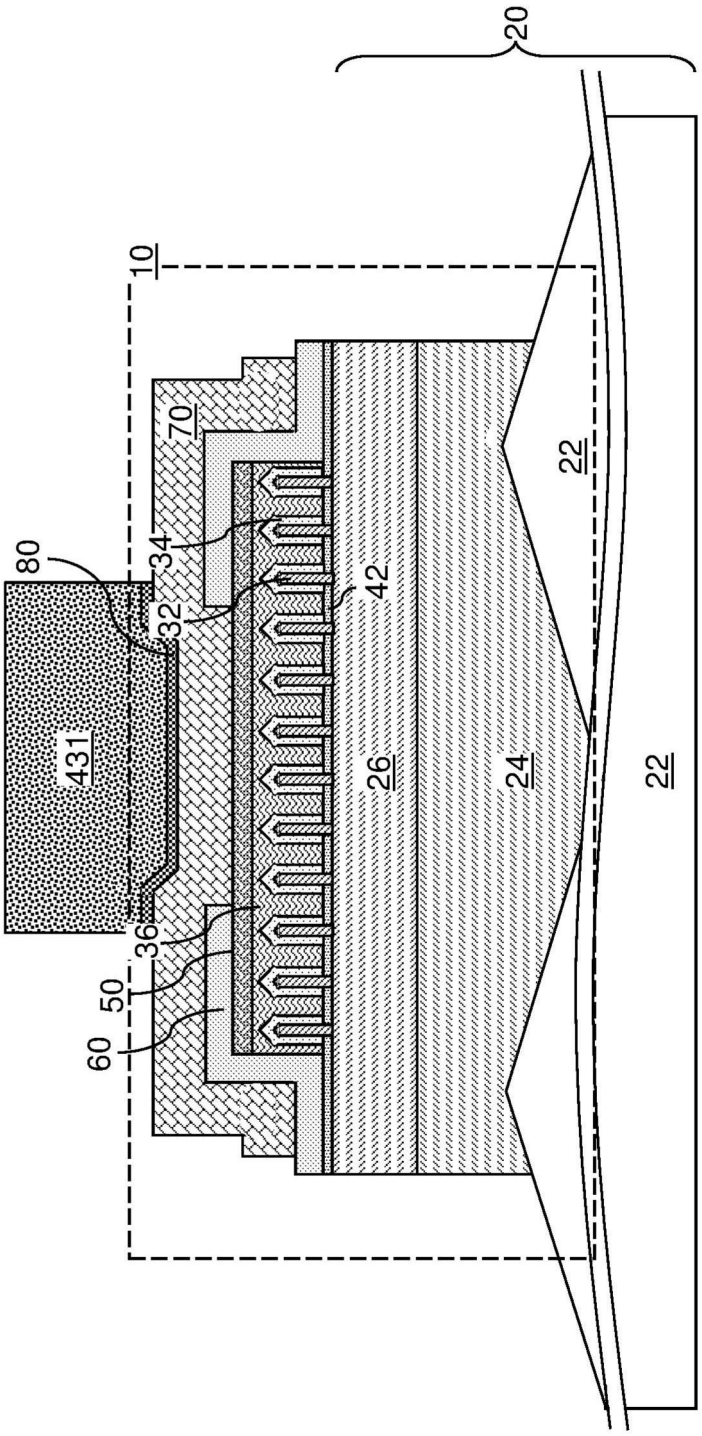


图3B

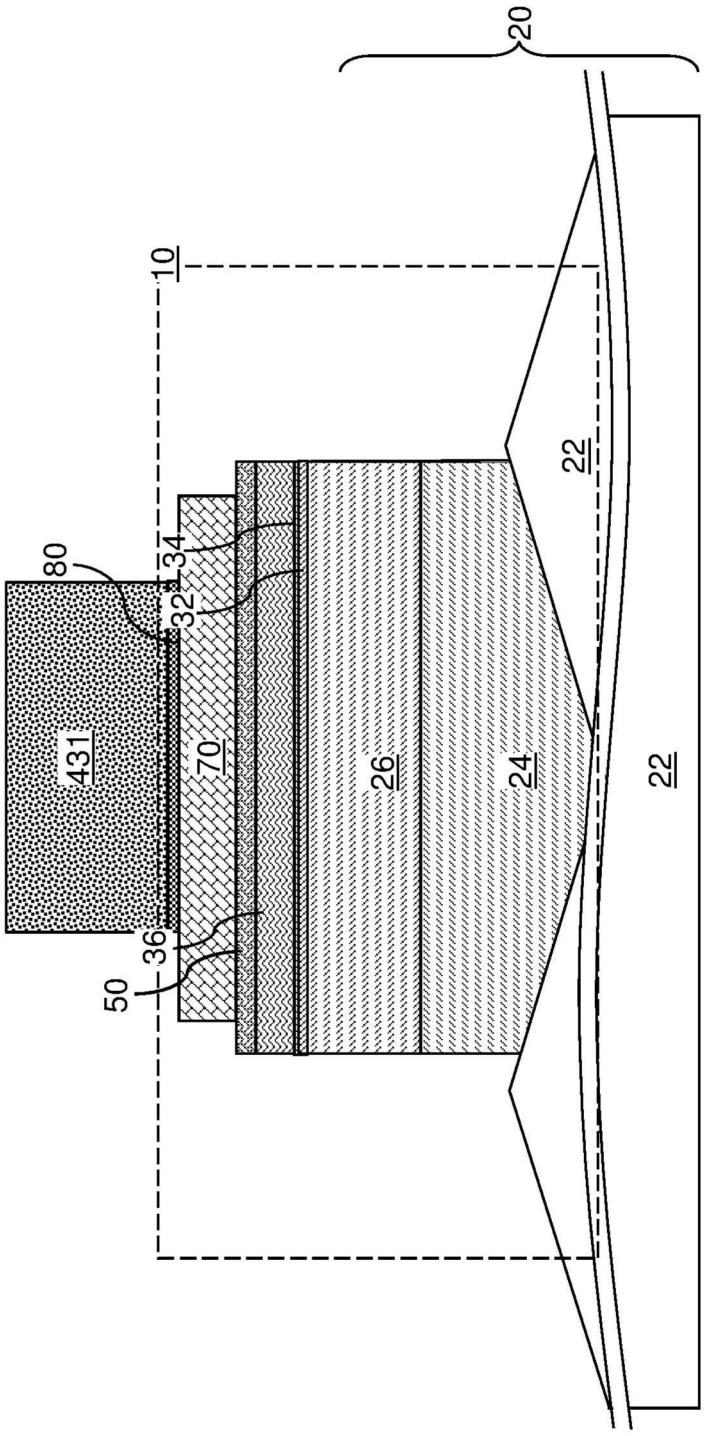


图4A

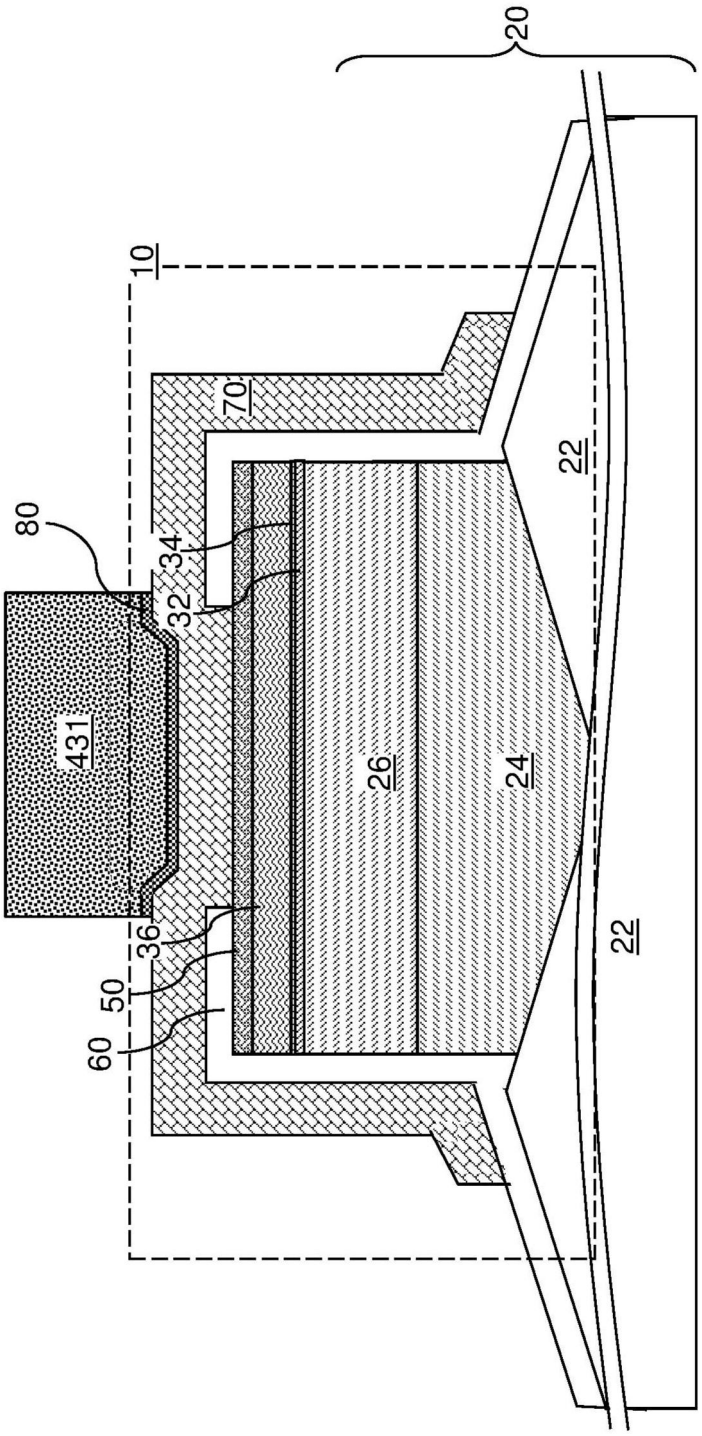


图4B

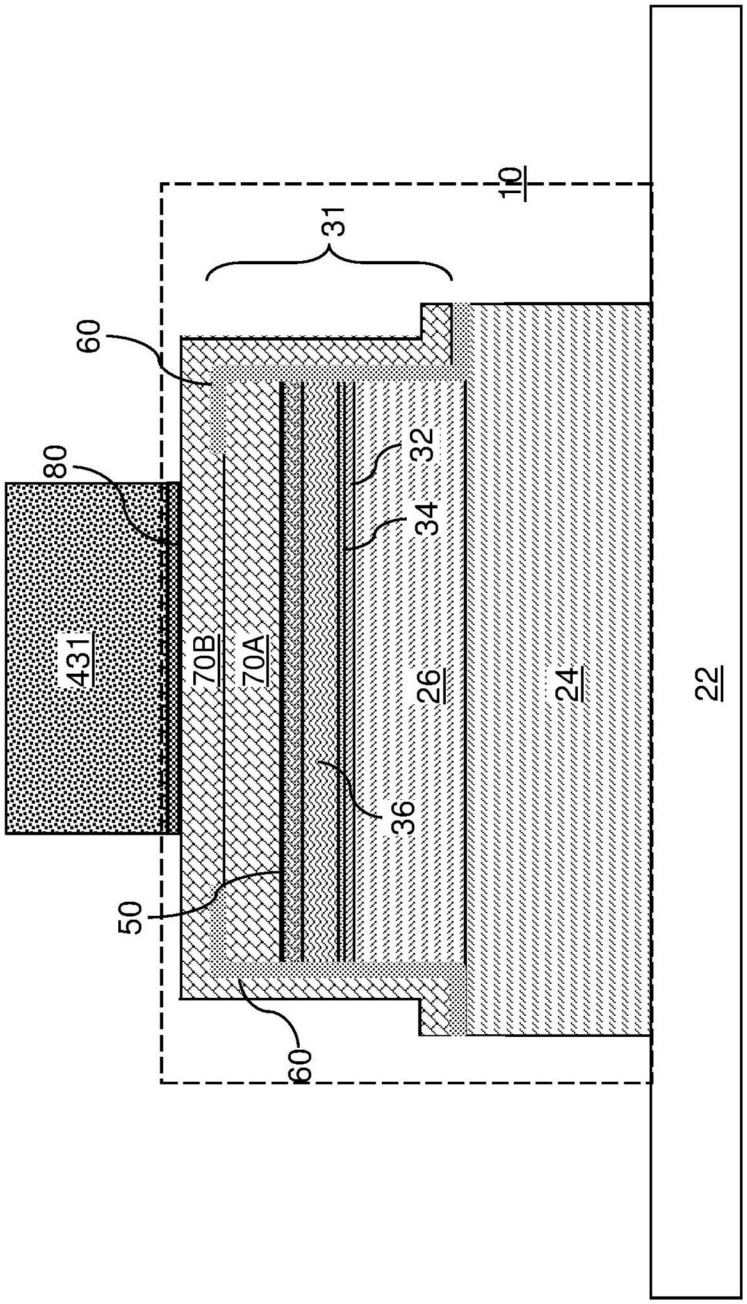


图4C

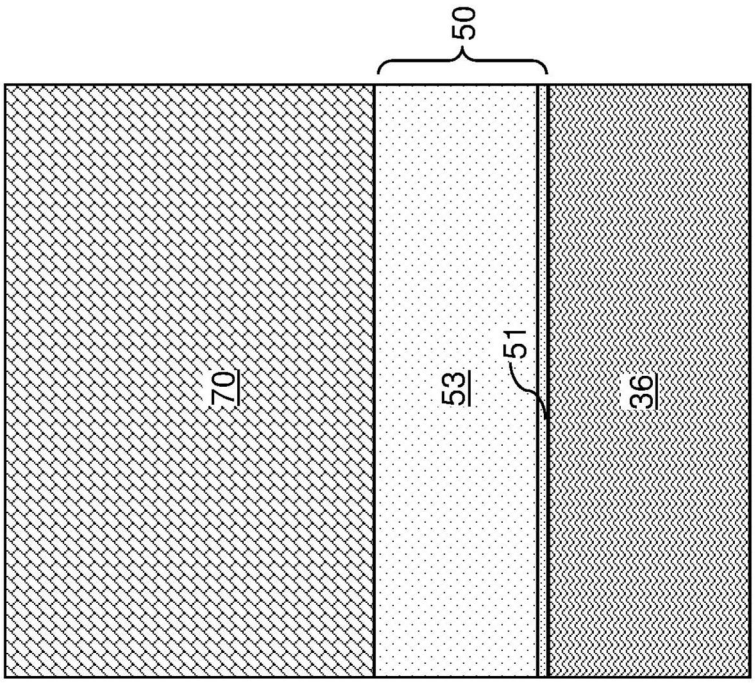


图5A

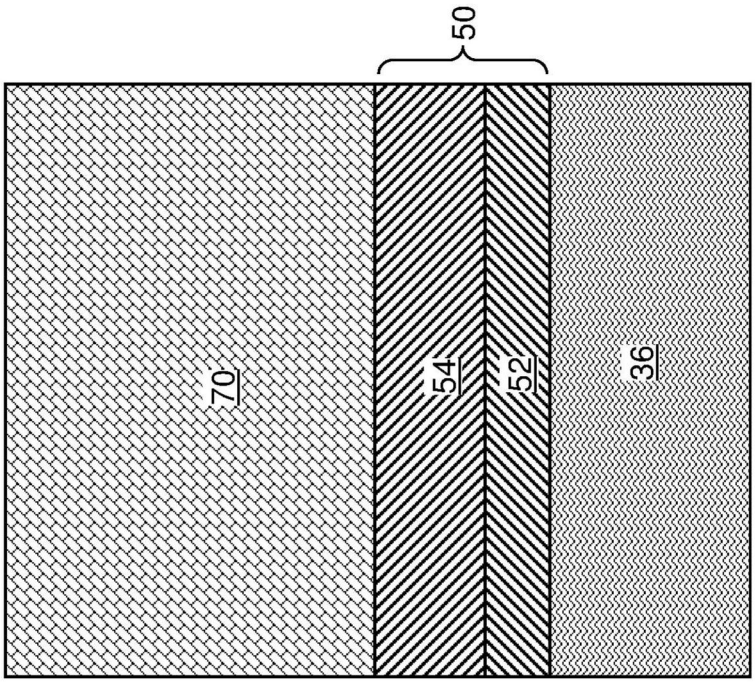


图5B

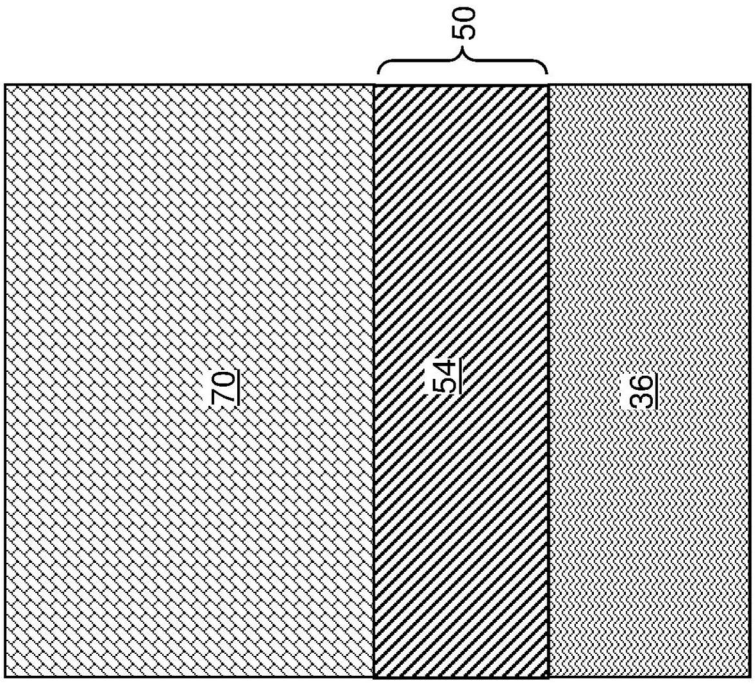


图5C

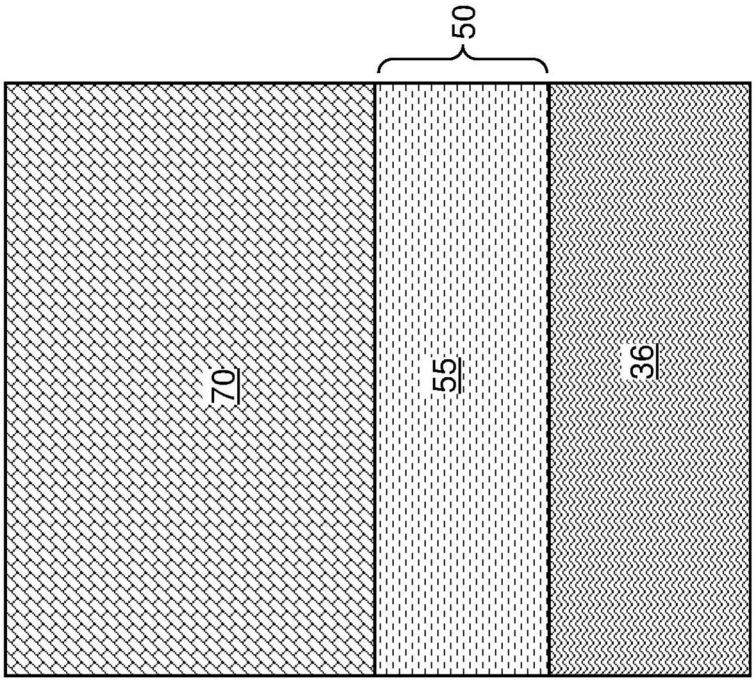


图5D

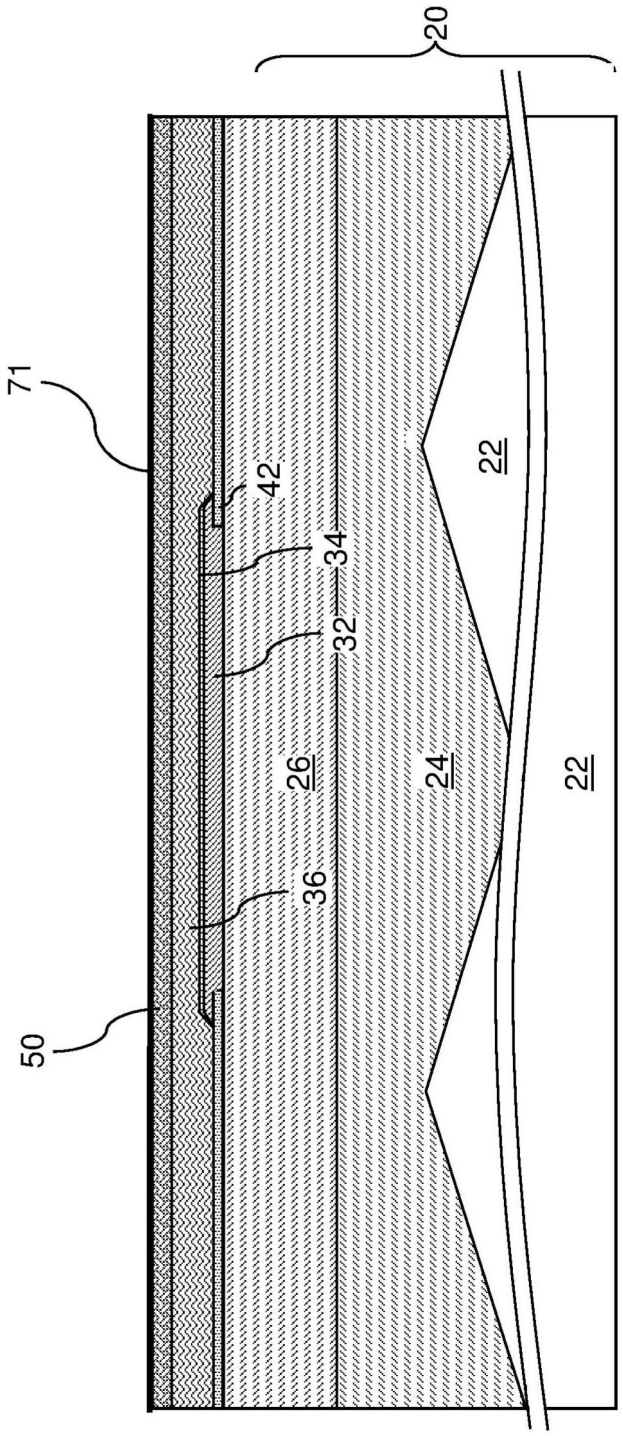


图6

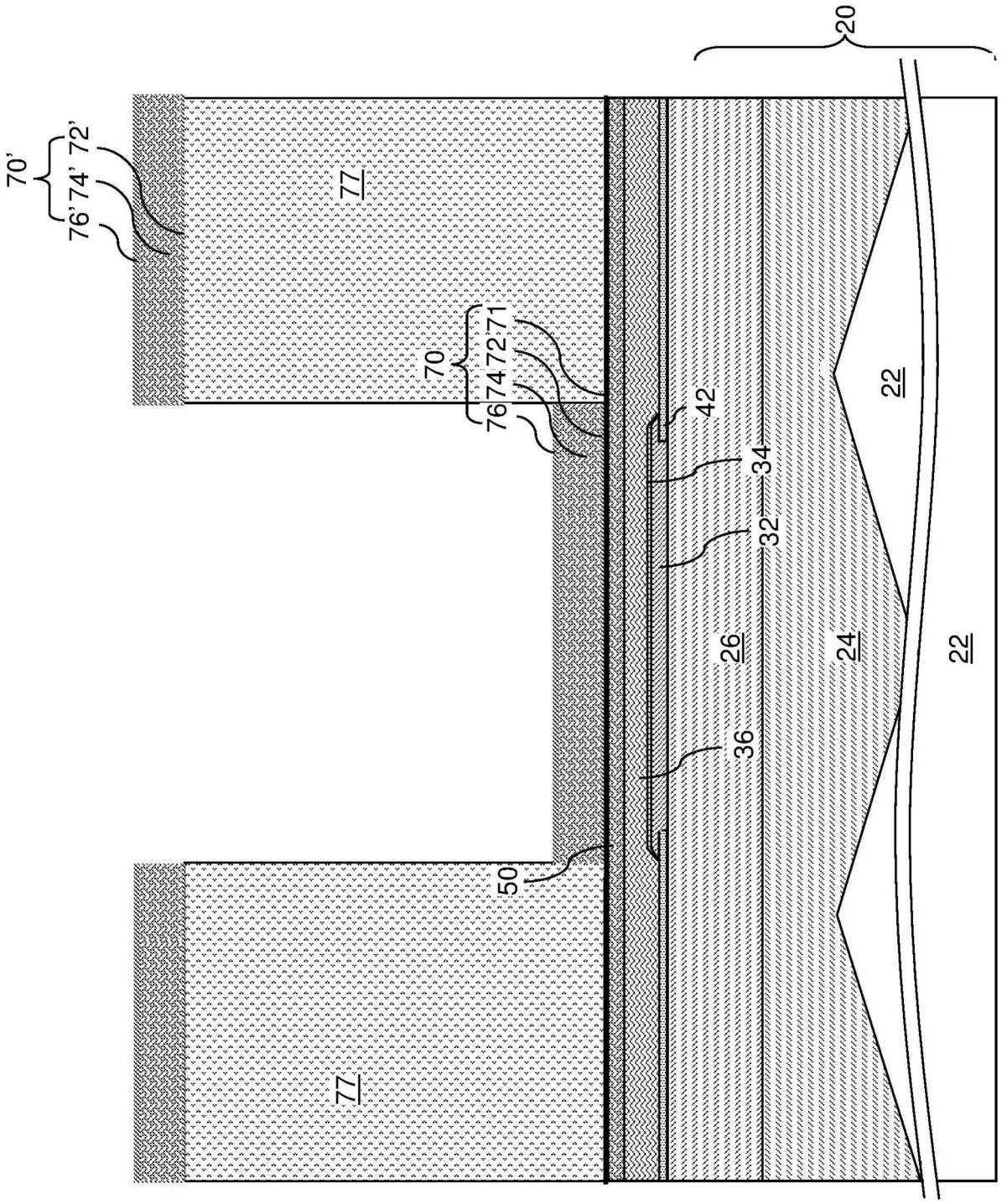


图7

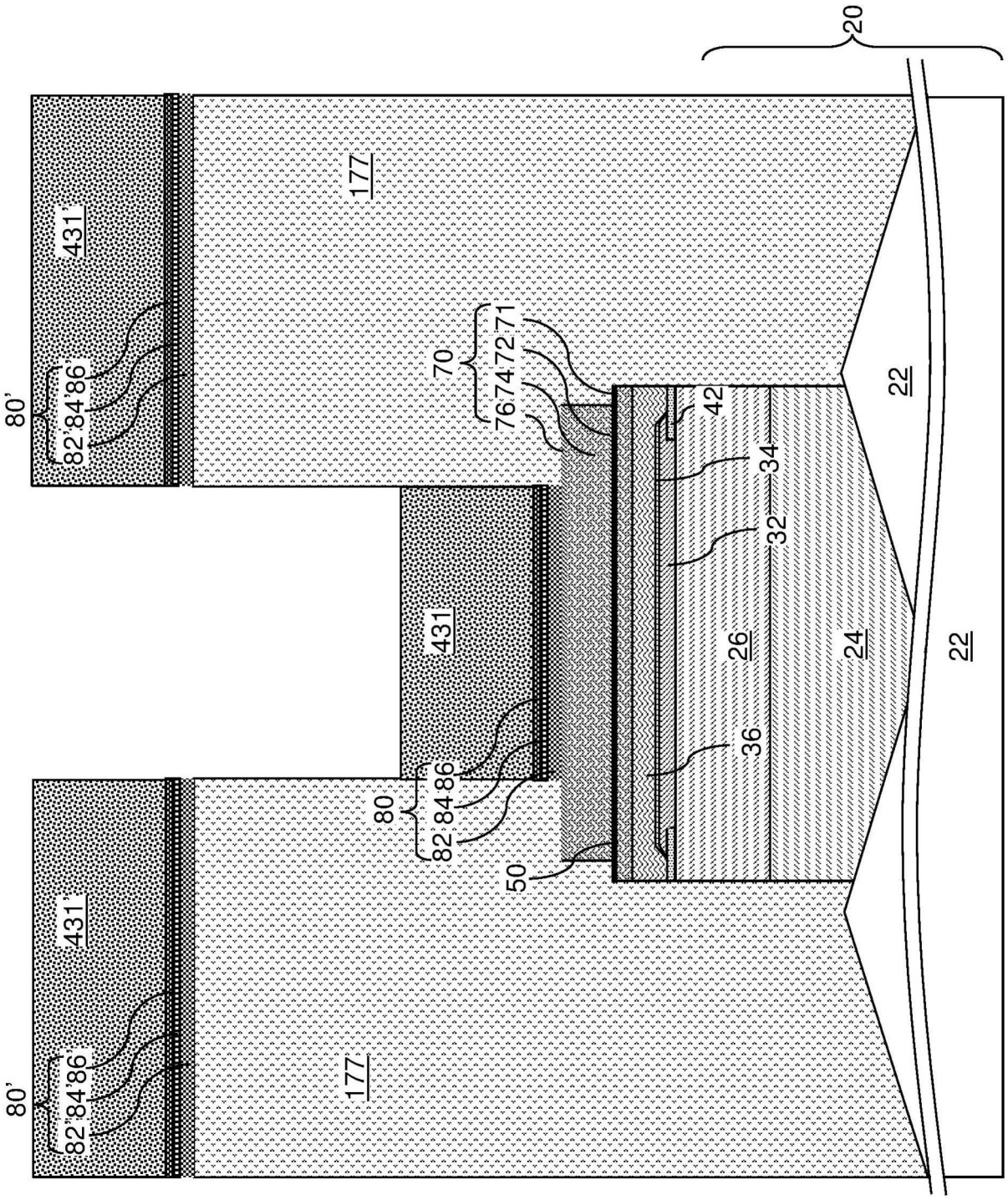

20
177'
431'
80'
82'
84'
86'
70
71
72
74
76
42
34
32
22
431
26
24
36
22
80
82
84
86
50
431'
80'
82'
84'
86'
177'

图8

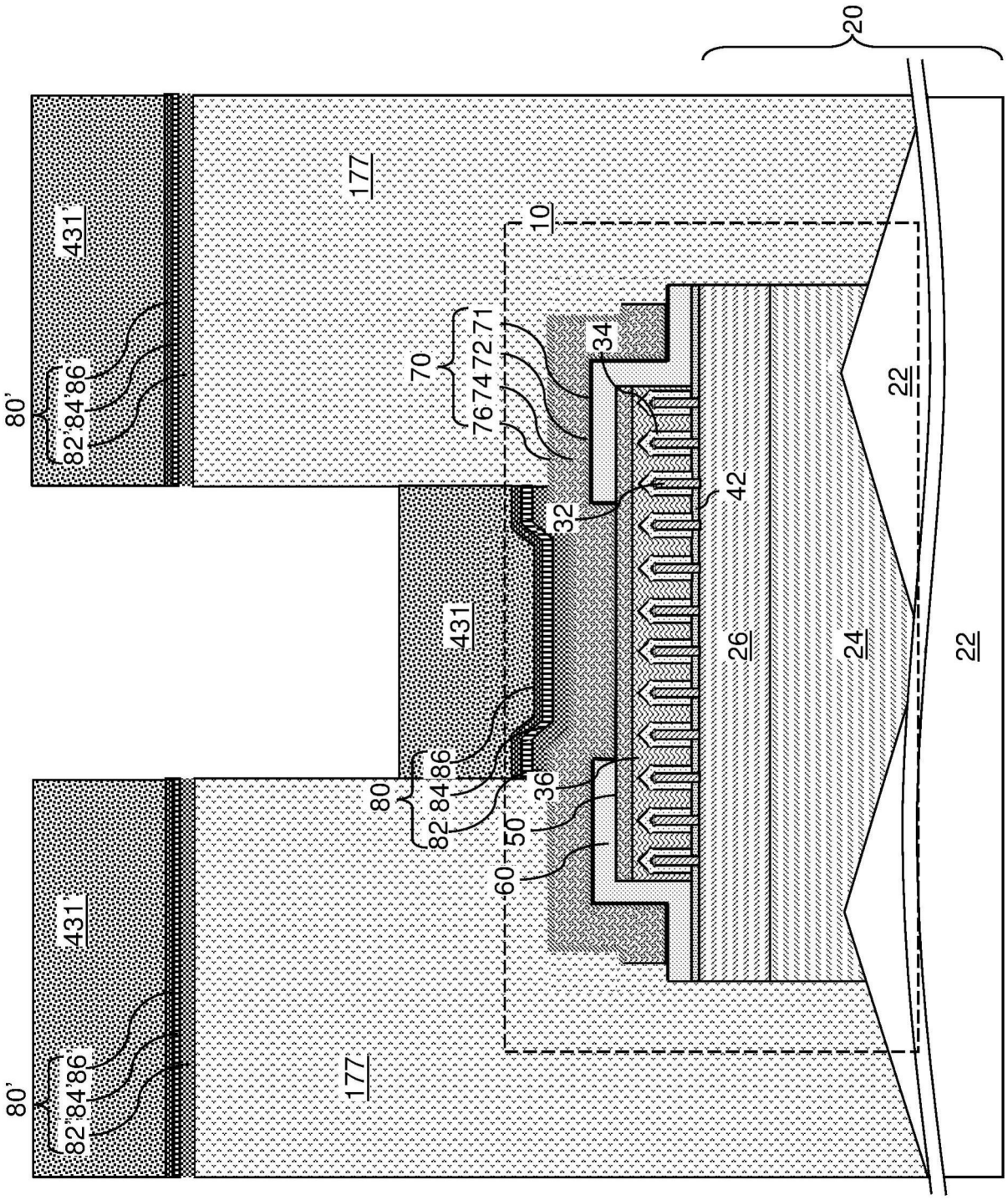

20
177'
10
431'
80'
82'
84'
86'
70
76
74
72
71
34
22
32
42
431
26
24
22
80
82
84
86
36
50
60
431'
80'
82'
84'
86'
177'

图9

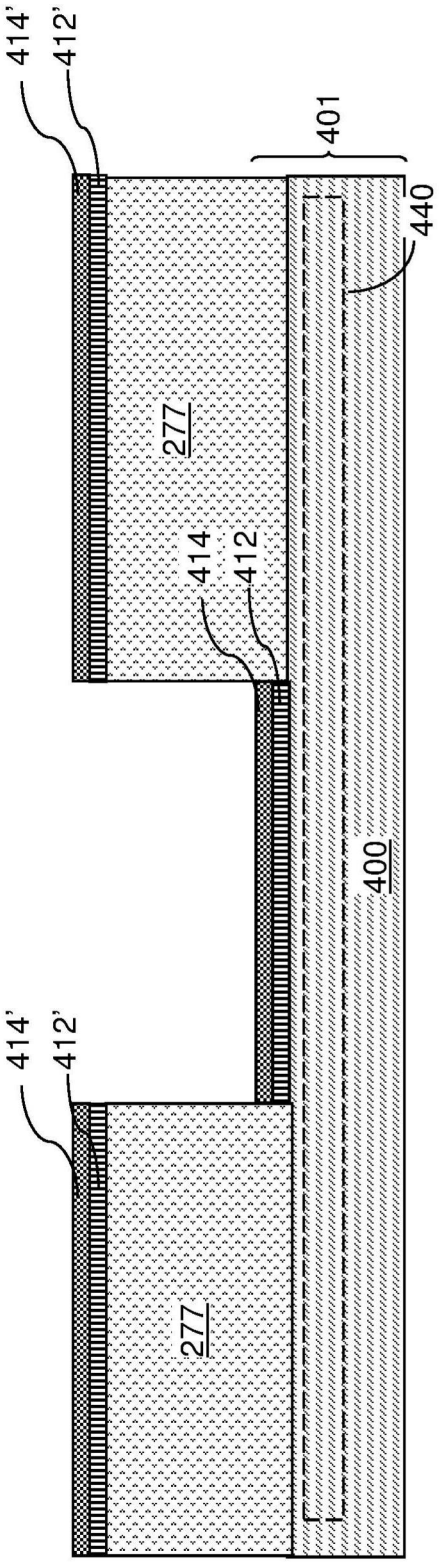


图10A

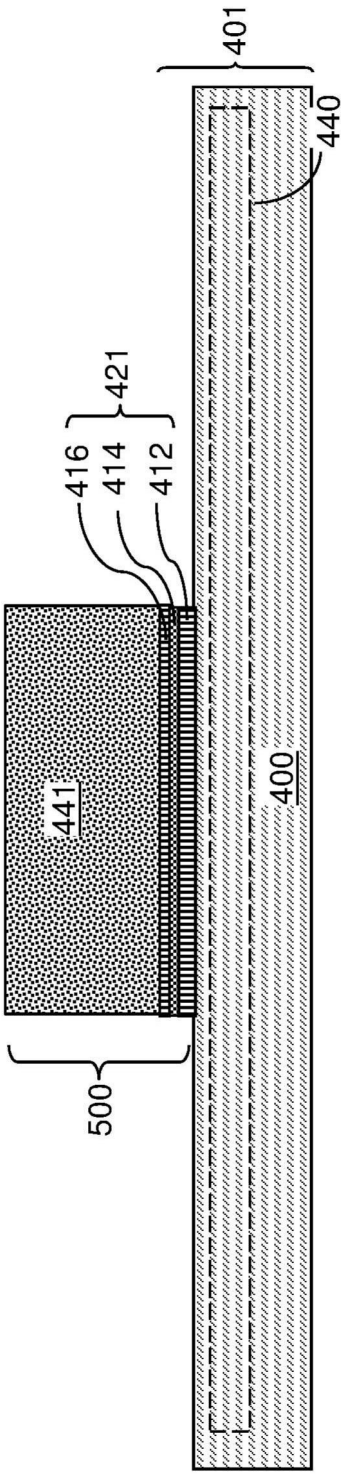


图10B

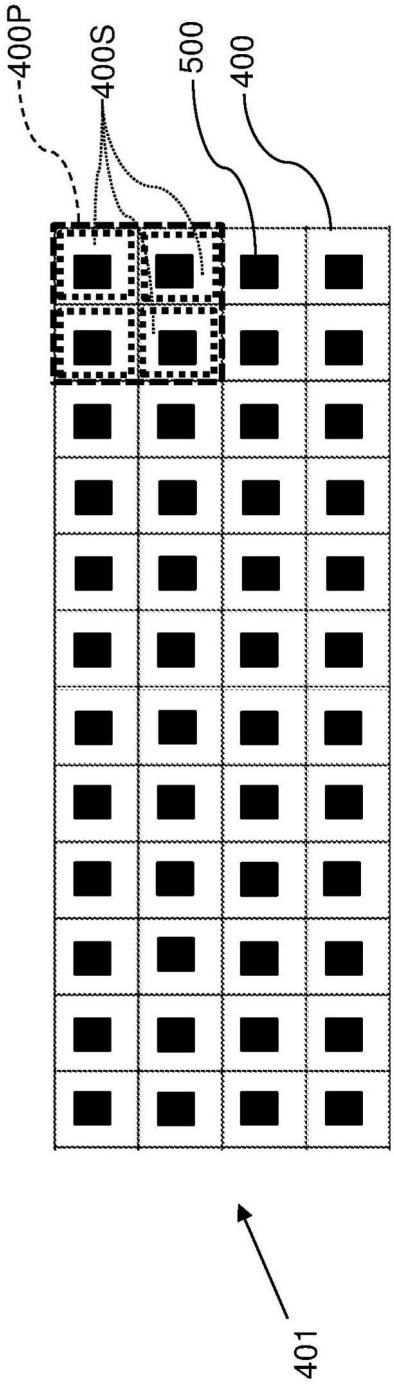


图10C

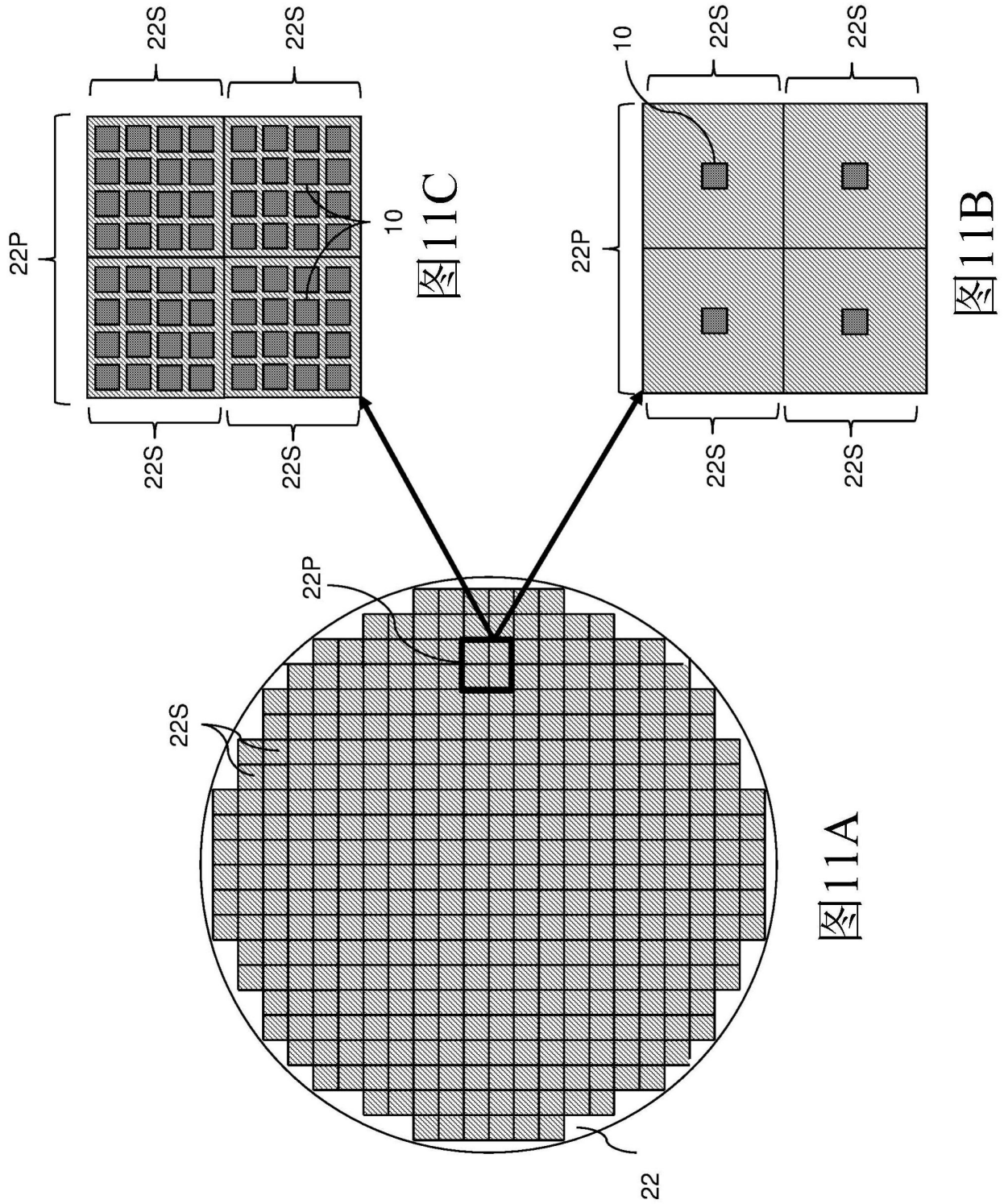


图11C 图11B 图11A

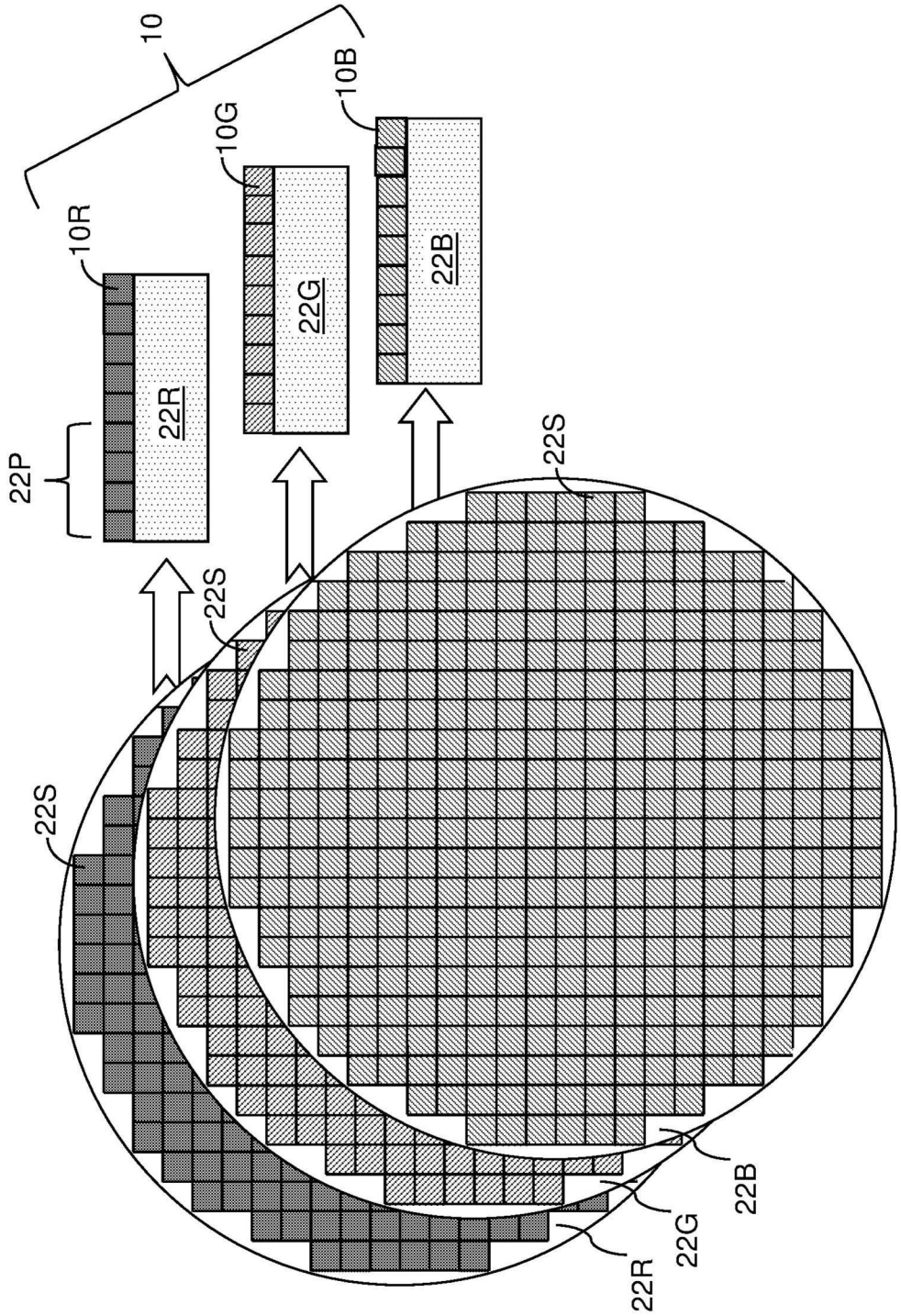


图12

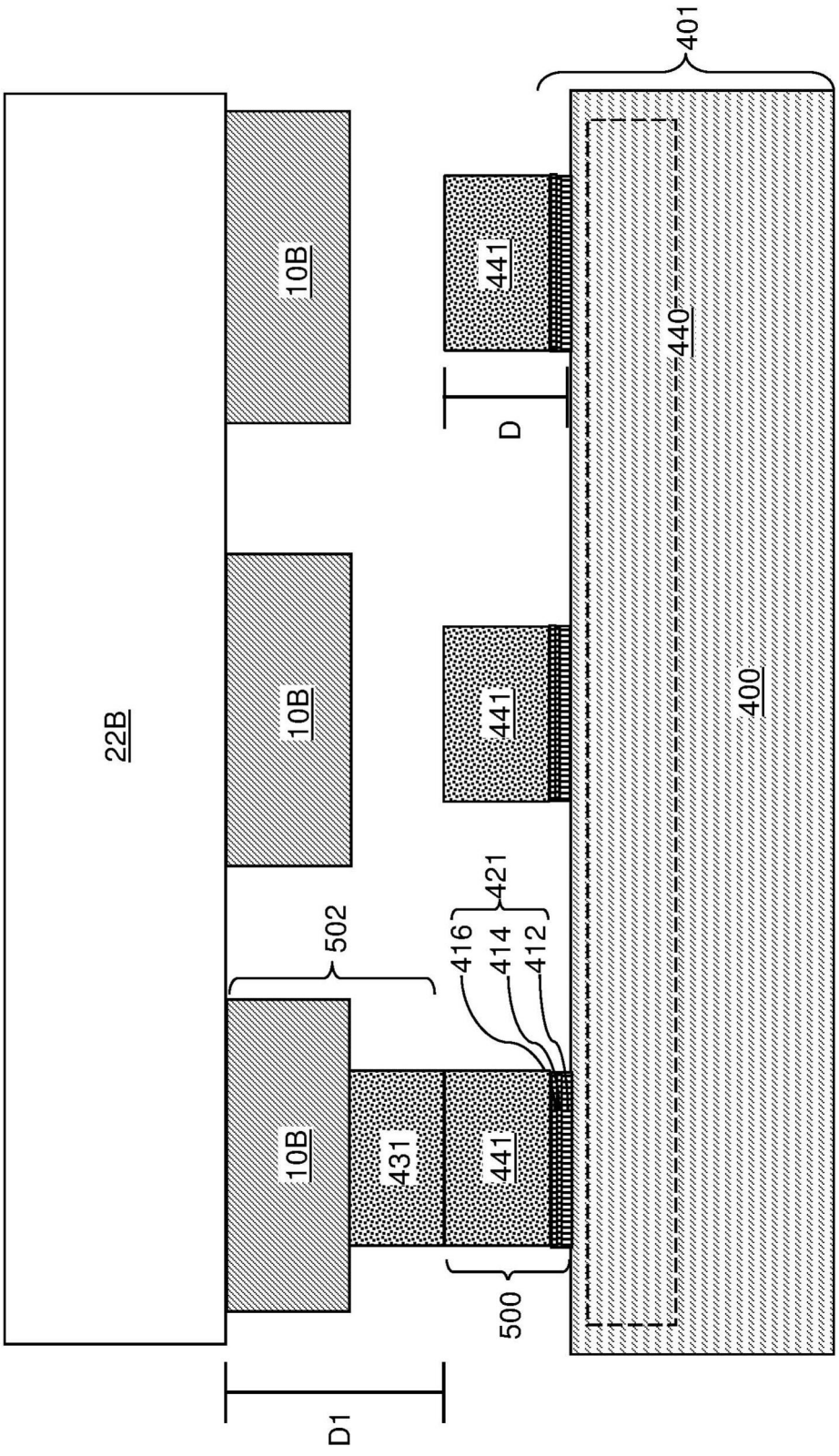

401
441
440
D
10B
10B
22B
441
400
421
502
416
414
412
10B
431
441
500
D1

图13A

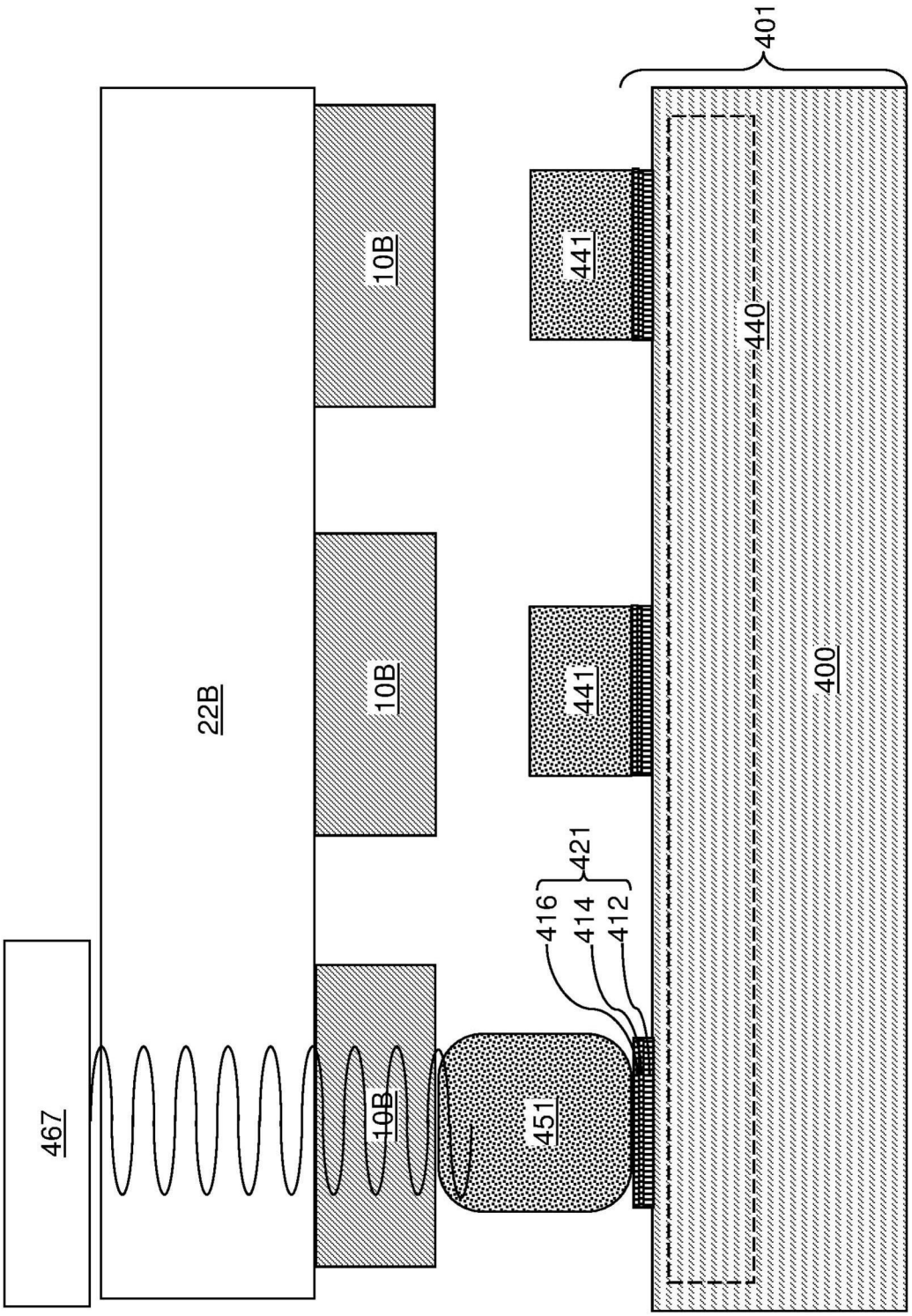


图13B

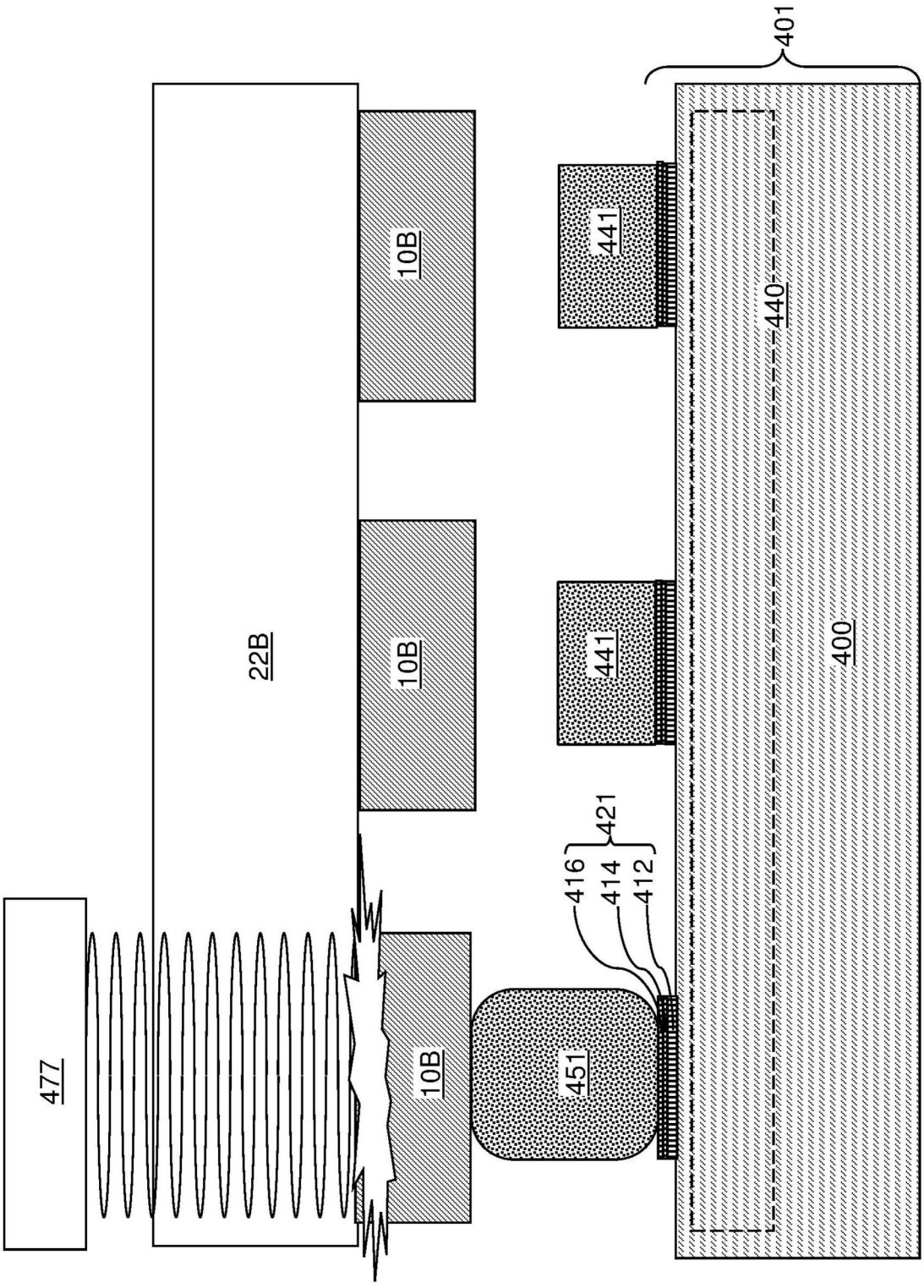


图13C

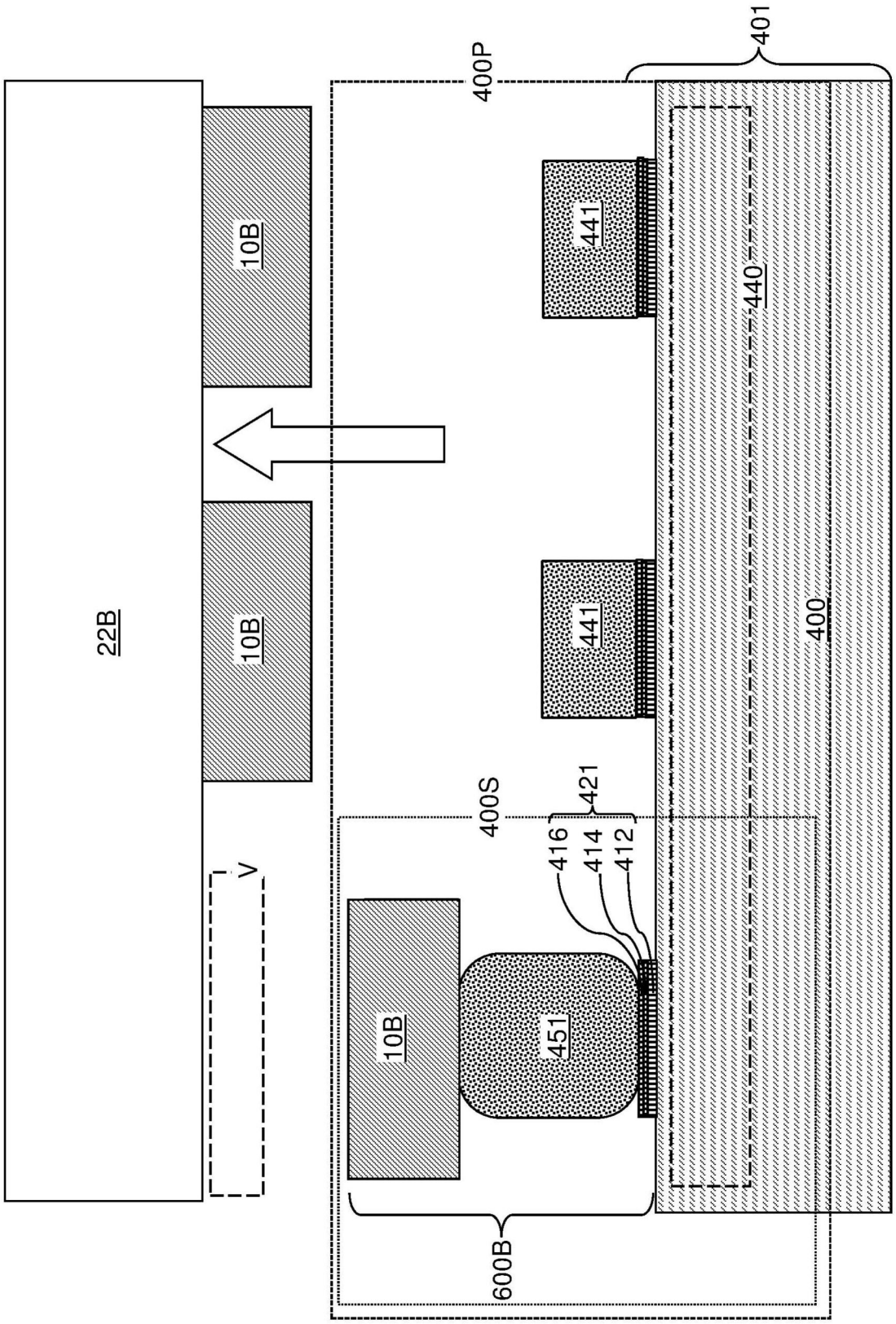

401
400P
441
440
10B
22B
10B
441
400
400S
421
416
414
412
V
10B
451
600B

图13D

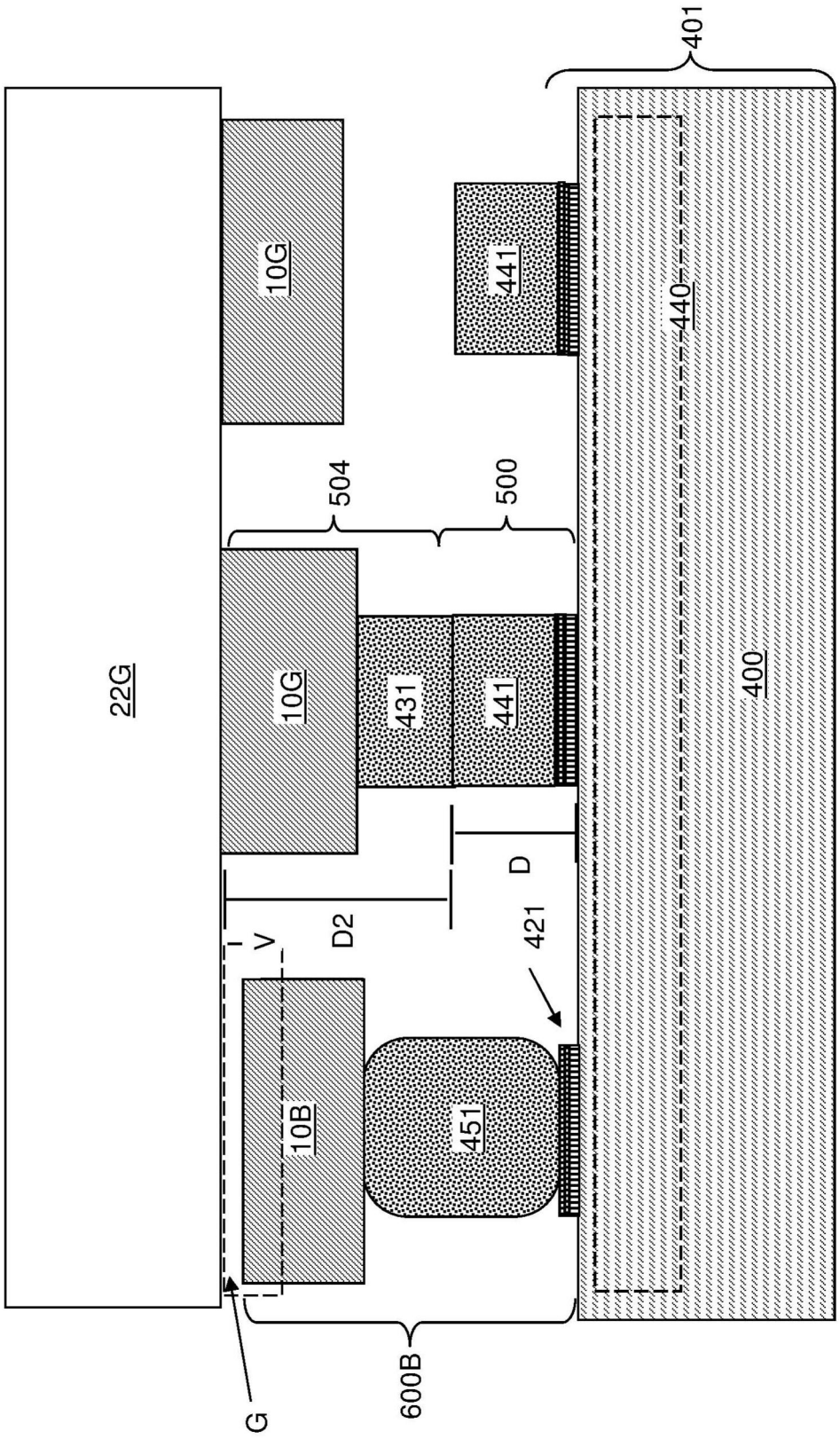

401
10G
441
440
504
500
22G
10G
431
441
400
D
D2
V
421
10B
451
600B
G

图13E

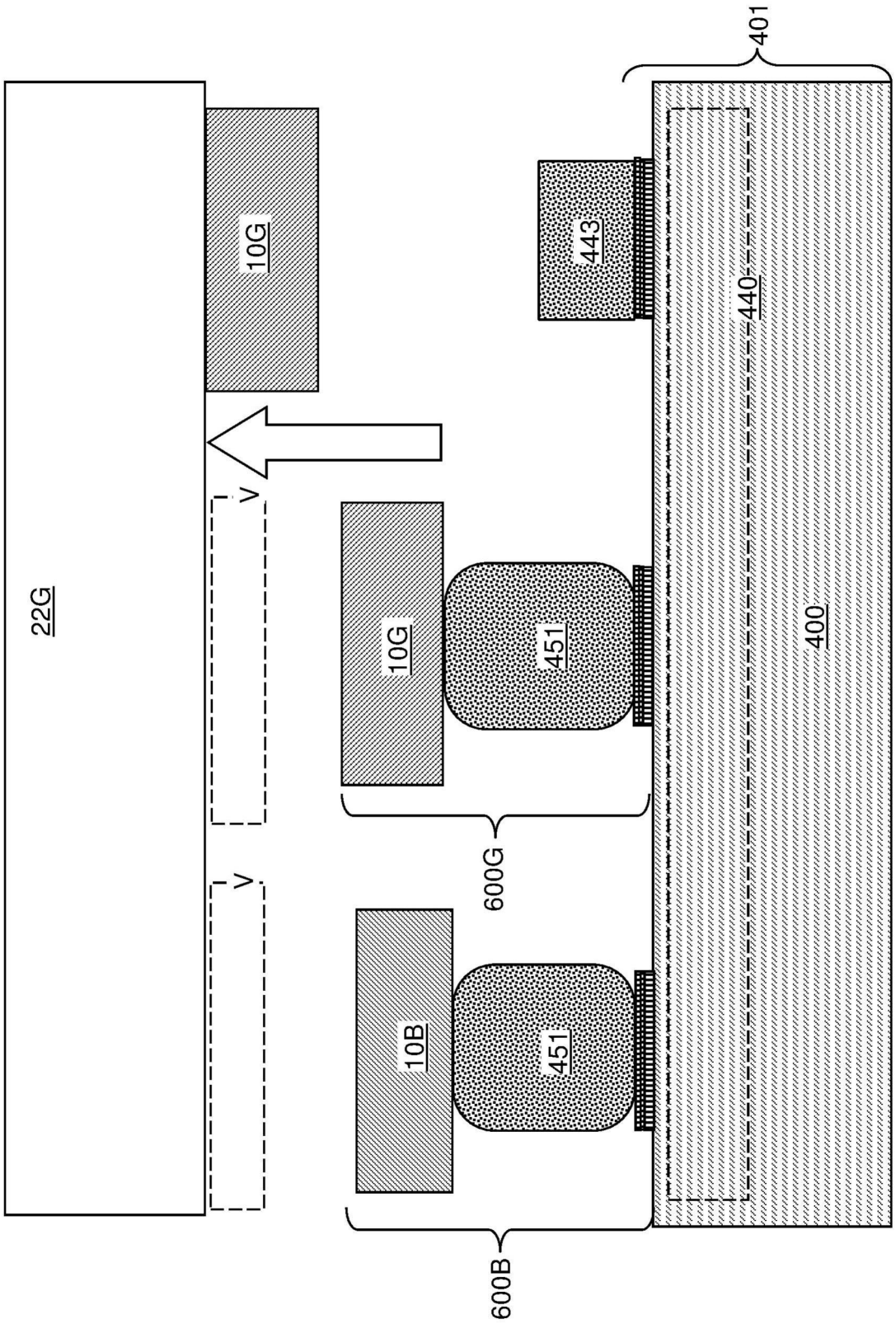


图13F

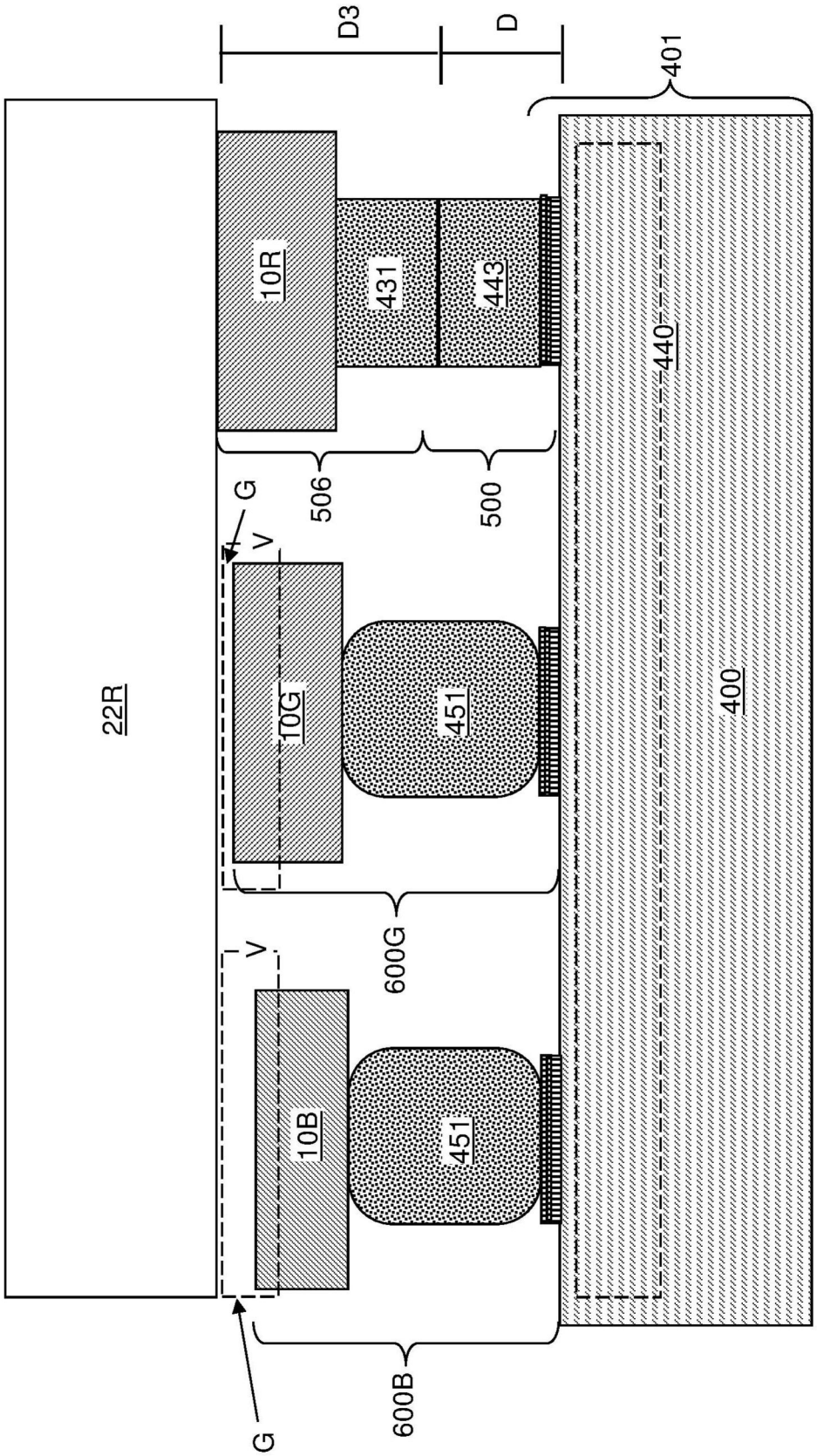

D3
D
401
10R
431
443
440
506
500
G
V
22R
10G
451
400
600G
V
10B
451
600B
G

图13G

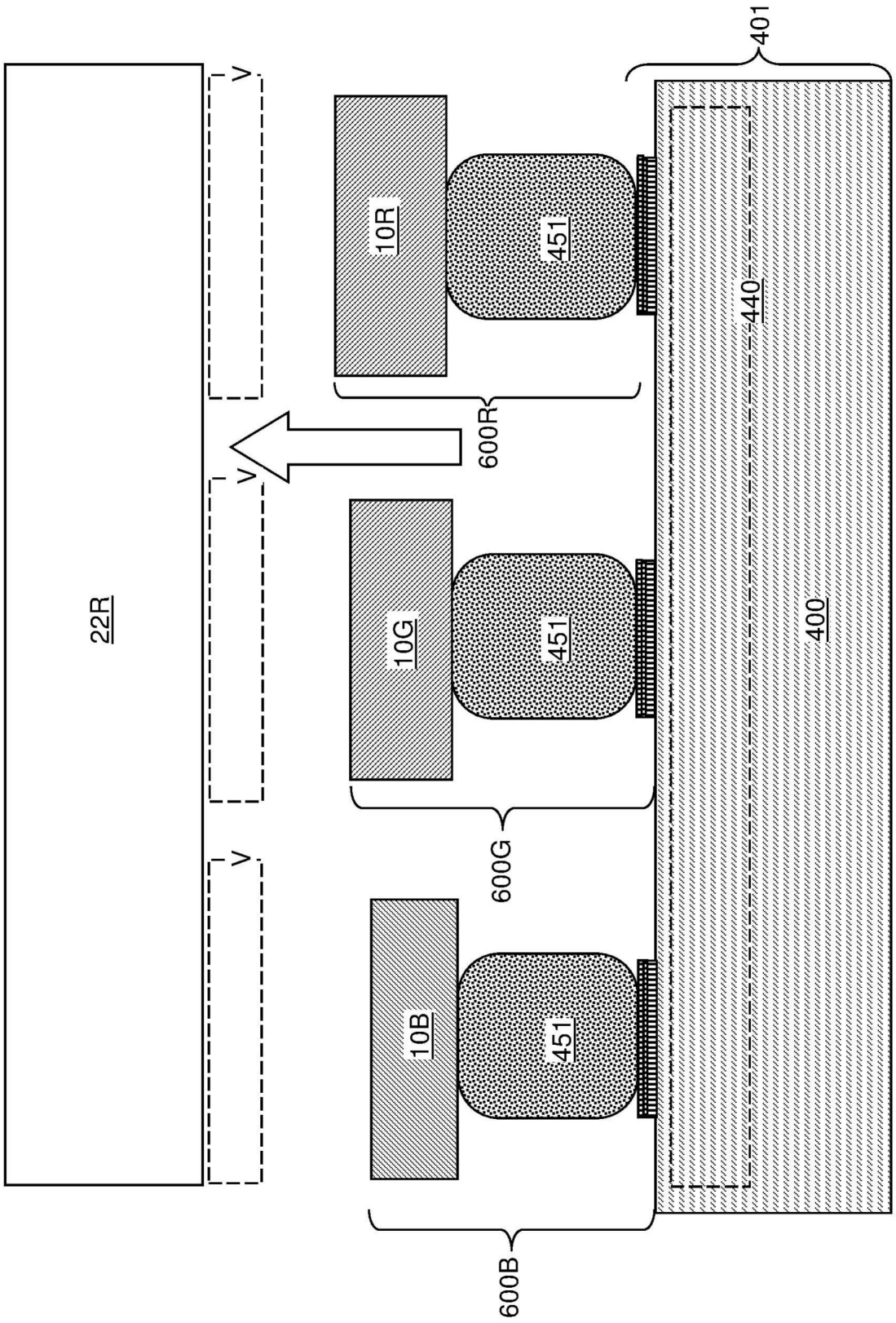


图13H

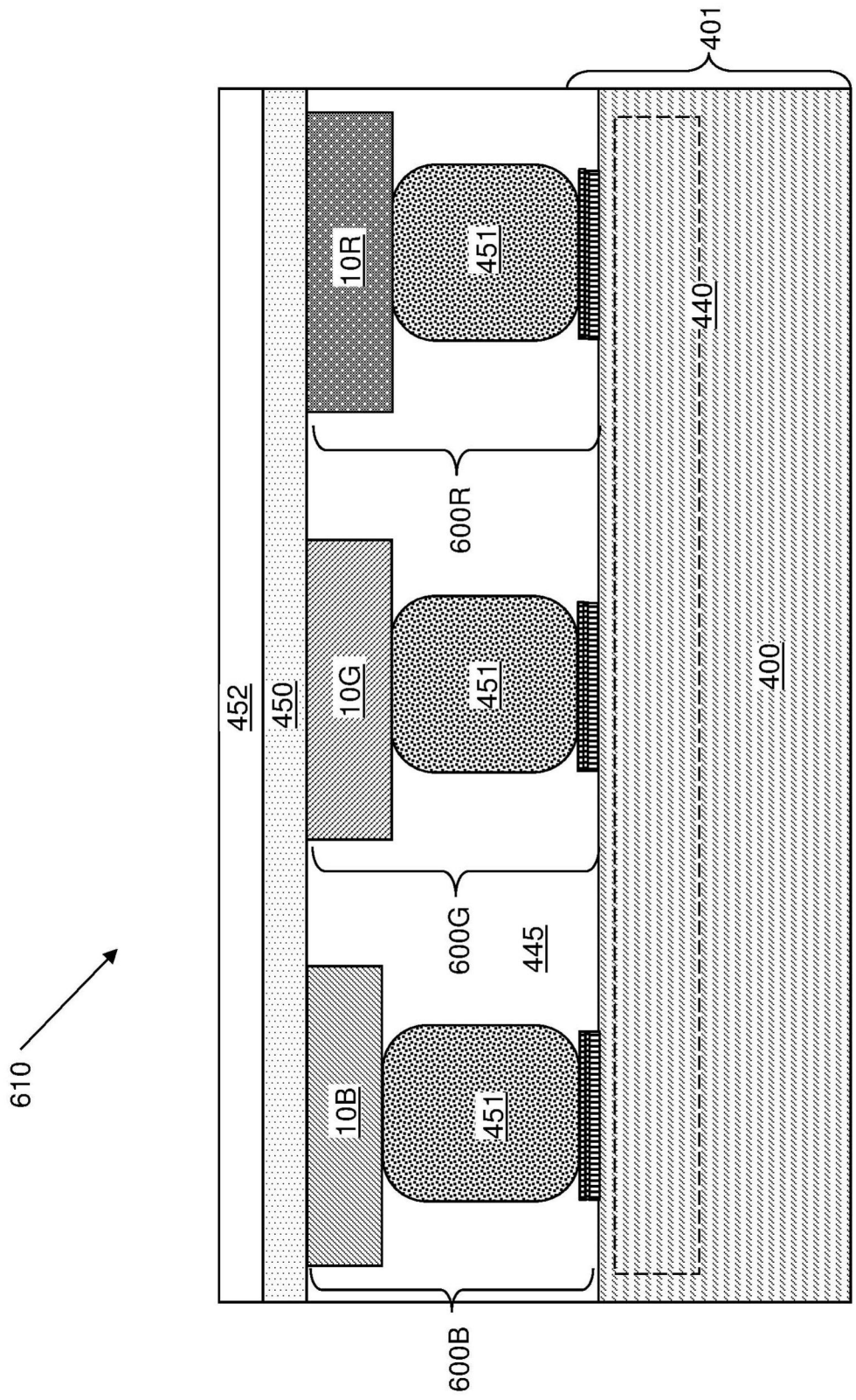

401
10R
451
440
600R
10G
451
452
450
400
600G
445
610
10B
451
600B

图13I

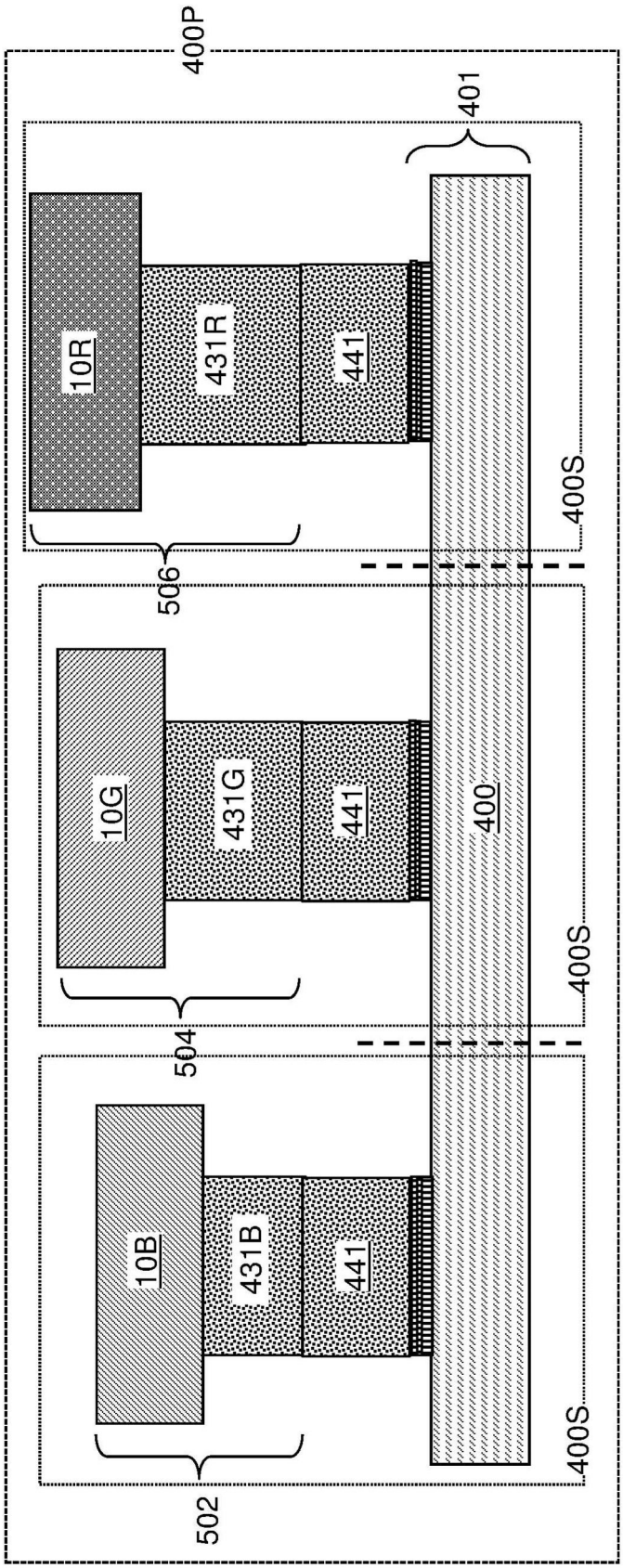

400P
401
10R
431R
441
400S
506
10G
431G
441
400
400S
504
10B
431B
441
400S
502

图14A

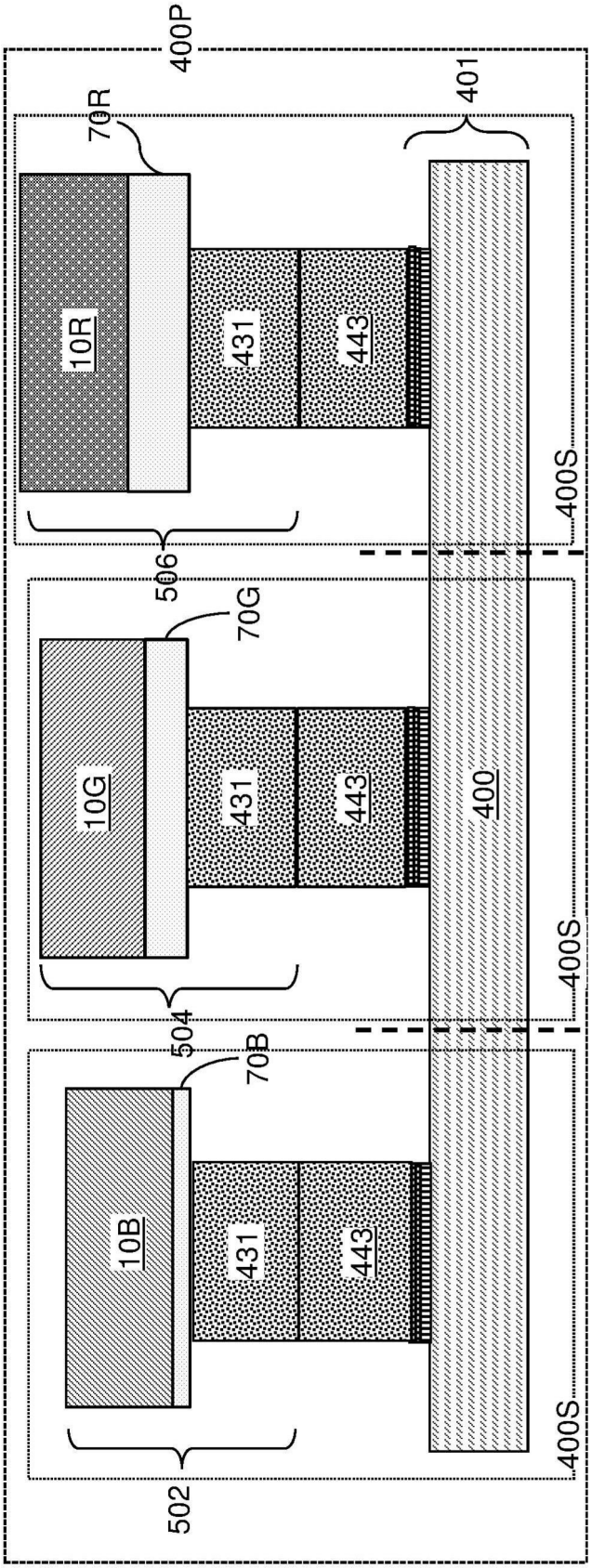

400P
401
70R
10R
431
443
400S
506
70G
10G
431
443
400
400S
504
70B
10B
431
443
400S
502

图14B