

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6170102号
(P6170102)

(45) 発行日 平成29年7月26日 (2017. 7. 26)

(24) 登録日 平成29年7月7日 (2017. 7. 7)

(51) Int. Cl.	F I
G 1 1 C 7/20 (2006. 01)	G 1 1 C 7/20
G 1 1 C 11/419 (2006. 01)	G 1 1 C 11/419
G O 6 F 12/08 (2016. 01)	G O 6 F 12/08 5 5 3 B

請求項の数 4 (全 24 頁)

(21) 出願番号	特願2015-153281 (P2015-153281)	(73) 特許権者	000153878
(22) 出願日	平成27年8月3日 (2015. 8. 3)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2013-260091 (P2013-260091)		神奈川県厚木市長谷 3 9 8 番地
	の分割	(72) 発明者	藤田 雅史
原出願日	平成18年7月25日 (2006. 7. 25)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(65) 公開番号	特開2015-222612 (P2015-222612A)		半導体エネルギー研究所内
(43) 公開日	平成27年12月10日 (2015. 12. 10)	(72) 発明者	黒川 義元
審査請求日	平成27年8月3日 (2015. 8. 3)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2005-220887 (P2005-220887)		半導体エネルギー研究所内
(32) 優先日	平成17年7月29日 (2005. 7. 29)		
(33) 優先権主張国	日本国 (JP)	審査官	堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

キャッシュメモリを有し、

前記キャッシュメモリは、第 1 のメモリセルと、第 2 のメモリセルと、を有し、

前記第 1 のメモリセル及び前記第 2 のメモリセルは、第 1 のインバータと、第 2 のインバータと、N 型の第 1 のトランジスタと、N 型の第 2 のトランジスタと、P 型の第 3 のトランジスタと、をそれぞれ有し、

前記第 1 のインバータの出力は、前記第 2 のインバータの入力と電氣的に接続され、

前記第 2 のインバータの出力は、前記第 1 のインバータの入力と電氣的に接続され、

前記第 1 のインバータは、第 1 の電源線及び第 2 の電源線と電氣的に接続され、

前記第 2 のインバータは、前記第 1 の電源線及び前記第 2 の電源線と電氣的に接続され

、
前記第 1 のトランジスタのゲートは、前記第 2 のインバータの出力と電氣的に接続され、
前記第 1 のトランジスタのソース又はドレインの一方は、前記第 1 の電源線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 2 の電源線と電氣的に接続され、

10

20

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 のインバータの出力と電氣的に接続され、

前記第 2 の電源線の電位は、前記第 1 の電源線の電位よりも高いことを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記第 1 のメモリセルが有する前記第 3 のトランジスタのゲートは、前記第 2 のメモリセルが有する前記第 3 のトランジスタのゲートと電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 のトランジスタは、第 1 の半導体層を有し、

前記第 2 のトランジスタは、前記第 1 の半導体層を有することを特徴とする半導体装置

。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかーにおいて、

第 4 のトランジスタを有し、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 1 の電源線に電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、ワード線に電氣的に接続され

、

第 1 の期間を有し、

前記第 1 の期間において、前記第 1 のメモリセルが有する前記第 3 のトランジスタはオンであり、前記第 2 のメモリセルが有する前記第 3 のトランジスタはオンであり、かつ、前記第 4 のトランジスタはオンであることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に搭載されるメモリ装置及びこれを有する半導体装置に関する。具体的には、バリッドビットを有するキャッシュメモリ装置に関する。

【背景技術】

【0002】

現在の中央処理装置（CPU：Central Processing Unit）では、ほぼ全てがストアドプログラム方式と呼ばれるアーキテクチャである。このストアドプログラム方式では、CPU が処理する命令及び処理に必要なデータは、メモリに格納されており、CPU の処理は、メモリからデータを順次読み込むことで進行する。

【0003】

しかし、このアーキテクチャでは、メモリへのアクセス速度が問題となる。メモリには、CPU が処理する命令及び処理に必要なデータが格納されている。そのため、大容量のメモリが必要となる。しかし、アクセスが高速なメモリは高価であるため、アクセスが高速なメモリを大容量で使用することは難しい。そこで、大容量の低速なメモリ（以下、メインメモリと呼ぶ。）を使用し、小容量の高速なメモリ（以下、キャッシュメモリと呼ぶ。）を組み合わせて用いることが考え出された。

【0004】

メインメモリとキャッシュメモリを用いる際の動作について説明する。まず、処理に必要なメインメモリのデータの一部を読み出してキャッシュメモリにコピーしておくことで、通常の処理では CPU はキャッシュメモリのみにアクセスする。処理に必要なデータがキャッシュメモリにない場合には、メインメモリのデータを読み出してキャッシュメモリにコピーし、そこにアクセスする。ここでは、メインメモリからキャッシュメモリへのコピーを行うため処理に時間を要するが、2 度目以降はキャッシュメモリにのみアクセスする

10

20

30

40

50

ため、高速動作が可能である。なお、必要とするデータがキャッシュメモリにある場合をキャッシュヒットと言う。逆に、必要とするデータがキャッシュメモリにない場合をキャッシュミスと言う。

【0005】

キャッシュメモリは、タグメモリとデータメモリの組み合わせ（以下、ラインという。）が集合したものであり、各ラインに対応するバリッドビットを記憶したメモリ部が搭載されている。バリッドビットを記憶したメモリ部には、そのラインに格納されているデータが有効であるか無効であるかが記憶されている。ここで、ラインに無効なデータが格納されている場合というのは、例えば、電源をオンにした直後であり、全てのラインのバリッドビットを無効化する必要がある。キャッシュメモリは、一般にSRAM（Static Random Access Memory）で構成されているため、電源がオフの時は、データを保持することができない。そのため、電源がオンした直後は、キャッシュメモリに格納されているデータが特定できないためである。

10

【0006】

しかし、このバリッドビットの無効化処理は、1ライン毎に行うため、処理に時間を要する。そのため、無効化処理中はCPUを待機させる必要があった。

【0007】

ここで、従来のバリッドビット無効化処理の一例のタイミングチャートを図6に示す。図6中の記号は各々、無効化処理の要求信号300、無効化処理時のアドレスとなるカウンタ信号303、CPUからのキャッシュアクセス信号302である。イベントタイミング400で無効化処理の要求信号300が発行されると、カウンタ信号303をクロックサイクル毎に順次カウントアップし、無効化処理の時のキャッシュアクセスのアドレスとして順次バリッドビットを無効化していく。イベントタイミング401でカウンタ値が無効化すべきラインの合計数（ n 個）に達すると無効化処理を完了とし、キャッシュアクセス信号302を見て、通常のキャッシュアクセスを開始する。

20

【0008】

これに関する技術の一例が特許文献1に開示されている。すなわち、バリッドビットの無効化処理中にCPUを待機状態とすることなく、CPUのキャッシュメモリへのアクセスをキャッシュミスであると判定させて、メインメモリへアクセスし、必要なデータを読み出す。そして無効化処理完了後、必要なデータをすぐにキャッシュメモリに格納できるようにすることで、キャッシュメモリの高速化を図ることができる。

30

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2005-44142号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

前記特許文献1のように、キャッシュメモリに制御回路やバッファを追加すると、キャッシュメモリの小型化を妨げる。また、バリッドビットの無効化処理は、1ラインずつ行っているため従来と同様である。これでは、キャッシュメモリの大容量化に伴って、処理時間も増加しうる。そのため、最長で（キャッシュメモリのライン数 \times 1周期）分の時間が処理に必要となる。キャッシュメモリが大容量化するほど、無効化処理の時間が支配的になるので、大幅に時間を短縮するには、無効化処理を高速にする必要がある。

40

【0011】

本発明は、バリッドビットを有するキャッシュメモリにおいて、バリッドビットのメモリセル内の回路構成を工夫し、無効化処理を高速に行うことができるキャッシュメモリを提供する。

【課題を解決するための手段】

【0012】

50

本発明は、キャッシュメモリのメモリセルに、無効化処理を高速にする機能を有することを特徴とする。具体的には、インバーター２個を直列に、ループになるように接続した構成のバリッドビットのメモリセルにおいて、任意のインバーターの出力の信号線にＮ型トランジスタのドレインを接続し、ゲートをＣＰＵのリセット信号線に接続し、ソースをグランド線と接続する構成で、ゲートにＣＰＵのリセット信号を入力することでメモリセルの初期値を決定することを特徴とする半導体装置である。

【００１３】

またはインバーター２個を直列に、ループになるように接続した構成のバリッドビットのメモリセルにおいて、任意のインバーターの出力の信号線にＰ型トランジスタのドレインを接続し、ゲートをＣＰＵのリセット信号線に接続し、ソースを電源線と接続する構成で、ゲートにＣＰＵのリセットのための反転信号を入力することでメモリセルの初期値を決定する半導体装置である。

10

【００１４】

または、インバーター２個を直列に、ループになるように接続した構成のバリッドビットのメモリセルにおいて、どちらか一方の任意のインバーターの出力の信号線に接続された抵抗や容量などを有する半導体装置である。

【００１５】

以下に本発明の具体的な構成を示す。

【００１６】

本発明の一形態は、データを保持する第１のインバーター及び第２のインバーターを有するインバーター回路と、前記第１のインバーター及び前記第２のインバーターに接続されたグランド線と、前記第１のインバーターの出力部又は前記第２のインバーターの出力部と前記グランド線に接続されたトランジスタ、抵抗素子又は容量素子のいずれかを有することを特徴とする半導体装置である。

20

【００１７】

本発明の別形態は、データを保持する第１のインバーター及び第２のインバーターを有するインバーター回路と、前記第１のインバーターの入力端子に接続された第１のトランジスタと、前記第２のインバーターの入力端子に接続された第２のトランジスタと、前記第１のトランジスタ及び前記第２のトランジスタのゲート電極に接続されたワード線と、前記第１のインバーター及び前記第２のインバーターに接続されたグランド線と、前記第１のインバーターの出力部又は前記第２のインバーターの出力部と前記グランド線に接続された第３のトランジスタ、抵抗素子又は容量素子のいずれかを有することを特徴とする半導体装置である。

30

【００１８】

本発明の別形態は、データを保持する第１のインバーター及び第２のインバーターを有するインバーター回路と、前記第１のインバーター及び前記第２のインバーターに接続された電源線と、前記第１のインバーターの出力部又は前記第２のインバーターの出力部と前記電源線に接続されたトランジスタを有することを特徴とする半導体装置である。

【００１９】

本発明の別形態は、データを保持する第１のインバーター及び第２のインバーターを有するインバーター回路と、前記第１のインバーターの入力端子に接続された第１のトランジスタと、前記第２のインバーターの入力端子に接続された第２のトランジスタと、前記第１のトランジスタ及び前記第２のトランジスタのゲート電極に接続されたワード線と、前記第１のインバーター及び前記第２のインバーターに接続された電源線と、前記第１のインバーターの出力部又は前記第２のインバーターの出力部と前記電源線に接続された第３のトランジスタを有することを特徴とする半導体装置である。

40

【００２０】

本発明の別形態は、データを保持する第１のインバーター及び第２のインバーターを有するインバーター回路と、前記第１のインバーターの入力端子に接続された第１のトランジスタと、前記第２のインバーターの入力端子に接続された第２のトランジスタと、前記第

50

1のトランジスタ及び前記第2のトランジスタのゲート電極に接続されたワード線と、前記第1のインバーター及び前記第2のインバーターに接続された電源線と、前記第1のインバーター及び前記第2のインバーターに接続されたグランド線と、前記第1のインバーターの出力部又は前記第2のインバーターの出力部と前記グランド線に接続された第3のトランジスタ、抵抗素子又は容量素子のいずれかを有することを特徴とする半導体装置である。

【0021】

本発明の別形態は、データを保持する第1のインバーター及び第2のインバーターを有するインバーター回路と、前記第1のインバーターの入力端子に接続された第1のトランジスタと、前記第2のインバーターの入力端子に接続された第2のトランジスタと、前記第1のトランジスタ及び前記第2のトランジスタのゲート電極に接続されたワード線と、前記第1のインバーター及び前記第2のインバーターに接続された電源線と、前記第1のインバーター及び前記第2のインバーターに接続されたグランド線と、前記第1のインバーターの出力部又は前記第2のインバーターの出力部と前記電源線に接続された第3のトランジスタを有することを特徴とする半導体装置である。

10

【0022】

本発明の別形態は、データを保持する第1のインバーター及び第2のインバーターを有するインバーター回路と、前記第1のインバーターの入力端子に接続された第1のトランジスタと、前記第1のトランジスタに接続された第1のデータ線と、前記第2のインバーターの入力端子に接続された第2のトランジスタと、前記第2のトランジスタに接続された第2のデータ線と、前記第1のトランジスタ及び前記第2のトランジスタのゲート電極に接続されたワード線と、前記第1のインバーター及び前記第2のインバーターに接続された電源線と、前記第1のインバーター及び前記第2のインバーターに接続されたグランド線と、前記第1のインバーターの出力部又は前記第2のインバーターの出力部と前記グランド線に接続された第3のトランジスタ、抵抗素子又は容量素子のいずれかを有することを特徴とする半導体装置である。

20

【0023】

本発明の別形態は、データを保持する第1のインバーター及び第2のインバーターを有するインバーター回路と、前記第1のインバーターの入力端子に接続された第1のトランジスタと、前記第1のトランジスタに接続された第1のデータ線と、前記第2のインバーターの入力端子に接続された第2のトランジスタと、前記第2のトランジスタに接続された第2のデータ線と、前記第1のトランジスタ及び前記第2のトランジスタのゲート電極に接続されたワード線と、前記第1のインバーター及び前記第2のインバーターに接続された電源線と、前記第1のインバーター及び前記第2のインバーターに接続されたグランド線と、前記第1のインバーターの出力部又は前記第2のインバーターの出力部と前記電源線に接続された第3のトランジスタを有することを特徴とする半導体装置である。

30

【0024】

本発明の別形態は、データを保持する第1のインバーター及び第2のインバーターを有するインバーター回路と、前記第1のインバーターの入力端子に接続された第1のトランジスタと、前記第2のインバーターの入力端子に接続された第2のトランジスタと、前記第1のトランジスタ及び前記第2のトランジスタのゲート電極に接続されたワード線と、前記第1のインバーター及び前記第2のインバーターに接続されたグランド線と、前記第1のインバーターの出力部と前記グランド線に接続された第3のトランジスタ、抵抗素子又は容量素子のいずれかと、前記第2のインバーターの出力部とゲート電極が接続され、前記グランド線に接続された第4のトランジスタと、前記第4のトランジスタに接続された第5のトランジスタと、前記第5のトランジスタに接続されたデータ線を有することを特徴とする半導体装置である。

40

【0025】

本発明の別形態は、データを保持する第1のインバーター及び第2のインバーターを有するインバーター回路と、前記第1のインバーターの入力端子に接続された第1のトランジ

50

スタと、前記第 2 のインバーターの入力端子に接続された第 2 のトランジスタと、前記第 1 のトランジスタ及び前記第 2 のトランジスタのゲート電極に接続されたワード線と、前記第 1 のインバーター及び前記第 2 のインバーターに接続されたグラウンド線と、前記第 2 のインバーターの出力部と前記グラウンド線に接続された第 3 のトランジスタ、抵抗素子又は容量素子のいずれかと、前記第 1 のインバーターの出力部とゲート電極が接続され、前記グラウンド線に接続された第 4 のトランジスタと、前記第 4 のトランジスタに接続された第 5 のトランジスタと、前記第 5 のトランジスタに接続されたデータ線を有することを特徴とする半導体装置である。

【 0 0 2 6 】

本発明の別形態は、データを保持する第１のインバーター及び第２のインバーターを有するインバーター回路と、前記第１のインバーターの入力端子に接続された第１のトランジスタと、前記第２のインバーターの入力端子に接続された第２のトランジスタと、前記第１のトランジスタ及び前記第２のトランジスタのゲート電極に接続されたワード線と、前記第１のインバーター及び前記第２のインバーターに接続された電源線と、前記第１のインバーター及び前記第２のインバーターに接続されたグランド線と、前記第１のインバーターの出力部と前記グランド線に接続された第３のトランジスタ、抵抗素子又は容量素子のいずれかと、前記第２のインバーターの出力部とゲート電極が接続され、前記グランド線に接続された第４のトランジスタと、前記第４のトランジスタに接続された第５のトランジスタと、前記第５のトランジスタに接続されたデータ線を有することを特徴とする半導体装置である。

【 0 0 2 7 】

本発明の別形態は、データを保持する第１のインバーター及び第２のインバーターを有するインバーター回路と、前記第１のインバーターの入力端子に接続された第１のトランジスタと、前記第２のインバーターの入力端子に接続された第２のトランジスタと、前記第１のトランジスタ及び前記第２のトランジスタのゲート電極に接続されたワード線と、前記第１のインバーター及び前記第２のインバーターに接続された電源線と、前記第１のインバーター及び前記第２のインバーターに接続されたグランド線と、前記第２のインバーターの出力部と前記グランド線に接続された第３のトランジスタ、抵抗素子又は容量素子のいずれかと、前記第１のインバーターの出力部とゲート電極が接続され、前記グランド線に接続された第４のトランジスタと、前記第４のトランジスタに接続された第５のトランジスタと、前記第５のトランジスタに接続されたデータ線を有することを特徴とする半導体装置である。

【 0 0 2 8 】

本発明の別形態は、データを保持する第１のインバーター及び第２のインバーターを有するインバーター回路と、前記第１のインバーターの入力端子に接続された第１のトランジスタと、前記第２のインバーターの入力端子に接続された第２のトランジスタと、前記第１のトランジスタ及び前記第２のトランジスタのゲート電極に接続された第１のワード線と、前記第１のインバーター及び前記第２のインバーターに接続された電源線と、前記第１のインバーター及び前記第２のインバーターに接続されたグランド線と、前記第１のインバーターの出力部と前記グランド線に接続された第３のトランジスタ、抵抗素子又は容量素子と、前記第２のインバーターの出力部とゲート電極が接続され、前記グランド線に接続された第４のトランジスタと、前記第４のトランジスタに接続された第５のトランジスタと、前記第５のトランジスタのゲート電極に接続された第２のワード線と、前記第５のトランジスタに接続されたデータ線を有することを特徴とする半導体装置である。

【 0 0 2 9 】

本発明の別形態は、データを保持する第１のインバーター及び第２のインバーターを有するインバーター回路と、前記第１のインバーターの入力端子に接続された第１のトランジスタと、前記第２のインバーターの入力端子に接続された第２のトランジスタと、前記第１のトランジスタ及び前記第２のトランジスタのゲート電極に接続された第１のワード線と、前記第１のインバーター及び前記第２のインバーターに接続された電源線と、前記第

1のインバーター及び前記第2のインバーターに接続されたグランド線と、前記第2のインバーターの出力部と前記グランド線に接続された第3のトランジスタ、抵抗素子又は容量素子のいずれかと、前記第1のインバーターの出力部とゲート電極が接続され、前記グランド線に接続された第4のトランジスタと、前記第4のトランジスタに接続された第5のトランジスタと、前記第5のトランジスタのゲート電極に接続された第2のワード線と、前記第5のトランジスタに接続されたデータ線を有することを特徴とする半導体装置である。

【0030】

本発明の別形態は、データを保持する第1のインバーター及び第2のインバーターを有するインバーター回路と、前記第1のインバーターの入力端子に接続された第1のトランジスタと、前記第1のトランジスタに接続された第1のデータ線と、前記第2のインバーターの入力端子に接続された第2のトランジスタと、前記第2のトランジスタに接続された第2のデータ線と、前記第1のトランジスタ及び前記第2のトランジスタのゲート電極に接続された第1のワード線と、前記第1のインバーター及び前記第2のインバーターに接続された電源線と、前記第1のインバーター及び前記第2のインバーターに接続されたグランド線と、前記電源線と前記第1のインバーターの出力部又は前記第2のインバーターの出力部に接続された第3のトランジスタと、前記第3のトランジスタとゲート電極が接続され、前記グランド線に接続された第4のトランジスタと、前記第4のトランジスタに接続された第5のトランジスタと、前記第5のトランジスタのゲート電極に接続された第2のワード線と、前記第5のトランジスタに接続された第3のデータ線を有することを特徴とする半導体装置である。

【0031】

本発明の別形態は、データを保持する第1のインバーター及び第2のインバーターを有するインバーター回路と、前記第1のインバーターの入力端子に接続された第1のトランジスタと、前記第1のトランジスタに接続された第1のデータ線と、前記第2のインバーターの入力端子に接続された第2のトランジスタと、前記第2のトランジスタに接続された第2のデータ線と、前記第1のトランジスタ及び前記第2のトランジスタのゲート電極に接続された第1のワード線と、前記第1のインバーター及び前記第2のインバーターに接続された電源線と、前記第1のインバーター及び前記第2のインバーターに接続されたグランド線と、前記第1のインバーターの出力部と前記グランド線に接続された第3のトランジスタ、抵抗素子又は容量素子のいずれかと、前記第2のインバーターの出力部とゲート電極が接続され、前記グランド線に接続された第4のトランジスタと、前記第4のトランジスタに接続された第5のトランジスタと、前記第5のトランジスタのゲート電極に接続された第2のワード線と、前記第5のトランジスタに接続された第3のデータ線を有することを特徴とする半導体装置である。

【0032】

本発明の別形態は、データを保持する第1のインバーター及び第2のインバーターを有するインバーター回路と、前記第1のインバーターの入力端子に接続された第1のトランジスタと、前記第1のトランジスタに接続された第1のデータ線と、前記第2のインバーターの入力端子に接続された第2のトランジスタと、前記第2のトランジスタに接続された第2のデータ線と、前記第1のトランジスタ及び前記第2のトランジスタのゲート電極に接続された第1のワード線と、前記第1のインバーター及び前記第2のインバーターに接続された電源線と、前記第1のインバーター及び前記第2のインバーターに接続されたグランド線と、前記第2のインバーターの出力部と前記グランド線に接続された第3のトランジスタ、抵抗素子又は容量素子のいずれかと、前記第1のインバーターの出力部とゲート電極が接続され、前記グランド線に接続された第4のトランジスタと、前記第4のトランジスタに接続された第5のトランジスタと、前記第5のトランジスタのゲート電極に接続された第2のワード線と、前記第5のトランジスタに接続された第3のデータ線を有することを特徴とする半導体装置である。

【発明の効果】

【 0 0 3 3 】

本発明により、バリッドビットを有するキャッシュメモリにおいて、全てのバリッドビットの無効化処理を同時に行うことが可能になるため、バリッドビットの無効化処理が高速になる。すなわち、バリッドビットの無効化処理に費やす時間を短縮でき、CPUが待機状態になることなくキャッシュメモリにアクセスをすることができるようになる。

【 0 0 3 4 】

このようなメモリアレイはCPU (Central Processing Unit) またはMPU (Micro Processing Unit) のキャッシュメモリとして用いることができる。CPUやMPUに適用することで、CPUやMPUの低消費電力化を実現することができる。さらに電源の投入に同期してリセット信号を出力すれば、キャッシュメモリを瞬時に初期化することができ、CPUの処理速度を向上させることができる。すなわち、キャッシュメモリの初期設定に要する時間を大幅に短縮することができ、CPUが効率良く処理を行うことができる。そのため、処理性能に優れた半導体装置を提供することができる。

【図面の簡単な説明】

【 0 0 3 5 】

【図 1】本発明のメモリセルの構成を示す回路図である。

【図 2】本発明のキャッシュメモリのライン選択回路の構成を示す回路図である。

【図 3】本発明の無効化処理の動作を示すタイミングチャートである。

【図 4】本発明のメモリセルの構成を示す回路図である。

【図 5】本発明のメモリセルの構成を示す回路図である。

【図 6】従来の無効化処理の動作の一例を示すタイミングチャートである。

【図 7】本発明のメモリセルの構成を示す回路図である。

【図 8】本発明のメモリセルの構成を示す上面図である。

【図 9】本発明のメモリセルの構成を示す断面図である。

【図 10】本発明のSRAMを搭載しうるCPUを示すブロック図である。

【図 11】本発明を用いた電子機器の例を示す図である。

【発明を実施するための形態】

【 0 0 3 6 】

以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 3 7 】

(実施の形態 1)

キャッシュメモリにおけるバリッドビットの無効化処理を高速に行うことを可能とするメモリセルの構成を、図 1 ~ 3, 6 及び 7 を参照しながら説明する。但し、電源電圧を 5 V として説明するが、これに限定されるものではない。

【 0 0 3 8 】

図 1 は、本実施の形態におけるキャッシュメモリのバリッドビットのメモリセルの構成を示す回路図である。図 1 において、メモリセルは、電源線 205、グランド線 206、書き込み時のワード線 204、読み出し時のワード線 207、書き込み時のデータ線 201、書き込み時のデータ線 202、読み出し時のデータ線 203、N型トランジスタ 208、N型トランジスタ 209、N型トランジスタ 210、N型トランジスタ 212、N型トランジスタ 214A、インバーター回路 213 を有する。インバーター回路 213 は、2 つのインバーターを有する。書き込み時のデータ線 201 には書き込みデータの正転のデータが、書き込み時のデータ線 202 には反転したデータが入力される。読み出し時のデータ線 203 は、読み出し時以外は書き込み、読み出し回路によって 5 V にプリチャージ

されている。ここで、書き込み、読み出し回路とは、データ線 201、データ線 202 を介してメモリセルに書き込みデータを出力し、データ線 203 の電位よりメモリセルのデータを読み出す機能を有する。この書き込み、読み出し回路は、複数のバリッドビットのメモリセルが 1 列に並んでいる場合、それに対応したものが少なくとも 1 つ設けられる。

【0039】

インバーター回路 213 は、2 つのインバーターを有し、互いに入力端子と出力端子がそれぞれ接続される。インバーター回路 213 が有するインバーターの一つの電極は電源線 205 に接続され、他方の電極はグランド線 206 に接続される。N 型トランジスタ 208 のゲート電極は、ワード線 204 に接続され、一方の電極はデータ線 201 に接続され、他方の電極はインバーター回路 213 内の一つのインバーターの出力端子に接続される。N 型トランジスタ 209 のゲート電極は、ワード線 204 に接続され、一方の電極はデータ線 202 に接続され、他方の電極はインバーター回路 213 内の一つのインバーターの出力端子に接続される。N 型トランジスタ 212 のゲート電極は、ノード 211A に接続され、一方の電極はグランド線 206 に接続され、他方の電極は N 型トランジスタ 210 の一方の電極に接続される。N 型トランジスタ 210 のゲート電極は、ワード線 207 に接続され、他方の電極はデータ線 203 に接続される。N 型トランジスタ 214A のゲート電極は、配線 215A に接続され、一方の電極はグランド線 206 に接続され、他方の電極はノード 211B に接続される。

【0040】

書き込み時、ワード線 204 が 5V であり、N 型トランジスタ 208 と N 型トランジスタ 209 がオンになることにより、メモリセルにデータが書き込まれる。読み出し時、ワード線 207 が 5V であり、N 型トランジスタ 210 がオンする。メモリセルのデータが "0" の場合、ノード 211A の電位が 5V (ノード 211B の電位は 0V) であり N 型トランジスタ 212 がオンすることでプリチャージされたデータ線 203 は N 型トランジスタ 210、N 型トランジスタ 212 により電位が 0V に落とされる。メモリセルのデータが "1" の場合、ノード 211A の電位が 0V (ノード 211B の電位は 5V) でありデータ線 203 は N 型トランジスタ 212 がオンしないことから、プリチャージされた 5V のまま保持される。メモリセルのデータは、213 内の 2 個のインバーターで保持される。

【0041】

電源がオフの時は、213 内のインバーターが動作しないため、ノード 211A の電位を特定することは出来ず、メモリセルはデータを保持することが出来ない。その後、電源がオンしても、ノード 211A の電位は、インバーター回路 213 内の 2 個のインバーターの出力関係や、2 個のインバーターの出力信号線の配線容量などの要因によって決まるため、通常、一度任意のデータをメモリセルに書き込まないとノード 211A の電位を特定することが出来ない。

【0042】

そのためキャッシュメモリでは、特定できないデータを CPU が使わないように、初めにバリッドビットの無効化処理を行う必要がある。この処理によって、CPU のアクセスがキャッシュミスとなるため、特定できないデータは使われない。しかし、このバリッドビットの無効化は、1 ライン毎に行うため、時間がかかる。

【0043】

そこで、バリッドビットの無効化処理を高速に行うために、バリッドビットのメモリセルに N 型トランジスタ 214A をノード 211B とグランド線 206 の間に設ける。但し、各ラインは 1 ビットのバリッドビットを有し、初期値を "0" とする場合、当該ラインが有効であれば、"1" を、無効であれば "0" を保持しているとする。

【0044】

N 型トランジスタ 214A のゲートには、バリッドビットのメモリセルに "0" を書き込む制御をするためのインバリデート信号が入力される配線 215A を接続する。インバリデート信号は、バリッドビットの無効化処理を行っている間 5V となる。そのため、バリッドビットの無効化処理中、N 型トランジスタ 214A がオンすることになる。すると、

10

20

30

40

50

ノード 2 1 1 B の電位は 0 V に落とされる。そのため、インバーター回路 2 1 3 の一方のインバーターを介してノード 2 1 1 A は 5 V となり、メモリセルのデータは " 0 " となる。

【 0 0 4 5 】

このとき、ワード線 2 0 4 が 5 V とならないようにする。理由として、N 型トランジスタ 2 1 4 A によって確実にノード 2 1 1 B の電位を 0 V にするためである。具体的な回路構成は、図 2 に示すように、N 型トランジスタ 2 1 6 をワード線 2 0 4 とグラウンド線 2 0 6 の間に設け、ゲートにインバリデート信号が入力される配線 2 1 5 を接続する。この回路をバリッドビットのメモリセルに追加することで、バリッドビットの無効化処理中、N 型トランジスタ 2 1 6 がオンするので、ワード線 2 0 4 の電位は 0 V に落とされる。

10

【 0 0 4 6 】

図 3 は、図 1 に示したメモリセルをキャッシュメモリのバリッドビットに適用した場合の動作を説明するタイミングチャートである。図 3 において、無効化処理の要求信号 3 0 0、図 1、2 で示した各ラインのバリッドビットを無効化するためのインバリデート信号 3 0 1、CPU からのキャッシュアクセス信号 3 0 2 を示す。イベントタイミング 4 0 0 で無効化処理の要求信号 3 0 0 が発行されると、インバリデート信号 3 0 1 が発行され、全てのバリッドビットが無効化される。イベントタイミング 4 0 1 で無効化処理を完了とし、キャッシュアクセス信号 3 0 2 により、通常のキャッシュアクセスを開始する。

【 0 0 4 7 】

よって、N 型トランジスタ 2 1 4 A を全てのバリッドビットのメモリセル内に設ける事で、全てのバリッドビットの無効化処理を同時に行うことが可能となる。そのため、バリッドビットの無効化処理が高速になり、CPU が待機状態にならず、キャッシュメモリにアクセスをすることができるようになる。

20

【 0 0 4 8 】

図 1 (A) では N 型トランジスタ 2 1 4 A を用いたが、図 1 (B) に示すように P 型トランジスタ 2 1 4 B を用いても全てのバリッドビットの無効化処理を同時に行うことが可能である。そのときは、図 1 (B) のように P 型トランジスタ 2 1 4 B をノード 2 1 1 A と電源線 2 0 5 の間に設け、P 型トランジスタ 2 1 4 B のゲート電極にはインバリデート信号の反転信号が入力される配線 2 1 5 B を接続する。

【 0 0 4 9 】

これにより、バリッドビット無効化処理の期間中、インバリデート信号は 5 V となり、逆にその反転信号は 0 V となる。すると、P 型トランジスタ 2 1 4 B はオンになるので、ノード 2 1 1 A は 5 V となる。よって、ノード 2 1 1 B はインバーター回路 2 1 3 の一方のインバーターを介して 0 V となり、バリッドビットのメモリセルに " 0 " が書き込まれたことになる。

30

【 0 0 5 0 】

また、本発明は図 7 (A) や (B) のような S R A M のメモリセルにも、適用出来る。図 7 (A) は、N 型トランジスタ 2 1 4 A を無効化処理用にバリッドビットのメモリセルに設け、図 7 (B) は、P 型トランジスタ 2 1 4 B を無効化処理用にバリッドビットのメモリセルに設けた回路図を示す。図 7 (A)、(B) は、図 1 (A)、(B) と違い、データ線 2 0 3、ワード線 2 0 7、N 型トランジスタ 2 1 0、N 型トランジスタ 2 1 2 を有しない構成となっており、図 1 (A)、(B) よりメモリセルの面積を小さくすることが出来る。動作に着目すると、データの書き込み動作は図 1 の構成と同じであるが、データの読み出し動作が異なる。具体的に読み出し動作について説明すると、まず、ワード線 2 0 4 を 5 V にし、N 型トランジスタ 2 0 8、N 型トランジスタ 2 0 9 をオンにする。すると、ノード 2 1 1 A の電位はデータ線 2 0 2 に、ノード 2 1 1 B の電位はデータ線 2 0 1 に現れるので、それを書き込み、読み出し回路で検出する。ここで、メモリセルのデータが " 0 " の場合、ノード 2 1 1 A の電位が 5 V (ノード 2 1 1 B の電位は 0 V) であるから、データ線 2 0 2 は 5 V (データ線 2 0 1 の電位は 0 V) となる。一方、メモリセルのデータが " 1 " の場合、ノード 2 1 1 A の電位が 0 V (ノード 2 1 1 B の電位は 5 V) であ

40

50

るから、データ線 202 は 0 V (データ線 201 の電位は 5 V) となる。また、バリッドビット無効化処理中は、インバリデート信号または、その反転信号により、N 型トランジスタ 214 A、P 型トランジスタ 214 B がオンになるので、ノード 211 A は 5 V (ノード 211 B は 0 V) となる。これにより、バリッドビットのメモリセルに "0" が書き込まれることになる。

【0051】

また、上記では、ハードウェアでバリッドビットの無効化処理を行う説明をしたが、ソフトウェアで無効化処理を行うことも可能である。具体的には、CPU の命令セットに全てのバリッドビットの無効化を行う命令を用意する。その命令をメインメモリの CPU が一番初めにアクセスするアドレスに格納する。キャッシュメモリは、電源がオンになった直後は待機状態となり、バリッドビットの無効化処理によって動作が開始する構成とする。また、CPU は、電源がオンになった直後、キャッシュが待機状態にあるので、初めからメインメモリにアクセスする構成とする。

10

【0052】

次に、動作の説明をする。まず、電源がオンになると、CPU は、最初にメインメモリにアクセスをする。このとき、キャッシュメモリは待機状態である。CPU はメインメモリから、全てのバリッドビットを無効化する命令を読み込む。CPU は、読み込んだ命令を解析し、応答をする。ここで、応答とは CPU がキャッシュメモリに対してバリッドビットの無効化を行うこと、すなわち、バリッドビットに "0" を書き込む動作のことである。この動作に、上記で説明したメモリセルが有効であり、CPU がバリッドビットに "0" を書き込むために、CPU はインバリデート信号をキャッシュメモリに出力する。キャッシュメモリは、インバリデート信号を受け取ることで動作を開始し、バリッドビットの無効化処理が行われる。また、CPU は、インバリデート信号を出力したことでキャッシュメモリへのアクセスが開始する。

20

【0053】

本発明により、バリッドビットを有するキャッシュメモリで、全てのバリッドビットの無効化処理を同時に行うことが可能となる。そのため、バリッドビットの無効化処理が高速になる。すなわち、バリッドビットの無効化処理に費やす時間が短縮され、CPU は、待機状態になることなく、キャッシュメモリにアクセスすることができる。

【0054】

30

(実施の形態 2)

本実施の形態では、実施の形態 1 と異なる形態について図 4 を参照して説明する。図 4 は、本発明の実施の形態 2 によるキャッシュメモリのバリッドビットのメモリセルの構成を示す回路図である。基本的には図 4 (A) は図 1 (A) と、図 4 (B) は図 7 (A) と同じような構成であるが、バリッドビットの無効化処理を行うための素子として N 型トランジスタ 214 A ではなく、抵抗 217 を用いることを特徴とする。ここで、抵抗 217 の抵抗値は、数百キロオームから数メガオームであるといふ。

【0055】

図 4 (A) と (B) に示す回路構成にすることで、ノード 211 B の電位は、抵抗 217 によって電源がオフの時でも、0 V に固定される。そのため、電源がオンになっても、ノード 211 B の電位は 0 V なので、バリッドビットのメモリセルは "0" を保持していることになる。これは、バリッドビットの無効化処理が行われた時と同じ状態となっている。ここで、通常書き込みを行い、メモリセルにデータ "1" を書き込むことや、データを保持することは、抵抗 217 の抵抗値が大きいため、可能である。抵抗 217 の抵抗値が大きいため、ここに流れる電流が最小限のものとなり、通常の動作には支障が出ないように調整する。

40

【0056】

このとき、ワード線 204 が 5 V とならないように、実施の形態 1 と同様に、バリッドビットのメモリセルは図 2 に示した構成とすることができる。すなわち、N 型トランジスタをワード線とグランド線の間に設け、N 型トランジスタのゲートにインバリデート信号を

50

入力する配線を接続した構成にすることができる。

【 0 0 5 7 】

さらに、キャッシュメモリの電源を2系統に分けて、各バリッドビットのデータを保持するインバーター回路213に供給する電源とそれ以外に供給する電源とする。前者を電源1、後者を電源2とする。まず、電源2がオンになり、続いて電源1がオンになる。このようにすることで、キャッシュメモリの電源がオンになると、まず、電源2がオンになり、インバリデート信号が入力される配線215が5Vになり、ワード線204が0Vになる。そして、電源1がオンになり、バリッドビットのインバーター回路213が動作する。この時、バリッドビットのインバーター回路213においては、抵抗217の働きにより、ノード211Bの電位を0Vにするため、メモリセルが保持しているデータは"0"となる。

10

【 0 0 5 8 】

また、上記では、ハードウェアでバリッドビットの無効化処理を行う説明をしたが、ソフトウェアで無効化処理を行うことも可能である。具体的には、CPUの命令セットに全てのバリッドビットの無効化を行う命令を用意する。その命令をメインメモリのCPUが一番初めにアクセスするアドレスに格納する。キャッシュメモリは、電源がオンになった直後は待機状態となり、バリッドビットの無効化処理によって動作が開始する構成とする。ここで、待機状態とは、キャッシュメモリの電源が2系統あり、そのうちのバリッドビットのメモリセル内のインバーター回路の電源がオフの状態をいう。また、CPUは、電源がオンになった直後、キャッシュが待機状態にあるので、初めからメインメモリにアクセスする構成とする。

20

【 0 0 5 9 】

次に、動作の説明をする。まず、電源がオンになると、CPUは、最初にメインメモリにアクセスをする。このとき、キャッシュメモリは待機状態である。CPUはメインメモリから、全てのバリッドビットを無効化する命令を読み込む。CPUは、読み込んだ命令を解析し、応答をする。ここで、応答とはCPUがキャッシュメモリに対してバリッドビットの無効化を行うこと、すなわち、バリッドビットのメモリセル内のインバーター回路の電源をオンにする動作のことである。この動作に、上記で説明したメモリセルが有効である。キャッシュメモリは、バリッドビットのメモリセル内のインバーター回路の電源がオンになることで動作を開始し、バリッドビットの無効化処理が行われる。また、CPUは、バリッドビットのメモリセル内のインバーター回路の電源がオンになったことでキャッシュメモリへのアクセスが開始する。

30

【 0 0 6 0 】

本発明により、バリッドビットを有するキャッシュメモリで、全てのバリッドビットの無効化処理を同時に行うことが可能となる。そのため、バリッドビットの無効化処理が高速になる。すなわち、バリッドビットの無効化処理に費やす時間が短縮され、CPUは、待機状態になることなく、キャッシュメモリにアクセスすることができる。また、抵抗217を用いることで、実施の形態1のようにN型トランジスタ214Aを設ける場合よりもバリッドビットのメモリセルの面積が小さくて済む。

【 0 0 6 1 】

40

(実施の形態3)

本実施の形態では、上記実施の形態1及び実施の形態2と異なる形態について図5を参照して説明する。図5は、本発明の実施の形態3によるキャッシュメモリのバリッドビットのメモリセルの構成を示す回路図である。基本的には図5(A)は図1(A)と、図5(B)は図7(A)と同じような構成であるが、バリッドビットの無効化処理を行うための素子としてN型トランジスタ214Aではなく、容量218を用いることを特徴とする。ここで、容量218は、ノード211Bの配線容量と容量218の容量の合計が、ノード211Aの配線容量と読み出し用のN型トランジスタ212までの配線容量の合計よりも大きくなるようにし、両者のバランスを崩す必要がある。しかし、ノード211Bの配線容量と容量218の容量の合計が大きすぎると通常の書き込み動作に支障があるため、キ

50

キャッシュメモリの動作速度やノード211Aの容量などによって決める必要がある。

【0062】

図5(A)と(B)に示す回路構成にすることで、電源がオンになった直後、ノード211Bの電位は、インバーター回路213内の2つのインバーターの出力関係や、インバーターの出力の信号線の配線容量で決定するが、容量218を追加することでノード211Bが5Vに持ち上げられにくくなる。そのため、電源がオンした直後のノード211Bの電位は0Vとなる。すなわち、バリッドビットのメモリセルが"0"を保持していることになる。但し、インバーターの出力に大きな差が生じないように調整が必要である。

【0063】

このとき、ワード線204が5Vとならないように、実施の形態1及び実施の形態2と同様にバリッドビットのメモリセルは図2に示した構成とすることができる。すなわち、N型トランジスタのゲートにインバリデート信号を入力する配線を接続した構成にすることができる。

10

【0064】

さらに、実施の形態2と同様にキャッシュメモリの電源を2系統に分ける。すなわち、各バリッドビットのデータを保持するインバーター回路213に供給する電源とそれ以外に供給する電源とする。前者を電源1、後者を電源2とする。キャッシュメモリに電源が供給されると、まず、電源2がオンになり、インバリデート信号が入力される配線215が5Vになり、ワード線204が0Vになる。そのあとで、電源1がオンになり、バリッドビットのメモリセルのインバーター回路213が動作する。この時、バリッドビットのインバーター回路213においては、容量218の働きにより、ノード211Bの電位は5Vになりにくくなっているため、メモリセルはデータ"0"を保持することになる。

20

【0065】

また、上記では、ハードウェアでバリッドビットの無効化処理を行う説明をしたが、ソフトウェアで無効化処理を行うことも可能である。具体的には、CPUの命令セットに全てのバリッドビットの無効化を行う命令を用意する。その命令をメインメモリのCPUが一番初めにアクセスするアドレスに格納する。キャッシュメモリは、電源がオンになった直後は待機状態となり、バリッドビットの無効化処理によって動作が開始する構成とする。ここで、待機状態とは、キャッシュメモリの電源が2系統あり、そのうちのバリッドビットのメモリセル内のインバーター回路の電源がオフの状態をいう。また、CPUは、電源がオンになった直後、キャッシュが待機状態にあるので、初めからメインメモリにアクセスする構成とする。

30

【0066】

次に、動作の説明をする。まず、電源がオンになると、CPUは、最初にメインメモリにアクセスをする。このとき、キャッシュメモリは待機状態である。CPUはメインメモリから、全てのバリッドビットを無効化する命令を読み込む。CPUは、読み込んだ命令を解析し、応答をする。ここで、応答とは、CPUがキャッシュメモリに対してバリッドビットの無効化を行うこと、すなわち、バリッドビットのメモリセル内のインバーター回路の電源をオンにする動作のことである。この動作に、上記で説明したメモリセルが有効である。キャッシュメモリは、バリッドビットのメモリセル内のインバーター回路の電源がオンになることで動作を開始し、バリッドビットの無効化処理が行われる。また、CPUは、バリッドビットのメモリセル内のインバーター回路の電源がオンになったことでキャッシュメモリへのアクセスが開始する。

40

【0067】

本発明により、バリッドビットを有するキャッシュメモリで、全てのバリッドビットの無効化処理を同時に行うことが可能となる。そのため、バリッドビットの無効化処理が高速になる。すなわち、バリッドビットの無効化処理に費やす時間が短縮され、CPUは、待機状態になることなく、キャッシュメモリにアクセスをすることができる。

【0068】

(実施の形態4)

50

本実施の形態では、本発明のメモリセルの上面図及びその断面図の構成例について図 8 及び図 9 を用いて説明する。なお、本実施の形態ではトランジスタに薄膜トランジスタ (TFET) を用いる。

【0069】

図 8 には、図 1 (A) の回路図に対応するメモリセルの上面図を示す。メモリセルは、書き込み時のデータ線 201、書き込み時のデータ線 202、読み出し時のデータ線 203、書き込み時のワード線 204、電源線 205、グランド線 206、読み出し時のワード線 207、N 型トランジスタ 208、N 型トランジスタ 209、N 型トランジスタ 210、N 型トランジスタ 212、ノード 211A 及びノード 211B、インバーター回路 213 を有する。そして N 型トランジスタ 208 と N 型トランジスタ 209 また、N 型トランジスタ 210 と N 型トランジスタ 212 は同一の半導体層からなる。また、インバーター回路 213 が有する N 型トランジスタと P 型トランジスタは同一の半導体層からなる。N 型トランジスタ 210、N 型トランジスタ 212 はチャネル幅が広くなるように設けられている。読み出し時のデータ線 203 は容量が大きく、これを既定の動作速度で 0V に落とすためには、チャネル幅の広いトランジスタを設けるとよい。またインバーター回路 213 内の P 型トランジスタは、N 型トランジスタよりもチャネル幅が広くなるように設けられている。これは P 型トランジスタの出力電流を増やすためである。

10

【0070】

図 8 のように、半導体層は、角部に丸みを帯びるようにパターニングされている。そのため、半導体層の丸みを帯びた角部には凸部 (外側の辺) と凹部 (内側の辺) が設けられる。凸部が丸みを帯びることで、プラズマによるドライエッチング時の異常放電による微粉の発生を抑えることができる。また凹部が丸みを帯びることで、洗浄により、角部に堆積した微粉を除去することができる。その結果、歩留まりの飛躍的な向上が可能である。

20

【0071】

これらの半導体層上にはゲート電極及びゲート配線が設けられている。N 型トランジスタ 210、N 型トランジスタ 212 が直列に設けられており、一方のゲート電極はグランド線 206 となり、他方のゲート電極は読み出し時のワード線 207 となる。インバーター回路 213 内の N 型トランジスタと、P 型トランジスタのゲート電極は接続されるため、同一ゲート電極となる。

【0072】

図 8 に示すように、ゲート電極及びゲート配線は、角部に丸みを帯びるようにパターニングされている。そのため、ゲート電極及びゲート配線の丸みを帯びた角部には凸部 (外側の辺) と凹部 (内側の辺) が設けられる。凸部が丸みを帯びることで、プラズマによるドライエッチング時の異常放電による微粉の発生を抑えることができる。また凹部が丸みを帯びることで、洗浄により、角部に堆積した微粉を除去することができる。その結果、歩留まりの飛躍的な向上が可能である。

30

【0073】

ゲート電極及び半導体層上に配線が設けられている。配線の線幅は、ゲート電極及びゲート配線の線幅より広く設けられている。これは、配線の線幅を広く設けることで抵抗を小さくし、電圧降下を抑えることができる。配線と、半導体層又はゲート配線等を接続するため、これらの間に設けられる絶縁層にコンタクトホール (図 8 において丸で示した箇所) が設けられている。コンタクトホール数を増やすこと又はその面積を広くすることにより、接触不良を低減することができる。

40

【0074】

図 8 に示すように、配線は、角部に丸みを帯びるようにパターニングされている。そのため、配線の丸みを帯びた角部には凸部 (外側の辺) と凹部 (内側の辺) が設けられる。凸部が丸みを帯びることで、プラズマによるドライエッチング時の異常放電による微粉の発生を抑えることができる。また凹部が丸みを帯びることで、洗浄により、角部に堆積した微粉を除去することができる。その結果、歩留まりの飛躍的な向上が可能である。

【0075】

50

次に、図 8 中の A - B における断面図を参照しながら、メモリセルの作製工程について説明する。

【 0 0 7 6 】

基板には、絶縁性を有する基板を用いる。絶縁性基板とは、ガラス基板、石英基板、プラスチック基板等である。また、これらの基板はその裏面を研磨すること等により、薄くすることができる。さらには、金属等の導電性基板やシリコン等の半導体性基板上に、絶縁性を有する材料により下地層を形成し、表面に絶縁性を付した基板を用いてもよい。また、プラスチック基板のような撓う基板を用いることにより、軽量で薄型の撓う半導体装置を作製することができる。

【 0 0 7 7 】

絶縁性基板 8 0 1 上に下地層 8 0 2 を形成する。下地層 8 0 2 は、酸化珪素、窒化珪素、または酸化窒化珪素等の絶縁性を有する材料を用い、単層構造または積層構造で形成することができる。本実施の形態では、下地層 8 0 2 として 2 層構造を用いる。下地層 8 0 2 の第一層として、膜厚 1 0 n m 以上 2 0 0 n m 以下（好ましくは 5 0 n m 以上 1 0 0 n m 以下）の酸化窒化珪素層を形成する。当該酸化窒化珪素層は、プラズマ C V D 法により、 SiH_4 、 NH_3 、 N_2O 及び H_2 を反応ガスとして用いることができる。次に下地層 8 0 2 の第二層として、膜厚 5 0 n m 以上 2 0 0 n m 以下（好ましくは 1 0 0 n m 以上 1 5 0 n m 以下）の酸化窒化珪素層を形成する。当該酸化窒化珪素層は、プラズマ C V D により、 SiH_4 及び N_2O 等を反応ガスとして用いることができる。

【 0 0 7 8 】

下地層 8 0 2 上に半導体層を形成する。半導体層は、シリコンを有する材料により形成することができる。半導体層は、非晶質でもよいし、結晶でもよいし、微結晶でもよい。単結晶又は多結晶のように結晶性を有する半導体層を用いれば、トランジスタの移動度を高めることができるため、好ましい。

【 0 0 7 9 】

結晶構造を有する半導体層を形成するには、非晶質半導体層に対して加熱処理を行う手法を用いる。加熱処理には、レーザ照射、加熱炉、ランプ照射等が挙げられ、これらのいずれか一又は複数を用いることができる。

【 0 0 8 0 】

レーザ照射には、連続発振型のレーザ（C W レーザ）やパルス発振型のレーザ（パルスレーザ）を用いることができる。レーザビーム（レーザ光を含む。以下、同じ。）としては、Ar レーザ、Kr レーザ、エキシマレーザ、Y A G レーザ、 Y_2O_3 レーザ、Y V O₄ レーザ、Y L F レーザ、Y A l O₃ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti : サファイヤレーザ、銅蒸気レーザまたは金蒸気レーザのうちの一種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波と、当該基本波の第 2 高調波から第 4 高調波といった高調波のレーザビームのいずれかを照射することで、粒径の大きな結晶を有するシリコン層を得ることができる。高調波には、Nd : Y V O₄ レーザ（基本波 1 0 6 4 n m）の第 2 高調波（5 3 2 n m）や第 3 高調波（3 5 5 n m）を用いることができる。レーザ照射におけるエネルギー密度は 0 . 0 1 ~ 1 0 0 M W / c m² 程度（好ましくは 0 . 1 ~ 1 0 M W / c m²）が必要である。そして、走査速度は 1 0 ~ 2 0 0 0 c m / s e c 程度に制御する。

【 0 0 8 1 】

なお、基本波の C W レーザと高調波の C W レーザとを照射してもよいし、基本波の C W レーザと高調波のパルスレーザとを照射するようにしてもよい。複数のレーザ光を照射することにより、広範囲のエネルギー領域を補うことができる。

【 0 0 8 2 】

また、パルスレーザであって、非晶質のシリコン層がレーザによって熔融してから固化するまでに、次のパルスのレーザビームを照射できようくり返し周波数で発振されるレーザビームを用いることもできる。このような周波数でレーザを発振させることで、走査方向に向かって連続的に成長した結晶粒を有するシリコン層を得ることができる。このよ

10

20

30

40

50

うなレーザのくり返し周波数は10MHz以上であり、通常用いられている数十Hz～数百Hzの周波数帯よりも著しく高い。

【0083】

加熱処理として加熱炉を用いる場合には、非晶質シリコン層を400～550℃で2～20時間加熱する。このとき、徐々に高温となるように温度を400～550℃の範囲で多段階に設定するとよい。最初の400℃程度の低温加熱工程により、非晶質シリコン層に含まれる水素等が出てくるため、結晶化の際に層表面が荒れるのを低減することができる。

【0084】

前記加熱処理の行程において、半導体層の結晶化を促進させる金属、例えばニッケル(Ni)を添加する。非晶質シリコン層上にニッケルを含む溶液を塗布し、加熱処理を行うことで、加熱温度を低減することができ、さらに、結晶粒界の連続した多結晶シリコン層を得ることができる。ここで結晶化を促進するための金属としてはニッケル(Ni)の他に、鉄(Fe)、ルチニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、銅(Cu)等を用いることもできる。

【0085】

結晶化を促進させる金属は汚染源となるため、非晶質シリコン層を結晶化した後に、金属を除去するゲッタリング工程を行うことが望ましい。ゲッタリング工程では、非晶質シリコン層を結晶化した後、シリコン層上にゲッタリングシンクとなる層を形成し、加熱することで金属をゲッタリングシンクへ移動させる。ゲッタリングシンクには、多結晶半導体層や不純物が添加された半導体層を用いることができる。例えば、シリコン層上にアルゴン等の不活性元素が添加された多結晶シリコン層を形成し、これをゲッタリングシンクとして用いることができる。ゲッタリングシンクに不活性元素を添加することによってひずみを生じさせ、より効率的に金属を捕獲することができる。また新たにゲッタリングシンクを形成することなく、トランジスタの半導体層の一部にリン等の元素を添加することによって、金属を捕獲することもできる。

【0086】

このように形成された半導体層を所定の形状に加工し、島状の半導体層803を形成する。加工には、フォトリソグラフィ法によって形成されたマスクを用いたエッチングを用いる。エッチングには、ウェットエッチング法又はドライエッチング法を適用することができる。

【0087】

半導体層803を覆うようにゲート絶縁層804を形成する。ゲート絶縁層804は、下地層802と同様の材料、方法により形成することができる。

【0088】

図9(B)に示すように、ゲート絶縁層804上にゲート電極及びゲート配線として機能する導電層を形成する。導電層はアルミニウム(Al)、チタン(Ti)、モリブデン(Mo)、タンタル(Ta)、タングステン(W)もしくはシリコン(Si)により形成された膜又はこれらの元素を有する合金膜を用いることができる。導電層は、単層構造又は積層構造とすることができ、積層構造としては窒化タンタルとタングステンの積層構造を用いることができる。導電層を所定の形状に加工し、積層構造を有するゲート電極806、ゲート配線813を形成することができる。加工は、フォトリソグラフィ法によって形成されたマスクを用いて、エッチングにより行う。エッチングには、ウェットエッチング法又はドライエッチング法を適用することができる。

【0089】

ゲート電極806の側面には、サイドウォールと呼ばれる絶縁層807を形成する。絶縁層807は、下地層802と同様の材料、方法により形成することができる。またサイドウォールの端部をテーパ形状にするためには、等方性エッチングを用いればよい。

【0090】

ここで、半導体層803に不純物元素を添加する。N型トランジスタとする場合、不純物

10

20

30

40

50

元素にはリン（P）を用い、P型トランジスタとする場合、不純物元素にはボロン（B）を用いるとよい。これにより、半導体層803に不純物領域が形成される。不純物領域には、高濃度不純物領域808、810、及び絶縁層807の下方の低濃度不純物領域811が形成される。この低濃度不純物領域811により、ゲート長が狭くなるにつれて生じる短チャネル効果を防止することができる。短チャネル効果はN型トランジスタに顕著であるため、サイドウォールとして機能する絶縁層は少なくともN型トランジスタのゲート電極側面に設けるとよい。図9ではN型トランジスタにのみ低濃度不純物領域を形成している。これは、P型トランジスタにのみ不純物領域を形成してからサイドウォールを形成し、その後、N型トランジスタに不純物領域を形成することによる。また、ゲート配線にも、同様にサイドウォールを形成してもかまわない。

10

【0091】

不純物添加後、必要に応じて加熱処理を行い、不純物元素の活性化及び半導体層の表面改善を図ることができる。加熱処理には、結晶化と同様の方法を用いることができる。

【0092】

図9（C）に示すように、半導体層やゲート電極を覆い、層間膜として機能する絶縁層815及び絶縁層816を形成する。層間膜は、単層構造又は積層構造とすることができ、本実施の形態では積層構造とした。層間膜には、無機材料又は有機材料を用いることができる。無機材料は、酸化珪素、窒化珪素、酸化窒化珪素等を用いることができる。有機材料はポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン、ポリシラザンを用いることができる。なお、シロキサンとは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。ポリシラザンは、シリコン（Si）と窒素（N）の結合を有するポリマー材料を原料として形成される。無機材料を用いると不純物元素の侵入を防止することができ、有機材料を用いると平坦性を高めることができる。そのため、本実施の形態では、絶縁層815に無機材料を用い、絶縁層816に有機材料を用いる。

20

【0093】

図9（D）に示すように、絶縁層816、絶縁層815、ゲート絶縁層804を貫通するコンタクトホールを形成し、コンタクトホールを充填するように配線層818を形成する。配線層818は、アルミニウム（Al）、チタン（Ti）、モリブデン（Mo）、タンタル（Ta）、タングステン（W）もしくはシリコン（Si）により形成された膜又はこれらの元素を有する合金膜を用いることができる。配線層818は、単層構造又は積層構造を用いることができ、例えば第1層にタングステン、窒化タングステン等を用い、第2層にアルミニウムとシリコンの合金（Al-Si）やアルミニウムとチタンの合金（Al-Ti）を用い、第3層に窒化チタン膜、チタン膜等を順次積層した構造を適用することができる。配線層818の加工には、フォトリソグラフィ法により形成されたマスクを用いた、エッチングを行えばよい。エッチングには、ウェットエッチング法又はドライエッチング法を適用することができる。配線層818は、半導体層803では不純物領域に接続している。この配線層がソース電極またはドレイン電極として機能する。

30

40

【0094】

このようにしてP型トランジスタ820、N型トランジスタ821を形成することができる。なお、P型トランジスタ820は、インバーター回路213を構成する一のトランジスタに、N型トランジスタ821は、N型トランジスタ212に相当する。

【0095】

このようにして本発明のメモリセルはガラス基板やプラスチック基板上にトランジスタを形成することで作製することができる。勿論本発明のメモリセルはこれに限定されるものではなく、シリコンウェハを用いたトランジスタによっても形成することができる。但し、ガラス基板やプラスチック基板等を用いることで、メモリセルを低コストで作製することができる。さらにはこれを有する様々な装置を提供することができる。

50

【0096】

(実施の形態5)

本発明を適用したSRAMは、CPU(Central Processing Unit: 中央処理装置)に搭載することができる。本実施の形態では、本発明のSRAMを搭載したCPUの構成について説明する。CPUの簡単な構成を図10に示す。

【0097】

CPUは、データキャッシュブロックとしてD\$901、インストラクションキャッシュブロックとしてI\$902、データユニットブロックとしてDU903、算術論理演算装置(Arithmetic Logic Unit)ブロックとしてALU904、プログラムカウンタブロックとしてPC905、入出力(InOut)ブロックとしてIO906を有する。

10

【0098】

D\$901は最近アクセスされたアドレスのデータを一時的に保持し、そのアドレスのデータに高速でアクセスできるようにする機能を有する。I\$902は最近アクセスされたアドレスの命令を一時的に保持し、そのアドレスの命令に高速でアクセスできるようにする。DU903はロード命令又はストア命令が実行された時、D\$901にアクセスするか、IO906にアクセスするかを決定する。ALU904は算術論理演算回路であり、四則演算、比較演算、論理演算などを行う。PC905は、現在実行中の命令のアドレスを保持し、その実行終了後に次の命令をフェッチする。また、次の命令をフェッチする時にI\$902にアクセスするか、IO906にアクセスするかを決定する。IO906はDU、PCからのアクセスを受け外部とデータの送受信を行う。以下にそれぞれの関係を説明する。

20

【0099】

PC905が命令をフェッチする時に、はじめにI\$902にアクセスし、I\$902に該当するアドレスの命令がない場合にIO906にアクセスする。これによって得られた命令はI\$902に格納すると共に実行を行う。実行すべき命令が算術論理演算の場合はALU904が演算を行う。実行すべき命令がロード命令又はストア命令の場合は、DU903が演算を行う。この際、DU903はまずD\$901にアクセスし、該当するアドレスのデータがD\$901にない場合にIO906にアクセスする。

【0100】

このようなCPUにおいて、本発明を適用したSRAMは、D\$901とI\$902、ALU904の内部に存在するGPR(General Purpose Register)に適用することができる。本発明を適用したSRAMを用いることで、処理速度を高速化したCPUを提供することができる。

30

【0101】

(実施の形態6)

本発明のSRAMを実装しうる半導体装置として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それら半導体装置の具体例を図11に示す。

40

【0102】

図11(A)は携帯情報端末(所謂、PDA: Personal Digital Assistant)であり、本体2001、表示部2002、操作キー2003、モデム2004等を有し、本体2001が有するメモリ素子として本発明のSRAMが設けられている。本発明のSRAMにより、携帯情報端末の処理速度の高速化を図ることができる。

【0103】

図11(B)は携帯電話機であり、本体2101、表示部2102、音声入力部2103

50

、音声出力部 2 1 0 4、操作キー 2 1 0 5、外部接続ポート 2 1 0 6、アンテナ 2 1 0 7 等を有し、本体 2 1 0 1 が有するメモリ素子として本発明の S R A M が設けられている。本発明の S R A M により、携帯電話機の処理速度の高速化を図ることができる。

【 0 1 0 4 】

図 1 1 (C) は電子カードであり、本体 2 2 0 1、表示部 2 2 0 2、接続端子 2 2 0 3 等を有し、本体 2 2 0 1 が有するメモリ素子として本発明の S R A M が設けられている。本発明の S R A M により、電子カードの処理速度の高速化を図ることができる。なお、図 1 1 (C) では接触型の電子カードを示しているが、非接触型の電子カードや、接触型と非接触型の機能を併せ持った電子カードにも、本発明の S R A M を用いることができる。

【 0 1 0 5 】

図 1 1 (D) は電子ブックであり、本体 2 3 0 1、表示部 2 3 0 2、操作キー 2 3 0 3 等を有し、本体 2 3 0 1 が有するメモリ素子として本発明の S R A M が設けられている。また電子ブックには、モデムが本体 2 3 0 1 に内蔵されていてもよい。本発明の S R A M により、電子ブックの処理速度の高速化を図ることができる。

【 0 1 0 6 】

図 1 1 (E) はコンピュータであり、本体 2 4 0 1、表示部 2 4 0 2、キーボード 2 4 0 3、タッチパッド 2 4 0 4、外部接続ポート 2 4 0 5、電源プラグ 2 4 0 6 等を有し、本体 2 4 0 1 が有するメモリ素子として本発明の S R A M が設けられている。本発明の S R A M により、コンピュータの処理速度の高速化を図ることができる。

【 0 1 0 7 】

本実施の形態で説明したように、本発明の適用範囲は極めて広く、あらゆる分野の半導体装置に用いることが可能である。なお、本実施の形態の半導体装置は、実施の形態に示したいずれの構成及びその作製方法とも組み合わせて実施することができる。

【 符号の説明 】

【 0 1 0 8 】

2 0 1	データ線	
2 0 2	データ線	
2 0 3	データ線	
2 0 4	ワード線	
2 0 5	電源線	30
2 0 6	グランド線	
2 0 7	ワード線	
2 0 8	N 型トランジスタ	
2 0 9	N 型トランジスタ	
2 1 0	N 型トランジスタ	
2 1 1	ノード	
2 1 2	N 型トランジスタ	
2 1 3	インバーター回路	
2 1 5	配線	
2 1 6	N 型トランジスタ	40
2 1 7	抵抗	
2 1 8	容量	
3 0 0	要求信号	
3 0 1	インバリデート信号	
3 0 2	キャッシュアクセス信号	
3 0 3	カウンタ信号	
4 0 0	イベントタイミング	
4 0 1	イベントタイミング	
8 0 1	絶縁性基板	
8 0 2	下地層	50

10

20

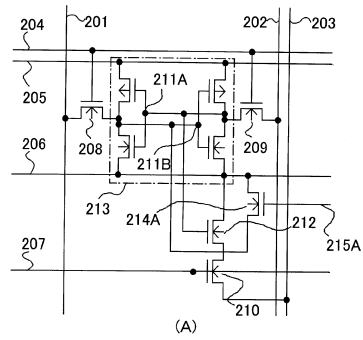
30

40

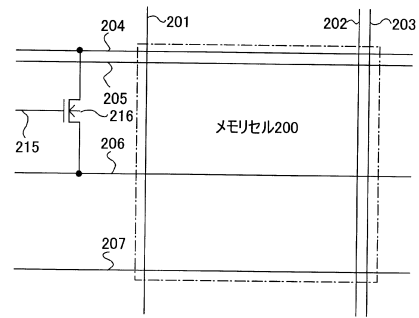
50

8 0 3	半導体層	
8 0 4	ゲート絶縁層	
8 0 6	ゲート電極	
8 0 7	絶縁層	
8 0 8	高濃度不純物領域	
8 1 1	低濃度不純物領域	
8 1 3	ゲート配線	
8 1 5	絶縁層	
8 1 6	絶縁層	
8 1 8	配線層	10
8 2 0	P型トランジスタ	
8 2 1	N型トランジスタ	
9 0 1	D \$	
9 0 2	I \$	
9 0 3	D U	
9 0 4	A L U	
9 0 5	P C	
9 0 6	I O	
2 0 0 1	本体	
2 0 0 2	表示部	20
2 0 0 3	操作キー	
2 0 0 4	モデム	
2 1 0 1	本体	
2 1 0 2	表示部	
2 1 0 3	音声入力部	
2 1 0 4	音声出力部	
2 1 0 5	操作キー	
2 1 0 6	外部接続ポート	
2 1 0 7	アンテナ	
2 1 1 A	ノード	30
2 1 1 B	ノード	
2 1 4 A	N型トランジスタ	
2 1 4 B	P型トランジスタ	
2 1 5 A	配線	
2 1 5 B	配線	
2 2 0 1	本体	
2 2 0 2	表示部	
2 2 0 3	接続端子	
2 3 0 1	本体	
2 3 0 2	表示部	40
2 3 0 3	操作キー	
2 4 0 1	本体	
2 4 0 2	表示部	
2 4 0 3	キーボード	
2 4 0 4	タッチパッド	
2 4 0 5	外部接続ポート	
2 4 0 6	電源プラグ	

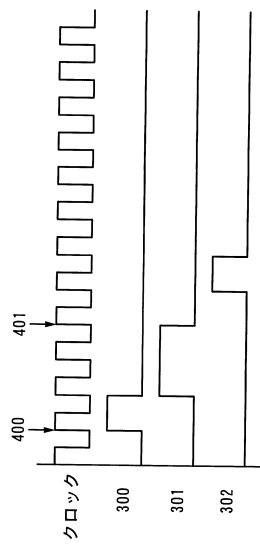
【図 1】



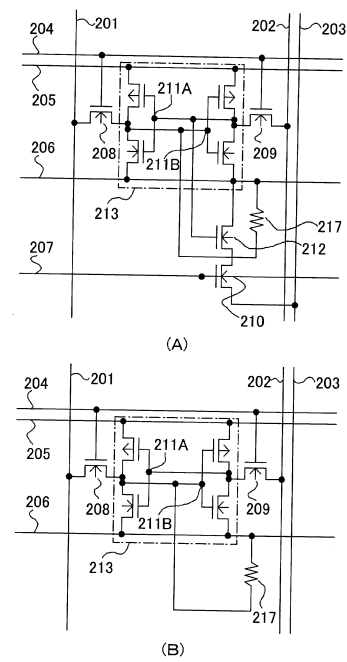
【図 2】



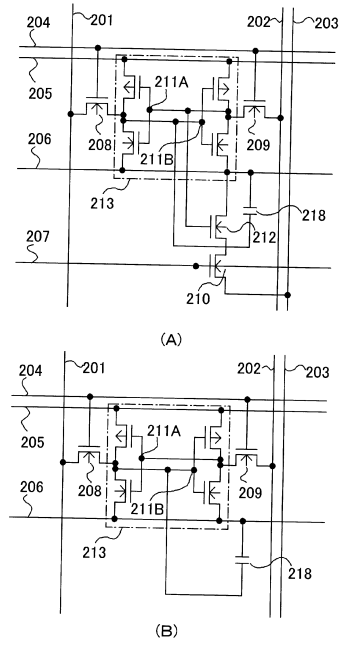
【図 3】



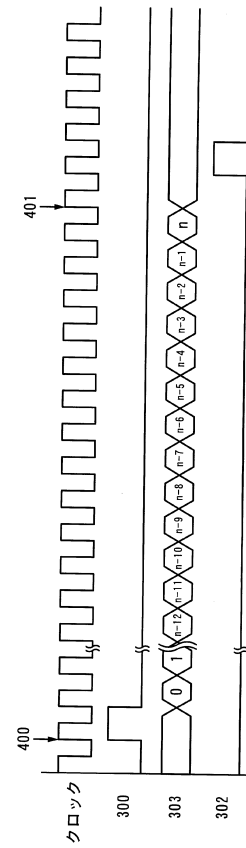
【図 4】



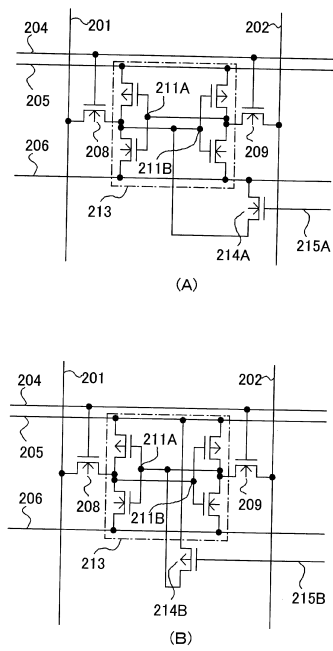
【図 5】



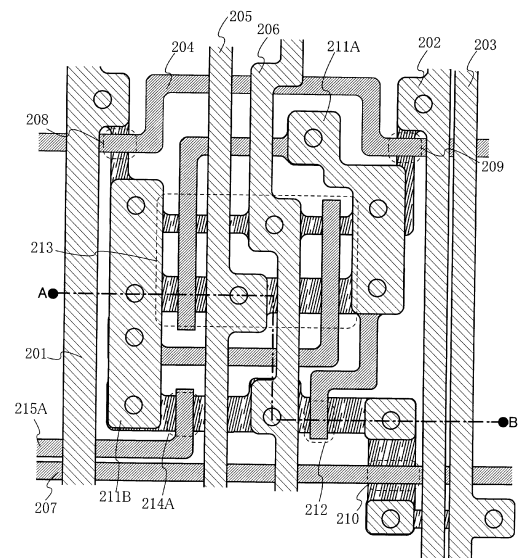
【図 6】



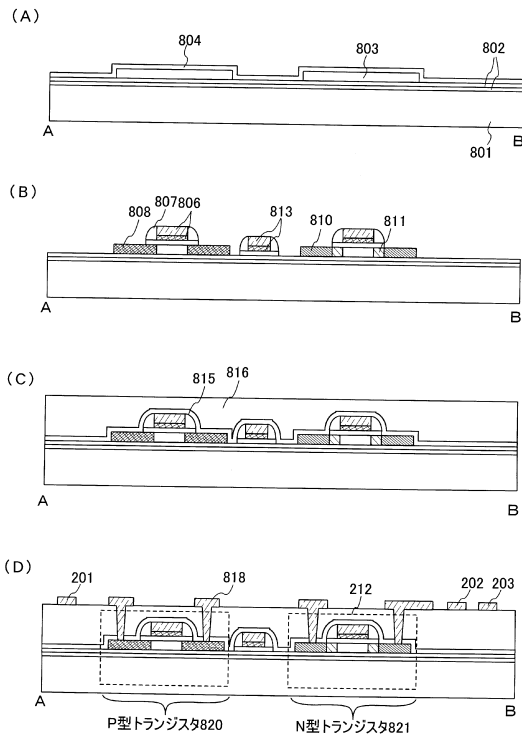
【図 7】



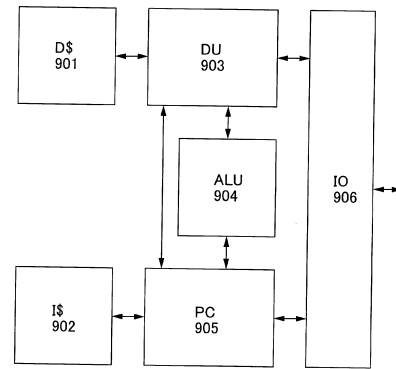
【図 8】



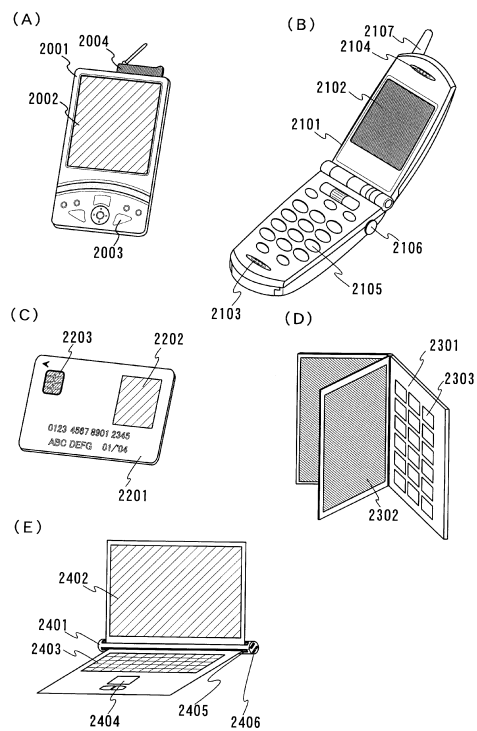
【図 9】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 特開平 3 - 2 8 6 4 9 4 (J P , A)
特開昭 6 0 - 1 5 0 2 8 5 (J P , A)
特開 2 0 0 0 - 2 9 8 9 8 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 7 / 2 0
G 1 1 C 1 1 / 4 0
G 0 6 F 1 2 / 0 8