

六、申請專利範圍

1. 一種製造高壓p 溝道金屬氧化物半導體(PMOS)元件之方法，包含下列步驟：
提供一高壓PMOS元件，有一輕度摻雜之漂移部位靠近溝道部位；以及
在漂移部位之一靠近溝道部位之邊緣植入另外之雜質濃度。
2. 一種製造高壓p 溝道金屬氧化物半導體(PMOS)元件之方法，包含下列步驟：
形成一輕度摻雜之高壓漂移部位p 槽至一深度，有一p 型雜質濃度靠近一n 型溝道部位；以及
在漂移部位p 槽之一部份增長高壓場氧化物；以及
在靠近溝道部位並在場氧化物一部份下面之漂移部位植入一漂移部位邊緣調整，從而有效消除場氧化物增長步驟在漂移部位邊緣所導致之雜質濃度減少。
3. 根據申請專利範圍第2項之方法，其中：
形成漂移部位p 槽之步驟限制漂移部位p 槽之深度至小於約 $5\mu\text{m}$ 。
4. 根據申請專利範圍第2項之方法，其中：
形成漂移部位p 槽之步驟使用硼作為雜質；以及
植入漂移部位p 槽邊緣調整之步驟使用硼作為雜質。
5. 根據申請專利範圍第2項之方法，其中：
形成高壓漂移部位p 槽之步驟包含植入雜質濃度大於約 $1\text{e}15/\text{cm}^3$ 之硼之漂移部位p 槽；
增長HV p MOS場氧化物之步驟包含增長場氧化物至厚

六、申請專利範圍

度大於約 $0.6\mu\text{m}$ ；以及

植入高壓漂移部位p槽邊緣調整之步驟包含植入雜質濃度大於約 $0.5\text{e}13/\text{cm}^3$ 之硼之高壓漂移部位p槽邊緣。

6. 一種高壓p溝道金屬氧化物半導體(PMOS)元件包含：

一高壓漂移部位p槽有一邊緣及一深度，並有一雜質濃度之硼形成於半導體基片上；

一n型溝道部位靠近漂移部位p槽之邊緣；

一高壓場氧化物有一厚度形成於高壓漂移部位之一部份上；

一高壓閘氧化物形成於溝道部位，並有一邊緣覆蓋高壓場氧化物之一部份；以及

一橫向匯接點在漂移部位p槽之邊緣與溝道部位之間。

7. 根據申請專利範圍第6項之元件，其中：

高壓漂移部位p槽之雜質濃度大於約 $1\text{e}15/\text{cm}^3$ 之硼；以及

漂移部位p槽之厚度小於約 $5\mu\text{m}$ ；以及

場氧化物之厚度大於約 $0.6\mu\text{m}$ 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

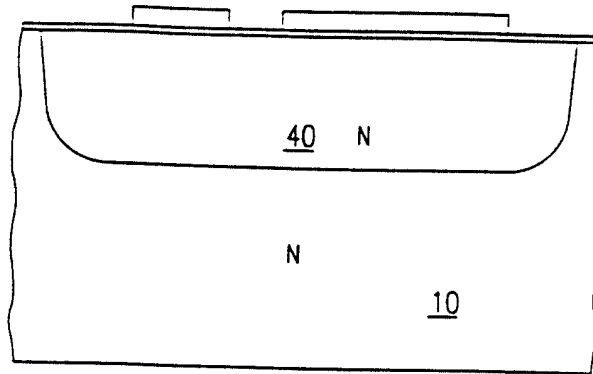


圖 2C

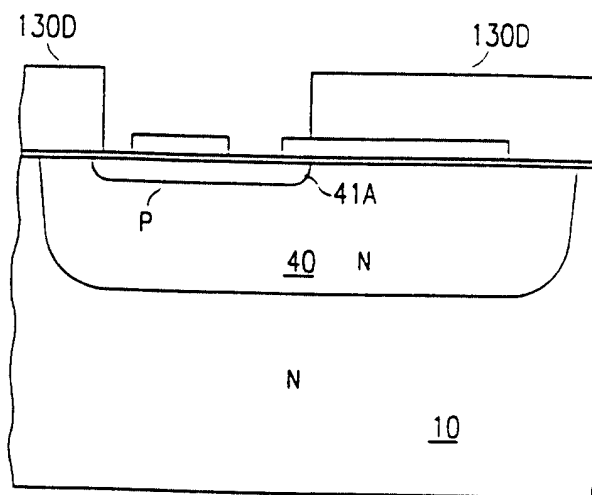


圖 2D

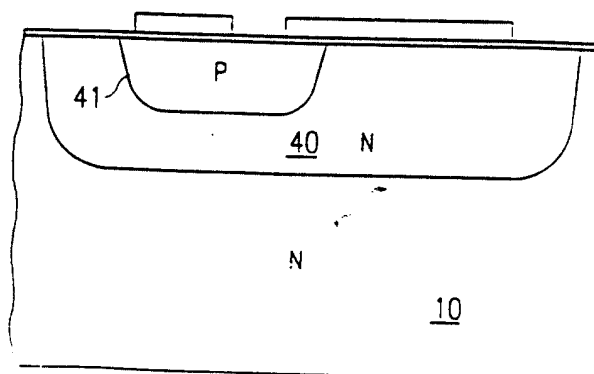


圖 2E

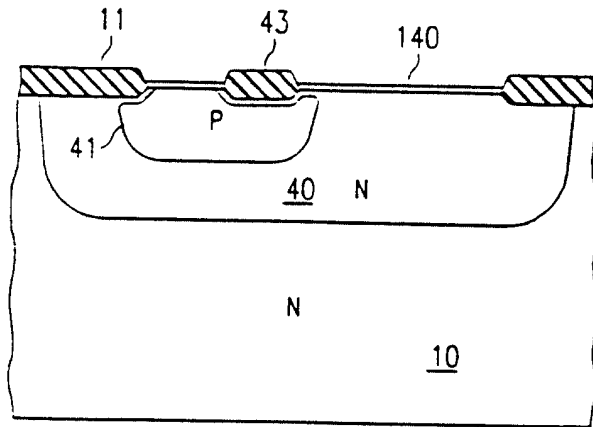


圖 2F

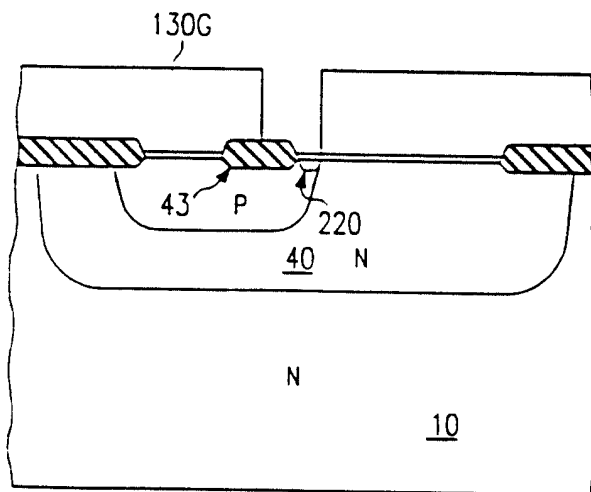


圖 2G

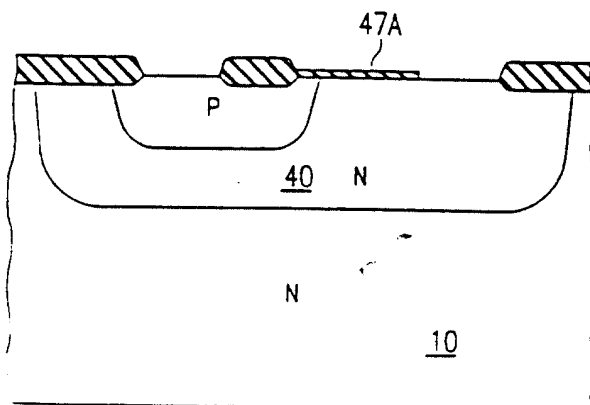


圖 2H

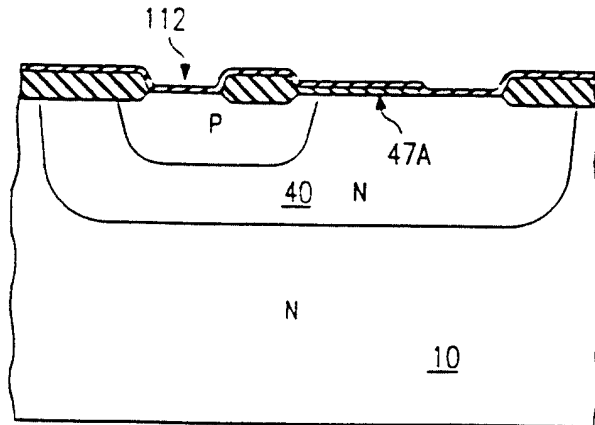


圖 2I

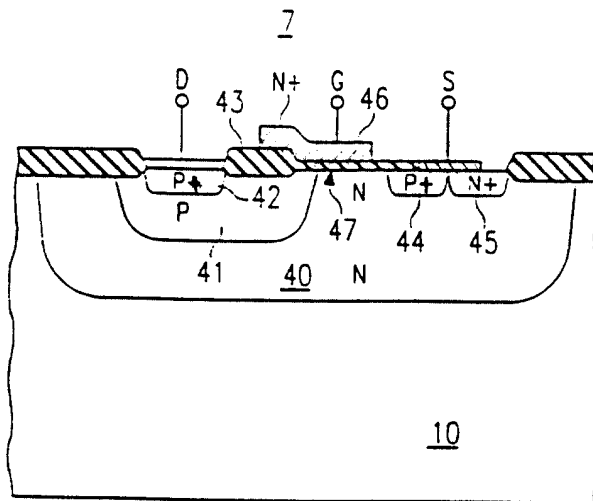


圖 2J

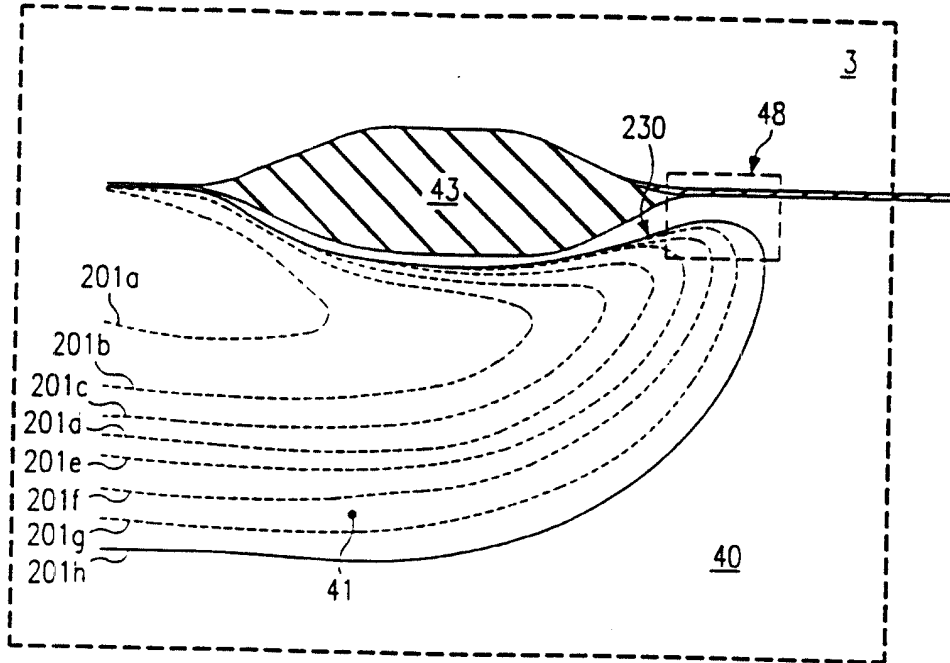


圖 3a

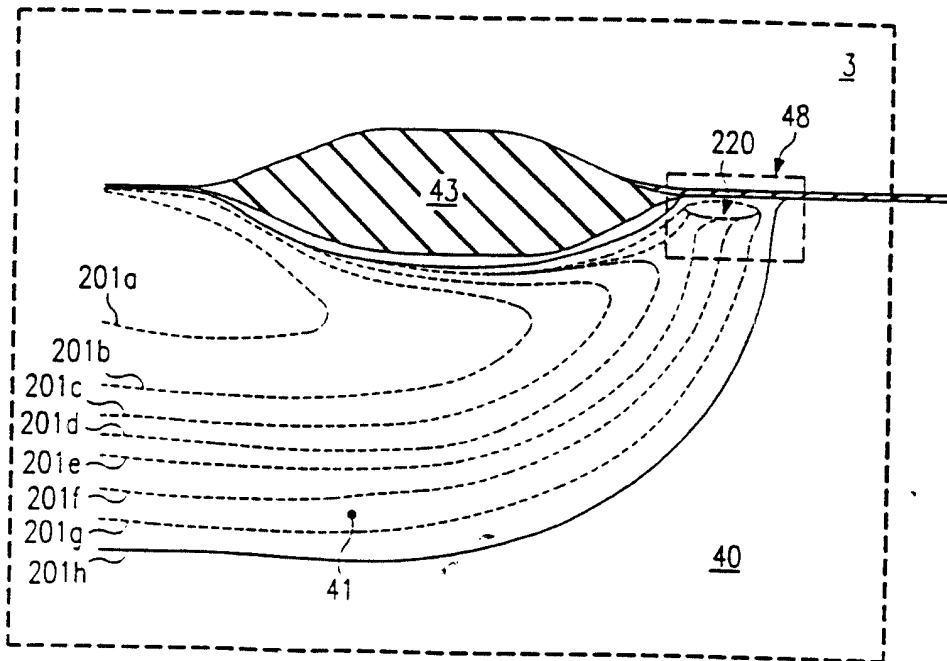
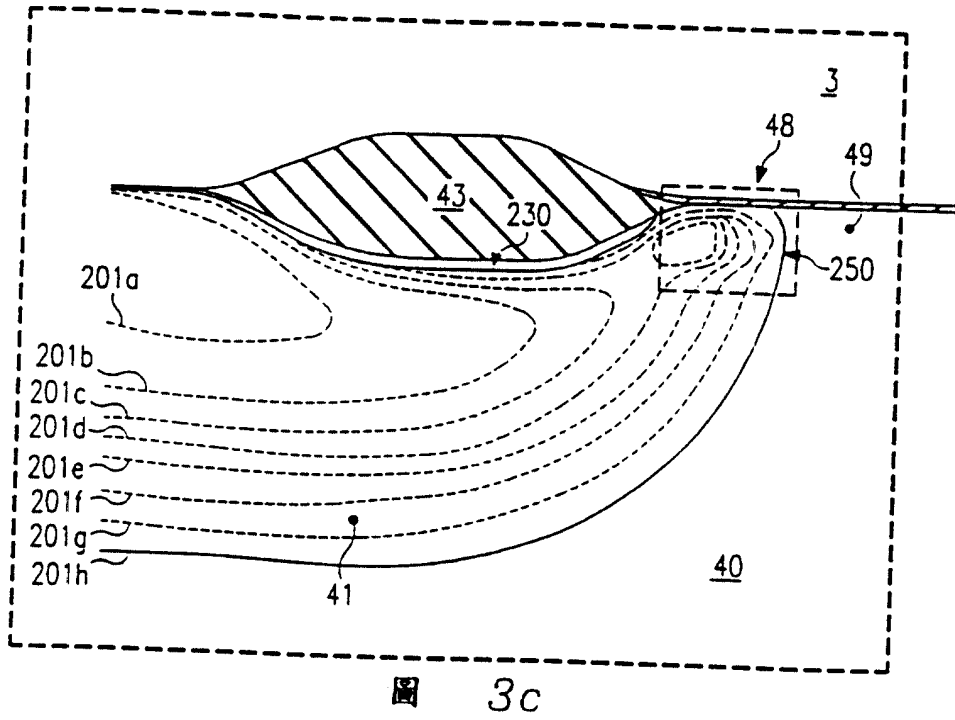


圖 3b



公告本

專利申請案第84105846號
ROC Patent Appln. No.84105846
修正之中文說明書第1及2頁 - 附件一

Amended pages 1 and 2 of Chinese Specification - Encl.1

申請日期	84.6.9
案 號	84105846
類 別	H01L 21/26

(民國86年3月14日送呈)
(Submitted on March 14, 1997)

305057

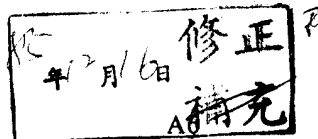
(以上各欄由本局填註)

發明專利說明書

305057

一、發明 名稱	中 文	製造高壓P溝道金屬氧化物半導體元件之方法及 據此製得之半導體元件
	英 文	METHOD FOR MAKING A HIGH VOLTAGE P-CHANNEL METAL OXIDE SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE THUS FABRICATED
二、發明 人	姓 名	1. 梅家駒 (CHIA-CU MEI) 2. 馬沙特 (Satwinder Malhi)
	國 籍	1. 中華民國、2. 印度
三、申請人	住、居所	1. 美國德克薩斯州波拉洛區奈特街4100號 4100 Nightfall Drive, Plano, Texas 75093, U.S.A. 2. 美國德克薩斯州格蘭德區密道街2626號 2626 Meadowridge Drive, Garland, Texas 75044, U.S.A.
	代 表 人 姓 名	美商德州儀器公司 Texas Instruments Incorporated 美國 美國德克薩斯州達拉斯城北中央高速道13500號 13500 North Central Expressway, Dallas, Texas, 75265, U.S.A. 郝威廉 William E. Hiller

305057



B6

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

本案已向：

美 國 (地 區) 申請專利，申請日期： 案號： ， ☐ 有 ☒ 無主張優先權
西元1994年4月8日 08/224,914

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(/)

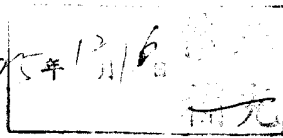
發明說明發明之領域

本發明係在半導體積體電路之領域，並且主要係關於高壓CMOS元件。

發明之背景

具有綜合控制及驅動功能之積體電路常稱作精靈功率元件。精靈功率元件將高智慧與低功率耗散合併。其一般在其輸出級具有功率金屬氧化物半導體(Metal Oxide Semiconductor, 簡稱MOS)，場效應電晶體(Field Effect Transistor, 簡稱FET)，設計為在較高電壓，諸如15-80伏操作，而不同於一般為5伏或更低之正常互補金屬氧化物半導體(Complementary Metal Oxide Semiconductor, 簡稱CMOS)邏輯電壓，並且諸邏輯元件結合在同一積體電路上，以便在單一晶片兼供驅動器功能及控制器功能。精靈功率元件有很多用途，諸如液晶顯示器(LCD)，顯示器，電／機械元件，汽車電子元件，投影電視，甚至高解析度電視(HDTV)。

IEDM Proceedings, 1979年，238-241頁，名稱為"High Voltage Thin Layer Devices (RESURF Devices)"之論文中說明一種製造高壓(HV) MOS元件之方法。此技術在元件之汲極與溝道部位之間使用一淺輕度摻雜部位。此淺輕度摻雜部位因為低度雜質摻雜水準所獲得之少量電流載體(載體為電子或電洞)，而稱作漂移部位，並且該元件通稱為縮小表面場(Reduced Surface Field, 簡稱RESURF)



五、發明說明(2)

元件。

RESURF技術用於製造高壓N溝道橫向雙擴散式MOS (HV NMOS)元件及高壓P溝道LDMOS (HV PMOS)元件。但製造含此種RESURF HV PMOS元件之精靈功率元件存在問題。HV PMOS元件一般使用複雜之電荷抽運高壓電路。HV PMOS元件之接通電阻一般為相當高。例如，IEEE J. Solid-State Circuits, Vol. SC-16, 212-226頁，1981年6月，名稱為"A Coplanar CMOS Power Switch"之論文中所述之一種HV PMOS元件，使用輕度摻雜之箝夾電阻作為漂移部位。

因之本發明之目的為提供一種製造精靈功率元件之簡單方法，其含有低接通電阻之高壓PMOS元件。

一般精於此項技藝者參照下列附圖及詳細說明，將會明白其他諸多目的及優點。

發明之概述

根據本發明，藉在HV PMOS元件之場氧化物邊緣之植入，而修正在高壓PMOS元件之輕度摻雜RESURF部位之硼分離。此種植入恢復RESURF部位之硼濃度，並且切斷或隔離厚氧化物增長時所形成之淺垂直匯接點，顯著改進HV PMOS元件之工作特性。只要增加另一光罩步驟，便可很簡單完成此種植入。

附圖之簡要說明

圖1為一積體電路之剖面圖，例示一根據本發明所形成之HV PMOS元件；

圖2A-2J為剖面圖，例示一種根據本發明，構成與圖1

五、發明說明(3)

類似之HV PMOS元件之較佳方法；

圖3A為圖1之HV PMOS元件之剖面圖，示在場氧化物增長後，HV漂移部位槽中之雜質濃度梯度線；

圖3B為圖1之HV PMOS元件之剖面圖，示在植入HV漂移部位槽邊緣調整後，HV漂移部位槽中之雜質濃度梯度線；以及

圖3C為圖1之HV PMOS元件之剖面圖，示在使HV漂移部位槽邊緣調整退火後，HV漂移部位槽中之雜質濃度梯度線。

較佳實施例之說明

現在說明本發明之一種較佳實施例。表A包含附圖及下列說明中所使用元件名稱及參考數字之一覽表，而表B提供各元件之功能，一特定實施例及替代性實例。表A及B併入本文，並構成本案說明之一部份。

圖1示一根據本發明所形成，包含高壓PMOS (HV PMOS) 電晶體7之積體電路之剖面圖。HV PMOS元件7形成在一使HV PMOS元件7與半導體基片10隔離之凹穴40內。基片10較佳為n型矽，具有約8-12 Ohm-cm之相當高電阻率。

在圖1中，HV PMOS元件7有一p槽41位於n凹穴40內。p槽41提供一RESURF漂移部位。一漂移部位邊緣48形成p槽41之外緣，並且靠近溝道部位49及與其接觸。一HV汲極42形成在p槽41內。一HV源極44形成在n凹穴40內，並藉溝道部位49與p槽41分開。一HV場氧化物43覆蓋漂移部位p槽41之一部份。一閘氧化物47覆蓋溝道部位49及漂移

五、發明說明(4)

部位邊緣48，並連接至HV場氧化物43。一HV n凹穴觸點45形成在n凹穴40內。一HV開電極46覆蓋開氧化物47及場氧化物43。圖1也示一由形成於n凹穴40內並藉溝道部位49a與汲極42分開之HV源極44a所構成之選用鏡像開及源極。HV開氧化物47a覆蓋溝道部位49a並與HV場氧化物43a相連接，HV n凹穴觸點45a形成於n凹穴40內，並且HV開電極46a覆蓋開氧化物47a及場氧化物43a。

仍請參照圖1，p槽41可例如形成有輕度摻雜之硼。在含輕度摻雜硼部位諸如p槽41之矽上增長厚場氧化物43時，經發現在氧化物增長邊界，諸如漂移氧化物邊緣48，硼可能自矽分離，並在增長邊界形成一具有低劣半導體特性之部位；此效應使得難以形成具有良好工作特性之p溝道LDMOS高壓RESURF元件。不過，如稍後將予說明，根據本發明，有利使此等缺失減至最低。在標準CMOS製造過程中僅使用一另外光罩步驟，在場氧化物43之邊緣，在漂移部位邊緣48之植入，便恢復p槽邊緣48之硼濃度，並且切斷或隔離厚氧化物43增長時所可能形成之淺垂直匯接點。

現請參照圖2A-2J，說明一種用以形成與圖1相似之電晶體之較佳方法。為求簡明，下列諸圖將圖1之HV PMOS完成為單面元件，而非圖1中所示之雙面元件。

圖2A示n型基片10，一層第一氧化物110在其上增長為有氮化物層120數著在上面。氮化物層120然後予以掩蓋及蝕刻。

圖2B示在植入後之n型摻雜物40A。N型摻雜物40A可例如為砷或磷。光阻130B阻斷摻雜物40A，以防不希望之插

88-12-16
A7
B7

五、發明說明(5)

入。此植入為穿透過氧化物層110及氮化物層120。摻雜物40A用以形成槽40。

圖2C示導使n型摻雜物40A形成HV n凹穴40之擴散步驟之結果。擴散將摻雜物驅入基片10至深度約為 $8\mu\text{m}$ 。約 $1.5\text{e}16/\text{cm}^3$ 之n型雜質濃度便足夠供n凹穴40。

圖2D示在植入後之P型植入物41A。P型摻雜物可例如為硼。光阻130D阻斷摻雜物41A，以防不希望之插入。摻雜物41A予以植入n凹穴40內。

圖2E示形成HV漂移部位p槽41之擴散步驟之結果。漂移部位深度限制至約為 $1-2\mu\text{m}$ ，以便在響應施加源極至汲極電壓(V_{ds})而在漂移部位41形成耗盡部位時，根據RESURF元件之熟知操作，所獲得之場將會撞擊元件之表面，並因而減低表面上之電壓梯度。約 $8.0\text{e}16/\text{cm}^3$ 之p型雜質濃度便足夠供漂移部位p槽41。

圖2F示在未覆蓋有氮化物120之區域熱增長之場氧化物11及HV PMOS場氧化物43。在場氧化物43增長時，硼可在靠近場氧化物43之區域自p槽41分離。在氧化物增長後，除去氮化物120。然後在露出之區域增長犧牲氧化物140。

圖2G示在植入後之p型摻雜物220。p型摻雜物220可例如為硼。光阻130G阻斷摻雜物220，以防不希望之插入。根據本發明，p型摻雜物220方便替代在形成場氧化物43時所可能不希望耗失之硼。p型摻雜物220可在此刻予以退火，或較佳為摻雜物220將配合例如圖2J中所示之稍後之擴散予以退火。

五、發明說明(6)

圖2H示將氧化物數著在積體電路上，作成圖案並蝕刻氧化物層，所藉以形成之部份HV閘氧化物47A。氧化物47A之厚度選擇為致使在後隨步驟所添加之氧化物將會合併，而造成圖2J中所示HV閘氧化物47之目標厚度。部份HV閘氧化物47A可例如為厚800埃。

在圖2I中，將一薄氧化物層112數著在積體電路上。氧化物層112可形成圖中所未示之低壓元件之閘氧化物。氧化物層112覆蓋部份閘氧化物47A。氧化物層112可例如厚約350埃。氧化物層112然後予以作成圖案及蝕刻，形成圖2J中所示之HV閘氧化物47。

在圖2J中，已數著及蝕刻多晶矽，以形成HV閘電極46。植入HV p+汲極42及HV p+源極44。植入HV n+ n凹穴觸點45。然後在單一擴散步驟使所有汲極及源極元件(42, 44, 及45)均擴散至約相同深度，以產生圖1之元件。然後可隨之為熟知之步驟，以完成積體電路。

圖3A-3C更詳示本發明之益處。請參照圖3A，圖示在氧化物增長時，硼雜質分離之效應。雜質濃度梯度線201a-201h示在如圖2F中所示之氧化物43增長完成後，在輕度摻雜漂移部位41之雜質濃度(亦即硼)。雜質濃度線201a示約 $1.5 \times 10^{16}/\text{cm}^3$ 之較高濃度區域。雜質濃度線201h示漂移部位41之較低濃度邊界。在漂移部位槽邊緣區域48，雜質濃度已自漂移部位槽41分離，在場氧化物43下面留下一淺垂直匯接點230。淺垂直匯接點230將會減低PMOS元件7之性能。

五、發明說明(7)

本發明使硼分離所致之潛在元件性能減低減至最低。請參照圖3B及圖2G，圖示HV漂移部位槽邊緣調整220。用於漂移部位槽41之另一相同雜質之植入（亦即硼），在漂移部位槽邊緣48重新建立雜質濃度，並消除淺垂直匯接點230。

請參照圖3C，使漂移部位槽邊緣調整220退火，便使雜質梯度均勻如雜質梯度線201a-201h所示，並形成較佳之橫向匯接點250。在場氧化物43可能保留淺垂直匯接點230之很小孤立部份，但此對於PMOS元件7之性能具有很少影響。靠近溝道部位49之HV漂移部位p槽邊緣48現在有利為具有充分之雜質濃度，而不致於增加HV PMOS元件7之接通電阻 $R_{ds(on)}$ 。

本發明不限於單覆離子植入至場氧化物，以如在最佳實施例中所述切斷或隔離在厚場氧化時所形成之淺垂直匯接點。其也可有利應用於很多形式之垂直匯接點摻雜物補償技術，作為供隔離用之反摻雜，俾形成橫向匯接點。

本發明可有利應用於在精靈功率元件所用之很多形式高壓PMOS元件。

本發明可使用很多佈局形狀，諸如正方形漂移部位41或圓形漂移部位41予以體現。

本發明之另一優點為一種可適應大多數CMOS製造過程之簡單方法，允許高壓PMOS元件達到最佳，而與積體電路上之其他類型元件無關，以便使高壓PMOS元件之 $R_{ds(on)}$ 減至最低。



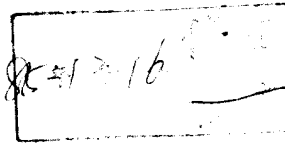
五、發明說明(8)

雖然本發明業經就例證性實施例予以說明，但此項說明不意為以限制性意義予以闡釋。精於此項技藝者參照此項說明，將會明白各種其他實施例。例如，一種替代性實施例可使用N或P型基片10，因為在較佳實施例元件被凹穴40所隔離。一種替代性實施例可在輕度摻雜RESURF部位或其他構形下面使用一外延層代替凹穴40。因此申請人擬想後附之申請專利範圍將涵蓋在本發明真正範圍及精神以內之諸實施例之任何此等修改。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂



五、發明說明(9)

表 A	
元 件	元 件 名 稱
10	半導體基片
40	HV n凹穴
41	HV 漂移部位(p)槽
42	HV p ⁺ 汲極
43	HV PMOS場氧化物
44,44a	HV p ⁺ 源極
45,45a	HV n ⁺ n凹穴觸點部位
46,46a	HV PMOS閘電極
47	HV PMOS閘氧化物
48	HV PMOS漂移部位邊緣
49	HV PMOS溝道部位
101	HV 汲極電極
103	HV 源極電極
110	第一氧化物
120	氮化物層
130	光阻圖案
140	犧牲氧化物
201A-201h	雜質濃度梯度線
220	HV漂移部位p 槽調整
230	淺垂直匯接點
250	橫向匯接點

五、發明說明(10)

表 B			
元件	功 能	特定實施例 HVPMOS額定擊穿 = 30v	替代性實例 HV擊穿 = 約 15-80v
10	主動元件之 基礎	8-12ohm-cm(n-)Si	8-12ohm-cm(p-)Si
40	局部半導體 基片凹穴	形成(n), 約 $1.5e16/cm^3$ 深約 $8\mu m$	約 $1.0e15-5.0e16/cm^3$ 深約 $4.0-10\mu m$
41	汲極耗盡部 位以縮小表 面場	形成硼(p), 約 $8.0e16/cm^3$ 深約 $1.1\mu m$	約 $0.1-3.0e17/cm^3$ 約 $1.0-2.5\mu m$
42	高度導電汲 極觸點部位	形成(p+), 約 $1.0e19/cm^3$ 深約 $0.5\mu m$	
43	使開與汲極 及漂移部位 絕緣	熱Si氧化物, 約 9300埃	
44	源極	形成(p+), 約 $1.0e19/cm^3$ 深約 $0.5\mu m$	
45	高度導電槽 觸點部位	形成(n+), 約 $1.0e19/cm^3$ 深約 $0.5\mu m$	
46	開電極	多晶Si	金屬, 諸如Al, Cu
47	使開與導電 部位絕緣	數著Si氧化物, 約1000埃	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(11)

48	漂移部位槽 41之邊緣		
49	半導體部位	形成(n)	
101	汲極電極	多晶Si	(a)金屬,諸如Al, Cu (b)耐火金屬矽化 物
103	源極電極	多晶Si	(a)金屬,諸如Al, Cu (b)耐火金屬矽化 物
110	供氮化物之 蝕刻止擋,保 護晶體表面	熱氧化物,約400 埃	
120	供場氧化物 之光罩	數著 Si_2N_4 ,約 1200埃	
130	供植入物之 光罩		
140	保護晶體表 面	熱氧化物,約400 埃	
201a 201h	雜質濃度線	每線約 $1.0\text{e}16/cm^3$	
220	替代耗失之 硼雜質濃度	形成硼,約 $1.0\text{e}13/cm^3$	約 $0.5-1.5\text{e}13/cm^3$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

81-4216

五、發明說明(12)

230	熱氧化物增長之不合宜副作用	矽分離	
250	橫向匯接點增進元件性能	漂移部位與溝道部位間之匯接點	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

305057

修正頁
86年3月14日
補充

A5
B5

四、中文發明摘要(發明之名稱：

製造高壓P溝道金屬氧化物半導體元件之方法及
據此製得之半導體元件

調整一輕度摻雜漂移部位邊緣48內之雜質濃度，以補償在厚場氧化物43之增長期所發生之雜質分離，高壓PMOS電晶體7藉以而對電阻有所改進。在製造高壓PMOS元件7時，藉雜質分離至場氧化物43而形成一淺垂直匯接點230。植入一HV漂移部位p槽邊緣調整220及使其退火，便形成一橫向匯接點250，並使場氧化物43下面之淺匯接點230隔離。從而，使高壓PMOS電晶體7之接通電阻減至最低。

英文發明摘要(發明之名稱：METHOD FOR MAKING A HIGH VOLTAGE P-CHANNEL METAL OXIDE SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE THUS FABRICATED

A high voltage PMOS transistor 7 has improved on resistance by adjusting impurity concentration in a lightly doped drift region rim 48 to compensate for impurity segregation which occurs during the growth phase of a thick field oxide 43. During fabrication of high voltage PMOS device 7, a shallow vertical junction 230 formed by impurity segregation into field oxide 43. Implanting an HV drift region p-tank rim adjustment 220 and annealing it forms a lateral junction 250 and isolates the shallow junction 230 under field oxide 43. Thereby, the on-resistance of high voltage PMOS transistor 7 is minimized.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線