

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 4 日(04.10.2012)



(10) 国際公開番号
WO 2012/131768 A1

- (51) 国際特許分類:
H01L 29/80 (2006.01) H01L 29/12 (2006.01)
H01L 21/337 (2006.01) H01L 29/47 (2006.01)
H01L 21/8232 (2006.01) H01L 29/78 (2006.01)
H01L 27/04 (2006.01) H01L 29/808 (2006.01)
H01L 27/06 (2006.01) H01L 29/872 (2006.01)
- (21) 国際出願番号: PCT/JP2011/001886
- (22) 国際出願日: 2011 年 3 月 30 日(30.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東京都千代田区丸の内一丁目 6 番 6 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 清水 悠佳 (SHIMIZU, Haruka) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 横山 夏樹 (YOKOYAMA, Natsuki) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所 中央研究所内 Tokyo (JP).

- (74) 代理人: 井上 学, 外 (INOUE, Manabu et al.); 〒1008220 東京都千代田区丸の内一丁目 6 番 1 号 株式会社日立製作所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 炭化珪素半導体装置およびその製造方法

[図1]

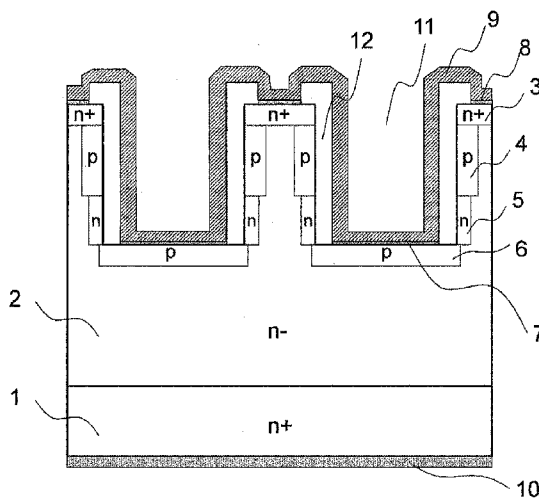


図1

(57) Abstract: In a conventional trench-type junction FET employing a silicon carbide substrate, the proportion of surface area of the element occupied by the pn junction between the gate and the drain is large, the capacity between the gate and the drain is large, and problems are associated therewith. This invention accordingly provides a trench-type junction FET having reduced capacity between the gate and the drain, without diminishing the withstand voltage, on resistance, or gate characteristics. Specifically, a p region (4) of the gate is formed in the upper side wall of a trench (11). Further, a p region (6) that shorts the source is formed at the trench bottom. The distance between this p region (6) and the p region (4) of the gate extends in a perpendicular direction with respect to the substrate surface.

(57) 要約: 従来の炭化珪素基板を用いたトレンチ型の接合 FET には、素子中でゲートドレイン間の pn 接合が占める面積の割合が大きく、ゲートドレイン間の容量が大きく、これに伴う課題があった。そのため、本願発明により、耐圧、オン抵抗、ゲート特性を落とすことなくゲートドレイン間容量を低減したトレンチ型の接合 FET を提供する。具体的には、ゲートの p 領域 4 をトレンチ 11 側壁上部に形成する。さらに、トレンチ底に形成

し、かつ、ソースと短絡させた p 領域 6 を形成し、この p 領域 6 とゲートの p 領域 4 との距離を基板表面に対して垂直方向に取る。

WO 2012/131768 A1

明 細 書

発明の名称：炭化珪素半導体装置およびその製造方法

技術分野

[0001] 本発明は、炭化珪素を母材に用いた半導体装置およびその製造方法に関するものである。

背景技術

[0002] 半導体パワー素子は、半導体基板からなる n^+ ドレイン領域と、この n^+ ドレイン領域上に形成されたエピタキシャル層からなる n -ドリフト領域と、この n -ドリフト領域上に形成された n^+ ソース領域と、この n^+ ソース領域を貫通して n -ドリフト領域に達するトレンチと、このトレンチの底部に形成された p 型ゲート領域を備えている。

[0003] このように構成されている半導体パワー素子において、オン抵抗の低減と耐圧の向上とは基板材料のバンドギャップで規定されるトレードオフの関係にある。すなわち、耐圧の向上を図るためには、基板材料の絶縁破壊電界強度を確保する必要がある。このため、半導体パワー素子の基板材料としてシリコンを用いる場合には、 n -ドリフト領域の厚さを厚くし、かつ、 n -ドリフト領域の不純物濃度を薄くすることにより、絶縁破壊電界強度を確保して耐圧の向上を図っている。しかし、耐圧を確保するために、 n -ドリフト領域の厚さを厚くし、かつ、 n -ドリフト領域の不純物濃度を低くすると、 n^+ ソース領域と n^+ ドレイン領域との間のオン抵抗が大きくなる。このように、半導体パワー素子では、耐圧の向上とオン抵抗の低減とはトレードオフの関係がある。

[0004] このとき、絶縁破壊電圧強度は基板材料のバンドギャップの大きさに依存するため、基板材料としてバンドギャップの大きな材料を使用することにより耐圧の確保が容易となる。すなわち、シリコンよりもバンドギャップの大きな材料を基板材料として使用すれば、シリコンの場合のように、 n -ドリフト領域の厚さを厚くし、かつ、 n -ドリフト領域の不純物濃度を低くしなくて

も耐圧を確保できるのである。つまり、シリコンよりもバンドギャップの大きな材料を基板材料として使用することにより、シリコンと同等の耐圧を確保する上で、シリコンの場合よりも、 n^- ドリフト領域の厚さを薄くし、かつ、 n^- ドリフト領域の不純物濃度を高くすることが可能となる結果、 n^+ ソース領域と n^+ ドレイン領域との間のオン抵抗を小さくすることができるのである。

[0005] このように、半導体パワー素子として広く用いられているシリコン素子の性能を超えるためには、シリコンよりもバンドギャップが大きな基板材料を用いることが有効であることがわかる。特に、炭化珪素(炭化シリコン、SiC)は、シリコンに比べバンドギャップが約3倍と十分に大きいこと、 p 型および n 型の導電型を容易に形成できること、熱酸化により酸化膜を形成することなどの特徴を有することから、高性能のMOSFET(Metal Oxide Semiconductor Field Effect Transistor)などの素子を実現できる可能性があり大きな注目を集めている。

[0006] しかしながら、炭化珪素上に形成する酸化珪素膜には大きな問題がある。それは、炭化珪素を熱酸化すると酸化珪素膜中に炭素が残留し高密度の界面準位が形成されてしまうことである。これにより、MOSFETのチャネル移動度は大きく劣化しオン抵抗が著しく上昇してしまう。また、酸化珪素膜中の炭素は酸化珪素膜の信頼性劣化の原因ともなり、MOSFETを実現するための大きな障壁となっている。

[0007] 酸化珪素膜の界面で発生する界面準位の問題を回避する素子の構造として、接合FETがある。接合FETはチャネル形成領域とゲート層との間に p n 接合を形成し、この p n 接合から延びる空乏層の幅を制御することでチャネルをオン／オフ制御するタイプの素子である。通常は、ゲート層に負の電圧をかけチャネル形成領域中に空乏層を伸ばしてオフさせるノーマリオン型の接合FETが使用される。しかし、ノーマリオン型の接合FETはフェールセーフの観点から用途が限定される。すなわち、ノーマリオン型の接合F

ETは、通常、チャンネルがオンして電流が流れており、チャンネルをオフする必要があるときにゲートに負電圧を印加してpn接合から空乏層を延ばしてチャンネルをオフする。したがって、接合FETのゲートがなんらかの原因で壊れた場合、チャンネルがオンしたまま電流が流れ続けることになる。通常、接合FETが壊れた場合は電流が流れないことが安全性の観点から望ましいが、ノーマリオン型の接合FETでは、接合FETのゲートが壊れた場合でも電流が流れ続けるので用途が限定されるのである。

[0008] したがって、半導体パワー素子では一般にノーマリオフ型が望まれる。このとき、シリコンの接合FETはノーマリオフで高耐圧を持たすことが困難となる。これは、シリコンのpn接合の拡散電位が小さいことから、ゲート層に電圧を印加しない状態では、pn接合からの空乏層の伸びが充分とはいえず、チャンネルを完全にオフすることができないからである。つまり、シリコンの接合FETでは、チャンネルをオフさせるために、ゲート層に負電圧を印加する必要がある、ノーマリオフ状態を実現することが困難となる。これに対し、炭化珪素を用いた接合FETでは、チャンネル幅を狭くすることにより、ノーマリオフ型の接合FETで高耐圧を実現することができる。これは、炭化シリコンのpn接合の拡散電位が約2.5Vと高いため空乏層が充分に伸び、ゲート層に負の電圧をかけなくてもチャンネルを完全に空乏化できるからである。これにより、ノーマリオフ型の接合FETで酸化珪素膜の界面に関係のない高性能の半導体パワー素子を実現することが可能となる。炭化珪素を用いたノーマリオフ型の接合FETの一例が特許文献1に例示されている。

先行技術文献

特許文献

[0009] 特許文献1：特開2004-134547号公報

特許文献2：特開2007-281352号公報

発明の概要

発明が解決しようとする課題

[0010] 特許文献 1 に示されるノーマリオフ型の接合 FET は、ドリフト層中の基板表面にトレンチが形成されており、トレンチの側壁と底が p 領域となりゲートを形成している。この構造だと、素子中でゲートドレイン間の p n 接合が占める面積の割合が大きく、ゲートドレイン間の容量が大きいという特徴がある。ゲートドレイン間の容量が大きいと下記のような不具合が起こる可能性がある。すなわち、接合 FET がスイッチングする際、ドレイン電圧はオン状態の 1 V 付近からオフ状態の 300 ~ 1000 V 程度まで急激に変化することになる。電圧の変動が起こると、容量成分には充放電電流が流れる。充放電電流は容量の大きさおよび電圧の時間当たりの変化率に比例するため、ゲートドレイン間の容量が大きいと、スイッチングの際に、ゲートに瞬間的に大きな電流が流れることになる。ゲートに流れる瞬間的な大きな電流はゲートドライバを破壊する可能性があり、逆にゲートドライバを破壊させないためには大きな電流でも流せるゲートドライバを開発する必要があり非常にコストが高くなる。以上のような観点から、ゲートドレイン間の容量は小さく抑える必要がある。しかしながら、トレンチ型のノーマリオフ接合 FET のゲートドレイン間容量は、ゲートの p 領域とドリフト層の p n 接合で決まっており、単純に容量を下げようとするとドリフト層の濃度を下げることができない。しかしながら、ドリフト層の濃度を下げるとオン抵抗が上がるため、ゲートドレイン間容量の低減とオン抵抗の低減はトレードオフの関係にあるといえる。

[0011] オン抵抗を上げずにゲートドレイン間容量を低減できる構造として、トレンチ底にゲートと分離して p 領域を形成し、その p 領域をソースに短絡させるという構造が提案されている。本構造では、ドリフト層と p n 接合をなすゲート領域の面積が従来の半分程度となるため、ゲートドレイン間容量を従来の半分程度にできる。しかしながら、ゲートドレイン間容量は従来の半分では十分でなく、さらに低減させる必要がある。また、本構造ではゲートとソースの耐圧を確保するために、ある程度ゲートとソースに距離をとる必要

がある。この場合、トレンチ底の面積が広がってしまうため、面積あたりの性能が落ちてしまう、すなわち、単位面積当たりの素子の個数が低減してしまうという問題点がある。トレンチ底にゲートと分離してp領域を形成し、そのp領域をソースに短絡させるという構造の一例が特許文献2に例示されている。

[0012] 上記のように、ノーマリオフ型の接合FETでは、耐圧、オン抵抗の性能を下げることなく、ゲートドレイン間の容量を小さくすることはできなかった。また、トレンチ底の面積（トレンチの幅）を広げることなく、ゲートドレイン間の容量を小さくすることはできなかった。

課題を解決するための手段

[0013] 本発明は、トレンチ型接合FETにおいて、ゲートをトレンチの側壁のうち上部のみとし、トレンチ底に形成しソースと短絡させたp領域と基板表面に対して垂直方向に距離をとることを最も主要な特徴とする。

[0014] 具体的に本願の代表的な発明は以下のとおりである。本願発明は、炭化珪素基板に設けられた第1導電型のドレイン層と、ドレイン層上に形成された第1導電型の炭化珪素層と、炭化珪素層に形成された複数のトレンチと、トレンチに挟まれた領域であって、当該領域の炭化珪素層の表面に形成された第1導電型のソース層と、トレンチの側面に形成された、第1導電型と反対の導電型の第2導電型のゲート層と、トレンチの底部に形成された、第2導電型の半導体層と、炭化珪素基板の裏面に形成された第1の電極と、ソース層と半導体層とに接続された第2の電極と、ゲート層に接続された第3の電極と、を備え、ゲート層のドリフト層側の端部が、トレンチの底面よりも炭化珪素基板の表面側に形成されている炭化珪素半導体装置である。

[0015] また、別の本願発明は、第1導電型のドレイン層上に形成された第1導電型の炭化珪素層を備えた炭化珪素基板であって、炭化珪素層の表面に、炭化珪素層の不純物濃度よりも高い濃度の第1導電型のソース層を形成する工程と、炭化珪素層の表面に複数のトレンチを形成する工程と、複数のトレンチの夫々の側壁に第1導電型と反対の導電型の第2導電型のゲート層を形成す

る工程と、ゲート層を形成した後に、複数のトレンチをエッチングすることでさらに深いトレンチを形成する工程と、複数の深いトレンチの夫々の底部に第2導電型の半導体層を形成する工程と、炭化珪素基板の裏面に第1の電極を形成する工程と、ソース層及び半導体層に接続する第2の電極を形成する工程と、ゲート層と接続する第3の電極を形成する工程と、を備える炭化珪素半導体装置の製造方法である。

[0016] また、別の本願発明は、第1導電型のドレイン層上に形成された第1導電型の炭化珪素層を備えた炭化珪素基板であって、炭化珪素層の表面に、炭化珪素層の不純物濃度よりも高い濃度の第1導電型のソース層を形成する工程と、炭化珪素層の表面に複数のトレンチを形成する工程と、複数のトレンチの夫々の側壁に第1導電型と反対の導電型の第2導電型のゲート層を形成する工程と、ゲート層を形成した後に、複数のトレンチをエッチングすることでさらに深いトレンチを形成する工程と、複数の深いトレンチの夫々の底部の外周部に第2導電型の半導体層を形成する工程と、複数の深いトレンチの夫々の半導体層に挟まれた領域に、ショットキー接合を形成する工程と、炭化珪素基板の裏面に第1の電極を形成する工程と、ソース層、半導体層およびショットキー接合に接続する第2の電極を形成する工程と、ゲート層と接続する第3の電極を形成する工程と、を備える炭化珪素半導体装置の製造方法である。

発明の効果

[0017] 本発明では、ゲートp領域の底部に対し、トレンチ底に形成されソースと短絡されたp領域（p半導体層）の底部が十分深く、トレンチ底p領域から伸びる空乏層によりゲート領域が遮蔽されることにより、ゲートドレイン間の容量が小さくなる。また、ゲート領域とトレンチ底p領域が基板表面に対して垂直方向に距離をとっているため、トレンチの幅（セルピッチ）を大きくすることなくゲートソース間の耐圧を確保することができる。

図面の簡単な説明

[0018] [図1]本発明による半導体装置の第1の実施例の断面構造図である。

[図2] 特許文献 1 の概略断面構造図である。

[図3(a)] 本発明による半導体装置の第 1 の実施例の製造方法を示す図である

。

[図3(b)] 本発明による半導体装置の第 1 の実施例の製造方法を示す図である

。

[図3(c)] 本発明による半導体装置の第 1 の実施例の製造方法を示す図である

。

[図3(d)] 本発明による半導体装置の第 1 の実施例の製造方法を示す図である

。

[図3(e)] 本発明による半導体装置の第 1 の実施例の製造方法を示す図である

。

[図3(f)] 本発明による半導体装置の第 1 の実施例の製造方法を示す図である

。

[図3(g)] 本発明による半導体装置の第 1 の実施例の製造方法を示す図である

。

[図3(h)] 本発明による半導体装置の第 1 の実施例の製造方法を示す図である

。

[図3(i)] 本発明による半導体装置の第 1 の実施例の製造方法を示す図である

。

[図4] 本発明による半導体装置の第 1 の実施例のチップイメージである。

[図5] 本発明による半導体装置の第 1 の実施例の平面レイアウトの一例である

。

[図6] 本発明による半導体装置の第 1 の実施例の特性図である。

[図7] 本発明による半導体装置の第 1 の実施例の特性の説明図である。

[図8] 本発明による半導体装置の第 1 の実施例の特性図である。

[図9] 本発明による半導体装置の第 1 の実施例の特性図である。

[図10] 本発明による半導体装置の第 2 の実施例の断面構造図である。

[図11(a)] 本発明による半導体装置の第 2 の実施例の製造方法を示す図である

。

[図11(b)] 本発明による半導体装置の第2の実施例の製造方法を示す図である

。

[図11(c)] 本発明による半導体装置の第2の実施例の製造方法を示す図である

。

[図11(d)] 本発明による半導体装置の第2の実施例の製造方法を示す図である

。

[図11(e)] 本発明による半導体装置の第2の実施例の製造方法を示す図である

。

[図11(f)] 本発明による半導体装置の第2の実施例の製造方法を示す図である

。

[図11(g)] 本発明による半導体装置の第2の実施例の製造方法を示す図である

。

[図11(h)] 本発明による半導体装置の第2の実施例の製造方法を示す図である

。

[図11(i)] 本発明による半導体装置の第2の実施例の製造方法を示す図である

。

[図11(j)] 本発明による半導体装置の第2の実施例の製造方法を示す図である

。

[図11(k)] 本発明による半導体装置の第2の実施例の製造方法を示す図である

。

[図11(l)] 本発明による半導体装置の第2の実施例の製造方法を示す図である

。

[図11(m)] 本発明による半導体装置の第2の実施例の製造方法を示す図である

。

[図11(n)] 本発明による半導体装置の第2の実施例の製造方法を示す図である

。

[図12] 本発明による半導体装置の第2の実施例の等価回路図である。

[図13]本発明による半導体装置を実装した際の第3の実施例の鳥瞰図である。

[図14]本発明による半導体装置の第4の実施例のゲートドライバの回路図である。

[図15]本発明による半導体装置をインバータに適用した際の第5の実施例の回路図である。

[図16]接合FETの等価回路図である。

発明を実施するための形態

実施例 1

[0019] 以下、本発明の実施例1を図面を用いて説明する。図1は本発明の実施例1の接合FETの断面構造図を、図2は特許文献1の接合FETの概略断面構造図を比較のため示している。ドレイン領域となるn⁺基板（炭化珪素基板）1上にn⁻ドリフト層（炭化珪素層）2がエピタキシャル成長により形成され、ドリフト層2の表面にn⁺ソース領域3とトレンチ11の側壁上部にpゲート領域4が形成されている。すなわち、pゲート領域4のドリフト層側の端部が、トレンチ11の底面よりも基板表面側に形成されている。トレンチ11の底にはp領域6が形成されており、p領域6はトレンチ側壁下部に形成されたn領域5によりゲート領域4と電氣的に分離されている。但し、このn領域5は必ずしも必須ではない。図は電流が流れるアクティブ領域のみを示しているが、アクティブ領域の周りには電界緩和のためのターミネーション領域が形成されている。また、ドレインのコンタクト領域10が裏に、ソースコンタクト領域8とトレンチ底コンタクト領域7が表に、それぞれオーム性接触にて形成されている。ソースコンタクト領域8とトレンチ底コンタクト領域7はソース電極9にて電氣的に接続されている。さらに、図示はしていないが表側はアルミニウムの2層配線がほどこされ、表のソースパッドとゲートパッドおよび裏のドレインパッドの3端子構造となっている。一方、図2の接合はトレンチ11の側壁および底部はすべてp領域4で覆われており、ゲート電極に接続されている。このように、構造上、トレンチ11

の周辺の構造が大きく異なっている。

[0020] 本発明と公知例の大きな違いは、容量特性にある。図16は接合FETに存在する寄生容量を示した等価回路図である。接合FETには、ゲート（G）、ソース（S）、ドレイン（D）の各端子間に寄生容量（ C_{gs} 、 C_{gd} 、 C_{sd} ）があり、デバイスの特性に大きく影響している。特にスイッチングに重要なゲート、ドレイン間の容量（ C_{gd} ）は、図2の構造においては、トレンチ底p領域6とドリフト層2間のpn接合の容量で決まる。トレンチ底のp領域は高濃度であるためp領域側にはほとんど空乏層が伸びず、pn接合はドリフト層の濃度と厚さでほぼ決まることになる。炭化珪素を用いたパワーデバイスはSiデバイスに比べドリフト層の濃度が高いため、空乏層が伸びにくく、pn接合の容量、つまりゲートドレイン間の容量は大きくなってしまう。一方、本発明の構造においては、ゲート電極に接続されたトレンチ側壁p領域4はソース電極に接続されたトレンチ底p領域6に遮蔽されるためドリフト層に向かって空乏層が伸びにくい。そのため、図2に比べゲート、ドレイン間の容量が非常に小さくすることができる。

[0021] 次に本実施例の動作について説明する。まず、ブロッキング状態では、ゲートに0Vまたは負の電圧を加えた状態でドレインに100V～数kVもの電圧がかかる。このとき、チャネルはゲートから空乏層が全体に広がっており、ソース・チャネル間にはエネルギー障壁ができる。これにより、ブロッキング状態を維持することができる。一方、オン状態ではゲートに2.5V程度、ドレインに1～2V程度の電圧を印加する。これにより、ゲート・チャネル間の空乏層が狭まりキャリアの経路ができるため、ドレインに印加した電圧よりソースからキャリアが流れる。次に、スイッチングの動作について説明する。スイッチングの際は、ゲート電圧の切り替えにより、オンからオフ、またはオフからオンに切り替わる。このときドレインにかかる電圧が数100Vから1V程度へと急激に変化する。ドレイン電圧の変化によりゲートドレイン間容量およびソースドレイン間容量に充放電が起こり、電流が流れる。このとき充放電電流はドレイン電圧の変化率および各容量に比例す

る。そのため、各容量に応じた電流がソースおよびゲートに流れることになる。本実施例では、図2に比べゲートドレイン間容量が大幅に低減しているため、ゲートに流れる電流は低く抑えられている。

[0022] 本実施例は耐圧600Vクラスを想定しており、ドリフト層の濃度は $2 \times 10^{16} \text{ cm}^{-3}$ 、厚さは $7 \mu\text{m}$ 、トレンチの深さは $1.8 \mu\text{m}$ 、幅は $1 \mu\text{m}$ である。ソースの幅はデバイス特性、特に閾値電圧に直接関係するため、 $0.8 - 1.0 \mu\text{m}$ 程度に幅を持たせている。ゲートおよびトレンチ底p領域はアルミニウムを不純物としたp型であり、ピーク濃度はそれぞれ 10^{18} 、 10^{19} cm^{-3} 程度である。ゲート領域およびトレンチ底p領域を分離するトレンチ側壁下部のn領域は、窒素を不純物としており不純物濃度は 10^{17} cm^{-3} 程度、ゲート領域とトレンチ底p領域の距離は $0.8 \mu\text{m}$ 程度である。この不純物濃度は、n-ドリフト層（炭化珪素層）2よりも高い不純物濃度である。また、この距離は、 $0.5 \mu\text{m}$ 未満になるとゲートに電圧を印加した際にパンチスルーしてしまい、ゲートソース間で電流が流れてしまうため、 $0.5 \mu\text{m}$ 以上が望ましい。本実施例1では余裕を持って $0.8 \mu\text{m}$ 程度としている。

[0023] 次に、図3を用いて本実施例の作製方法について説明する。まず、n+基板（炭化珪素基板）上にn-エピタキシャル層を成長させた基板を用意する。n+基板の面方位はSi面でオフ角は4度であるが、面方位はC面でも（11-20）面でもよく、オフ角は8度でも0度でもn-エピタキシャル層が均一に成長すれば問題ない。次に、酸化珪素を堆積しリソグラフィおよびドライエッチングにより酸化珪素を加工し、それをハードマスクとしてイオン注入によりターミネーション領域となるp領域を形成する（図示せず）。イオン種はアルミニウムで濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 程度である。ターミネーション領域はゲート領域よりも深い必要があるため最大で2MeVの多段注入が必要である。本実施例ではJTE（Junction Termination Extension）構造を採用しているがガードリング構造でもメサ構造でもその他の構造でも構わない。次に、図3（a）に示すように、ターミ

ネーション領域の形成方法と同じ方法でソースとなる n+領域 3 及びゲートのコンタクト領域となる p+領域を形成する。図では全面に n+領域を形成しているが、素子の要部断面を図示しているためゲートのコンタクト領域やターミネーション領域は図示していない。イオン種はシート抵抗が小さくなるよう、n+は窒素が p+はアルミニウムとし、ゲート耐圧確保のため n+のイオン注入は 500 度で行った。

[0024] 次に、図 3 (b) に示すように、トレンチ加工のハードマスクとして酸化珪素を堆積しリソグラフィおよびドライエッチングにより酸化珪素 21 を加工し、それをハードマスクとしてドライエッチングによりトレンチを形成する。このとき、チャネル幅を一定に保つためにトレンチはできるだけ垂直に近い方がよい。また、トレンチ深さは約 1.0 μm である。次に、図 3 (c) に示すように、トレンチ加工のハードマスクをそのまま用いトレンチ側面にゲートとなる p 領域 (半導体層) 22 をイオン注入により形成する。イオン種はアルミニウムで、斜めイオン注入の角度は 25 度で、エネルギーは最大で 100 keV の多段注入とした。この場合も、ゲート抵抗を低減するために 500 度で注入した。ただし、ゲート耐圧が 5 V 程度でよければイオン注入は室温でもよい。また、ここでチャネルの濃度を上げるために n 型不純物を斜め注入しても良い。エネルギーは 400 keV 程度である。なお、トレンチは矩形であり、斜め注入は 4 方向から行うため図のようにトレンチ底にもイオンは注入される。

[0025] 次に、図 3 (d) に示すように、前工程でのハードマスクを用いさらにトレンチをエッチングし掘り込む。このときの掘り込む深さは約 0.8 μm であり、全工程で注入されたトレンチ底の p 領域はすべて除去される。このエッチングの掘り込む深さにより、後のゲートとなる p 領域 22 とトレンチ底 p 領域 6 との距離が決まってくる。そのため、この深さは、前述のパンチスルーを回避するため 0.5 μm 以上が望ましい。

[0026] 次に、図 3 (e) に示すように、前工程でのハードマスクを用い、トレンチ底にイオン注入することにより、トレンチの底面の底全体に p 領域 6 を形

成する。イオン種はアルミニウムで、垂直方向に最大 100 keV にて注入を行った。このとき、垂直注入でもイオンの跳ね返りなどによりトレンチ側壁下部にもイオンが注入されてしまい、 p 領域となってしまう。この領域を打ち戻すために、図 3 (f) に示すように、 n 型不純物の斜め注入を行う。イオン種は窒素でエネルギーは 50 eV とした。このとき、打ち戻した n 領域 23 の濃度はあまり高すぎると電界が集中しやすくなり耐圧が落ちるため、耐圧が落ちないように 10^{17} cm^{-3} 程度とした。但し、イオンの跳ね返りによるトレンチ側壁下部へのイオン注入の程度が少ない場合には、 n 型不純物の斜め注入を行う必要はない。しかしながら、この斜め注入を行うことで、 p 領域 22 と p 領域 6 との電氣的な分離を確実に確保することができる効果があるため斜め注入を行うことが望ましい。また、斜め注入を行う場合には、不純物濃度が高すぎると耐圧低下の問題があるため必要以上に高くする必要はないが、ドリフト層の不純物濃度よりも高くすることが望ましい。

[0027] ハードマスク除去後、 1650 度程度でアルゴン雰囲気中で活性化アニールを行い、犠牲酸化後に層間絶縁膜 24 を形成する (図 3 (g))。次に、図 3 (h) に示すように、炭化珪素基板の表と裏に、 Ni を主成分とする合金を形成する。表は、リソグラフィとドライエッチングによりコンタクトホールを空け、 Ni を堆積させ 1000 度のシリサイド化アニールによりシリサイドを形成し、最後に未反応メタルを除去する。これによりトレンチ底コンタクト領域 7 とソースコンタクト領域 8 が形成される。裏も同様に Ni を堆積させ 1000 度のシリサイド化アニールによりシリサイドを形成する。これにより、ドレインコンタクト領域 10 が形成される。その後、図 3 (i) に示すように、アルミの配線 9 によりソースコンタクトとトレンチ底のコンタクトを接続する。最後に酸化珪素を層間絶縁膜としたアルミニウム 2 層配線を形成し、アルミの配線 9 に接続されたソースパッド、ゲート領域 4 に接続されたゲートパッドを開口してデバイスを完成させる。本実施例では、 p 領域の不純物をアルミニウム、 n 領域の不純物を窒素としたが、 p 領域はボロンでもよく、 n 型領域はリンでもよい。

- [0028] 図4に本実施例のチップレイアウトを示す。ターミネーション領域に囲まれるようにアクティブ領域があり、アクティブ領域上にソースパッド25が配置されている。また、ソースパッド25の脇にゲートパッド26が配置されている。チップサイズはアクティブで 2.0 mm^2 である。
- [0029] アクティブ領域を拡大したレイアウト図を図5に示す。 $n+$ ソース領域3と $p+$ ゲート引き出し領域9に囲まれるように、トレンチ11がライン状に形成されている。チャンネルの面積を大きく取るためにソースが正方形ではなく一方に長くなっているライン型の配置がよい。上側のソース領域3と下側ソース領域3の間にはゲートを引き出すための p 領域13が配置されており、ここでコンタクトをとりゲート配線につなげている。このゲート配線は図4のゲートパッド26に接続されている。ラインの向きはどの方向でも構わないが、基板のオフ角の方向に平行に配置すると、左右からの斜めイオン注入の方向が等価になるため、チャンネルの両側の $p+$ 領域のプロファイルが同等になる。ラインの長さとしては、あまり短すぎるとデバイス面積当たりのチャンネル面積が小さくなり電流が小さくなってしまい、あまり長すぎるとゲート抵抗が大きくなりスイッチング速度が遅くなってしまうため、適当な長さを選択する必要がある。本実施例ではライン長は $20\text{ }\mu\text{ m}$ としている。
- [0030] 次に、本発明の効果について本実施例の特性図を用いて説明する。図6は本実施例と図2に示した構造を同時に作製した際の、ゲートドレイン間容量特性を示している。図2の構造に比べ本実施例ではゲートドレイン間容量が約1桁低減しているのがわかる。
- [0031] ゲートドレイン間容量が低減した理由を図7を用いて説明する。図7の破線はゼロバイアス時の空乏層端を示している。チャンネルは両側のゲート領域により完全に空乏化され、トレンチ底 p 領域6からも空乏層が伸びている。この状態からドレイン電圧を印加していくと、図2の構造ではゲート領域からドレイン領域に向かって空乏層が伸びていったが、本実施例ではすぐに隣り合うトレンチ底 p 領域6から伸びる空乏層がつながり、ドレインから見てゲートが遮蔽される。これにより、ゲートドレイン間の容量が小さくなる。

このように、ゲートドレイン間の容量はいかにトレンチ底p領域によりゲートを遮蔽できるかで決まるため、ゲート端からトレンチ底までの距離が遠いほどゲートが遮蔽され容量は小さくなる。

[0032] 図8は、ゲート端からトレンチ底までの距離とゲートドレイン間容量の関係を示したものである。距離が0.5 μm 未満では十分遮蔽されていないが、0.5から1.5 μm の範囲で飽和傾向が見られる。そのため、この距離は0.5 μm 以上が望ましい。以上の検討から、本実施例では0.8 μm 程度を採用している。耐圧、オン抵抗に関しては、従来構造と大きな差はみられない。ただし、本発明の構造では、ブロッキング状態において、ドレインからのポテンシャルをトレンチ底p領域でブロックし、チャネルのポテンシャル低下を抑えることができるため、チャネルの条件によっては耐圧が上がることもある。

[0033] また、図9に示すとおり、ゲートソース間の電流に関しても、ゲート端からトレンチ底までの距離が近いとパンチスルーして電流が流れてしまうため、ゲートソース間電流の観点からもゲート端からトレンチ底までの距離をとることが望ましい。具体的には、0.5未満の距離で急激にゲート電流が流れることから、0.5 μm 以上の距離を確保することが望ましい。

[0034] 以上より、本発明では、ゲートp領域の底部に対し、トレンチ底に形成されソースと短絡されたp領域（p半導体層）の底部が十分深く、トレンチ底p領域から伸びる空乏層によりゲート領域が遮蔽されることにより、ゲートドレイン間の容量が小さくなる。また、ゲート領域とトレンチ底p領域が基板表面に対して垂直方向に距離をとっているため、トレンチの幅（セルピッチ）を大きくすることなくゲートソース間の耐圧を確保することができる。

実施例 2

[0035] 次に、本発明の第2の実施例を図11に示すデバイス断面構造図を用いて説明する。ドレイン領域となるn+基板（炭化珪素基板）1上にn-ドリフト層（炭化珪素層）2がエピタキシャル成長により形成され、ドリフト層2の表面にn+ソース領域3とトレンチ11の側壁上部にpゲート領域4が形成さ

れている。すなわち、pゲート領域4のドリフト層側の端部が、トレンチ11の底面よりも基板表面側に形成されている。トレンチ11の底にはp領域6が形成されており、p領域6はトレンチ側壁下部に形成されたn領域5によりゲート領域4と電氣的に分離されている。但し、このn領域5は必ずしも必須ではない。トレンチ11底の中央部にはショットキーコンタクト14が形成されており、p領域6は図示されているように、このショットキー接合部を挟んで配置されている。図は電流が流れるアクティブ領域のみを示しているが、アクティブ領域の周りには電界緩和のためのターミネーション領域が形成されている。また、ドレインのコンタクト領域10が裏に、ソースコンタクト領域8が表に、それぞれオーム性接触にて形成されている。ソースコンタクト領域8とショットキーコンタクト領域14はソース電極9にて電氣的に接続されている。

[0036] 第2の実施例の作製方法を図11を用いて説明する。n+ソース領域3を形成するところまでは第1の実施例の図3(a)と同様である。その後、図11(b)に示すようにアモルファルシリコンと酸化珪素を積層させ、リソグラフィおよびドライエッチングにより酸化珪素21およびアモルファルシリコン27を加工する。次に、図11(c)に示すように、それをハードマスクとしてトレンチ11を形成する。このとき、チャネル幅を一定に保つためにトレンチはできるだけ垂直に近い方がよい。また、トレンチ深さは約1.0 μm である。次に、図11(d)に示すように、トレンチ加工のハードマスクをそのまま用いトレンチ側面にゲートとなるp領域22をイオン注入により形成する。イオン種はアルミニウムで、斜めイオン注入の角度は25度で、エネルギーは最大で100 keVの多段注入とした。

[0037] 次に、図11(e)に示すように、前工程でのハードマスクを用いさらにトレンチを掘り込む。このときの掘り込む深さは約0.8 μm であり、全工程で注入されたトレンチ底のp領域22はすべて除去される。このエッチングの掘り込む深さにより、後のゲートとなるp領域22とトレンチ底p領域6との距離が決まってくる。そのため、この深さは、実施例1同様のパンチ

スルーを回避するため $0.5\mu\text{m}$ 以上が望ましい。

[0038] 次に、図11(f)に示すように、n型不純物の斜め注入を行い、n領域23を形成する。イオン種は窒素でエネルギーは 50keV とした。必ずしもn型不純物の斜め注入を行う必要はない。しかしながら、この斜め注入を行うことで、p領域22とp領域6との電氣的な分離を確実に確保することができる効果があるため斜め注入を行うことが望ましい。また、斜め注入を行う場合には、不純物濃度が高すぎると耐圧低下の問題があるため必要以上に高くする必要はないが、ドリフト層の不純物濃度よりも高くすることが望ましい。

[0039] このあとの工程から、トレンチ底の両端部にp領域6を形成するプロセスに入る。まず、図11(g)に示すように、全体にCVDにより酸化珪素を堆積させた後にドライエッチングで異方性エッチバックを行い、トレンチ側壁にサイドウォール28を形成する。サイドウォール28はのちにフッ酸によりウェットエッチングするため、エッチングレートの高い $\text{O}_3\text{-TEOS}$ などの膜が望ましい。また、サイドウォール28の幅がトレンチ底p領域6の幅となる。本実施例では、酸化珪素が平面に 500nm 、サイドウォール28に 300nm 残る条件で酸化珪素を形成した。

[0040] 次に、シロキサンを前駆体とするCVDにより、 SiOC 膜を形成する。この膜は、リフローしながら成膜されていくため、平坦性が非常に高く、段差を埋めることができる。次に、図11(h)に示すように、 SiOC をエッチバックすることにより、溝の中のみに SiOC 29を残す。次に、フッ酸を用いたウェットエッチにより、サイドウォール28をエッチングする。このとき、 SiOC は疎水性を示すためフッ酸ではエッチングされず、サイドウォール28のみが除去される。次に、図11(i)に示すように、残ったアモルファスシリコン27と SiOC 29をハードマスクとして、p型不純物をイオン注入することで、トレンチ底両端部のp領域6を形成する。イオン種はアルミニウムで、エネルギーは 80keV とした。その後、酸素アッシュとフッ酸処理により SiOC 29を、フッ硝酸によりアモルファスシ

リコン27を除去し、1650度アルゴン雰囲気中で活性化アニールを行う。その後、活性化アニールのダメージを除去するために犠牲酸化を行う。本実施例ではトレンチ底部にショットキーコンタクトを形成するため、基板平坦化のため、犠牲酸化は1150度において2回行った。

[0041] 次に、図11(j)に示すように、層間絶縁膜24をCVDにより形成する。層間絶縁膜24はカバレッジのよい O_3 -TEOS膜を400nm成膜し、酸素雰囲気中1000度で焼きしめを行った。次に、図11(k)に示すように、表と裏に、Niを主成分とする合金を形成する。表は、リソグラフィとドライエッチングによりコンタクトホールを空け、Niを堆積させ1000度のシリサイド化アニールによりシリサイドを形成し、最後に未反応メタルを除去する。これによりソースコンタクト領域8が形成される。裏も同様にNiを堆積させ1000度のシリサイド化アニールによりシリサイドを形成する。これにより、ドレインコンタクト領域10が形成される。なお、表のコンタクトホールはn+ソース領域上のみである。

[0042] 次に、リソグラフィにより、デバイス周辺部やゲートコンタクト領域をレジストで覆い、ドライエッチングにより層間絶縁膜24をエッチバックする。このとき、図11(l)に示すように、ショットキーコンタクトを形成する領域にドライエッチングのダメージが入らないように、層間絶縁膜24が50nm残るようにした。その後、図11(m)に示すように、酸素アッシュによりレジストを除去し、フッ酸によるウェットエッチングによりトレンチ底を開口させる。なお、層間絶縁膜24の膜厚がトレンチの底面と側面とで異なるため、このフッ酸処理でトレンチ側面の層間絶縁膜24が残るようにする。

[0043] 次に、図11(n)に示すように、ショットキー金属およびソース配線として下からチタン、窒化チタン、アルミニウムをスパッタリングにより成膜し、ショットキー界面の形成およびソース配線30の形成を行う。その後の工程は、第1の実施例と同様である。

[0044] 次に、第2の実施例の動作について説明する。耐圧、オン抵抗および容量

特性に関しては第 1 の実施例と同様である。第 1 の実施例との違いは、トレンチ底にショットキーダイオードを内蔵した点である。図 1 2 に本実施例の等価回路を示す。第 1 の実施例でもトレンチ底に p n ダイオードが内蔵されているが、S i C の p n 接合の拡散電位は 2 . 8 V 程度と高いため、ボディダイオードとしては損失が大きいが、本実施例では、ショットキーダイオードのため、拡散電位が 1 V 程度で損失が小さくなる。また、ショットキーダイオードを外付けした場合に比べ、トータルの面積が小さくなるため、コスト的にも大きなメリットがある。なお、本実施例のダイオードはメタルがチタンではなくモリブデンやニッケルでもそれらのシリコン化合物でもよく、ポリシリコンを用いたヘテロ接合ダイオードでもよい。

実施例 3

[0045] 実施例 3 は本発明の第 1 の実施例の接合 F E T を絶縁基板上に実装した例である。図 1 3 の鳥瞰図を用いて説明する。窒化アルミニウムの絶縁基板 1 6 上に、ソース端子 1 9、ゲート端子 2 0、ドレイン端子 1 5 の金属板が配置されており、ドレイン端子 1 5 上に接合 F E T 1 7 とダイオード 1 8 が半田でボンディングされている。接合 F E T 1 7 のソース電極はソース端子 1 9 に、ゲート電極はゲート端子 2 0 に、ダイオード 1 8 のアノードはソース端子 1 9 にそれぞれワイヤーでボンディングされている。このとき、ダイオード 1 8 は S i C のショットキーバリアダイオードを用いている。これは、S i の p n ダイオードに比べオン電圧が低いだけでなく、ユニポーラ素子であるためにスイッチング損失も小さいためである。本実装例は、S i の技術と同様である。また、本発明の第 2 の実施例ではショットキーダイオードを内蔵しているため、ダイオード 1 8 は不要である。

実施例 4

[0046] 実施例 4 は本発明の接合 F E T のゲートドライバ回路の一例である。図 1 4 の回路図を用いて説明する。正負の二つの電源を用いている。本発明の接合 F E T は閾値電圧が 1 V 程度と低いため、スイッチングのスピードアップと誤動作の防止を図るために正負の電源を用いている。ただし、小電流でノ

イズが小さい場合等においては正の電源ひとつでも問題ない。従来は、スイッチングの際にゲートに大電流が流れてしまっていたため、バイポーラトランジスタを２段にして使用していたが、本発明ではゲート電流が小さく抑えられるため、バイポーラトランジスタ１段でゲートドライバを構成している。

実施例 5

[0047] 実施例 5 は本発明の接合 F E T をインバータに適用した際の回路図である。図 15 の回路図を用いて説明する。従来 600 V 系で使用されている S i - I G B T を本発明の接合 F E T に置き換えることにより、素子のオン抵抗が低いため導通損失が低減でき、さらにユニポーラ素子であるためスイッチング損失も低減できることから、トータルで損失を約 40 % 低減することができた。

[0048] 以上、実施例 1 ～ 5 について説明した。これらの実施例はすべて炭化珪素基板を例に説明したが、窒化ガリウム等のワイドバンドギャップ半導体にはすべて適用可能である。

符号の説明

[0049] 1 ドレイン領域、2 ドリフト領域、3 ソース領域、4 ゲート領域、5 n 型領域、6 トレンチ底 p 領域、7 トレンチ底コンタクト領域、8 ソースコンタクト領域、9 ソース電極、10 ドレインコンタクト領域、11 トレンチ、12 層間絶縁膜、13 ゲートコンタクト領域、14 ショットキーコンタクト領域、15 ドレイン端子、16 絶縁基板、17 接合 F E T、18 ダイオード、19 ソース端子、20 ゲート端子、21 酸化珪素、22 p 領域、23 n 領域、24 層間絶縁膜、25 ソースパッド、26 ゲートパッド、27 アモルファスシリコン、28 サイドウォール、29 S i O C、30 ソース配線

請求の範囲

- [請求項1] 炭化珪素基板に設けられた第1導電型のドレイン層と、
前記ドレイン層上に形成された前記第1導電型の炭化珪素層と、
前記炭化珪素層に形成された複数のトレンチと、
前記トレンチに挟まれた領域であって、当該領域の前記炭化珪素層の表面に形成された前記第1導電型のソース層と、
前記トレンチの側面に形成された、前記第1導電型と反対の導電型の第2導電型のゲート層と、
前記トレンチの底部に形成された、前記第2導電型の半導体層と、
前記炭化珪素基板の裏面に形成された第1の電極と、
前記ソース層と前記半導体層とに接続された第2の電極と、
前記ゲート層に接続された第3の電極と、を備え、
前記ゲート層の前記ドリフト層側の端部が、前記トレンチの底面よりも前記炭化珪素基板の表面側に形成されていることを特徴とする炭化珪素半導体装置。
- [請求項2] 請求項1記載の炭化珪素半導体装置において、
前記端部と前記トレンチの底面までの距離が $0.5\mu\text{m}$ 以上あることを特徴とする炭化珪素半導体装置。
- [請求項3] 請求項1記載の炭化珪素半導体装置において、
さらに、前記ゲート層と前記半導体層との間に、前記炭化珪素層よりも高い不純物濃度の前記第1導電型の半導体層を備えることを特徴とする炭化珪素半導体装置。
- [請求項4] 請求項1記載の炭化珪素半導体装置において、
前記半導体層は、前記トレンチの底面の底全体に形成されていることを特徴とする炭化珪素半導体装置。
- [請求項5] 請求項1記載の炭化珪素半導体装置において、
前記トレンチの底面中央部の前記炭化珪素層と前記第2の電極との間でショットキー接合を成すショットキー接合部があり、前記半導体層

は、前記ショットキー接合部を挟んで配置されていることを特徴とする炭化珪素半導体装置。

[請求項6] 請求項5記載の炭化珪素半導体装置において、
前記ショットキー接合を成す金属はチタン、モリブデン、ニッケル、またはこれらのシリコン化合物のいずれかであることを特徴とする炭化珪素半導体装置。

[請求項7] 請求項1記載の炭化珪素半導体装置において、
前記第1導電型はn型で、前記第2導電型はp型であることを特徴とする炭化珪素半導体装置。

[請求項8] 第1導電型のドレイン層上に形成された前記第1導電型の炭化珪素層を備えた炭化珪素基板であって、前記炭化珪素層の表面に、前記炭化珪素層の不純物濃度よりも高い濃度の前記第1導電型のソース層を形成する工程と、
前記炭化珪素層の表面に複数のトレンチを形成する工程と、
前記複数のトレンチの夫々の側壁に前記第1導電型と反対の導電型の第2導電型のゲート層を形成する工程と、
前記ゲート層を形成した後に、前記複数のトレンチをエッチングすることでさらに深いトレンチを形成する工程と、
前記複数の深いトレンチの夫々の底部に前記第2導電型の半導体層を形成する工程と、
前記炭化珪素基板の裏面に第1の電極を形成する工程と、
前記ソース層及び前記半導体層に接続する第2の電極を形成する工程と、
前記ゲート層と接続する第3の電極を形成する工程と、を備えることを特徴とする炭化珪素半導体装置の製造方法。

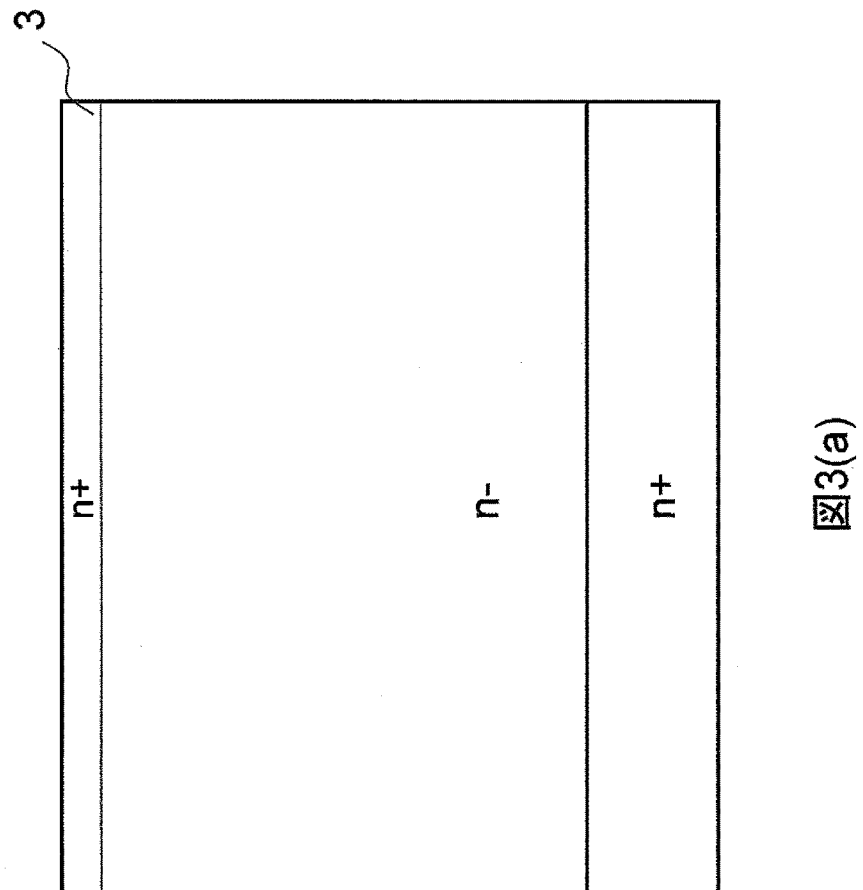
[請求項9] 請求項8記載の炭化珪素半導体装置の製造方法において、
前記エッチングは0.5 μm 以上行うことを特徴とする炭化珪素半導体装置の製造方法。

- [請求項10] 請求項8記載の炭化珪素半導体装置の製造方法において、
さらに、前記エッチングによって露出した深いトレンチの側壁に、前記炭化珪素層よりも高い不純物濃度の前記第1導電型の半導体層を形成する工程を備えることを特徴とする炭化珪素半導体装置の製造方法。
- [請求項11] 第1導電型のドレイン層上に形成された前記第1導電型の炭化珪素層を備えた炭化珪素基板であって、前記炭化珪素層の表面に、前記炭化珪素層の不純物濃度よりも高い濃度の前記第1導電型のソース層を形成する工程と、
前記炭化珪素層の表面に複数のトレンチを形成する工程と、
前記複数のトレンチの夫々の側壁に前記第1導電型と反対の導電型の第2導電型のゲート層を形成する工程と、
前記ゲート層を形成した後に、前記複数のトレンチをエッチングすることでさらに深いトレンチを形成する工程と、
前記複数の深いトレンチの夫々の底部の外周部に前記第2導電型の半導体層を形成する工程と、
前記複数の深いトレンチの夫々の前記半導体層に挟まれた領域に、ショットキー接合を形成する工程と、
前記炭化珪素基板の裏面に第1の電極を形成する工程と、
前記ソース層、前記半導体層および前記ショットキー接合に接続する第2の電極を形成する工程と、
前記ゲート層と接続する第3の電極を形成する工程と、を備えることを特徴とする炭化珪素半導体装置の製造方法。
- [請求項12] 請求項11記載の炭化珪素半導体装置の製造方法において、
前記エッチングは0.5 μm 以上行うことを特徴とする炭化珪素半導体装置の製造方法。
- [請求項13] 請求項11記載の炭化珪素半導体装置の製造方法において、
さらに、前記エッチングによって露出した深いトレンチの側壁に、前

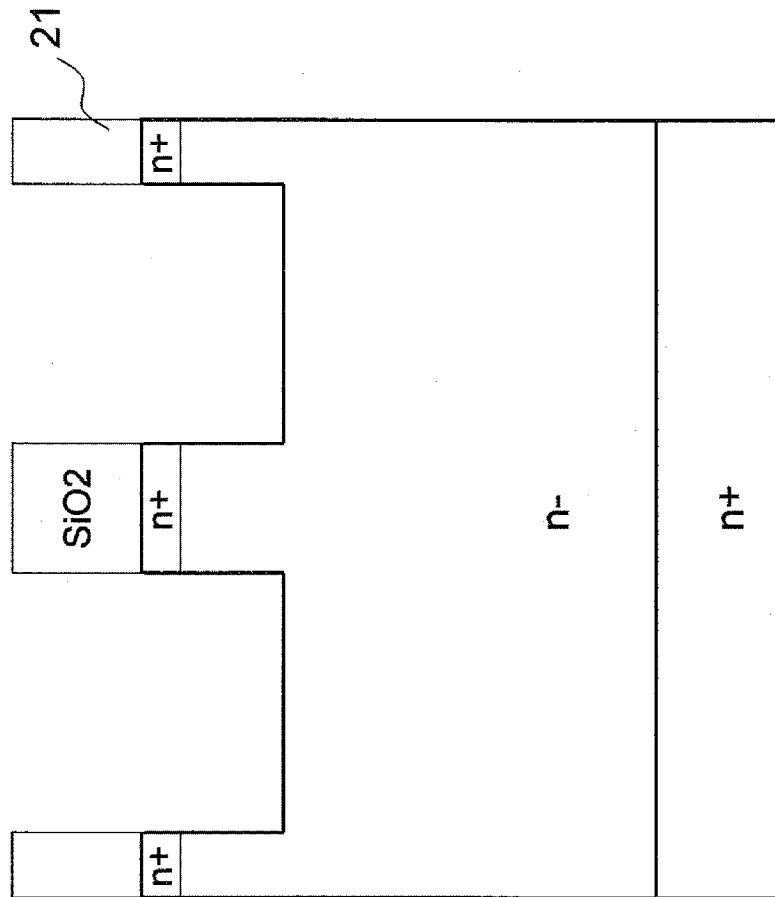
記炭化珪素層よりも高い不純物濃度の前記第 1 導電型の半導体層を形成する工程を備えることを特徴とする炭化珪素半導体装置の製造方法

。

[図3(a)]

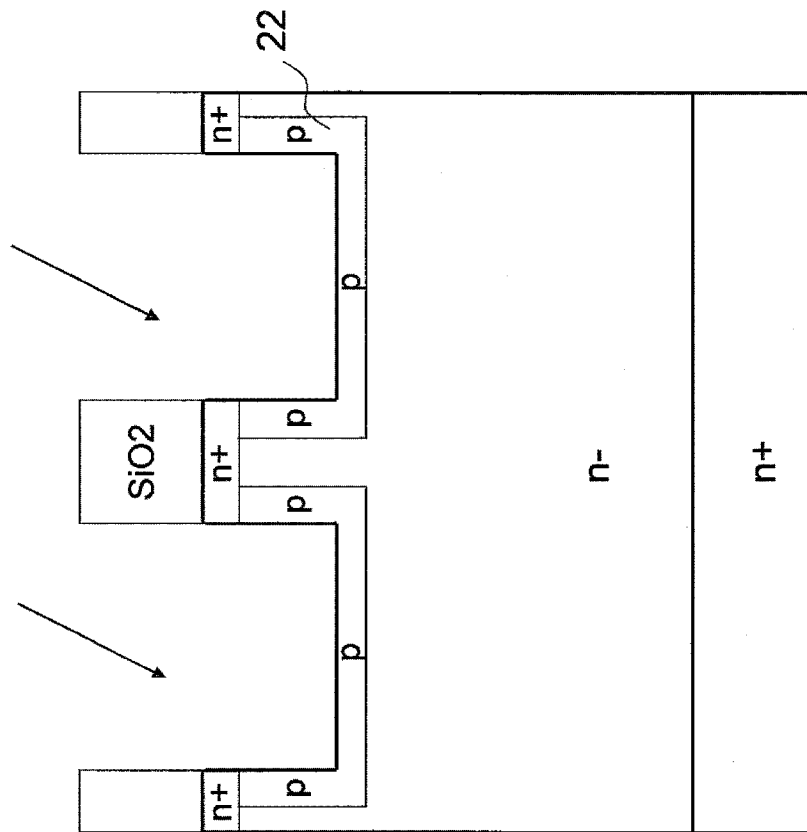


[図3(b)]



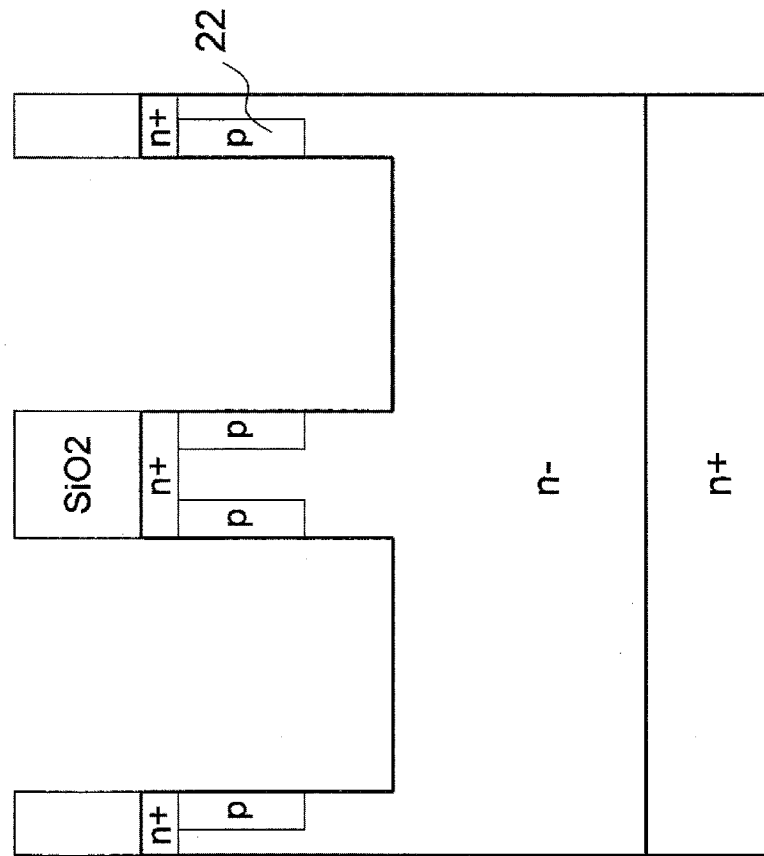
[図3(b)]

[図3(c)]



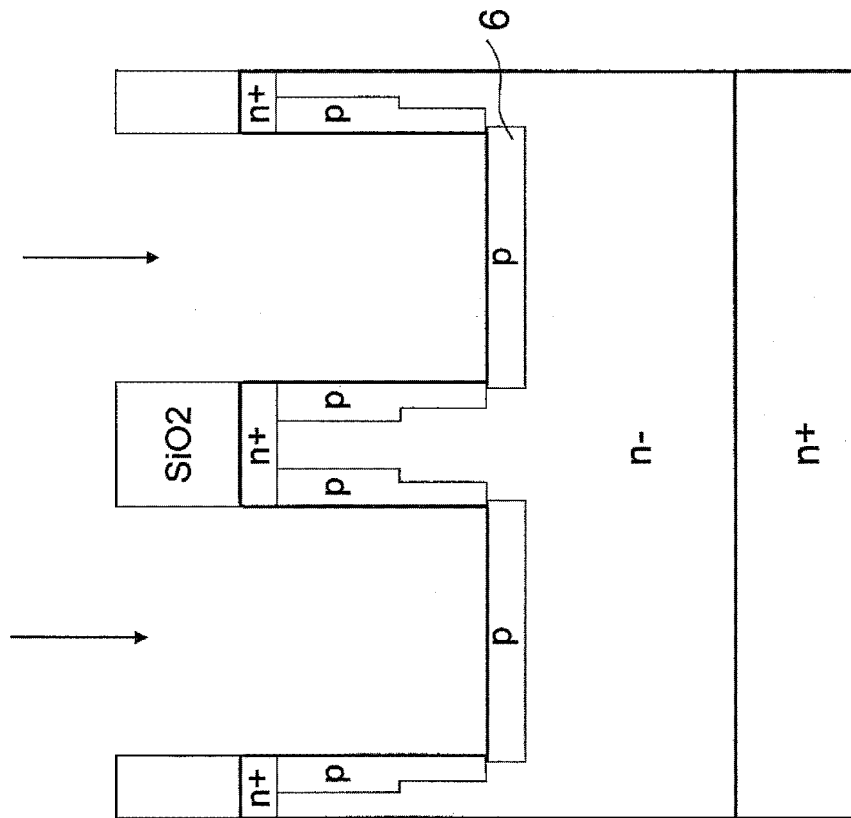
[図3(c)]

[図3(d)]



[図3(d)]

[図3(e)]



[図3(e)]

[図3(f)]

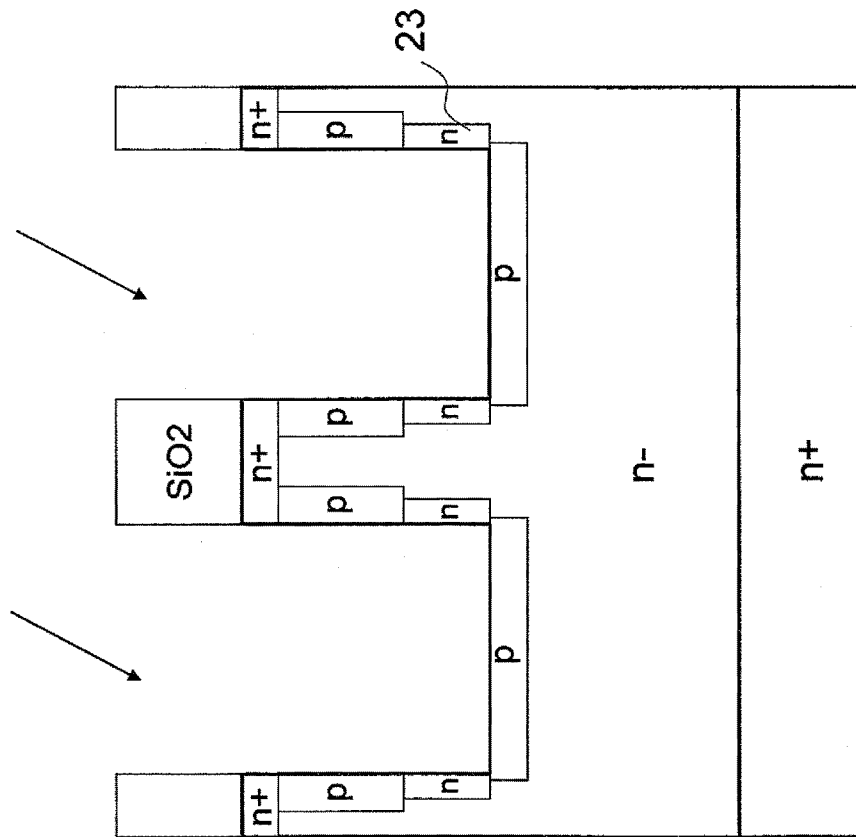


図3(f)

[図3(g)]

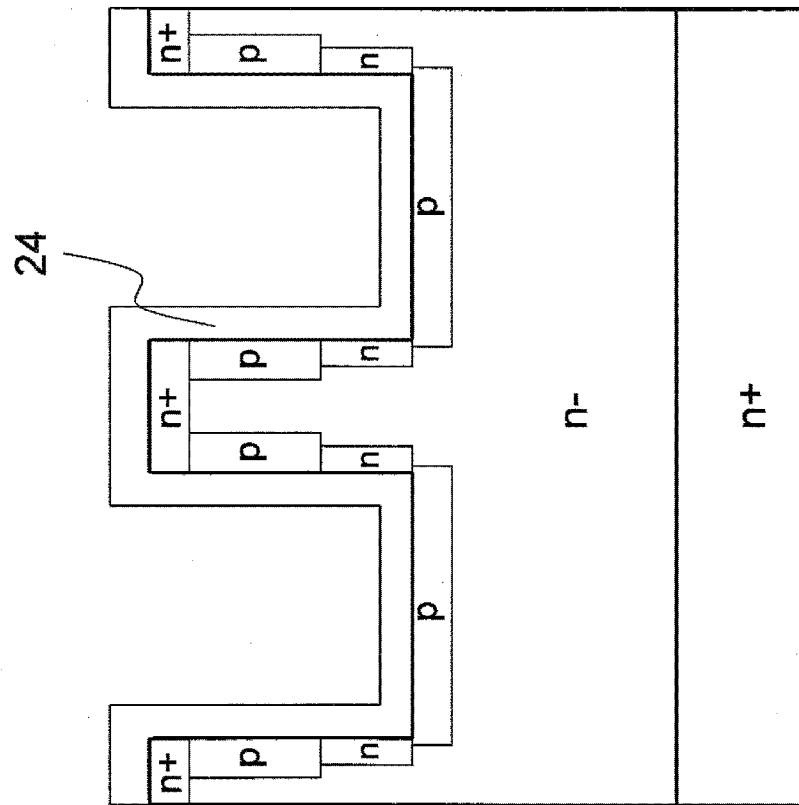
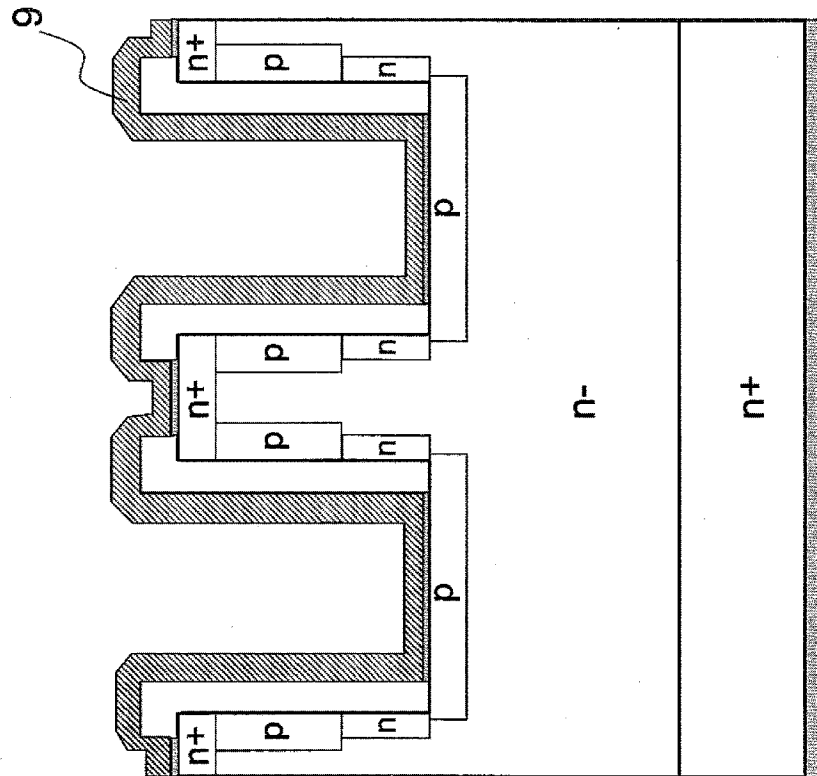


図3(g)

[図3(i)]



[図3(i)]

[図4]

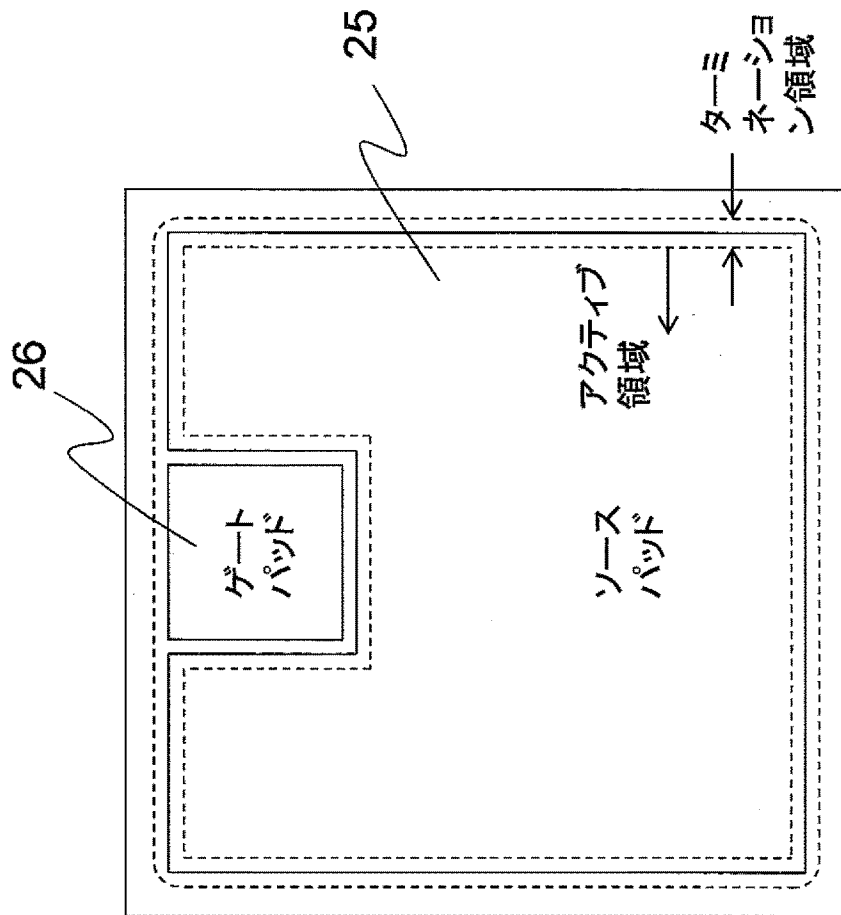
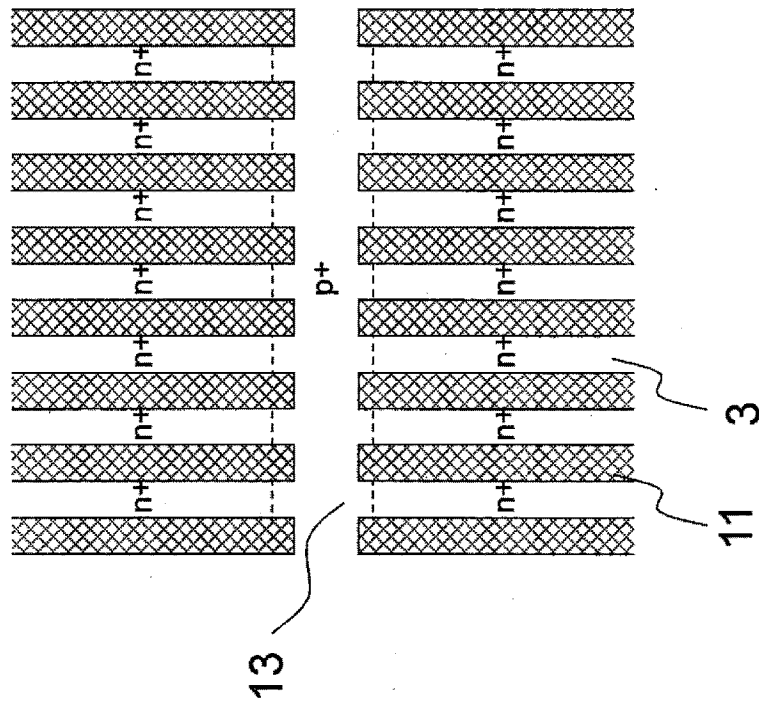


図4

[図5]



[図5]

[図6]

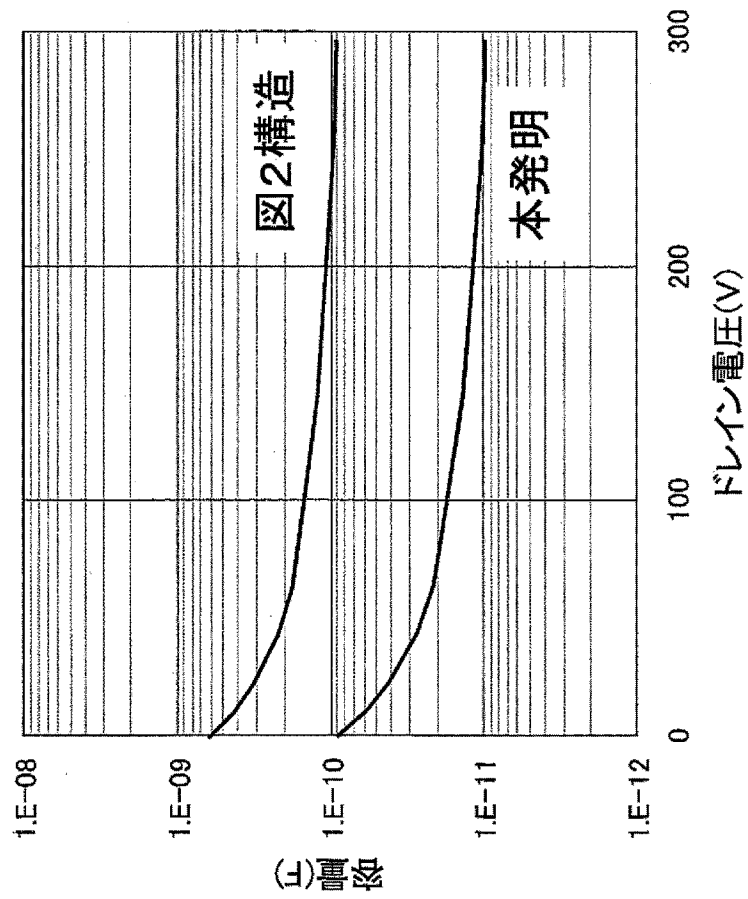


図6

[図7]

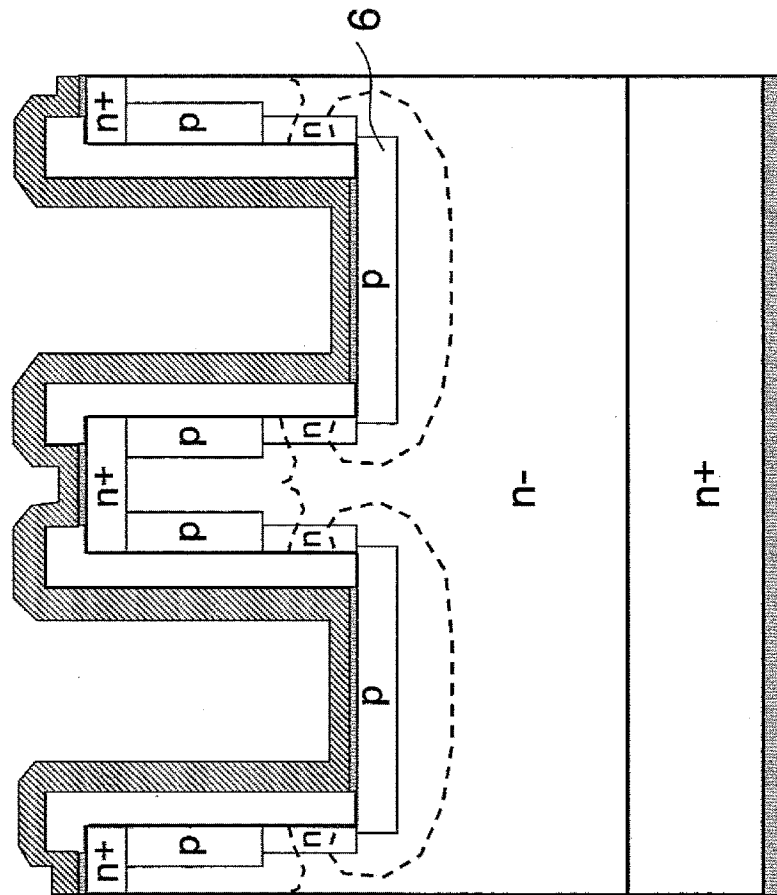


図7

[図8]

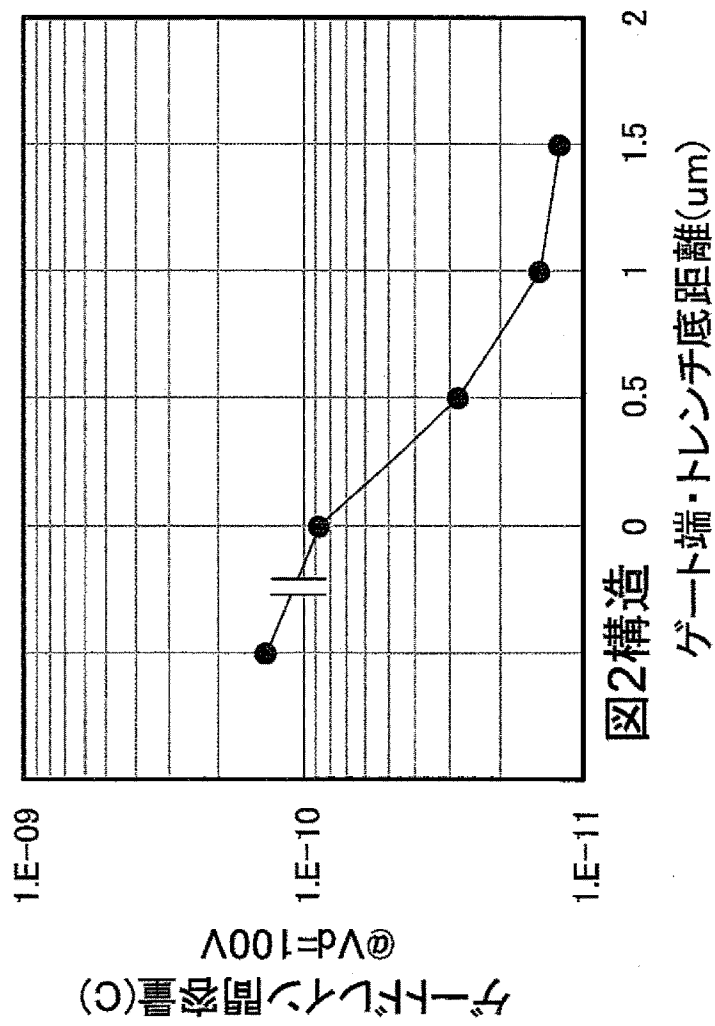


図8

[図9]

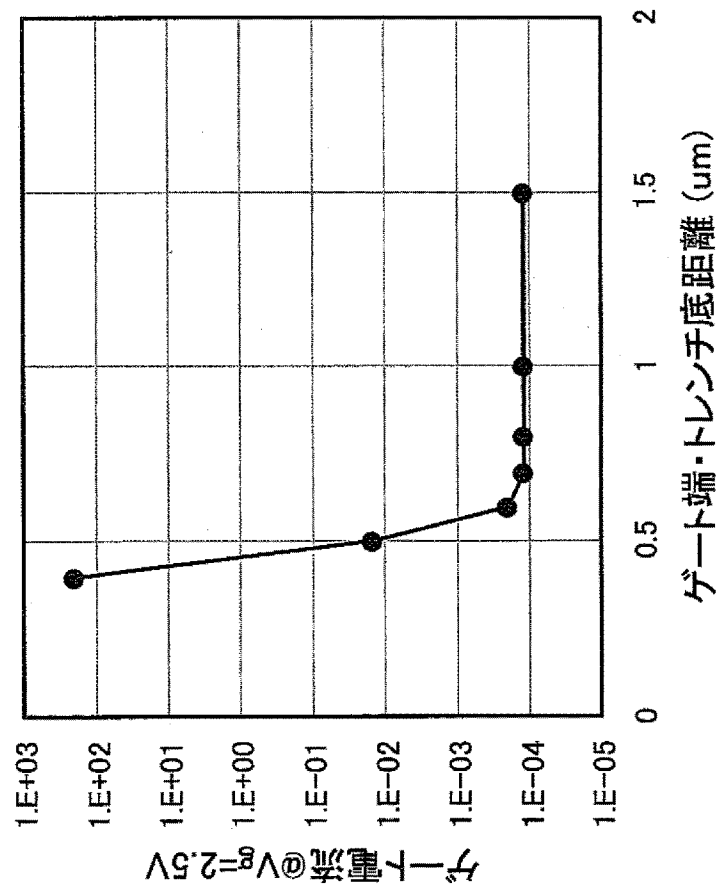
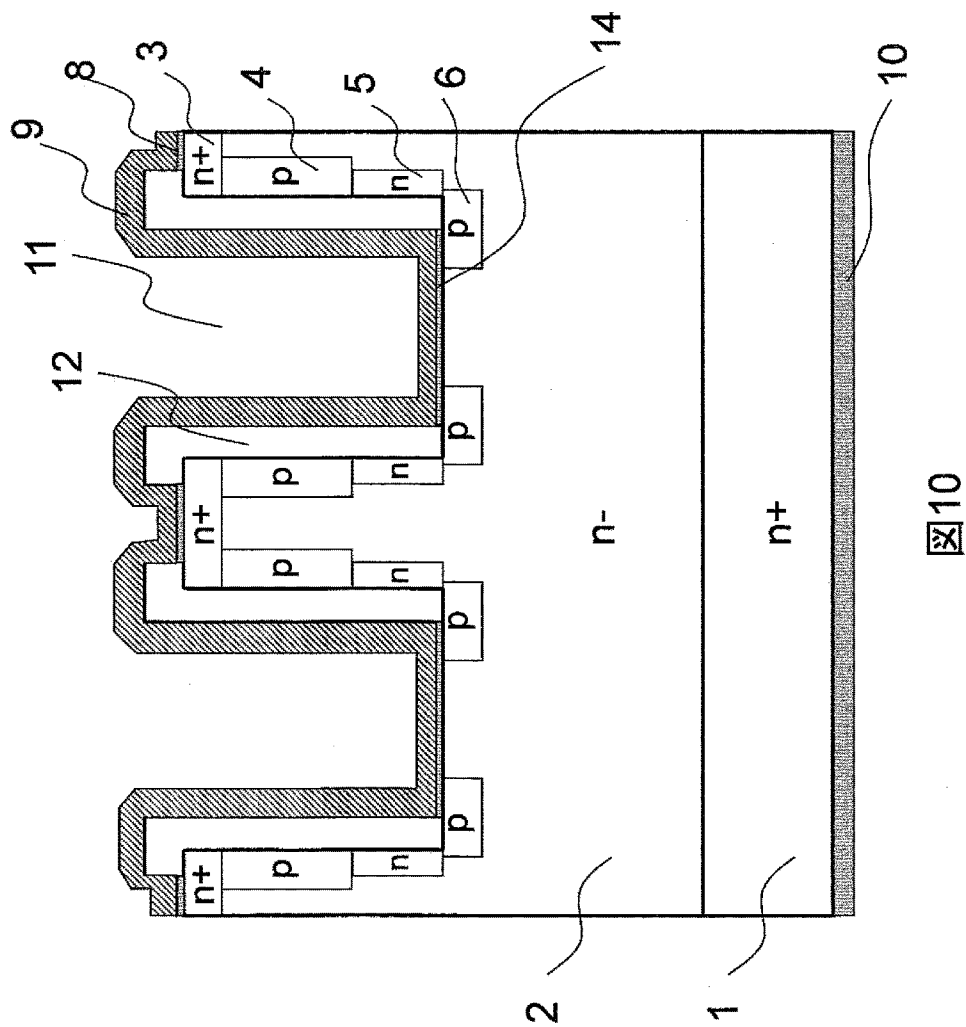


図9

[図10]



[図11(a)]

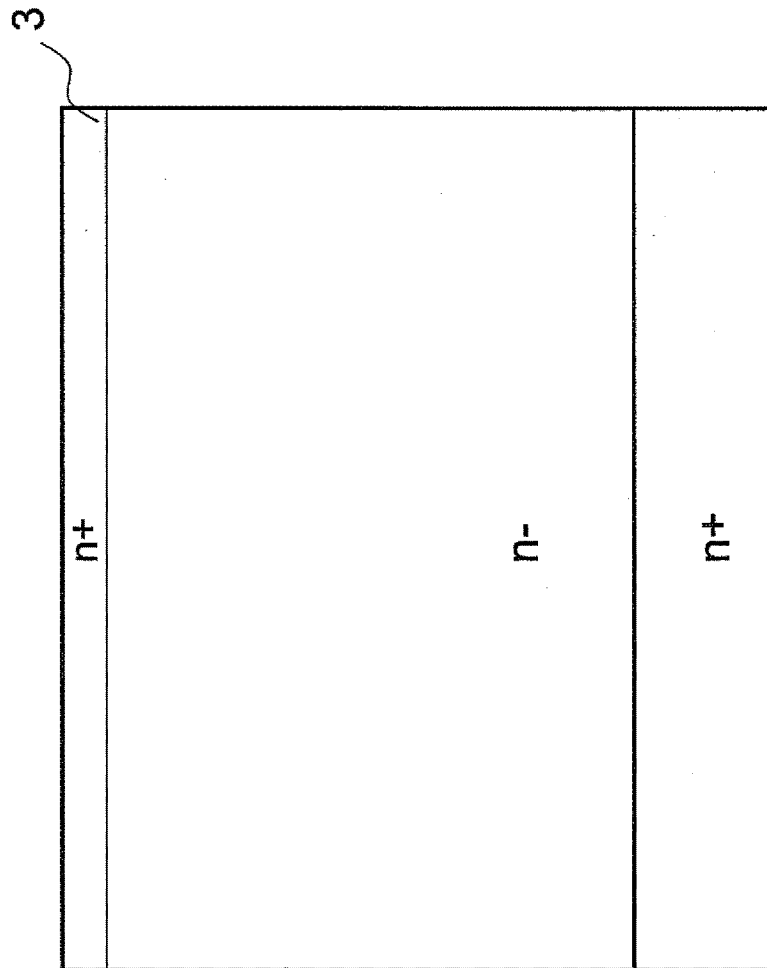


図11(a)

[図11(b)]

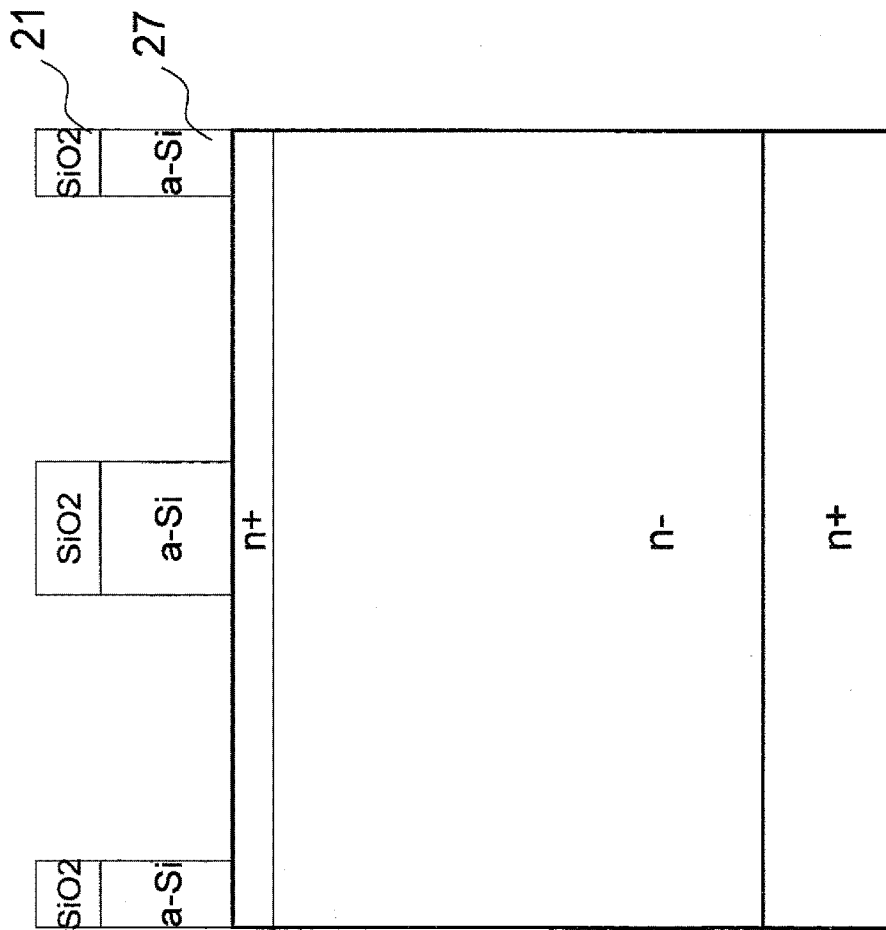


図11(b)

[図11(c)]

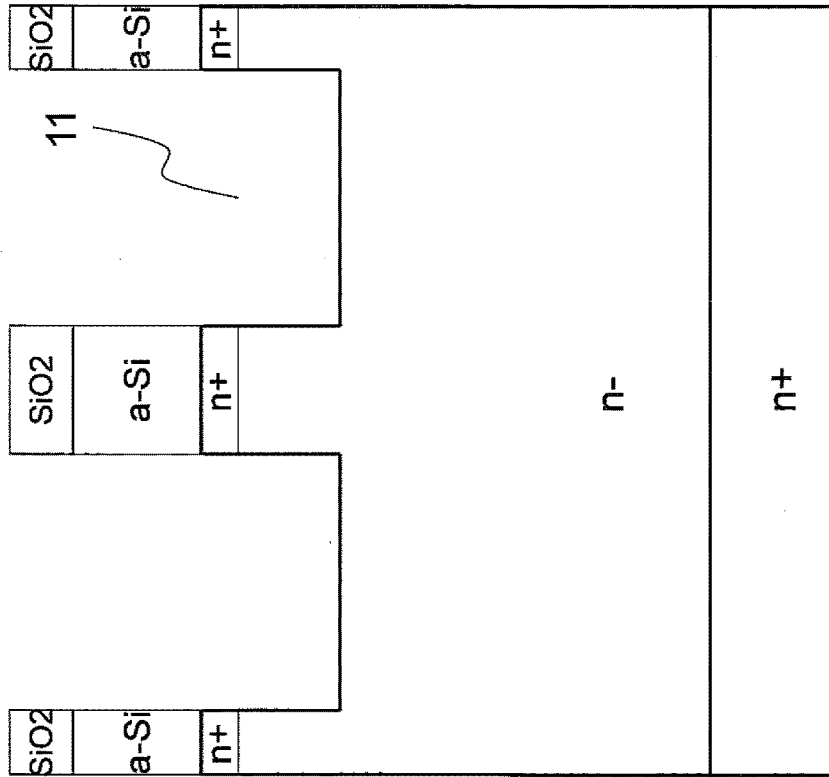
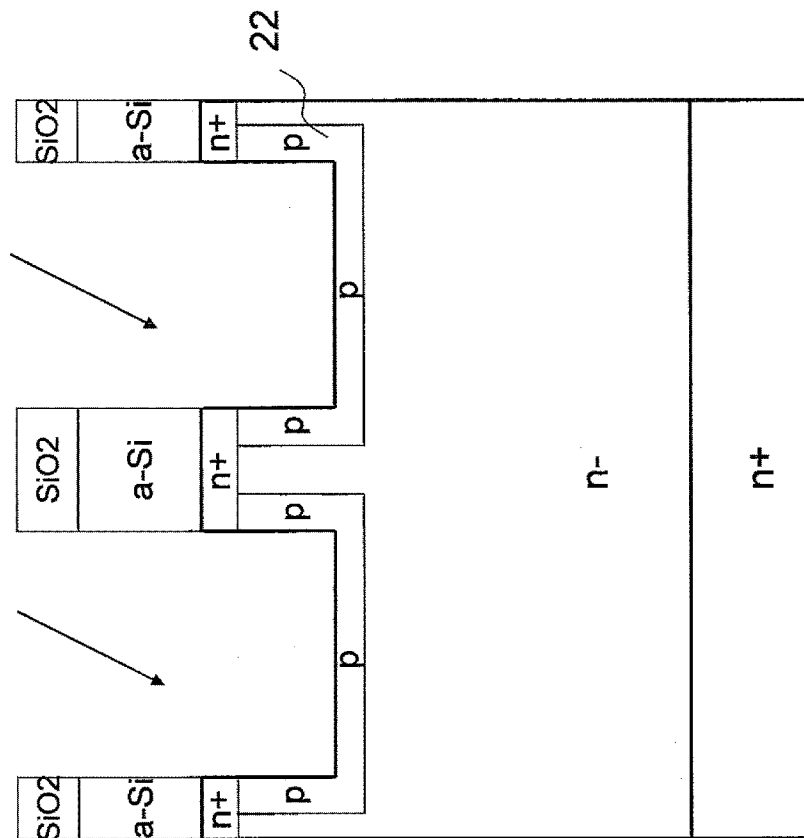


図11(c)

[図11(d)]



[図11(d)]

[図11(e)]

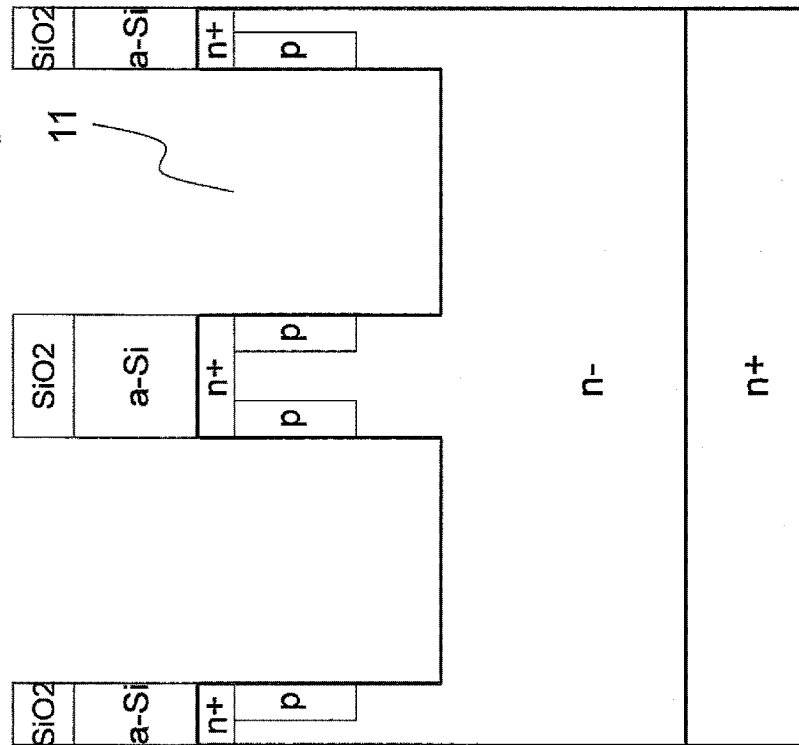


図11(e)

[図11(f)]

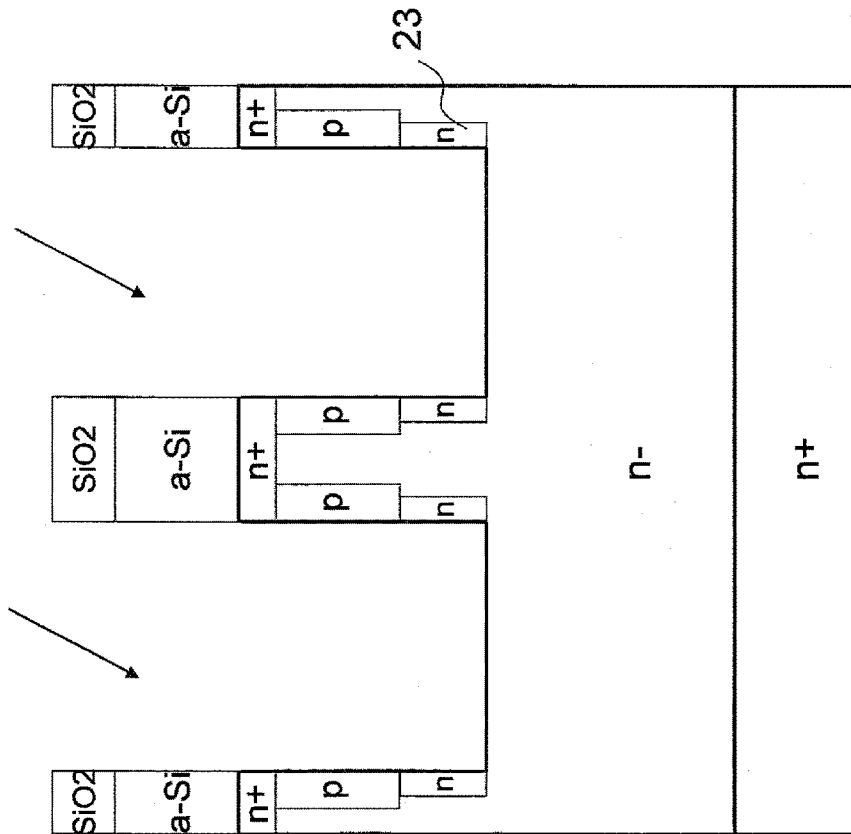


図11(f)

[図11(g)]

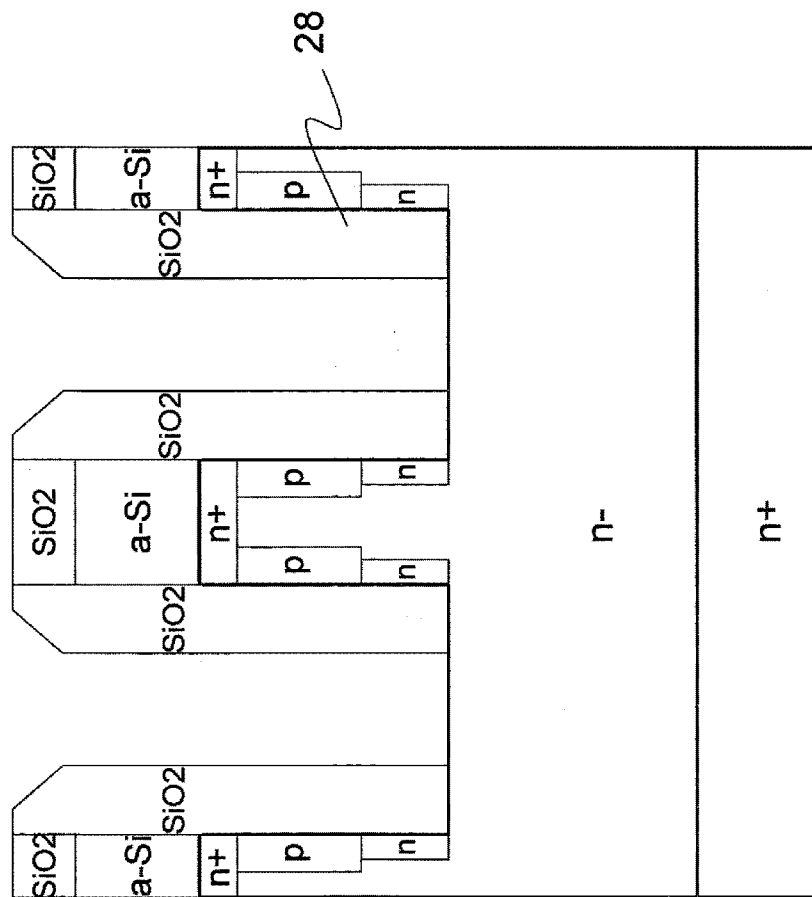
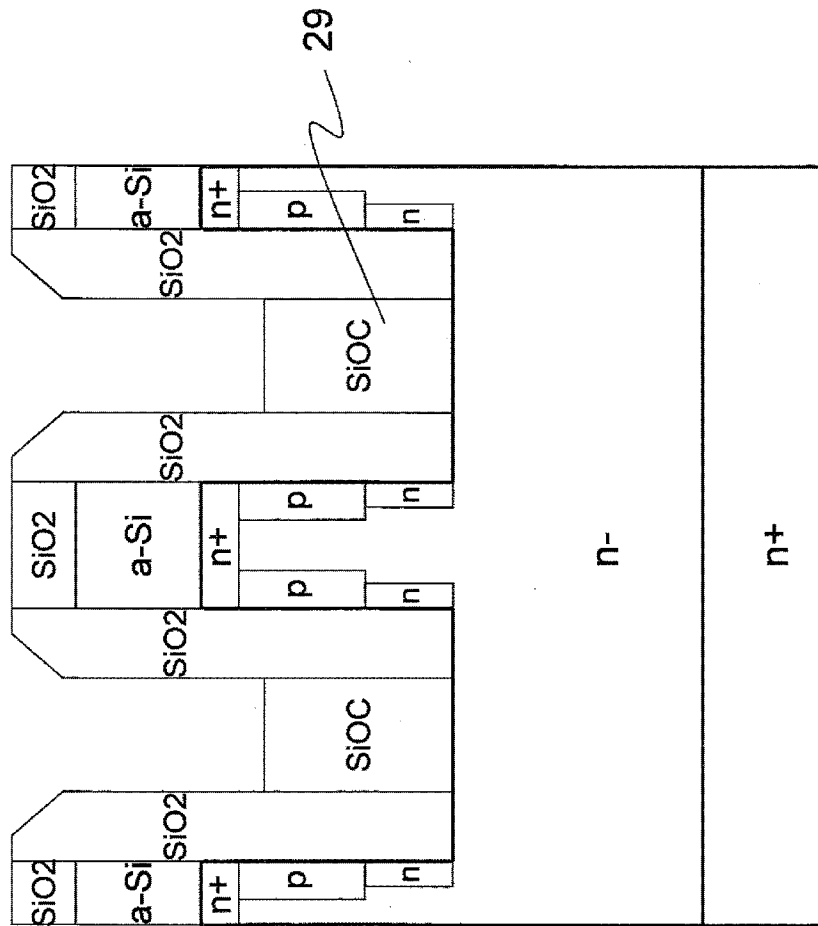


図11(g)

[図11(h)]



[図11(h)]

[図11(i)]

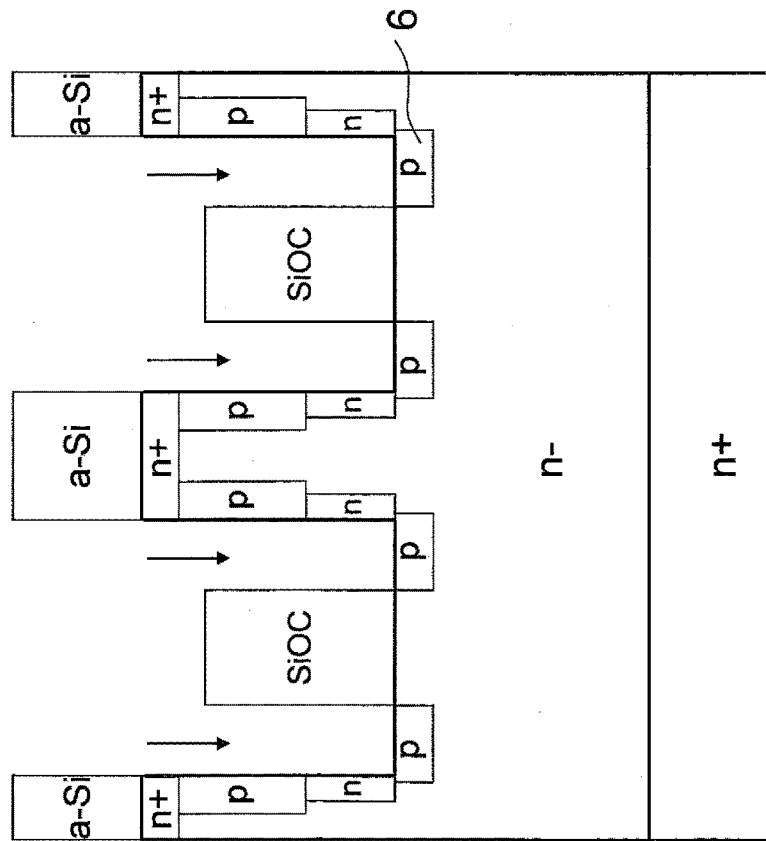


図11(i)

[図11(j)]

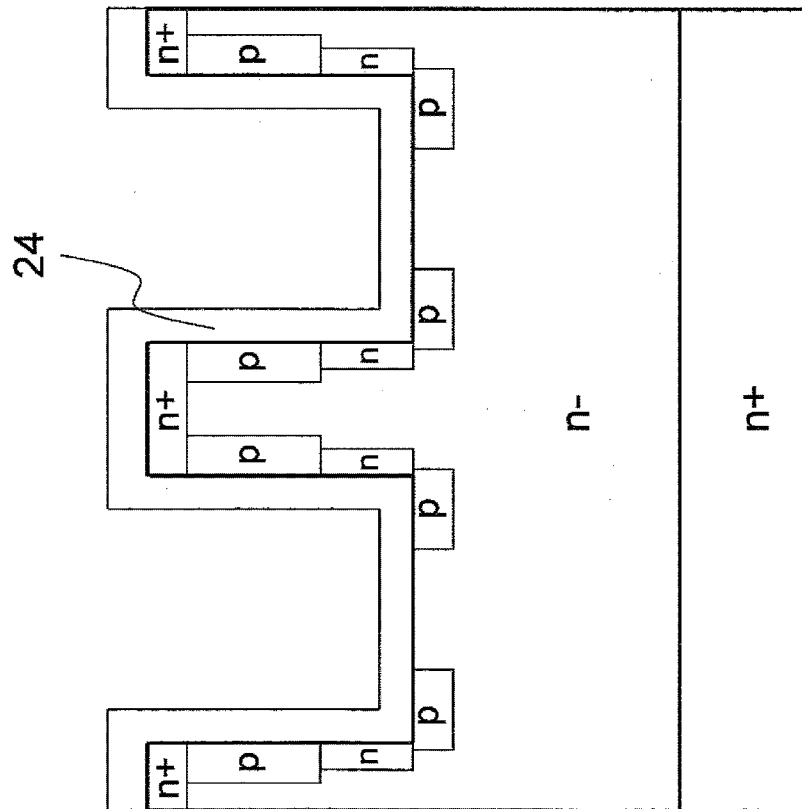
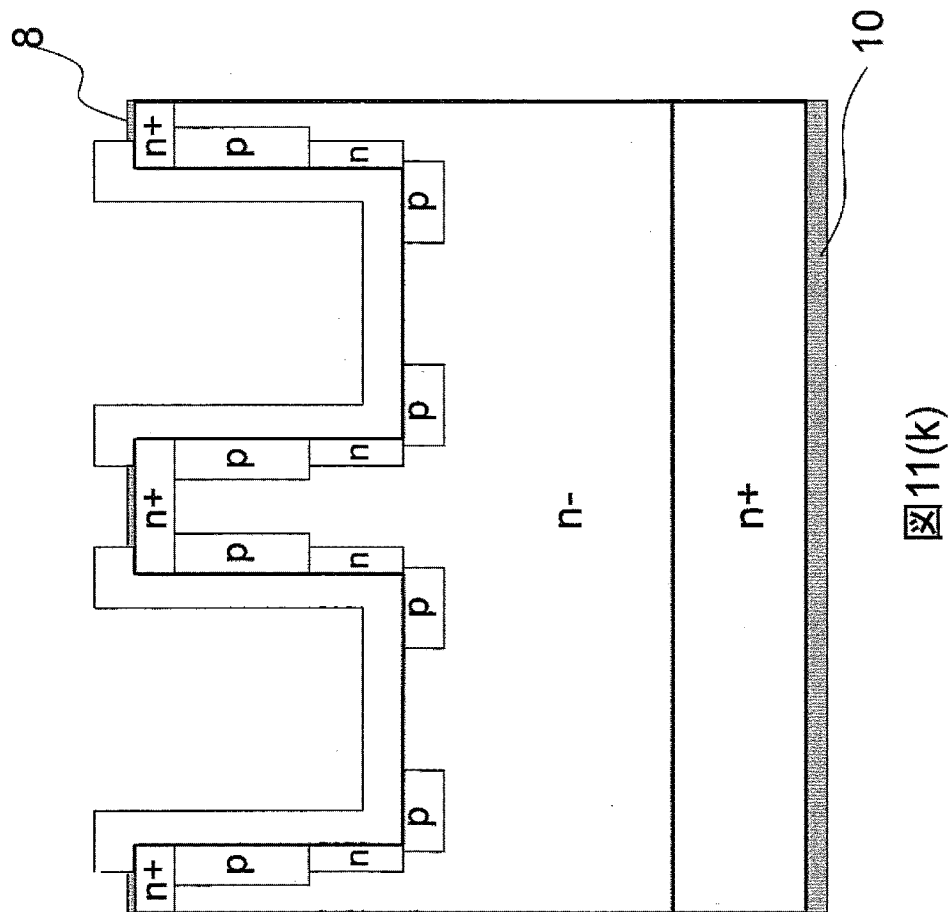
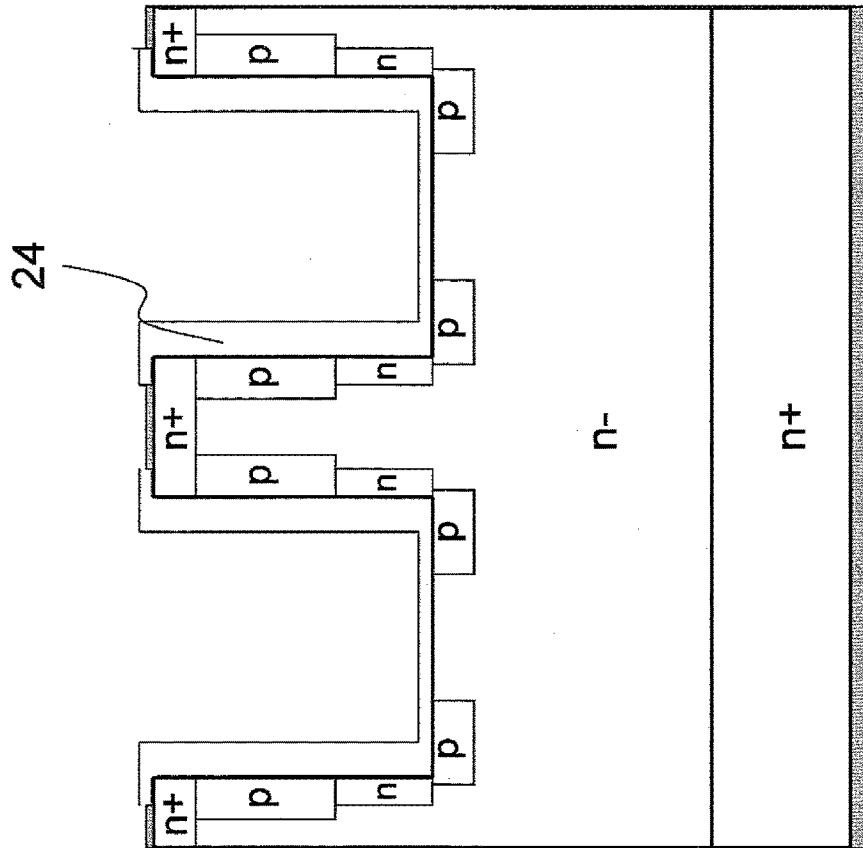


図11(j)

[図11(k)]



[図11(I)]



[図11(I)]

[図11(m)]

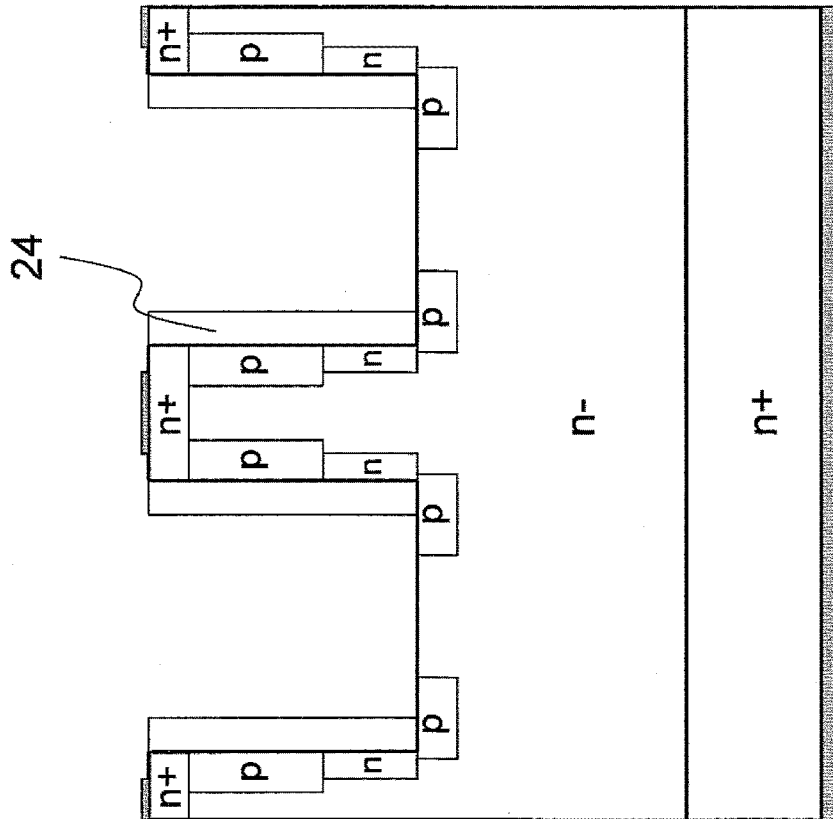


図11(m)

Figure 11(n) is a cross-sectional view of a semiconductor device. It shows a substrate with a central n^- region and n^+ regions on either side. A series of p-n junctions, labeled 30, are formed on the top surface of the substrate. Each junction consists of a p-layer and an n-layer. The p-layers are labeled p, and the n-layers are labeled n^+ . The junctions are separated by n^- regions. The device is shown in a cross-section with a hatched pattern on the right side.

[図12]

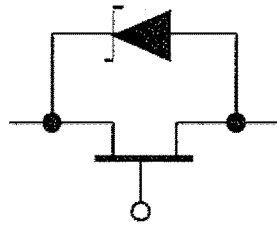


図12

[図13]

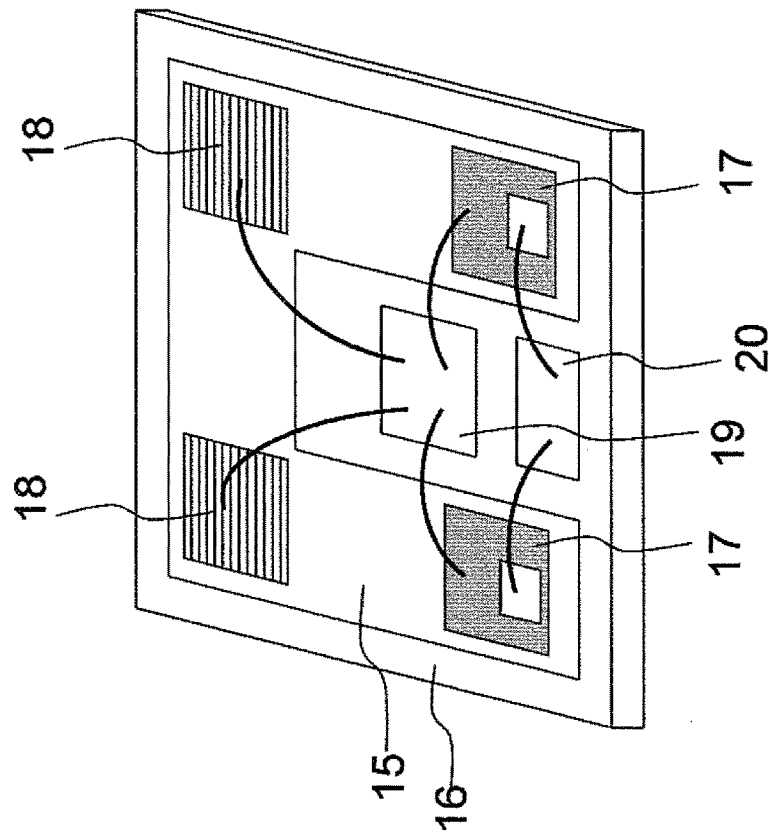


図13

[図14]

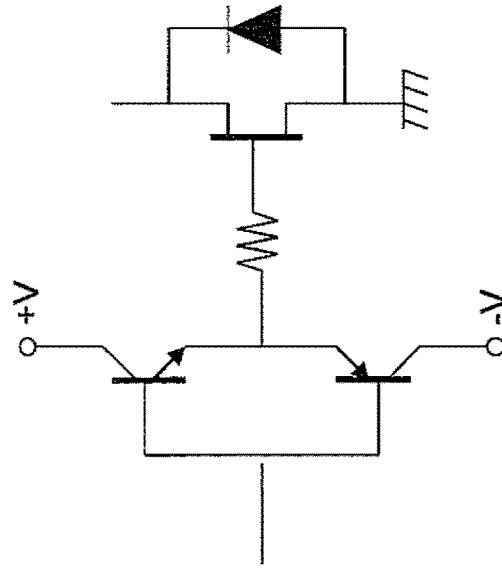


図14

[図15]

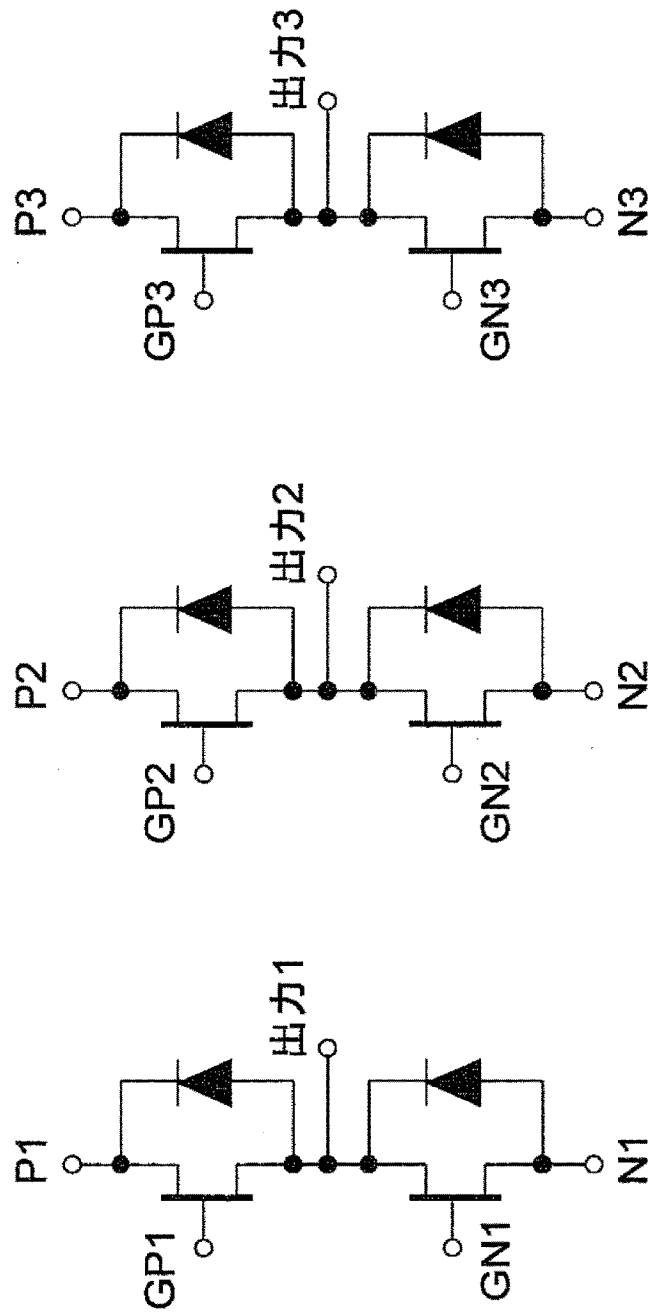


図15

[図16]

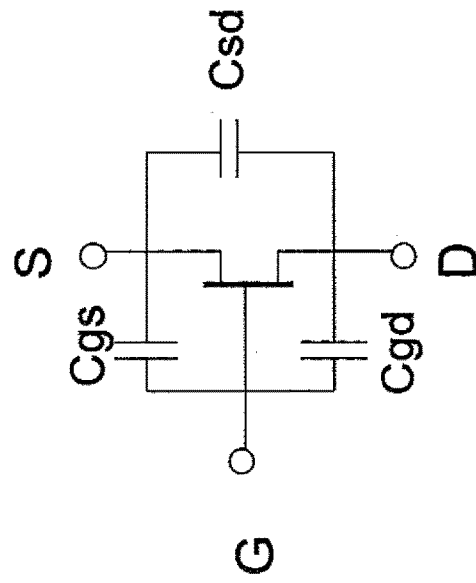


図16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/001886

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/80(2006.01)i, H01L21/337(2006.01)i, H01L21/8232(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L29/12(2006.01)i, H01L29/47(2006.01)i, H01L29/78(2006.01)i, H01L29/808(2006.01)i, H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/80, H01L21/337, H01L21/8232, H01L27/04, H01L27/06, H01L29/12, H01L29/47, H01L29/78, H01L29/808, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-063507 A (Sumitomo Electric Industries, Ltd.), 26 February 2004 (26.02.2004), paragraph [0080] & US 2005/0230715 A1 & US 2007/0278540 A1 & EP 1542270 A1 & WO 2004/010489 A1 & CN 1666325 A & TW 288480 B & KR 10-2005-0021471 A	1-13
A	JP 2003-068760 A (Denso Corp.), 07 March 2003 (07.03.2003), paragraphs [0034] to [0039]; fig. 12 to 17 (Family: none)	5, 6, 11-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 June, 2011 (21.06.11)

Date of mailing of the international search report
28 June, 2011 (28.06.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/001886

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010/0003573 A1 (STMICROELECTRONICS S.A.), 07 January 2010 (07.01.2010), paragraphs [0032] to [0062]; fig. 1 to 9 & EP 2017879 A2	1-13
A	JP 2003-318409 A (Denso Corp.), 07 November 2003 (07.11.2003), paragraphs [0075] to [0084]; fig. 4, 5 (Family: none)	1-13
A	JP 2003-069042 A (Denso Corp.), 07 March 2003 (07.03.2003), paragraph [0036] (Family: none)	1-13
A	JP 9-508492 A (North Caroline State University), 26 August 1997 (26.08.1997), page 14, line 13 to page 23, line 5; fig. 5 to 11 & US 5396085 A & EP 737365 A & WO 1995/018465 A1 & DE 69412515 D & AU 1439495 A	1-13

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/80(2006.01)i, H01L21/337(2006.01)i, H01L21/8232(2006.01)i, H01L27/04(2006.01)i,
H01L27/06(2006.01)i, H01L29/12(2006.01)i, H01L29/47(2006.01)i, H01L29/78(2006.01)i,
H01L29/808(2006.01)i, H01L29/872(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/80, H01L21/337, H01L21/8232, H01L27/04, H01L27/06, H01L29/12, H01L29/47, H01L29/78,
H01L29/808, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-063507 A (住友電気工業株式会社) 2004.02.26, 段落[0080] & US 2005/0230715 A1 & US 2007/0278540 A1 & EP 1542270 A1 & WO 2004/010489 A1 & CN 1666325 A & TW 288480 B & KR 10-2005-0021471 A	1-13
A	JP 2003-068760 A (株式会社デンソー) 2003.03.07, 段落[0034]-[0039], 図 12-17 (ファミリーなし)	5, 6, 11-13

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 6 . 2 0 1 1

国際調査報告の発送日

2 8 . 0 6 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

原 和秀

4 M

4 0 3 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2010/0003573 A1 (STMICROELECTRONICS S.A.) 2010.01.07, 段落[0032]-[0062], Fig.1-9 & EP 2017879 A2	1-13
A	JP 2003-318409 A (株式会社デンソー) 2003.11.07, 段落[0075]-[0084], 図 4, 5 (ファミリーなし)	1-13
A	JP 2003-069042 A (株式会社デンソー) 2003.03.07, 段落[0036] (ファミリーなし)	1-13
A	JP 9-508492 A (ノース カロライナ ステート ユニバシティ) 1997.08.26, 第 14 頁第 13 行-第 23 頁第 5 行, 図 5-11 & US 5396085 A & EP 737365 A & WO 1995/018465 A1 & DE 69412515 D & AU 1439495 A	1-13