

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/31 (2006.01)

H01L 21/768 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200510126871.9

[45] 授权公告日 2009年4月8日

[11] 授权公告号 CN 100477106C

[22] 申请日 2005.11.24

[21] 申请号 200510126871.9

[30] 优先权

[32] 2004.12.9 [33] JP [31] 2004-356618

[32] 2005.8.16 [33] JP [31] 2005-235850

[73] 专利权人 富士通株式会社

地址 日本神奈川县

[72] 发明人 中田义弘 尾崎史朗 矢野映

[56] 参考文献

US6737349B2 2004.5.18

CN1787186A 2006.6.14

US6331380B1 2001.12.18

JP10-256363A 1998.9.25

US2004/0132276A1 2004.7.8

US5461003A 1995.10.24

审查员 季茂源

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 郑小军 郑特强

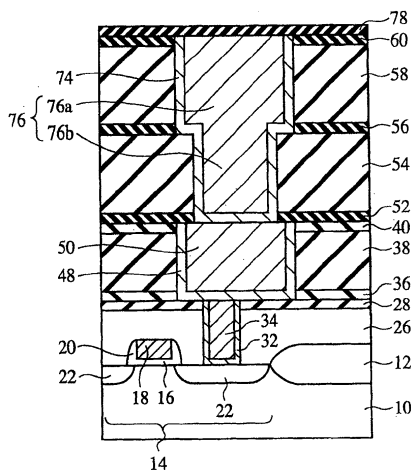
权利要求书 2 页 说明书 61 页 附图 19 页

[54] 发明名称

半导体器件制造方法

[57] 摘要

一种半导体器件制造方法，包括：在半导体衬底 10 上方形成第一多孔绝缘膜 38 的步骤；形成第二绝缘膜 40 的步骤，该第二绝缘膜的密度比该第一多孔绝缘膜 38 的密度更大；以及利用存在的该第二绝缘膜 40 将电子束、UV 射线或者等离子体施加至该第一多孔绝缘膜 38 以固化该第一多孔绝缘膜 38 的步骤。由于将电子束等通过更致密的第二绝缘膜 40 施加至该第一多孔绝缘膜 38，从而能够无损坏地固化该第一多孔绝缘膜 38。由于能够保持该第一多孔绝缘膜 38 不被损坏，因而能够防止吸水性和密度增加，进而能够防止介电常数变大。从而，本发明能够提供包括低介电常数和高机械强度绝缘膜的半导体器件。



1、一种半导体器件制造方法，包括以下步骤：

在半导体衬底上方形成第一多孔绝缘膜；

在该第一多孔绝缘膜上方形成第二绝缘膜，该第二绝缘膜的密度大于该第一多孔绝缘膜的密度；以及

通过该第一多孔绝缘膜上存在的该第二绝缘膜，将电子束、UV 射线或者等离子体施加于该第一多孔绝缘膜，以固化该第一多孔绝缘膜，

其中，形成该第一多孔绝缘膜的步骤包括：涂覆包含簇状化合物的绝缘材料的步骤以及进行热处理以蒸发该绝缘膜材料中的溶剂的步骤，由此制造该第一多孔绝缘膜。

2、根据权利要求1所述的半导体器件制造方法，其中

在固化该第一多孔绝缘膜的步骤中，在施加电子束、UV 射线或者等离子体的同时进行热处理，由此固化该第一多孔绝缘膜。

3、根据权利要求1所述的半导体器件制造方法，其中

在固化该第一多孔绝缘膜的步骤中，不加热该半导体衬底，而施加 UV 射线或者等离子体，由此固化该第一多孔绝缘膜。

4、根据权利要求1所述的半导体器件制造方法，其中

在固化该第一多孔绝缘膜的步骤中，以 1-100eV 的施加能量施加等离子体以固化该第一多孔绝缘膜。

5、根据权利要求1所述的半导体器件制造方法，其中该第二绝缘膜的密度是  $1-3\text{g/cm}^3$ 。

6、根据权利要求5所述的半导体器件制造方法，其中该第二绝缘膜的密度是  $1-2.5\text{g/cm}^3$ 。

7、根据权利要求1所述的半导体器件制造方法，其中该第二绝缘膜的膜厚是 5-70nm。

8、根据权利要求7所述的半导体器件制造方法，其中该第二绝缘膜的膜厚是 10-50nm。

9、根据权利要求1所述的半导体器件制造方法，其中

在形成该第二绝缘膜的步骤中，通过气相沉积形成氧化硅膜、掺碳氧化

硅膜、SiC 氢化膜、SiC 氮化膜、或者 SiC 氢氧化膜的第二绝缘膜。

10、根据权利要求 1 所述的半导体器件制造方法，其中

形成该第二绝缘膜的步骤包括：通过涂覆形成氧化硅膜的步骤以及热处理该氧化硅膜的步骤，以形成氧化硅膜的该第二绝缘膜。

11、根据权利要求 2 所述的半导体器件制造方法，其中

在固化该第一多孔绝缘膜的步骤中，热处理温度是 200°C-500°C。

12、根据权利要求 1 所述的半导体器件制造方法，在固化该第一多孔绝缘膜的步骤之后，进一步包括：

在该第一多孔绝缘膜和该第二绝缘膜中形成沟槽的步骤；以及在该沟槽中埋入互连的步骤。

13、一种半导体器件制造方法，包括以下步骤：

在半导体衬底上方形成第一多孔绝缘膜；

在该第一多孔绝缘膜上方形成第二绝缘膜，该第二绝缘膜的密度大于该第一多孔绝缘膜的密度；以及

通过该第一多孔绝缘膜上存在的该第二绝缘膜，将电子束、UV 射线或者等离子体施加于该第一多孔绝缘膜，以固化该第一多孔绝缘膜，

其中，形成该第一多孔绝缘膜的步骤包括：涂覆包含热分解化合物的绝缘膜材料的步骤以及进行热处理以分解该热分解化合物而在该绝缘膜材料中形成孔的步骤，由此制造该第一多孔绝缘膜，以及

在形成该第一多孔绝缘膜的步骤中，进行热处理以使该第一多孔绝缘膜中的交联百分比为 10-90%。

## 半导体器件制造方法

### 技术领域

本发明涉及一种半导体器件制造方法，尤其涉及一种包含低介电常数绝缘膜的半导体器件的制造方法。

### 背景技术

近年来，随着半导体器件被日益集成，互连宽度和互连间距被设定得越来越小。现在提出使互连间距为  $0.1\mu\text{m}$  或者更小。互连之间的寄生电容与互连间距成反比，并且随着互连间距减小，互连之间的寄生电容增大。互连之间寄生电容的增大引起传播速度的延迟，这是阻碍半导体器件运行速度提高的因素。为了减小互连之间的寄生电容，使用低介电常数的材料作为层间绝缘膜的材料是有效途径。

传统上，使用二氧化硅 ( $\text{SiO}_2$ )、氮化硅 ( $\text{SiN}$ )、磷硅玻璃 (PSG) 等无机膜作为层间绝缘膜的材料。使用聚酰亚胺等有机膜等作为层间绝缘膜的材料。例如，通过 CVD 形成的  $\text{SiO}_2$  膜的介电常数约为 4。

SiOF 膜被提出作为介电常数低于  $\text{SiO}_2$  膜的绝缘膜。SiOF 膜的介电常数约为 3.3-3.5。但是，为了使互连之间的寄生电容足够低，需要使用介电常数更低的绝缘膜。

近年来，我们注意到多孔绝缘膜为介电常数非常低的绝缘膜。多孔绝缘膜是一种其中具有许多孔的膜。多孔绝缘膜被用作层间绝缘膜的材料，从而互连之间的寄生电容能被减小。

下列参考文献揭示了本发明的背景技术。

专利文献 1 日本专利申请待审公布 No.2002-26121 的说明书

专利文献 2 日本专利申请待审公布 No.2003-68850 的说明书

但是，这并不能说这种其中形成有许多孔的多孔绝缘膜具有足够的机械强度。这种绝缘膜中常会有裂缝，且该绝缘膜在结合 (bonding) 时常被折断。

### 发明内容

本发明的目的在于提供一种用于制造半导体器件的方法，该半导体器件包含介电常数非常低并具有足够机械强度的绝缘膜。

根据本发明的一个方案，提供有一种半导体器件制造方法，包括以下步骤：在半导体衬底上方形成第一多孔绝缘膜；在该第一多孔绝缘膜上方形成第二绝缘膜，该第二绝缘膜的密度比该第一多孔绝缘膜的密度更大；以及通过该第一多孔绝缘膜上存在的该第二绝缘膜，将电子束、UV 射线或者等离子体施加至该第一多孔绝缘膜，以固化该第一多孔绝缘膜。其中，形成该第一多孔绝缘膜的步骤包括：涂覆包含簇状化合物的绝缘材料的步骤以及进行热处理以蒸发该绝缘膜材料中的溶剂的步骤，由此制造该第一多孔绝缘膜。

本发明提供一种半导体器件制造方法，包括以下步骤：在半导体衬底上方形成第一多孔绝缘膜；在该第一多孔绝缘膜上方形成第二绝缘膜，该第二绝缘膜的密度大于该第一多孔绝缘膜的密度；以及通过该第一多孔绝缘膜上存在的该第二绝缘膜，将电子束、UV 射线或者等离子体施加于该第一多孔绝缘膜，以固化该第一多孔绝缘膜，其中，形成该第一多孔绝缘膜的步骤包括：涂覆包含热分解化合物的绝缘膜材料的步骤以及进行热处理以分解该热分解化合物而在该绝缘膜材料中形成孔的步骤，由此制造该第一多孔绝缘膜，以及在形成该第一多孔绝缘膜的步骤中，进行热处理以使该第一多孔绝缘膜中的交联百分比为 10-90%。

在本发明中，形成多孔层间绝缘膜，然后在该多孔层间绝缘膜上形成致密绝缘膜，并且将电子束、UV（紫外）射线或者等离子体通过该致密绝缘膜施加至该多孔层间绝缘膜。根据本发明，其中利用电子束或者其它方式固化该多孔层间绝缘膜，该多孔层间绝缘膜可具有非常高的机械强度。从而，根据本发明，能够防止该层间绝缘膜的裂化及结合等中层间绝缘膜的折断。此外，根据本发明，其中通过致密绝缘膜施加电子束或者其它，使该多孔层间绝缘膜不会受到损坏。从而，根据本发明，能够防止该多孔层间绝缘膜的吸水性增加。能够防止该多孔层间绝缘膜的密度增大。因此，根据本发明，能够防止该多孔层间绝缘膜的介电常数变大。从而，本发明能够提供一种低介电常数和高机械强度的多孔层间绝缘膜。本发明能够提供一种高运行速度和高可靠性的半导体器件。

## 附图说明

图 1A 至图 1C 是根据本发明的一个实施例在半导体器件制造方法的步骤中半导体器件的截面图，其示出该方法（部分 1）。

图2A至图2C是根据本发明的该实施例在半导体器件制造方法的步骤中该半导体器件的截面图，其示出该方法（部分2）。

图3A和图3B是根据本发明的该实施例在半导体器件制造方法的步骤中该半导体器件的截面图，其示出该方法（部分3）。

图4A和图4B是根据本发明的该实施例在半导体器件制造方法的步骤中该半导体器件的截面图，其示出该方法（部分4）。

图5A和图5B是根据本发明的该实施例在半导体器件制造方法的步骤中该半导体器件的截面图，其示出该方法（部分5）。

图6是根据本发明的该实施例在半导体器件制造方法的步骤中该半导体器件的截面图，其示出该方法（部分6）。

图7是根据本发明的该实施例在半导体器件制造方法的步骤中该半导体器件的截面图，其示出该方法（部分7）。

图8是根据本发明的该实施例在半导体器件制造方法的步骤中该半导体器件的截面图，其示出该方法（部分8）。

图9A至图9C是根据比较例在半导体器件制造方法的步骤中半导体器件的截面图，其示出该方法（部分1）。

图10A至图10C是根据比较例在半导体器件制造方法的步骤中半导体器件的截面图，其示出该方法（部分2）。

图11A和图11B是根据比较例在半导体器件制造方法的步骤中半导体器件的截面图，其示出该方法（部分3）。

图12A和图12B是根据比较例在半导体器件制造方法的步骤中半导体器件的截面图，其示出该方法（部分4）。

图13A和图13B是根据比较例在半导体器件制造方法的步骤中半导体器件的截面图，其示出该方法（部分5）。

图14A和图14B是根据比较例在半导体器件制造方法的步骤中半导体器件的截面图，其示出该方法（部分6）。

图15是根据比较例在半导体器件制造方法的步骤中半导体器件的截面图，其示出该方法（部分7）。

图16A和图16B是多孔层间绝缘膜中交联反应的概念视图。

图17A和图17B是多孔层间绝缘膜中孔尺寸的概念视图。

图18是等离子体的施加能量与多孔层间绝缘膜相对于基底的抗张强度之间关系的曲线图。

图19是等离子体的施加能量与多孔层间绝缘膜的介电常数之间关系的曲线图。

## 具体实施方式

如上所述，并不能说多孔绝缘膜具有足够的机械强度。

将电子束等施加至多孔绝缘膜，因此多孔绝缘膜的膜质量被改变，并且该多孔绝缘膜的机械强度得到提高。

但是，当将电子束等施加至多孔绝缘膜时，多孔绝缘膜会被损坏。当该多孔绝缘膜被损坏时，该多孔绝缘膜的吸水性提高。当多孔绝缘膜吸收水分时，介电常数变大。当该多孔绝缘膜被损坏时，该多孔绝缘膜过分收缩，这也是增大介电常数的一个因素。

本申请的发明人专心研究并获得一个想法：在多孔绝缘膜上形成高密度的绝缘膜，并且将电子束等通过致密绝缘膜施加于该多孔绝缘膜，因此能够将该电子束等施加至该多孔绝缘膜，同时保持该多孔绝缘膜不被损坏。根据本发明，在保持多孔绝缘膜不被损坏的同时，电子束等施加于该多孔绝缘膜，由此能够防止吸水性提高及该多孔绝缘膜的收缩，同时该多孔绝缘膜能被充分地固化（cure）。从而，根据本发明，能够形成具有足够高机械强度和低介电常数的多孔绝缘膜。

### 实施例

下面将结合图 1A 至图 8 解释根据本发明的一个实施例的半导体器件制造方法。图 1A 至图 8 是根据本实施例在半导体器件制造方法的步骤中半导体器件的横截面图。

如图 1A 所示，通过例如 LOCOS（硅的局部氧化）在半导体衬底 10 上形成器件绝缘膜 12。该器件绝缘膜 12 限定了器件区域 14。半导体器件 10 例如为硅衬底。

下一步，在器件区域 14 中，通过中间的栅极绝缘膜 16 而形成栅电极 18。然后，在栅电极 18 的侧壁上形成侧壁绝缘膜 20。接下来，利用侧壁绝缘膜 20 和栅电极 18 作为掩模，将掺杂剂杂质注入到半导体衬底 10 中，以在栅电极 18 两侧的半导体衬底 10 中形成源极/漏极扩散层 22。从而，制成包括栅电极 18 和源极/漏极扩散层 22 的晶体管 24。

下一步，通过例如 CVD 在整个表面上形成氧化硅膜的层间绝缘膜 26。

然后，在层间绝缘膜 26 上形成例如 50nm 厚的停止膜 28。停止膜 28 由例如 SiN 膜、SiC 氢化膜（SiC: H 膜）、SiC 氢化氧化膜（SiC: O: H 膜）、

SiC 氮化膜 (SiC: N 膜) 等构成。然后, SiC: H 膜是其中存在氢的 SiC 膜。SiC: O: H 膜是其中存在氧 (O) 和氢 (H) 的 SiC 膜。SiC: N 膜是其中存在氮 (N) 的 SiC 膜。停止膜 28 作为用于在后面的步骤中通过 CMP 抛光钨膜 34 等的停止物。停止膜 28 还作为用于在后面的步骤中于层间绝缘膜 38 等中形成沟槽 46 的蚀刻停止物。

下一步, 通过光刻形成下至源极/漏极扩散层 22 的接触孔 30 (参见图 1B)。

下一步, 通过例如溅射在整个表面上形成 50nm TiN 膜的粘合层 32。粘合层 32 用于确保导电塞的粘合, 该导电塞将在下文中结合底层描述。

然后, 通过例如 CVD 在整个表面上形成例如 1 $\mu$ m 膜厚的钨膜 34。

然后, 通过例如 CMP 对粘合层 32 和钨膜 34 进行抛光, 直到露出停止膜 28 的表面。这样, 在接触孔中埋入钨的导电塞 34 (参见图 1C)。

下一步, 通过气相沉积、尤其是等离子体增强 CVD, 在整个表面上形成 SiC 氢化氧化 (SiC: O: H 膜) 的绝缘膜 36。如上所述, SiC: O: H 膜是其中存在氧 (O) 和氢 (H) 的 SiC 膜。绝缘膜 36 具有高密度。绝缘膜 36 的密度比将在后面描述的多孔绝缘膜 38 的密度要高。绝缘膜 36 还作为用于防止水等扩散的阻挡膜。绝缘膜 36 能够防止水等到达多孔绝缘膜 38 并且能够防止多孔绝缘膜 38 介电常数增加。

如以下举例所示, 可以形成 SiC: O: H 膜的绝缘膜 36。

首先, 半导体衬底 10 被载入等离子体增强 CVD 系统的反应室内。该等离子体增强 CVD 系统例如为二极管平行板等离子体增强 CVD 系统。

然后, 衬底温度被加热至 300 $^{\circ}$ C-400 $^{\circ}$ C。

下一步, 通过蒸发器使具有烷基团的硅氧烷单体蒸发以产生活性气体。该活性气体以惰性气体作为载体被供应到反应室中。该活性气体的供应量例如为 1mg/min。此时, 当在板极 (plate electrode) 之间输入高频功率时, 产生活性气体的等离子体, 并且形成 SiC: O: H 膜的绝缘膜 36。

SiC: O: H 绝缘膜是这样形成的。

下一步, 如图 2A 所示, 在整个表面上形成多孔层间绝缘膜 (第一绝缘膜) 38。该多孔层间绝缘膜 38 的膜厚例如为 160nm。如以下举例所示, 形成多孔层间绝缘膜 38。



首先，制备包含簇状硅化合物（硅石）的绝缘膜材料（硅石簇状前体）。

如以下举例所示制备包含簇状硅石的绝缘材料。首先，在反应器中放入 20.8g (0.1mol) 的四乙氧基硅烷、17.8g (0.1mol) 的甲基三乙氧基硅烷、23.6g (0.1mol) 的缩水甘油醚基丙基三甲氧基硅烷和 39.6g 的甲基异丁基酮，并且滴入 16.2g 的 1% 四丁基铵羟化物水溶液 10 分钟。滴入之后进行 2 小时陈化反应 (aging reaction)。然后，加入 5g 硫酸镁以去除多余的水。然后，通过旋转蒸发去除陈化反应中产生的乙醇，直到反应溶液变为 50ml。加入 20ml 的甲基异丁基酮从而获得反应溶液，因而制得包含簇状硅石的绝缘膜材料（硅石簇状前体）。

可以使用例如由触媒化成工业株式会社 (CATALYSTS&CHEMICALS IND.CO., LTD.) 制造的纳米簇状硅石 (NCS) (型号 CERAMATE NCS) 作为这种绝缘膜材料。这种绝缘材料包含通过使用四烷基胺作为催化剂形成的簇状硅石。

然后，通过例如旋转涂布将绝缘材料涂覆至整个表面。涂覆条件为例如 3000 转/分钟和 30 秒。这样，在半导体衬底 10 上形成层间绝缘膜 38。

然后，进行热处理（软烘焙）。在热处理中，例如采用热板。热处理温度例如为 200°C。热处理时间周期例如为 15 秒。该热处理蒸发绝缘膜材料中的溶剂，并且形成多孔层间绝缘膜 38。层间绝缘膜 38 由包含簇状硅石的绝缘膜材料形成，并且能够成为具有非常微小的孔的多孔状。更具体地，孔直径例如为 2nm 或者更小。由包含簇状硅石的绝缘膜材料形成的层间绝缘膜 38 具有分布非常均匀的孔。由于层间绝缘膜 38 是由包含簇状硅石的绝缘膜材料形成，所以层间绝缘膜 38 可以是多孔状，并且具有非常好的质量。例如通过 X 射线小角度散射法 (X-ray small angle scattering method) 测量孔尺寸。

当对层间绝缘膜 38 进行热处理（软烘焙）时，优选进行使交联百分比为 10% 或者更多的热处理。也就是说，当对层间绝缘膜 38 进行热处理时，在层间绝缘膜 38 中进行交联反应。图 16 是层间绝缘膜中交联反应的概念视图。如图 16 所示，层间绝缘膜 38 中的硅烷醇基 80 被脱水冷凝，并且继续形成作为主要骨架 (skeletons) 的硅氧烷基 82。图 16A 示出脱水冷凝之前硅烷醇基的状态。在图 16A 中，被虚线圈起的部分表示脱水冷凝时除去的氢和

氧。图 16B 示出脱水冷凝后的硅烷醇基的状态。层间绝缘膜 38 的交联包括二维交联和三维交联。这两种交联均通过硅烷醇基的脱水冷凝形成。当对层间绝缘膜 38 进行热处理时，首先进行二维交联，当二维交联进行到某种程度时，二维交联相互交联以形成三维交联。可以基于傅里叶变换红外分光光度计给定的红外吸收光谱，按如下方式确定层间绝缘膜 38 中的交联百分比 X。作为傅里叶变换红外分光光度计，例如可以使用 JEOL 公司生产的傅里叶变换红外分光光度计（型号：JIR-100）等。在红外吸收光谱中，对应于三维硅烷醇基的频谱分量呈现约  $1050\text{cm}^{-1}$ ，而对应于二维硅烷醇基的频谱分量呈现约  $1140\text{cm}^{-1}$ 。层间绝缘膜 38 中的交联百分比 X 可通过以下表达式给出：

$$X=A/(A+B)$$

其中，A 代表对应于三维硅烷醇基的频谱分量的峰强度，B 代表对应于二维硅烷醇键的频谱分量的峰强度。

出于以下原因，进行使层间绝缘膜 38 中的交联百分比 X 为 10-90% 的热处理（软烘陪）。也就是说，当进行使交联百分比 X 低于 10% 的热处理时，在层间绝缘膜 38 中留有大量的溶剂。当在层间绝缘膜 38 中留有大量的溶剂时，就会存在层间绝缘膜 38 下方的绝缘膜 36 等被溶剂溶解的风险。因此，当层间绝缘膜 38 中的交联百分比 X 低于 10% 时，很难确保充分的可靠性。另一方面，实际上仅通过热处理（软烘陪）也很难使交联百分比高于 90%。当进行使交联百分比大于等于 90% 的热处理时，便存在层间绝缘膜 38 可能被过度损坏的风险。为此，优选进行使层间绝缘膜 38 中的交联百分比 X 为 10-90% 的热处理（软烘陪）。

由此形成多孔层间绝缘膜 38。

作为簇状化合物，这里涂覆包含硅化合物的绝缘膜材料。但是，簇状化合物并不限于硅化合物，并且可以使用包含任何其他材料的簇状化合物的绝缘膜材料。

多孔层间绝缘膜 38 的材料、形成多孔层间绝缘膜 38 的方法等不限于上述材料和方法。

如以下举例所示可以形成多孔硅石的层间绝缘膜（多孔硅石膜）38。

制备用于形成多孔层间绝缘膜 38 的绝缘膜材料。具体来说，通过将热分解化合物添加到聚合物中来制备液体绝缘膜材料，该聚合物是通过水解或

者缩聚合作用 (condensation polymerization) 而制得, 其使用的原料为: 例如四烷氧基硅烷、三烷氧基硅烷、甲基三烷氧基硅烷、乙烷基三烷氧基硅烷、丙烷基三烷氧基硅烷、苯基三烷氧基硅烷、乙烯基三烷氧基硅烷、烯丙基三烷氧基硅烷、缩水甘油基三烷氧基硅烷、二烷氧基硅烷、二甲基二烷氧基硅烷、二乙基二烷氧基硅烷、二丙基二烷氧基硅烷、苯基苯二烷氧基硅烷、联乙烯二烷氧基硅烷、二烯丙基二烷氧基硅烷、二环氧丙脂二烷氧基硅烷、苯甲酯二烷氧基硅烷、苯乙基二烷氧基硅烷、苯丙三烷氧基硅烷、苯基乙烯基二烷氧基硅烷、苯基烯丙基二烷氧基硅烷、苯基缩水甘油基二烷氧基硅烷、甲基乙烯基二烷氧基硅烷、乙烷基乙烯基二烷氧基硅烷、丙烷基乙烯基二烷氧基硅烷等。热分解化合物例如为丙烯基树脂等。

然后, 通过例如旋转涂布将绝缘膜材料涂覆到整个表面上。涂覆条件例如是 3000 转/分和 30 秒。从而形成该绝缘材料的层间绝缘膜 38。

然后, 进行热处理 (软烘焙)。在热处理中, 例如采用热板。该热处理对热分解化合物进行热分解, 并且在层间绝缘膜 38 中形成孔 (空隙)。孔直径例如为大约 10-20nm。热处理温度设定在 200°C-350°C。出于下述原因, 该热处理温度设定在 200°C-350°C。当热处理温度在 200°C 之下时, 热分解化合物不能充分地热分解, 并且不能形成足够的孔。相对地, 当热处理温度在 200°C 之下时, 热分解化合物的热分解速度非常慢以至于需要太长时间来形成孔。在另一方面, 当热处理温度高于 350°C 时, 绝缘膜材料的固化迅速提前, 并且孔的形成受阻。出于这个原因, 优选的是将该热处理温度设定在 200°C-350°C。该热处理温度这里例如为 200°C。

从而形成多孔硅石的层间绝缘膜 (多孔硅石膜) 38。

如上所述, 通过涂覆包含热分解化合物的绝缘膜材料并且对绝缘膜材料进行热处理可以形成多孔层间绝缘膜 (多孔硅石膜) 38。

如将要描述的那样, 可以通过气相沉积形成该多孔层间绝缘膜 (掺碳 SiO<sub>2</sub> 膜) 38。

首先, 半导体衬底 10 被载入等离子体增强 CVD 系统的反应室内。该等离子体增强 CVD 系统例如是二极管平行板等离子体增强 CVD 系统。

然后, 衬底温度设定在 300°C-400°C。

下一步, 通过蒸发器使具有烷基团的硅氧烷单体蒸发以产生活性气体。

该活性气体被运载气体带入反应室中。此时，在板极之间输入高频功率，并且产生活性气体的等离子体。此时，沉积速率被设定得比较高，由此能够形成多孔层间绝缘膜 38。具体地，在以下举例设定的膜沉积条件下，能够形成多孔层间绝缘膜 38。活性气体例如为六甲基二硅氧烷。该活性气体的供应量例如为 3mg/min。运载气体是 CO<sub>2</sub>。运载气体的流量例如为 6000sccm。高频功率例如为 13.56MHz（500W）和 100kHz（500W）。从而，由此形成含碳的氧化硅膜的多孔层间绝缘膜 38。

如上所述，可以通过气相沉积形成多孔层间绝缘膜（掺碳的 SiO<sub>2</sub> 膜）38。

如下文所述，采用包含热分解原子团（热分解化合物）或氧化分解原子团（氧化分解化合物）的原料，并且热分解或者氧化分解原子团被等离子体分解以形成多孔层间绝缘膜（多孔掺碳 SiO<sub>2</sub> 膜）38，其可通过气相沉积形成。

首先，半导体衬底 10 被载入等离子体增强 CVD 系统的反应室内。该等离子体增强 CVD 系统例如为二极管平行板等离子体增强 CVD 系统。

下一步，衬底温度设定在 250°C-350°C。

然后，通过蒸发器使包含烷基团的硅氧烷单体蒸发以产生第一活性气体。通过蒸发器使包含苯基团的硅烷化合物蒸发以产生第二活性气体。苯基团是一种原子团（热分解和氧化分解原子团），其被加热并被氧化，以进行分解。CO<sub>2</sub> 气体被用作运载气体将这些活性气体供应到反应室。此时，当在板极之间输入高频功率时，CO<sub>2</sub> 变成等离子体（氧等离子体）以分解苯基团。利用正被分解的苯基团沉积层间绝缘膜 38，由此多孔层间绝缘膜 38 被沉积。膜沉积条件被设定为如以下举例所示。第一活性气体更具体为例如六甲基二硅氧烷。第一活性气体的供应量例如为 1mg/min。第二活性气体更具体为例如苯基苯甲基硅烷。第二活性气体的供应量例如为 1mg/min。运载气体的流量例如为 3000sccm。输入至板极之间的高频功率例如是 13.56MHz（300W）和 100kHz（300W）。从而形成含碳氧化硅膜的多孔层间绝缘膜 38。

这里举例说明包含热分解和氧化分解原子团的材料，这种原子团被加热氧化并分解。但是，可以通过气相沉积含有热分解原子团（不需氧化而能够被热分解）的原料或者含有氧化分解原子团（不需被加热而能够被氧化）的原料来形成多孔层间绝缘膜 38。

如上所述，多孔层间绝缘膜（多孔掺碳 SiO<sub>2</sub> 膜）38 可以通过气相沉积

由包含热分解原子团或者氧化分解原子团的原料（热分解化合物或氧化分解化合物）形成，同时热分解原子团或者氧化分解原子团被等离子体进行分解。

如下述，通过涂覆包含热分解有机化合物的绝缘膜材料并对热分解原子团进行热分解，可以形成该多孔层间绝缘膜（有机多孔膜）38。

首先，包含热分解有机化合物的聚烯丙基醚（polyallylether）聚合体用溶剂进行稀释以形成绝缘膜材料。热分解有机化合物采用一种在例如 200°C-300°C 下热分解的有机化合物。这种有机化合物例如为丙烯基树脂、聚乙烯树脂、聚丙烯树脂、丙烯基低聚物、乙烯低聚物、丙烯低聚物或者其它。该溶剂例如为环己酮（chyclohexanone）。

下一步，通过旋转涂布将绝缘膜材料涂覆到半导体衬底 10 的整个表面上。在半导体衬底 10 上形成该绝缘材料的层间绝缘膜 38。

下一步，利用热板进行热处理。热处理温度例如为 100°C-400°C。在层间绝缘膜 38 中的溶剂被蒸发，并且形成干燥的层间绝缘膜 38。

然后，半导体衬底 10 被载入固化炉以进行热处理。热处理温度例如为 300°C-400°C。热分解有机化合物从而被热分解，并且在层间绝缘膜 38 中形成孔。从而，形成多孔层间绝缘膜 38。

通过涂覆包含热分解有机化合物的绝缘膜材料并且对该热分解有机化合物进行热分解，这样可以形成该多孔层间绝缘膜（有机多孔膜）38。

然后，如图 2B 所示，在上面形成有多孔层间绝缘膜 38 的半导体衬底 10 整个表面上形成致密绝缘膜（第二绝缘膜）40。例如，通过气相沉积，更具体地通过等离子体增强 CVD 形成氧化硅膜的绝缘膜 40。绝缘膜 40 比多孔层间绝缘膜 38 具有更高的密度。当多孔层间绝缘膜 38 在后面的步骤中通过施加电子束被固化时，绝缘膜 40 用于防止多孔层间绝缘膜 38 受到电子束等的严重损坏，同时允许适量的电子束等到达多孔层间绝缘膜 38。

如果在该多孔层间绝缘膜 38 上没有形成致密绝缘膜 40，那么由于电子束带来的损坏可通过降低用于施加电子束的加速电压来抑制。但是，当电子束直接施加于该多孔层间绝缘膜 38 时，在多孔绝缘膜 38 的表面上经常形成凹面和凸面。利用降低加速电压，不能稳定均匀地施加电子束，且层间绝缘膜 38 不能被均匀固化。因而，不在多孔层间绝缘膜 38 上形成致密绝缘膜 40 而利用降低用于施加电子束的加速电压，很难形成质量好的层间绝缘膜 38。

绝缘膜的密度优选为  $1-3\text{g/cm}^3$ 。出于下述原因，将绝缘膜 40 的密度设在  $1-3\text{g/cm}^3$ 。当绝缘膜 40 的密度低于  $1\text{g/cm}^3$  时，在后面将要描述的施加电子束等的步骤中，电子束等很容易经过绝缘膜 40，而使该多孔层间绝缘膜 38 被严重损坏。然后，多孔层间绝缘膜 38 的吸水性增大并收缩，结果便是介电常数变大。另一方面，当绝缘膜 40 的密度在  $3\text{g/cm}^3$  以上时，在后面将要描述的施加电子束的步骤中，电子束等被绝缘膜 40 阻挡，这使得很难充分固化多孔层间绝缘膜 38。出于这个原因，优选将绝缘膜 40 的密度设定在  $1-3\text{g/cm}^3$  以上。但是，当绝缘膜 40 的密度设定在  $2.5\text{g/cm}^3$  以上时，在后面将要描述的施加电子束等的步骤中，电子束等很大程度上被绝缘膜 40 阻挡，并且电子束等经常不能充分到达多孔层间绝缘膜 38。因而，更优选的是将绝缘膜 40 的密度设定在  $1-2.5\text{g/cm}^3$ 。

优选将绝缘膜 40 的膜厚设定在例如  $5-70\text{nm}$ 。出于下述原因将绝缘膜 40 的膜厚设定在  $5-70\text{nm}$ 。当绝缘膜 40 的膜厚设定为低于  $5\text{nm}$  时，在后面将要描述的施加电子束等的步骤中，电子束等很容易经过绝缘膜 40，并且该多孔层间绝缘膜 38 被严重损坏。然后，多孔层间绝缘膜 38 的吸水性增大并收缩，结果便是介电常数变大。另一方面，当绝缘膜 40 的膜厚在  $70\text{nm}$  以上时，在后面将要描述的施加电子束等的步骤中，电子束等被绝缘膜 40 阻挡，这使得很难充分固化多孔层间绝缘膜 38。因而，优选将绝缘膜 40 的膜厚设定在例如  $5-70\text{nm}$ 。但是，当绝缘膜 40 的膜厚设定在  $50\text{nm}$  以上时，在后面将要描述的施加电子束等的步骤中，电子束等被绝缘膜 40 阻挡，并且经常不能充分到达多孔层间绝缘膜 38。当绝缘膜 40 的膜厚被设定低于  $10\text{nm}$  时，在后面将要描述的施加电子束等的步骤中，电子束等相对容易经过绝缘膜 40，并且经常会稍微损坏该多孔层间绝缘膜 38。然后，多孔层间绝缘膜 38 的吸水性增大并收缩，结果便是介电常数变大。因此，更优选的是将绝缘膜 40 的膜厚设定在大约  $10-50\text{nm}$ 。

致密氧化硅膜的绝缘膜 40 形成如下。

首先，半导体衬底 10 被载入等离子体增强 CVD 系统的反应室内。该等离子体增强 CVD 系统例如为二极管平行板等离子体增强 CVD 系统。

下一步，衬底温度设定在例如  $400^\circ\text{C}$ 。

然后，通过蒸发器蒸发三甲基硅烷以产生第一活性气体。该活性气体以

惰性气体作为载体而被供应到反应室中。此时，在板极之间输入高频功率，并且产生活性气体的等离子体。此时，当沉积速率被设定得相对低时，能够形成致密绝缘膜 40。具体地，沉积条件设置为如以下举例所示，由此能够形成致密绝缘膜 40。该活性气体的供应量例如为 1mg/min。运载气体例如为 CO<sub>2</sub>。运载气体的流量例如为 100sccm。在板极之间输入的高频功率例如为 13.56MHz (200W) 和 100kHz (200W)。在板极之间输入高频功率和产生等离子体的时间周期例如为 5 秒。

在这些条件下形成的氧化硅膜的绝缘膜 40 密度例如为大约 2g/cm<sup>3</sup>。从而，在多孔层间绝缘膜 38 上形成致密绝缘膜 40。

致密绝缘膜 40 的材料和形成致密绝缘膜 40 的沉积方法不限于上述。

例如，如下述，可以通过气相沉积形成掺碳的氧化硅膜（掺碳的 SiO<sub>2</sub> 膜）的致密绝缘膜 40。

首先，半导体衬底 10 被载入等离子体增强 CVD 系统的反应室内。该等离子体增强 CVD 系统例如为二极管平行板等离子体增强 CVD 系统。

下一步，衬底温度设定在例如 400℃。

然后，通过蒸发器蒸发六甲基二硅氧烷以产生第一活性气体。然后，活性气体以惰性气体为载体而被供应到反应室中。此时，在板极之间输入高频功率，并产生活性气体的等离子体。此时，当设定沉积速率相对低时，能够形成致密绝缘膜 40。具体地，沉积条件被设定为如以下举例所示，由此能够形成致密绝缘膜 40。活性气体的供应量例如为 1mg/min。运载气体的流量例如为 500sccm。板极之间输入的高频功率例如为 13.56MHz(200W)和 100kHz (200W)。板极之间输入高频功率和产生等离子体的时间周期例如为 5 秒。

从而，通过气相沉积可以形成掺碳的氧化硅膜（掺碳的 SiO<sub>2</sub> 膜）的致密绝缘膜 40。

如下述，可以通过气相沉积形成 SiC 氢化膜（SiC: H 膜）的致密绝缘膜 40。如上所述，该 SiC: H 是其中存在 H（氢）的 SiC 膜。

首先，半导体衬底 10 被载入等离子体增强 CVD 系统的反应室内。该等离子体增强 CVD 系统例如为二极管平行板等离子体增强 CVD 系统。

下一步，衬底温度设定在例如 400℃。

然后，通过蒸发器蒸发三甲基硅烷以产生第一活性气体。然后，该活性

气体被运载气体供应到反应室中。此时，在板极之间输入高频功率，并且产生该活性气体的等离子体。此时，当沉积速率设定为相对低时，能够形成致密绝缘膜 40。具体地，沉积条件被设定为如以下举例所示，由此能够形成致密绝缘膜 40。该活性气体的供应量例如为 1mg/min。运载气体例如为氮。运载气体的流量例如为 1000sccm。板极之间输入的高频功率例如为 13.56MHz（200W）和 100kHz（200W）。在板极之间输入高频功率和产生等离子体的时间周期例如为 5 秒。

这样，通过气相沉积就可以沉积 SiC:H 膜的致密绝缘膜 40。

如下所述，SiC 氮化膜（SiC:N 膜）的致密绝缘膜 40 可以通过气相沉积来形成。如上所述，SiC:N 膜是其中存在 N（氮）的 SiC 膜。

首先，半导体衬底 10 被载入等离子体增强 CVD 系统的反应室内。该等离子体增强 CVD 系统例如为二极管平行板等离子体增强 CVD 系统。

下一步，衬底温度设定在例如 400°C。

然后，通过蒸发器蒸发三甲基硅烷以产生第一活性气体。该活性气体被运载气体供应到反应室中。此时，在板极之间输入高频功率，并且产生该活性气体的等离子体。此时，当沉积速率设定为相对低时，能够形成致密绝缘膜 40。具体地，沉积条件如以下举例所示，由此能够形成致密绝缘膜 40。该活性气体的供应量例如为 1mg/min。运载气体例如为氨。板极之间输入的高频功率例如为 13.56MHz（200W）和 100kHz（200W）。在板极之间输入高频功率和产生等离子体的时间周期例如为 5 秒。

这样，通过气相沉积就可以沉积 SiC:N 膜的致密绝缘膜 40。

如下述，SiC 氧化氢化膜（SiC:O:H 膜）的致密绝缘膜 40 可通过气相沉积形成。如上述，SiC:O:H 膜是其中存在 O（氧）和 H（氢）的 SiC 膜。

首先，半导体衬底 10 被载入等离子体增强 CVD 系统的反应室内。该等离子体增强 CVD 系统例如为二极管平行板等离子体增强 CVD 系统。

下一步，衬底温度设定在例如 400°C。

然后，通过蒸发器蒸发三甲基硅烷以产生第一活性气体。活性气体被运载气体供应到反应室中。此时，在板极之间输入高频功率，并且产生该活性气体的等离子体。此时，当沉积速率设定为相对低时，能够形成致密绝缘膜 40。具体地，沉积条件如以下举例所示，由此能够形成致密绝缘膜 40。该活



性气体的供应量例如为 1mg/min。运载气体例如为 CO<sub>2</sub>。运载气体的流量例如为 100sccm。板极之间输入的高频功率例如为 13.56MHz(200W)和 100kHz(200W)。板极之间输入高频功率和产生等离子体的时间周期例如为 5 秒。

如上所述,通过气相沉积就可以沉积 SiC: O: H 膜的致密绝缘膜 40。

如下所述,通过涂覆有机 SOG (Spin-On-Glass, 旋涂玻璃) 膜可以形成致密绝缘膜 40。

首先,制备形成有机 SOG 膜的绝缘膜材料。绝缘膜材料是通过使用例如四乙氧基硅烷和甲基三乙基硅烷作为原料水解或者缩聚合制备的聚合物。

下一步,通过旋转涂布将绝缘膜材料涂覆到整个表面上。涂覆条件例如为 3000 转/分钟和 30 秒。从而,在多孔层间绝缘膜 38 上形成绝缘膜 40。

下一步,进行热处理(软烘焙)。利用例如热板进行热处理。热处理温度例如为 200℃。热处理的时间周期例如为 150 秒。

从而,通过涂覆(applying)有机 SOG 膜可以形成绝缘膜 40。

如下所述,通过涂覆无机 SOG 膜可以形成致密绝缘膜 40。

首先,制备用于形成无机 SOG 膜的绝缘膜材料。绝缘膜材料例如是通过使用四乙氧基硅烷水解或者缩聚合制备的聚合物。

下一步,通过旋转涂布将用于形成无机 SOG 膜的绝缘膜材料涂覆到整个表面上。涂覆条件例如是 3000 转/分钟和 30 秒。从而,在多孔层间绝缘膜 38 上形成绝缘膜 40。

下一步,进行热处理(软烘焙)。利用例如热板进行热处理。热处理温度例如为 200℃。热处理的时间周期例如为 150 秒。

从而,通过涂覆无机 SOG 膜可以形成致密绝缘膜 40。

然后,如图 2C 所示,利用在多孔绝缘膜 38 上形成的致密绝缘膜 40,将电子束通过致密绝缘膜 40 施加到多孔绝缘膜 38 上。如下述施加电子束。

首先,半导体衬底 10 被载入等离子体增强 CVD 系统的反应室内。

然后,在反应室内的气体被排放至反应室内部处于真空状态的位置。此时,为了调整反应室内的压力或者修改绝缘膜 40 的质量等,气体可被供应到该反应室内。将被供应到该反应室内的气体例如为氮气、氟气、氦气、甲烷气、乙烷气或者其它。

然后,利用在多孔层间绝缘膜 38 上存在的致密绝缘膜 40,将电子束通

过绝缘膜 40 施加于层间绝缘膜 38（电子束固化）。将电子束施加于多孔层间绝缘膜 38，以便通过对多孔层间绝缘膜 38 施加较大的能量而进一步进行交联反应，并且固化多孔层间绝缘膜 38。如上所述，已被损坏的多孔层间绝缘膜 38 吸水性增加并过分收缩，并且结果便是多孔层间绝缘膜 38 的介电常数变大。在本实施例中，利用在多孔层间绝缘膜 38 上存在的致密绝缘膜 40，将电子束通过绝缘膜 40 施加于层间绝缘膜 38。

图 17 是多孔层间绝缘膜中孔尺寸的概念视图。在将电子束施加于多孔层间绝缘膜 38 之前，即多孔层间绝缘膜 38 中的交联反应仍未充分进行之前，孔 84 的尺寸是不一致的，且达到如图 17A 所示的程度。在将电子束施加于多孔层间绝缘膜 38 之前孔 84 的尺寸是不一致的，这是因为多孔层间绝缘膜 38 中未充分进行交联反应的那部分的孔 84 尺寸还未完全变大。将电子束施加于多孔层间绝缘膜 38 进一步促进多孔层间绝缘膜 38 中的交联，并且随着交联反应进行，从多孔层间绝缘膜 38 中除去水。由于从多孔层间绝缘膜 38 中除去水，所以多孔层间绝缘膜 38 中孔 84 的尺寸变大。当将电子束适当地施加于多孔层间绝缘膜 38 时，多孔层间绝缘膜 38 中的交联反应充分进行，孔 84 的尺寸变得足够大，并且如图 17B 所示，多孔层间绝缘膜 38 中孔尺寸的不一致变得非常小。由于多孔层间绝缘膜 38 中孔尺寸的不一致非常小，从而使埋入多孔层间绝缘膜 38 中的互连之间的寄生电容的偏差较小，并且能够防止对多孔层间绝缘膜 38 等施加意外的应力。

在将电子束通过绝缘膜 40 施加于层间绝缘膜 38 中，优选的是施加电子束的同时进行热处理。热处理温度例如为 200℃-500℃。施加电子束的同时进行热处理促进了多孔层间绝缘膜 38 的固化，并且能够提高多孔层间绝缘膜 38 的机械强度。

将施加电子束时的热处理温度设定为 500℃或者更低，这是因为存在一种风险：在超过 500℃的温度下进行热处理的同时施加电子束，会严重损坏多孔层间绝缘膜 38 等。将施加电子束时的热处理温度设定为 500℃或者更低，由此能够固化多孔层间绝缘膜 38，同时防止其被严重损坏。将施加电子束时的热处理温度设定为 200℃或者更高，这是因为当将热处理温度设定为较低时，固化多孔层间绝缘膜 38 就要花费大量时间。将对多孔层间绝缘膜进行施加电子束时的热处理温度设定为 200℃或者更高，由此能够在短时间周期

内固化多孔层间绝缘膜 38。

用于施加电子束的热处理温度不限于 200-500℃。甚至通过 200℃ 以下的热处理施加电子束也能够固化多孔层间绝缘膜 38。但是，为了在短时间周期内固化多孔层间绝缘膜，优选将施加电子束时的热处理温度设定为 200℃ 或者更高。

为了避免多孔层间绝缘膜 38 被损坏，优选地，有意在施加电子束时不进行热处理。另一方面，通过施加电子束而不进行热处理即加热衬底，能够固化多孔层间绝缘膜 38，并且多孔层间绝缘膜 38 能够具有一定的机械强度。因此，通过对多孔层间绝缘膜 38 施加电子束而无需加热衬底，就可以固化多孔层间绝缘膜 38。

用于施加电子束的加速电压例如为 10-20keV。当加速电压低于 10keV 时，固化多孔层间绝缘膜 38 需要花费很长时间。另一方面，当加速电压在 20keV 以上时，该多孔层间绝缘膜 38 被严重损坏，然后多孔层间绝缘膜 38 的吸水性增大并收缩。结果便是多孔层间绝缘膜 38 的介电常数可能变大。因此，优选的是用于施加电子束的加速电压大约为 10-20keV。

用于施加电子束的加速电压并不限于 10-20keV。当多孔层间绝缘膜 38 的固化可以花费些时间时，加速电压可被设在低于 10keV。即使利用相对低的加速电压，通过使多孔层间绝缘膜 38 上的致密绝缘膜 40 的膜厚稍微小些，仍能够将该电子束充分引进该多孔层间绝缘膜 38。即使当该加速电压大于 20keV 时，施加电子束的时间周期被缩短时，这样也能够防止多孔层间绝缘膜 38 被过分损坏。因此，即使当加速电压大于 20keV 时，施加电子束的时间周期被缩短时，这样也能够防止多孔层间绝缘膜 38 吸水性增大并防止该多孔层间绝缘膜 38 收缩。即使当该加速电压相对高时，通过在多孔层间绝缘膜 38 上形成稍微厚的致密绝缘膜 40 就能够防止多孔层间绝缘膜 38 被过度损坏。因此，将多孔层间绝缘膜 38 上的致密绝缘膜 40 的膜厚设得稍微厚些，从而即使当加速电压相对高时，也能防止多孔层间绝缘膜 38 的吸水性增大，并且防止多孔层间绝缘膜 38 收缩。

由此，形成低介电常数和高机械强度的多孔层间绝缘膜 38。

这里是将电子束通过致密绝缘膜 40 施加于多孔层间绝缘膜 38。但是，如下述，可以将 UV 射线通过致密绝缘膜 40 施加于多孔层间绝缘膜 38。

首先，半导体衬底 10 被载入设置有 UV 灯的反应室内。UV 灯例如为高压汞灯。UV 灯不限于高压汞灯，还可以使用其它 UV 灯，例如氙准分子灯、低压汞灯等。

然后，反应室内的气体被排至反应室内部处于真空状态的位置。此时，为了调整反应室内的压力或者修改绝缘膜 40 的质量等，气体可被供应至该反应室内。供应至该反应室内的气体例如是氮气，惰性气体或者其它气体。该惰性气体例如是氩气。

下一步，利用在多孔层间绝缘膜 38 上存在的致密绝缘膜 40，将 UV 射线通过绝缘膜 40 施加于层间绝缘膜 38 (UV 射线固化)。将 UV 射线施加于多孔层间绝缘膜 38 还将较大的能量施加给多孔层间绝缘膜 38，并且促进多孔层间绝缘膜 38 中的交联反应，由此能够固化多孔层间绝缘膜 38。当 UV 射线简单地施加于多孔层间绝缘膜 38 时，多孔层间绝缘膜 38 被严重损坏。然后，层间绝缘膜 38 的吸水性增大并收缩，并且结果便是多孔层间绝缘膜 38 的介电常数变大。为了防止多孔层间绝缘膜 38 被严重损坏，利用在多孔层间绝缘膜 38 上存在的致密绝缘膜 40，将 UV 射线通过绝缘膜 40 施加于层间绝缘膜 38。

在将 UV 射线施加于多孔层间绝缘膜 38 之前，即，多孔层间绝缘膜 38 中的交联反应仍未充分进行之前，孔 84 的尺寸是不一致的，且达到上文参照图 17A 所述的程度。在将 UV 射线施加于多孔层间绝缘膜 38 之前孔 84 的尺寸是不一致的，这是因为多孔层间绝缘膜 38 中未充分进行交联反应的那部分的孔 84 尺寸还未完全变大。将 UV 射线施加于多孔层间绝缘膜 38 进一步促进多孔层间绝缘膜 38 中的交联，并且随着交联反应进行，从多孔层间绝缘膜 38 中除去水。由于从多孔层间绝缘膜 38 中除去水，所以多孔层间绝缘膜 38 中孔 84 的尺寸变大。当将 UV 射线适当地施加于多孔层间绝缘膜 38 时，多孔层间绝缘膜 38 中的交联反应充分进行，孔 84 的尺寸变得足够大，并且如图 17B 所示，多孔层间绝缘膜 38 中孔尺寸的不一致变得非常小。由于多孔层间绝缘膜 38 中孔尺寸的不一致非常小，从而使埋入多孔层间绝缘膜 38 中的互连之间的寄生电容的偏差较小，并且能够防止对多孔层间绝缘膜 38 等施加意外的应力。

不在多孔层间绝缘膜 38 上形成致密绝缘膜 40，而通过缩短 UV 射线施

加的时间周期等可抑制由于 UV 射线带来的损坏。但是，通过露出多孔层间绝缘膜 38 的表面来施加 UV 射线，则在反应室中出现的微量氧变为臭氧。然后，多孔层间绝缘膜 38 的表面中的疏水有机团被氧化并被分解，并且多孔层间绝缘膜 38 很容易吸水。多孔层间绝缘膜 38 吸水，从而介电常数变大。因而，不在多孔层间绝缘膜 38 上形成致密绝缘膜 40，而通过设定 UV 射线施加的时间周期等，很难形成优质的多孔层间绝缘膜 38。

在将 UV 射线通过绝缘膜 40 施加于多孔层间绝缘膜 38 时，优选的是施加 UV 射线的同时进行热处理。热处理温度例如为 200℃-500℃。施加 UV 射线的同时进行热处理促进了多孔层间绝缘膜 38 的固化，并且能够改善多孔层间绝缘膜 38 的机械强度。

将施加 UV 射线时的热处理温度设定为 500℃或者更低，这是因为存在一种风险：在超过 500℃的温度下进行热处理的同时施加 UV 射线，会严重损坏多孔层间绝缘膜 38 等。由于将施加 UV 射线时的热处理温度设定为 500℃或者更低，从而能够固化多孔层间绝缘膜 38，同时防止其被严重损坏。将施加 UV 射线时的热处理温度设定为 200℃或者更高，这是因为当将热处理温度设定为较低时，固化多孔层间绝缘膜 38 就要花费大量时间。将施加 UV 射线时的热处理温度设定为 200℃或者更高，由此能够在短时间周期内固化多孔层间绝缘膜 38。

用于施加 UV 射线的热处理温度不限于 200-500℃。甚至通过 200℃以下的热处理施加 UV 射线也能够固化多孔层间绝缘膜 38。但是，为了在短时间周期内固化多孔层间绝缘膜，优选将施加 UV 射线时的热处理温度设定为 200℃或者更高。

通过施加 UV 射线而不进行热处理即加热衬底，能够固化多孔层间绝缘膜 38，并且多孔层间绝缘膜 38 能够具有一定的机械强度。另一方面，为了避免多孔层间绝缘膜 38 被损坏，优选地，有意在施加 UV 射线时不进行热处理。因此，通过对多孔层间绝缘膜 38 施加 UV 射线而无需热处理即加热衬底，就可以固化多孔层间绝缘膜 38。

如上所述，将 UV 射线通过致密绝缘膜 40 施加于多孔层间绝缘膜 38。

这里在真空状态下施加 UV 射线。但是，用于施加 UV 射线的压力并不限于真空。可以在大气压力下施加 UV 射线。

在上文中，将电子束和 UV 射线通过致密绝缘膜 40 被施加于多孔层间绝缘膜 38。但是，如下述，可以将等离子体通过致密绝缘膜 40 施加于多孔层间绝缘膜 38。

首先，半导体衬底 10 被载入等离子体增强 CVD 系统的反应室内。该等离子体增强 CVD 系统例如为二极管平行板等离子体增强 CVD 系统、高密度等离子体增强 CVD 系统或者其它系统。用于产生等离子体的活性气体是氧气、氢气、氮气、氩气、氦气、氖气、二氧化碳气体等。优选将氧气或者氢气用作活性气体。

下一步，利用多孔层间绝缘膜 38 上存在的致密绝缘膜 40，将等离子体通过绝缘膜 40 施加于层间绝缘膜 38（等离子体固化）。将等离子体施加于多孔层间绝缘膜 38 还将较大的能量施加给多孔层间绝缘膜 38，并且促进多孔层间绝缘膜 38 中的交联反应，由此能够固化多孔层间绝缘膜 38。当简单将等离子体用于多孔层间绝缘膜 38 时，多孔层间绝缘膜 38 被严重损坏。然后多孔层间绝缘膜 38 吸水性增加并收缩，而结果是多孔层间绝缘膜 38 的介电常数经常变大。为了防止多孔层间绝缘膜 38 被严重损坏，利用多孔层间绝缘膜 38 上存在的致密绝缘膜 40，将等离子体通过致密绝缘膜 40 施加于层间绝缘膜 38。

在将等离子体施加于多孔层间绝缘膜 38 之前，即多孔层间绝缘膜 38 中的交联反应仍未充分进行之前，孔 84 的尺寸是不一致的，且达到如上文参照图 17A 所述的程度。在将等离子体施加于多孔层间绝缘膜 38 之前孔 84 的尺寸是不一致的，这是因为多孔层间绝缘膜 38 中未充分进行交联反应的那部分的孔 84 尺寸还未完全变大。将等离子体施加于多孔层间绝缘膜 38 进一步促进多孔层间绝缘膜 38 中的交联，并且随着交联反应进行，从多孔层间绝缘膜 38 中除去水。由于从多孔层间绝缘膜 38 中除去水，所以多孔层间绝缘膜 38 中孔 84 的尺寸变大。当将等离子体适当地施加于多孔层间绝缘膜 38 时，多孔层间绝缘膜 38 中的交联反应充分进行，孔 84 的尺寸变得足够大，并且如图 17B 所示，多孔层间绝缘膜 38 中孔尺寸的不一致变得非常小。由于多孔层间绝缘膜 38 中孔尺寸的不一致非常小，从而使埋入多孔层间绝缘膜 38 中的互连之间的寄生电容的偏差较小，并且能够防止对多孔层间绝缘膜 38 等施加意外的应力。

不在多孔层间绝缘膜 38 上形成致密绝缘膜 40，而通过降低等离子体的功率可抑制损坏。但是，随着功率降低，很难稳定并且均匀地施加等离子体。等离子体激活多孔层间绝缘膜 38 的表面，并且当半导体衬底 10 被载出反应室时，多孔层间绝缘膜 38 的表面与空气中的水分反应。然后，多孔层间绝缘膜 38 的介电常数变大。因而，不在多孔层间绝缘膜 38 上形成致密绝缘膜 40 而通过降低等离子体的功率，会很难形成优质的层间绝缘膜 38。

施加等离子体时等离子体的施加能量，即入射绝缘膜 40 的等离子体的入射能量优选为 1-100eV。出于以下原因，将等离子体的施加能量设定在 1-100eV。

当将等离子体的施加能量设定在低于 1eV 时，就不能充分进行层间绝缘膜 38 中的交联反应。于是，多孔层间绝缘膜 38 中孔的尺寸仍然不一致，如图 17A 所示。

图 18 是等离子体的施加能量与多孔层间绝缘膜相对于基底的抗张强度之间关系的曲线图。水平轴表示等离子体的施加能量，而垂直轴表示多孔层间绝缘膜相对于基底的抗张强度。如图 18 所示，当等离子体的施加能量低于 1eV 时，多孔层间绝缘膜 38 相对于基底的抗张强度不够。利用设定为低于 1eV 的等离子体的施加能量，由于多孔层间绝缘膜 38 不能被充分固化，所以多孔层间绝缘膜 38 相对于基底的抗张强度不够。

图 19 是等离子体的施加能量与多孔层间绝缘膜的介电常数之间关系的曲线图。水平轴表示等离子体的施加能量，而垂直轴表示多孔层间绝缘膜的介电常数。如图 18 所示，当等离子体的施加能量高于 10eV 时，多孔层间绝缘膜 38 的介电常数变高。利用设定在高于 100eV 的等离子体的施加能量，由于当等离子体的施加能量太高时，多孔层间绝缘膜 38 将过分地收缩，所以多孔层间绝缘膜 38 的介电常数变高。

为此，优选在施加等离子体时将等离子体的施加能量设定为 1-100eV。

在将等离子体通过绝缘膜 40 施加于多孔层间绝缘膜 38 时，优选的是施加等离子体的同时进行热处理。热处理温度例如为 200°C-500°C。施加等离子体的同时进行热处理促进了多孔层间绝缘膜 38 的固化，并且提高多孔层间绝缘膜 38 的机械强度。

将施加等离子体时的热处理温度设定为 500°C 或者更低，这是因为存在

一种风险：在超过 500℃ 的温度下进行热处理的同时施加等离子体，会严重损坏多孔层间绝缘膜 38 等。将施加等离子体时的热处理温度设定为 500℃ 或者更低，由此能够固化多孔层间绝缘膜 38，同时防止其被严重损坏。将施加等离子体时的热处理温度设定为 200℃ 或者更高，这是因为当将热处理温度设定为较低时，固化多孔层间绝缘膜 38 就要花费大量时间。将施加等离子体时的热处理温度设定为 200℃ 或者更高，由此能够在短时间周期内固化多孔层间绝缘膜 38。

用于施加等离子体的热处理温度不限于 200-500℃。甚至通过 200℃ 以下的热处理施加等离子体也能够固化多孔层间绝缘膜 38。但是，为了在短时间周期内固化多孔层间绝缘膜，优选将施加等离子体时的热处理温度设定为 200℃ 或者更高。

通过施加等离子体而不进行热处理即加热衬底，能够固化多孔层间绝缘膜 38，并且多孔层间绝缘膜 38 能够具有一定的机械强度。另一方面，为了避免多孔层间绝缘膜 38 被损坏，优选地，有意在施加等离子体时不进行热处理。因此，通过对多孔层间绝缘膜 38 施加等离子体而无需热处理即加热衬底，就可以固化多孔层间绝缘膜 38。

从而可以将等离子体通过致密绝缘膜 40 施加于多孔层间绝缘膜 38。

下一步，通过例如旋转涂布，在整个表面上形成光致抗蚀膜 42。

下一步，通过光刻法在光致抗蚀膜 42 中形成开口 44（参见图 3A）。该开口 44 用于形成第一层互连（第一金属互连层）50。在光致抗蚀膜 42 中形成该开口 44，因此例如互连宽度是 100nm，以及互连间距是 100nm。

下一步，利用光致抗蚀膜 42 作为掩模，互连膜 40、层间绝缘膜 38 和绝缘膜 36 被蚀刻。利用使用  $\text{CF}_4$  气体和  $\text{CHF}_3$  气体作为原料的氟等离子体进行蚀刻。此时，停止膜 28 用作蚀刻停止物。从而在绝缘膜 40、层间绝缘膜 38 以及绝缘膜 36 中形成用于掩埋互连的沟槽 46。在沟槽 46 中露出导电塞 34 的上表面。然后，去除光致抗蚀膜 42。

下一步，通过例如旋转涂布在整个表面上形成 10nm 厚 TaN 膜的阻挡膜（未显示）。阻挡膜用于防止将在后面描述的互连中 Cu 进入将在后面描述的绝缘膜中。然后，通过例如溅射在整个表面上形成 10nmCu 膜的籽晶膜（seed film）（未显示）。该籽晶膜用作通过电镀形成 Cu 互连的电极。从而，



形成阻挡膜和籽晶膜的分层膜 48。

下一步，通过例如电镀形成 600nm 厚的 Cu 膜 50。

下一步，通过 CMP 抛光 Cu 膜 50 和分层膜 48，直到露出绝缘膜的表面。从而，在沟槽中埋入 Cu 互连 50。这种形成互连 50 的工艺被称作单嵌入(single damascene)。

然后，通过例如等离子体增强 CVD 在整个表面上形成 30nm 厚 SiC: O: H 膜的绝缘膜 52。绝缘膜 52 用作防止水分扩散的阻挡膜。绝缘膜 52 防止水分到达多孔层间绝缘膜 38。如下述能够形成 SiC: O: H 膜的绝缘膜 52。

首先，半导体衬底 10 被载入等离子体增强 CVD 系统的反应室内。该等离子体增强 CVD 系统例如为二极管平行板等离子体增强 CVD 系统。

下一步，衬底温度设定在例如 400°C。

然后，通过蒸发器蒸发三甲基硅烷以产生活性气体。该活性气体通过运载气提被供应到反应室中。此时，在板极之间输入高频功率，并且产生该活性气体的等离子体。此时，将沉积速率设定得较低，由此能够形成致密绝缘膜 40。具体地，沉积条件设置为如以下举例所示，由此能够形成致密绝缘膜 40。活性气体的供应量例如为 1mg/min。运载气体例如为 CO<sub>2</sub>。运载气体的流量例如为 100sccm。板极之间输入的高频功率例如为 13.56MHz (200W) 和 100kHz (200W)。板极之间输入高频功率以产生等离子体的时间周期例如为 5 秒。

这样，形成用作阻挡膜的绝缘膜 52 (参见图 3B)。

下一步，如图 4A 所示，形成多孔层间绝缘膜 54。形成多孔层间绝缘膜 54 的方法与上述形成例如多孔层间绝缘膜 38 的方法一样。多孔层间绝缘膜 54 的膜厚例如为 180nm。

下一步，在多孔层间绝缘膜 54 的整个表面上形成致密绝缘膜 56。形成致密绝缘膜 56 的方法与上述形成例如致密绝缘膜 40 的方法一样。致密绝缘膜 56 的材料例如为 SiC: O: H 膜。绝缘表面 56 的膜厚例如为 30nm。

然后，如图 4B 所示，利用多孔层间绝缘膜 54 上形成的致密绝缘膜 56，将电子束通过绝缘膜 56 施加至层间绝缘膜 54。用于将电子束通过绝缘膜 56 施加至层间绝缘膜 54 的条件与上述用于将电子束例如通过绝缘膜 40 施加至层间绝缘膜 38 的条件一样。

可将 UV 射线通过绝缘膜 56 施加至层间绝缘膜 54。用于将 UV 射线通过绝缘膜 56 施加至层间绝缘膜 54 的条件与上述用于将 UV 射线例如通过绝缘膜 40 施加至层间绝缘膜 38 的条件一样。

可将等离子体通过绝缘膜 56 施加至层间绝缘膜 54。用于将等离子体通过绝缘膜 56 施加至层间绝缘膜 54 的条件与上述用于将等离子体例如通过绝缘膜 40 施加至层间绝缘膜 38 的条件一样。

从而，形成低介电常数和高机械强度的多孔层间绝缘膜 54。

下一步，如图 5A 所示，形成多孔层间绝缘膜 58。形成多孔层间绝缘膜 58 的方法与上述形成例如多孔层间绝缘膜 38 的方法一样。多孔层间绝缘膜 58 的膜厚例如为 160nm。

下一步，在多孔层间绝缘膜 58 的整个表面上形成致密绝缘膜 60。形成致密绝缘膜 60 的方法与上述形成例如绝缘膜 40 的方法一样。致密绝缘膜 60 的材料例如为 SiC: O: H 膜。绝缘膜 60 的膜厚例如为 30nm。

然后，如图 5B 所示，利用在多孔层间绝缘膜 58 上存在的致密绝缘膜 60，将电子束通过绝缘膜 60 施加至层间绝缘膜 58。用于将电子束通过绝缘膜 60 施加至层间绝缘膜 58 的条件与上述用于将电子束例如通过绝缘膜 40 施加至层间绝缘膜 38 的条件一样。

可将 UV 射线通过绝缘膜 60 施加至层间绝缘膜 58。用于将 UV 射线通过绝缘膜 60 施加至层间绝缘膜 58 的条件与上述用于将 UV 射线例如通过绝缘膜 40 施加至层间绝缘膜 38 的条件一样。

可将等离子体通过绝缘膜 60 施加至层间绝缘膜 58。用于将等离子体通过绝缘膜 60 施加至层间绝缘膜 58 的条件与上述用于将等离子体例如通过绝缘膜 40 施加至层间绝缘膜 38 的条件一样。

从而，形成低介电常数和高机械强度的多孔层间绝缘膜 58。

下一步，通过例如旋转涂布，在整个表面上形成光致抗蚀膜 62。

下一步，如图 6 所示，通过光刻法在光致抗蚀膜 62 中形成开口 64。该开口 64 用于形成下至互连 50 的接触孔 64。

然后，利用光致抗蚀膜 62 作为掩模，蚀刻绝缘膜 60、层间绝缘膜 58、绝缘膜 56、层间绝缘膜 54 以及绝缘膜 52。通过使用  $CF_4$  气体和  $CHF_3$  气体作为原料的氟等离子体进行蚀刻。蚀刻气体的组成比例、蚀刻中的压力等可

适当变化，由此蚀刻绝缘膜 60、层间绝缘膜 58、绝缘膜 56、层间绝缘膜 54 以及绝缘膜 52。从而，形成下至互连 50 的接触孔 66。然后，去除光致抗蚀膜 62。

下一步，通过例如旋转涂布在整个表面上形成光致抗蚀膜 68。

然后，如图 7 所示，通过光刻法在光致抗蚀膜 68 中形成开口 70。该开口 70 用于形成第二层互连（第二金属互连层）76a。

然后，利用光致抗蚀膜 68 作为掩模，蚀刻绝缘膜 60、层间绝缘膜 58、绝缘膜 56。该蚀刻采用使用  $\text{CF}_4$  气体和  $\text{CHF}_3$  气体作为原料的氟等离子体。由此在绝缘膜 60、层间绝缘膜 58、绝缘膜 56 中形成用于埋入互连 76a 的沟槽 72。沟槽 72 与接触孔 66 相连。

下一步，通过例如溅射在整个表面上形成 10nm 厚 TaN 膜的阻挡膜（未显示）。阻挡膜用于防止将在后面描述的互连 76a 和导电塞 76b 中的 Cu 的扩散。然后，通过例如溅射在整个表面上形成 10nm 厚 Cu 膜的籽晶膜（未显示）。该籽晶膜用作通过电镀形成 Cu 互连层 76a 和导电塞 76b 的电极。从而，形成该阻挡膜和籽晶膜的分层膜 74。

下一步，通过例如电镀形成 1400nm 厚 Cu 膜 76。

然后，通过 CMP 抛光 Cu 膜 76 和分层膜 74，直到露出绝缘膜 60 的表面。从而，在接触孔 66 中埋入 Cu 导电塞 76b。导电塞 76b 和互连 76a 形成为一体。从而形成导电塞 76b 和互连 76a 的方法被称作双层嵌入（dual damascene）。

然后，通过例如等离子体增强 CVD 在整个表面上形成 30nm 厚  $\text{SiC}:\text{O}:\text{H}$  膜的绝缘膜 78。形成绝缘膜 78 的方法与上述形成例如绝缘膜 38 的方法一样。绝缘膜 78 用作防止水分扩散的阻挡膜。

此后，可适当重复上述步骤，以形成未示出的第三层互连（第三金属互连层）。

从而，通过根据本实施例的半导体器件制造方法制造半导体器件。

如上所述，根据本实施例，已经形成多孔层间绝缘膜 38、54、58 时，在多孔层间绝缘膜 38、54、58 上形成致密绝缘膜 40、56、60，并且电子束、UV 射线或等离子体通过致密绝缘膜 40、56、60 被施加于多孔层间绝缘膜 38、54、58。根据本实施例，通过使用电子束等固化多孔层间绝缘膜 38、54、

58, 由此多孔层间绝缘膜 38、54、58 可具有非常高的机械强度。根据本实施例, 可防止层间绝缘膜 38、54、58 裂化及接合等时被折断。此外, 根据本实施例, 通过致密绝缘膜 40、56、60 施加电子束等, 由此能够保持多孔层间绝缘膜 38、54、58 不受损坏。从而, 根据本实施例, 能够防止多孔层间绝缘膜 38、54、58 的吸水性增强, 并能够防止多孔层间绝缘膜 38、54、58 的密度变大。这样, 根据本实施例, 能够防止多孔层间绝缘膜 38、54、58 的介电常数变大。根据本实施例, 能够形成低介电常数和高机械强度的层间绝缘膜 38、54、58。根据本实施例, 能够形成低介电常数和高机械强度的层间绝缘膜 38、54、58, 由此可提供高运行速度和高可靠性的半导体器件。

#### 修改例

本方面并不限于上述实施例并且能够覆盖其它各种修改。

例如, 形成多孔层间绝缘膜的方法不限于上述。多孔层间绝缘膜可以通过任何其他形成方法形成。多孔层间绝缘膜的材料不限于上述。

形成致密绝缘膜的方法不限于上述。致密绝缘膜可以通过任何其它形成方法形成。致密绝缘膜的材料不限于上述。

#### 实例

##### 实例 1 至 6

首先, 包含簇状硅石的绝缘膜材料(硅石簇状前体)的制备如下。也就是说, 20.8g (0.1mol) 的四乙氧基硅烷、17.8g (0.1mol) 的甲基三乙氧基硅烷, 23.6g (0.1mol) 的缩水甘油醚基炳基三甲氧基硅烷和 39.6g 的甲基异丁基酮各被载入 200ml 反应器中, 并且滴入 16.2g 的 1% 四丁基铵羟化物水溶液 10 分钟。滴入之后进行 2 小时陈化反应。然后, 加入 5g 硫酸镁以去除多余的水。然后, 通过旋转蒸发去除陈化反应中产生的乙醇, 直到反应溶液变为 50ml。加入 20ml 的甲基异丁基酮从而获得反应溶液, 因而制得绝缘膜材料(硅石簇状前体)。

然后, 通过旋转涂布将绝缘膜材料涂覆到硅片(半导体衬底)。涂覆条件是 3000 转/分钟和 30 秒。

然后, 利用热板进行 200°C 热处理(软烘焙), 由此形成多孔层间绝缘膜。多孔层间绝缘膜的膜厚如表 1-1 和 1-2 所示。在这个阶段, 测量多孔层间绝缘膜的折射率。折射率的值如表 1-1 和 1-2 所示。

表 1-1

		实例 1	实例 2	实例 3	实例 4	实例 5
电子束 固化之 前	层间绝缘膜厚度	210nm	210nm	210nm	210nm	210nm
	层间绝缘膜折射率	1.28	1.28	1.28	1.28	1.28
	致密绝缘膜	SiO <sub>2</sub>	SiO <sub>2</sub>	SiO <sub>2</sub>	SOG	SOG
电子束 固化条 件	衬底温度	200℃	300℃	400℃	200℃	300℃
	加速电压	15keV	15keV	15keV	15keV	15keV
	时间	300sec	300sec	300sec	300sec	300sec
	气氛	Ar	Ar	Ar	Ar	Ar
电子束 固化之 后的层 间绝缘 膜	膜厚	203nm	202nm	202nm	206nm	203nm
	折射率	1.282	1.284	1.285	1.284	1.286
	弹性模量	15GPa	14GPa	15GPa	13GPa	14GPa
	硬度	1.2GPa	1.2GPa	1.2GPa	1.2GPa	1.2GPa
	介电常数	2.3	2.3	2.3	2.3	2.3

表 1-2

		实例 6	比较例 1	比较例 2	比较例 3	比较例 4
电子束 固化之 前	层间绝缘膜厚度	210nm	210nm	210nm	210nm	210nm
	层间绝缘膜折射率	1.28	1.28	1.28	1.28	1.28
	致密绝缘膜	SOG	-	无	无	无
电子束 固化条 件	衬底温度	400℃	-	200℃	300℃	400℃
	加速电压	15keV	-	15keV	15keV	15keV
	时间	300sec	-	300sec	300sec	300sec
	气氛	Ar	-	Ar	Ar	Ar
电子束 固化之 后的层 间绝缘 膜	膜厚	203nm	210nm	194nm	182nm	181nm
	折射率	1.285	1.28	1.321	1.343	1.367
	弹性模量	14GPa	8GPa	13GPa	14GPa	16GPa
	硬度	1.2GPa	0.7GPa	1.2GPa	1.2GPa	1.3GPa
	介电常数	2.3	2.3	2.6	3.3	3.5

在多孔层间绝缘膜上形成致密绝缘膜。表 1-1 和 1-2 中所示的绝缘膜形成致密绝缘膜。

下一步，利用在多孔层间绝缘膜上形成的致密绝缘膜，将电子束通过致密绝缘膜施加于该多孔层间绝缘膜（电子束固化）。衬底温度、加速电压、电子束施加时间周期和反应室内的气氛如表 1-1 和 1-2 中所示设置。

从而，测量利用电子束固化的多孔层间绝缘膜，并且获得表 1-1 和表 1-2 所示的结果。如表 1-1 和表 1-2 中显而易见的，在实例 1 至 6 中，在施加电子束之前和之后，层间绝缘膜的折射率基本没有变化。也就是说在实例 1 至 6 中，层间绝缘膜基本上没有收缩。即在实例 1 至 6 中，防止了由于电子束的施加引起的层间绝缘膜的收缩，并且层间绝缘膜具有低密度。

如表 1-1 和 1-2 中显而易见，在实例 1 至 6 中获得了足够高的弹性模量和强度。如表 1-1 和 1-2 中显而易见，在实例 1 至 6 中有效介电常数足够小。这些意味着在实例 1 至 6 中，层间绝缘膜具有高机械强度和低介电常数。

#### 比较例 1

以与实例 1 至 6 中同样的方法，制备绝缘膜材料（多孔硅石前体），并且将绝缘膜材料涂覆到硅片，并且进行热处理（软烘焙）。从而，制得多孔层间绝缘膜。

测量如此形成的多孔层间绝缘膜。获得如表 1-1 和 1-2 所示的结果。如表 1-2 中显而易见的，在比较例 1 中，弹性模量和硬度较低。这意味着多孔层间绝缘膜的机械强度较低。

#### 比较例 2 至 4

以与实例 1 至 6 中同样的方法，制备绝缘膜材料（多孔硅石前体）并将绝缘膜材料涂覆到硅片，以及进行热处理（软烘焙）。从而形成多孔层间绝缘膜。

然后，不在多孔层间绝缘膜上形成致密绝缘膜，而将电子束施加到多孔层间绝缘膜（电子束固化）。衬底温度、加速电压、电子束施加时间周期和反应室内的气氛如表 1-2 中所示设置。

测量如此电子束固化的多孔层间绝缘膜，并获得表 1-2 所示的结果。如表 1-2 中显而易见的，在比较例 2 至 4 中，折射率相对高。这意味着在比较例 2 至 4 中，层间绝缘膜过分地收缩并且具有较高的密度。如表 1-2 中显而

易见的，在比较例 2 至 4 中，有效介电常数较高。

#### 实例 7 至 12

首先，以与实例 1 至 6 同样的方法，制备绝缘膜材料（多孔硅石前体），并且将绝缘膜材料涂覆到硅片，并且进行热处理（软烘焙）。从而，形成多孔层间绝缘膜。

然后，在多孔层间绝缘膜上形成致密绝缘膜。该致密绝缘膜是表 2-1 和 2-2 中所示的绝缘膜。

下一步，利用在多孔层间绝缘膜上形成的致密绝缘膜，将 UV 射线通过该致密绝缘膜施加到多孔层间绝缘膜（UV 射线固化）。UV 灯为高压汞灯。衬底温度和施加时间周期如表 2-1 和 2-2 中所示设置。

表 2-1

		实例 7	实例 8	实例 9	实例 10	实例 11
UV 射线 固化之前	层间绝缘膜厚度	210nm	210nm	210nm	210nm	210nm
	层间绝缘膜折射率	1.28	1.28	1.28	1.28	1.28
	致密绝缘膜	SiO <sub>2</sub>	SiO <sub>2</sub>	SiO <sub>2</sub>	SOG	SOG
UV 射线 固化条件	衬底温度	200℃	300℃	400℃	200℃	300℃
	时间	600sec	600sec	600sec	600sec	600sec
UV 射线 固化之后 的层间绝 缘膜	膜厚	203nm	202nm	202nm	206nm	203nm
	折射率	1.282	1.282	1.281	1.283	1.282
	弹性模量	12GPa	14GPa	14GPa	13GPa	13GPa
	硬度	1.2GPa	1.2GPa	1.2GPa	1.2GPa	1.2GPa
	介电常数	2.3	2.3	2.3	2.3	2.3

表 2-2

		实例 12	比较例 1	比较例 5	比较例 6	比较例 7
UV 射线 固化之前	层间绝缘膜厚度	210nm	210nm	210nm	210nm	210nm
	层间绝缘膜折射率	1.28	1.28	1.28	1.28	1.28
	致密绝缘膜	SOG	-	无	无	无
UV 射线	衬底温度	400℃	-	200℃	300℃	400℃
固化条件	时间	600sec	-	600sec	600sec	600sec

UV 射线 固化之后 的层间绝 缘膜	膜厚	203nm	210nm	200nm	198nm	199nm
	折射率	1.282	1.28	1.305	1.299	1.312
	弹性模量	15GPa	8GPa	13GPa	14GPa	15GPa
	硬度	1.2GPa	0.7GPa	1.2GPa	1.2GPa	1.2GPa
	介电常数	2.3	2.3	2.4	2.6	2.5

测量如此 UV 射线固化的多孔层间绝缘膜，并且获得如表 2-1 和 2-2 中所示的结果。如表 2-1 和 2-2 中显而易见的，在实例 7 至 12 中，在 UV 射线施加之前和之后，层间绝缘膜的折射率基本没有变化。这意味着层间绝缘膜基本上没有收缩。也就是说，在实例 7 至 12 中，防止了由于 UV 射线的施加强层间绝缘膜的收缩，并且层间绝缘膜具有低密度。

如表 2-1 和 2-2 中显而易见的，在实例 7 至 12 中，获得了足够高的弹性模量和强度。如表 2-1 和 2-2 中显而易见的，在实例 7 至 12 中，有效介电常数足够小。这些意味着在实例 7 至 12 中，层间绝缘膜具有很好的机械强度和低介电常数。

#### 比较例 5 至 7

以与实例 1 至 6 同样的方法，制备绝缘膜材料（多孔硅石前体）。将绝缘膜材料涂覆到硅片，并且进行热处理（软烘焙）。从而，形成多孔层间绝缘膜。

下一步，不在多孔层间绝缘膜上形成致密绝缘膜，而将 UV 射线施加到多孔层间绝缘膜（UV 射线固化）。衬底温度和施加时间周期如表 2-2 中所示设置。

测量如此 UV 射线固化的多孔层间绝缘膜，并且获得表 2-2 中所示的结果，在比较例 5 至 7 中，折射率相对高。这意味着层间绝缘膜过分地收缩，并且层间绝缘膜的密度较大。如表 2-2 中显而易见的，在比较例 5 至 7 中，有效介电常数较高。

#### 实例 13 至 18

首先，以与实例 1 至 6 中同样的方法，制备绝缘膜材料（多孔硅石前体）。将绝缘膜材料涂覆到硅片，并且进行热处理（软烘焙）。从而，形成多孔层间绝缘膜。



然后，在多孔层间绝缘膜上形成致密绝缘膜。该致密绝缘膜是表 3-1 和 3-2 中所示的绝缘膜。

下一步，利用在多孔层间绝缘膜上形成的致密绝缘膜，将等离子体通过该致密绝缘膜施加到多孔层间绝缘膜（等离子体固化）。衬底温度和施加时间周期如表 3-1 和 3-2 中所示设置。

表 3-1

		实例 13	实例 14	实例 15	实例 16	实例 17
等离子体固化之前	层间绝缘膜厚度	210nm	210nm	210nm	210nm	210nm
	层间绝缘膜折射率	1.28	1.28	1.28	1.28	1.28
	致密绝缘膜	SiO <sub>2</sub>	SiO <sub>2</sub>	SiO <sub>2</sub>	SOG	SOG
等离子体固化条件	衬底温度	400°C	400°C	400°C	400°C	400°C
	等离子体的种类	O <sub>2</sub>	O <sub>2</sub>	O <sub>2</sub>	H <sub>2</sub>	H <sub>2</sub>
	输入功率	500W	500W	500W	500W	500W
	时间	60sec	90sec	120sec	60sec	90sec
等离子体固化之后的层间绝缘膜	膜厚	204nm	207nm	203nm	206nm	203nm
	折射率	1.282	1.281	1.283	1.282	1.282
	弹性模量	12GPa	14GPa	14GPa	13GPa	13GPa
	硬度	1.2GPa	1.2GPa	1.2GPa	1.2GPa	1.2GPa
	介电常数	2.3	2.3	2.3	2.3	2.3

表 3-2

		实例 18	比较例 1	比较例 8	比较例 9
等离子体固化之前	层间绝缘膜厚度	210nm	210nm	210nm	210nm
	层间绝缘膜折射率	1.28	1.28	1.28	1.28
	致密绝缘膜	SOG	-	无	无
等离子体固化条件	衬底温度	400°C	-	400°C	400°C
	等离子体的种类	H <sub>2</sub>	-	O <sub>2</sub>	H <sub>2</sub>
	输入功率	500W	-	500W	500W
	时间	120sec	-	60sec	60sec

等离子体 固化之后 的层间绝 缘膜	膜厚	202nm	210nm	184nm	178nm
	折射率	1.282	1.28	1.362	1.341
	弹性模量	15GPa	8GPa	16GPa	15GPa
	硬度	1.2GPa	0.7GPa	1.2GPa	1.2GPa
	介电常数	2.3	2.3	3.5	3.4

测量如此等离子体固化的多孔层间绝缘膜，并且获得表 3-1 和 3-2 中所示的结果。如在表 3-1 和 3-2 中显而易见的，在实例 13 至 18 中，在等离子体施加之前和之后层间绝缘膜的折射率基本没有变化。这意味着层间绝缘膜基本上没有收缩。也就是说，在实例 13 至 18 中，防止了由于等离子体的施加层间绝缘膜的收缩，并且层间绝缘膜具有低密度。

如表 3-1 和 3-2 中显而易见的，在实例 13 至 18 中，获得了足够高的弹性模量和强度。如表 3-1 和 3-2 中显而易见的，在实例 13 至 18 中，有效介电常数足够小。这些意味着在实例 13 至 18 中，层间绝缘膜具有较好的机械强度和低介电常数。

比较例 8 和 9

首先，以与实例 1 至 6 中同样的方法，制备绝缘膜材料（多孔硅石前体）。将绝缘膜材料涂覆到硅片，并且进行热处理（软烘焙）。从而，制得多孔层间绝缘膜。

下一步，不在多孔层间绝缘膜上形成致密绝缘膜，而将等离子体施加至多孔层间绝缘膜（等离子体固化）。衬底温度和施加时间周期如表 3-2 中所示设置。

测量如此等离子体固化的多孔层间绝缘膜，并且获得表 3-2 中所示的结果。如在表 3-2 中显而易见的，在比较例 8 至 9 中，折射率相对高。这意味着层间绝缘膜过分收缩，并且层间绝缘膜的密度较大。如表 3-2 中显而易见的，在比较例 8 至 9 中，有效介电常数较高。

实例 19

首先，通过 LOCOS 在半导体衬底 10 上形成器件绝缘膜 12。然后，在器件区域 14 上形成栅电极 18，且二者之间形成有栅极绝缘膜 16。在栅电极 18 的侧壁上形成侧壁绝缘膜 20。接下来，利用侧壁绝缘膜 20 和栅电极 18

作为掩模，将掺杂剂杂质注入到半导体衬底 10 中，由此在栅电极 18 两侧的半导体衬底 10 中形成源极/漏极扩散层 22。从而，形成包括栅电极 18 和源极/漏极扩散层 22 的晶体管 24。

下一步，通过例如 CVD 在整个表面上形成层间绝缘膜 26。接下来，在层间绝缘膜 26 上，形成停止膜 28。然后，通过光刻法形成下至源极/漏极扩散层 22 的接触孔 30（参见图 1B）。

下一步，通过例如溅射在整个表面上形成 50nm 厚 TiN 膜的粘合层 32。然后，通过例如 CVD 在整个表面形成上钨膜 34。然后，通过例如 CMP 对粘合层 32 和钨膜 34 进行抛光，直到露出停止膜 28 的表面。这样，在接触孔中埋入钨的导电塞 34（参见图 1C）。

下一步，通过等离子体增强 CVD，在整个表面上形成 30nm 厚 SiC: O: H 膜的绝缘膜 36。然后，如与实例 1 至 6 中同样的方法，在整个表面上形成多孔层间绝缘膜 38。多孔层间绝缘膜的膜厚是 160nm（参见图 2A）。

下一步，通过等离子体增强 CVD 在整个表面上形成 30nm 厚氧化硅膜的致密绝缘膜 40。致密绝缘膜 40 的密度是  $2\text{g/cm}^3$ （参见图 2B）。

下一步，利用多孔层间绝缘膜 38 上存在的致密绝缘膜 40，将电子束通过致密绝缘膜 40 施加到多孔层间绝缘膜 38（电子束固化）（参见图 2C）。电子束的施加条件与实例 3 相同。

下一步，通过旋转涂布，在整个表面上形成光致抗蚀膜 42。下一步，通过光刻法在光致抗蚀膜中形成用于形成作为第一层互连 50 的开口 44。该开口 44 是。该开口 44 以 100nm 的互连宽度和 100nm 间距中形成。然后，利用光致抗蚀膜 42 作为掩模，互连膜 40、多孔层间绝缘膜 38 及绝缘膜 36 被蚀刻。在蚀刻中，使用  $\text{CF}_4$  气体和  $\text{CHF}_3$  气体的氟等离子体被采用。从而，在绝缘膜 40、多孔层间绝缘膜 38 及绝缘膜 36 中形成用于埋入互连 50 的沟槽 46。然后，光致抗蚀膜 42 被去除（参见图 3A）。

下一步，通过溅射在整个表面上形成 10nm 厚 TaN 的阻挡膜。下一步，通过溅射在整个表面上形成 10nm 厚 Cu 膜的籽晶膜。从而，形成该阻挡膜和籽晶膜的分层膜 48。下一步，通过电镀形成 600nm 厚 Cu 膜 50。然后，抛光 Cu 膜 50 和分层膜 48，直到露出绝缘膜 40 的表面。从而，在沟槽 46 中埋入 Cu 互连 50。下一步，通过等离子体增强 CVD 在整个表面上形成 30nm

厚 SiC: O: H 膜的绝缘膜 52 (参见图 3B)。

然后, 以与实例 1 至 6 同样的方法, 形成多孔层间绝缘膜 54。层间绝缘膜 54 的膜厚是 180nm。下一步, 在整个表面上形成 30nm 厚 SiC: O: H 膜的致密绝缘膜 56 (参见图 4A)。

然后, 利用在多孔层间绝缘膜 54 上形成的致密绝缘膜 56, 将电子束通过绝缘膜 56 施加至层间绝缘膜 54 (电子束固化)。用于将电子束通过绝缘膜 56 施加至层间绝缘膜 54 的条件与实例 3 中相同 (参见图 4B)。

下一步, 以与实例 1 至 6 同样的方法, 形成多孔层间绝缘膜 58。多孔层间绝缘膜 58 的膜厚例如为 160nm。下一步, 通过等离子体增强 CVD 在整个表面上形成 30nm 厚氧化硅的致密绝缘膜 60 (参见图 5A)。

下一步, 利用在多孔层间绝缘膜 58 上存在的致密绝缘膜 60, 将电子束通过绝缘膜 60 施加至层间绝缘膜 58 (电子束固化)。用于将电子束通过绝缘膜 60 施加至层间绝缘膜 58 的条件与实例 3 中相同 (参见图 5B)。

下一步, 通过旋转涂布, 在整个表面上形成光致抗蚀膜 62。下一步, 通过光刻法在光致抗蚀膜 62 中形成用于形成接触孔 66 的开口 64。下一步, 利用光致抗蚀膜 62 作为掩模, 绝缘膜 60、层间绝缘膜 58、绝缘膜 56、层间绝缘膜 54 以及绝缘膜 52 被蚀刻。在蚀刻中, 使用  $\text{CF}_4$  气体和  $\text{CHF}_3$  气体作为原料的氟等离子体被采用。蚀刻气体的组成比例、蚀刻的压力等可适当变化, 由此绝缘膜 60、层间绝缘膜 58、绝缘膜 56、层间绝缘膜 54 以及绝缘膜 52 能被蚀刻。从而, 形成下至互连 50 的接触孔 66 (参见图 6)。然后, 光致抗蚀膜被去除。

下一步, 通过例如旋转涂布在整个表面上形成光致抗蚀膜 68。下一步, 通过光刻法在光致抗蚀膜 68 中形成用于形成第二层互连 76a 的开口 70。下一步, 利用光致抗蚀膜 68 作为掩模, 绝缘膜 60、层间绝缘膜 58、绝缘膜 56 被蚀刻。在该蚀刻中, 使用  $\text{CF}_4$  气体和  $\text{CHF}_3$  气体作为原料的氟等离子体被采用。从而, 在绝缘膜 60、层间绝缘膜 58、绝缘膜 56 中形成用于埋入互连 76a 的沟槽 72 (参见图 7)。

下一步, 通过溅射在整个表面上形成 10nm 厚 TaN 膜的阻挡膜。下一步, 通过溅射在整个表面上形成 10nm 厚 Cu 膜的籽晶膜。形成该阻挡膜和籽晶膜的分层膜 74。下一步, 形成 1400nm 厚 Cu 膜 76。下一步, 通过 CMP 抛

光 Cu 膜 76 和层间绝缘膜 74，直到露出绝缘膜 60 的表面。从而，在接触孔 66 中埋入 Cu 导电塞 76b，同时在沟槽 72 中埋入 Cu 互连 76a。然后，通过等离子体增强 CVD 在整个表面上形成 30nm 厚 SiC: O: H 膜的绝缘膜 78。然后，适当重复上述步骤，从而形成第三层互连。

从而，如上述制造的半导体衬底被制造，从而形成互连和导电塞，电串连一百万个导电塞。测量半导体器件的成品率。该成品率是 91%。

在互连之间的有效介电常数被计算，其为 2.6。不仅利用多孔层间绝缘膜，而且还利用在互连周围出现的其它绝缘膜测量的介电常数为有效介电常数。不仅利用低介电常数的多孔层间绝缘膜，而且还利用在互连周围出现的相对高介电常数的绝缘膜测量该有效介电常数，并且其具有大于该多孔层间绝缘膜的介电常数的较大值。

将该半导体保持在 200°C 达 3000 小时，并且测量互连的电阻。确认电阻没有增长。

#### 比较例 10

图 9A 至图 15 是用于制造半导体器件的方法步骤中根据比较例的半导体器件的截面图，其示出该方法。

首先，以与实例 19 同样的方法，形成晶体管 24（参见图 9A）。形成层间绝缘膜 26 和停止膜 28（参见图 9B）。然后，将导体 34 埋入接触孔 30（参见图 9C）。

下一步，以与实例 19 同样的方法，形成绝缘膜 36，然后形成多孔层间绝缘膜 38（参见图 10A）。下一步，不在多孔层间绝缘膜 38 上形成致密绝缘膜，而将电子束施加至多孔层间绝缘膜 38（电子束固化）。用于施加电子束的条件与比较例 4 中的相同（参见图 10B）。然后，通过等离子体增强 CVD 在整个表面上形成 30nm 氧化硅膜的绝缘膜 40。

下一步，以与实例 19 同样的方法，在绝缘膜 40、多孔层间绝缘膜 38 以及绝缘膜 36 中形成沟槽 46（参见图 11A）。然后，以与实例 19 中同样的方法，在绝缘膜 40、层间绝缘膜 38 以及绝缘膜 36 中埋入互连 50。然后，以与实例 19 同样的方法，形成绝缘膜 52（参见图 11B）。

下一步，以与实例 19 同样的方法，形成多孔层间绝缘膜 54（参见图 12A）。

下一步，不在多孔层间绝缘膜 54 上形成致密绝缘膜，而将电子束施加

至多孔绝缘膜 54 (电子束固化)。用于施加电子束的条件与比较例 4 中的条件一样 (参见图 12B)。

下一步, 在整个表面上形成 30nm 厚 SiC: O: H 的绝缘膜 56 (参见图 13A)。

然后, 以与实例 19 同样的方法, 形成多孔层间绝缘膜 58 (参见图 13B)。

然后, 不在多孔层间绝缘膜 58 上形成致密绝缘膜, 而将电子束施加至多孔层间绝缘膜 58 (电子束固化)。用于施加电子束的条件与比较例 4 中的条件一样 (参见图 14A)。

下一步, 通过等离子体增强 CVD 在整个表面上形成 30nm 厚氧化硅膜的绝缘膜 60 (参见图 14B)。

然后, 以与实例 19 同样的方法, 通过双层嵌入将导电塞 76b 和互连 76a 埋入层间绝缘膜 54、58 等。下一步, 以与实例 19 同样的方法, 形成绝缘膜 78 (图 15)。然后, 适当重复上述步骤, 以形成第三层互连。

如上述从而制造的半导体衬底被制造, 从而形成互连和导电塞, 电串连一百万个导电塞。测量半导体器件的成品率。该成品率是 34%。互连之间的有效介电常数被计算, 其为 3.8。将该半导体保持在 200°C 达 3000 小时, 并且测量互连的电阻。确认电阻增长。

#### 实例 20

首先, 以与实例 19 同样的方法, 形成晶体管 24 (参见图 1A)。形成层间绝缘膜 26 和停止膜 28 (参见图 1B), 然后, 将导体 34 埋入接触孔 30 (参见图 1C)。

下一步, 以与实例 19 同样的方法, 形成绝缘膜 36, 然后形成多孔层间绝缘膜 38 (参见图 2A)。

然后, 以与实例 19 同样的方法, 在多孔层间绝缘膜 38 上形成致密绝缘膜 40 (参见图 2B)。

下一步, 利用在多孔层间绝缘膜 38 上存在的致密绝缘膜 40, 将 UV 射线通过绝缘膜 40 施加至层间绝缘膜 38 (UV 射线固化)。用于将 UV 射线通过绝缘膜 40 施加至层间绝缘膜 38 的条件与实例 9 的相同。

下一步, 以与实例 19 同样的方法, 在致密绝缘膜 40、多孔层间绝缘膜 38 以及绝缘膜 36 中形成沟槽 46 (参见图 3A)。

然后，以与实例 19 同样的方法，在绝缘膜 36、层间绝缘膜 38 以及绝缘膜 40 中埋入互连 50。下一步，以与实例 19 同样的方法，形成绝缘膜 52（参见图 3B）。

然后，以与实例 19 同样的方法，形成多孔层间绝缘膜 54。然后，以与实例 19 同样的方法，在多孔层间绝缘膜 54 上形成致密绝缘膜 56（参见图 4A）。

下一步，利用在多孔层间绝缘膜 54 上存在的致密绝缘膜 56，将 UV 射线通过绝缘膜 56 施加至层间绝缘膜 54（UV 射线固化）。用于将 UV 射线通过绝缘膜 56 施加至层间绝缘膜 54 的条件与实例 9 的条件一样。

下一步，以与实例 19 同样的方法，形成多孔层间绝缘膜 58。然后，以与实例 19 同样的方法中，在多孔层间绝缘膜 58 上形成致密绝缘膜 60（参见图 5A）。

然后，利用在多孔层间绝缘膜 58 上存在的致密绝缘膜 60，将 UV 射线通过绝缘膜 60 施加至层间绝缘膜 58（UV 射线固化）。用于将 UV 射线通过绝缘膜 60 施加至层间绝缘膜 58 的条件与实例 9 的条件一样（图 5B）。

下一步，以与实例 19 中同样的方法，在绝缘膜 60、层间绝缘膜 58、绝缘膜 56、层间绝缘膜 54 以及绝缘膜 52 中形成接触孔 66（参见图 6）。

下一步，以与实例 19 同样的方法，在绝缘膜 60、层间绝缘膜 58 以及绝缘膜 56 中形成沟槽 72（参见图 7）。

然后，以与实例 19 同样的方法，互连 76a 被埋入沟槽 72 中，同时导电塞 76b 被埋入接触孔 66 中。下一步，以与实例 19 同样的方法，形成绝缘膜 78（参见图 8）。然后，适当重复上述步骤，以形成第三层互连。

如上述从而制造的半导体衬底被制造，从而形成互连和导电塞，电串连一百万个导电塞。测量半导体器件的成品率。该成品率是 87%。互连之间的有效介电常数被计算，其为 2.58。将该半导体保持在 200°C 达 3000 小时，并且测量互连的电阻。确认电阻没有增长。

#### 比较例 11

首先，以与实例 19 同样的方法，形成晶体管 24（参见图 9A），并且形成层间绝缘膜 26 和停止膜 28（参见图 9B）。然后，将导电塞 34 埋入接触孔 30 中（参见图 9C）。

然后, 以与实例 19 同样的方法, 形成绝缘膜 36, 然后形成多孔层间绝缘膜 38 (参见图 10A)。

下一步, 不在多孔层间绝缘膜 38 上形成致密绝缘膜, 而将 UV 射线施加至多孔层间绝缘膜 38 (电子束固化)。用于施加 UV 射线的条件与比较例 7 中的相同 (参见图 10B)。

下一步, 通过等离子体增强 CVD 在整个表面上形成 30nm 厚氧化硅膜的绝缘膜 40 (参见图 10C)。

下一步, 以与实例 19 同样的方法, 在绝缘膜 40、多孔层间绝缘膜 38 以及绝缘膜 36 中形成沟槽 46 (参见图 11A)。接下来, 以与实例 19 同样的方法, 在绝缘膜 40、层间绝缘膜 38 以及绝缘膜 36 中埋入互连 50。然后, 以与实例 19 同样的方法, 形成绝缘膜 52 (参见图 11B)。

下一步, 以与实例 19 同样的方法, 形成多孔层间绝缘膜 54 (参见图 12A)。接下来, 不在多孔层间绝缘膜 54 上形成致密绝缘膜, 而将 UV 射线施加至层间绝缘膜 54 (UV 射线固化)。用于施加 UV 射线的条件与比较例 7 中的条件一样 (参见图 12B)。

然后, 在整个表面上形成 30nm 厚 SiC: O: H 的绝缘膜 56 (参见图 13A)。

下一步, 以与实例 19 同样的方法, 形成多孔层间绝缘膜 58 (参见图 13B)。

下一步, 不在多孔层间绝缘膜 58 上形成致密绝缘膜, 而将 UV 射线施加至多孔层间绝缘膜 58 (UV 射线固化)。用于施加 UV 射线的条件与比较例 7 中的条件一样 (参见图 14A)。

然后, 通过等离子体增强 CVD 在整个表面上形成 30nm 厚氧化硅膜的绝缘膜 (参见图 14B)。

下一步, 以与实例 19 同样的方法, 通过双层嵌入将导电塞 76b 和互连 76a 埋入层间绝缘膜 54、58 等。下一步, 以与实例 19 同样的方法, 形成绝缘膜 78 (图 15)。然后, 适当重复上述步骤以形成第三层互连。

如上述从而制造的半导体衬底被制造, 从而形成互连和导电塞, 电串连一百万个导电塞。测量半导体器件的成品率。该成品率是 64%。互连之间的有效介电常数被计算, 其为 3.6。将该半导体保持在 200°C 达 3000 小时, 并且测量互连的电阻。确认电阻增长。

## 实例 21



首先，以与实例 19 同样的方法，形成晶体管 24（参见图 1A）。形成层间绝缘膜 26 和停止膜 28（参见图 1B）。然后，将导电塞 34 埋入接触孔 30 中（参见图 1C）。

下一步，以与实例 19 同样的方法，形成绝缘膜 36，然后形成多孔层间绝缘膜 38（参见图 2A）。

然后，以与实例 19 同样的方法，在多孔层间绝缘膜 38 上形成致密绝缘膜 40（参见图 2B）。

下一步，利用在多孔层间绝缘膜 38 上存在的致密绝缘膜 40，将等离子体通过绝缘膜 40 施加至多孔层间绝缘膜 38（等离子体固化）。用于将等离子体通过绝缘膜 40 施加至多孔层间绝缘膜 38 的条件与实例 18 的相同。

下一步，以与实例 19 同样的方法，在绝缘膜 40、多孔层间绝缘膜 38 以及绝缘膜 36 中形成沟槽 46（参见图 3A）。

下一步，以与实例 19 同样的方法，在绝缘膜 36、层间绝缘膜 38 以及绝缘膜 40 中埋入互连 50。下一步，以与实例 19 同样的方法，形成绝缘膜 52（参见图 3B）。

然后，以与实例 19 同样的方法，形成多孔层间绝缘膜 54。然后，以与实例 19 中同样的方法，在多孔层间绝缘膜 54 上形成致密绝缘膜 56（参见图 4A）。

下一步，利用在多孔层间绝缘膜 54 上存在的致密绝缘膜 56，将等离子体通过绝缘膜 56 施加至多孔层间绝缘膜 54（等离子体固化）。用于将等离子体通过绝缘膜 56 施加至层间绝缘膜 54 的条件与实例 18 的条件一样。

然后，以与实例 19 同样的方法，形成多孔层间绝缘膜 58。然后，以与实例 19 同样的方法，在多孔层间绝缘膜 58 上形成致密绝缘膜 60（参见图 5A）。

然后，利用在多孔层间绝缘膜 58 上存在的致密绝缘膜 60，将等离子体通过绝缘膜 60 施加至层间绝缘膜 58（等离子体固化）。用于将等离子体通过绝缘膜 60 施加至层间绝缘膜 58 的条件与实例 18 的条件一样（参见图 5B）。

下一步，以与实例 19 同样的方法，在绝缘膜 60、层间绝缘膜 58、绝缘膜 56、层间绝缘膜 54 以及绝缘膜 52 中形成接触孔 66（参见图 6）。

下一步，以与实例 19 同样的方法，在绝缘膜 60、层间绝缘膜 58 以及绝

缘膜 56 中形成沟槽 72 (参见图 7)。

下一步, 以与实例 19 同样的方法, 互连 76a 被埋入沟槽 72 中, 同时导电塞 76b 被埋入接触孔 66。下一步, 以与实例 19 同样的方法, 形成绝缘膜 78 (参见图 8)。然后, 适当重复上述步骤, 以形成第三层互连。

如上述从而制造的半导体器件被制造, 从而形成互连和导电塞, 电串连一百万个导电塞。测量半导体器件的成品率。该成品率是 96%。互连之间的有效介电常数被计算, 其为 2.58。将该半导体保持在 200°C 达 3000 小时, 并且测量互连的电阻。确认电阻没有增长。

#### 比较例 12

首先, 以与实例 19 同样的方法, 形成晶体管 24 (参见图 9A), 并且形成层间绝缘膜 26 和停止膜 28 (参见图 9B)。然后, 将导电塞 34 埋入接触孔 30 (参见图 9C)。

下一步, 以与实例 19 同样的方法, 形成绝缘膜 36, 然后形成多孔层间绝缘膜 38 (参见图 10A)。

下一步, 不在多孔层间绝缘膜 38 上形成致密绝缘膜, 而将等离子体施加至多孔层间绝缘膜 38 (等离子体固化)。用于施加等离子体的条件与比较例 9 中的相同 (参见图 10B)。

下一步, 通过等离子体增强 CVD 在整个表面上形成 30nm 厚氧化硅膜的绝缘膜 40 (参见图 10C)。

下一步, 以与实例 19 同样的方法, 在绝缘膜 40、多孔层间绝缘膜 38 以及绝缘膜 36 中形成沟槽 46 (参见图 11A)。下一步, 以与实例 19 同样的方法, 在绝缘膜 40、层间绝缘膜 38 以及绝缘膜 36 中埋入互连 50。下一步, 以与实例 19 同样的方法, 形成绝缘膜 52 (参见图 11B)。

下一步, 以与实例 19 同样的方法, 形成多孔层间绝缘膜 54 (参见图 12A)。下一步, 不在多孔层间绝缘膜 54 上形成致密绝缘膜, 而将等离子体施加至多孔层间绝缘膜 54 (等离子体固化)。用于施加等离子体的条件与比较例 9 中的条件一样 (参见图 12B)。

然后, 在整个表面上形成 30nm 厚 SiC:O:H 的绝缘膜 56 (参见图 13A)。

下一步, 以与实例 19 同样的方法, 形成多孔层间绝缘膜 58 (参见图 13B)。

然后, 不在多孔层间绝缘膜 58 上形成致密绝缘膜, 而将等离子体施加

至多孔层间绝缘膜 58（等离子体固化）。用于施加等离子体的条件与比较例 9 中的条件一样（参见图 14A）。

然后，通过等离子体增强 CVD 在整个表面上形成 30nm 厚氧化硅膜的绝缘膜（参见图 14B）。

下一步，以与实例 19 同样的方法，通过双层嵌入将导电塞 76b 和互连 76a 埋入层间绝缘膜 54、58 等。然后，以与实例 19 同样的方法，形成绝缘膜 78（图 15）。然后，适当重复上述步骤，以形成第三层互连。

如上述从而制造的半导体衬底被制造，从而形成互连和导电塞，电串连一百万个导电塞。测量半导体器件的成品率。该成品率是 48%。互连之间的有效介电常数被计算，其为 3.8。将该半导体器件保持在 200℃达 3000 小时，并且测量互连的电阻。确认电阻增长。

#### 实例 22 至 27

以与实例 1 至 6 同样的方法，制备绝缘膜材料（多孔硅石前体）并将绝缘膜材料涂覆至硅片，而进行热处理（软烘焙）。由此制备多孔层间绝缘膜。

测量如此形成的多孔层间绝缘膜。获得如表 4-1 至 4-3 中所示的结果。

表 4-1

		实例 22	实例 23	比较例 13
UV 射线固化之 前的层间绝缘膜	膜厚 (nm)	180		
	折射率	1.28		
	弹性模量 (Gpa)	10		
	硬度 (Gpa)	1		
	交联百分比 (%)	65		
	孔直径 (nm)	0.7-1.4		
	抗张强度 (kg/cm <sup>2</sup> )	523		
	介电常数	2.3		
致密绝缘膜	致密绝缘膜的种类	SiO <sub>2</sub>	SOG	无
	膜厚 (nm)	30	50	-
UV 射线固化的 条件	灯的种类	高压汞灯		
	能量 (eV)	4.9		

	衬底温度	400		
UV 射线固化之 后的层间绝缘膜	膜厚 (nm)	175	176	163
	折射率	1.283	1.283	1.344
	弹性模量 (GPa)	13	13	15
	硬度 (GPa)	1.2	1.2	1.4
	交联百分比 (%)	72	70	75
	孔直径 (nm)	1.2-1.5	1.1-1.4	1.1-1.4
	抗张强度 (kg/cm <sup>2</sup> )	621	635	632
	介电常数	2.3	2.3	3.4

表 4-2

		实例 24	实例 25	比较例 14
UV 射线固化之 前的层间绝缘膜	膜厚 (nm)	180		
	折射率	1.28		
	弹性模量 (Gpa)	10		
	硬度 (Gpa)	1		
	交联百分比 (%)	65		
	孔直径 (nm)	0.7-1.4		
	抗张强度 (kg/cm <sup>2</sup> )	523		
	介电常数	2.3		
致密绝缘膜	致密绝缘膜的种类	SiO <sub>2</sub>	SOG	None
	膜厚 (nm)	30	50	-
UV 射线固化的 条件	灯的种类	氙准分子灯		
	能量 (eV)	7.2		
	衬底温度	400		
UV 射线固化之 后的层间绝缘膜	膜厚 (nm)	175	176	163
	折射率	1.283	1.283	1.344
	弹性模量 (GPa)	13	13	15
	硬度 (GPa)	1.2	1.2	1.4
	交联百分比 (%)	75	76	80

	孔径 (nm)	1.2-1.5	1.2-1.5	1.1-1.4
	抗张强度 (kg/cm <sup>2</sup> )	652	665	672
	介电常数	2.3	2.3	3.4

表 4-3

		实例 26	实例 27	比较例 15
UV 射线固化之 前的层间绝缘膜	膜厚 (nm)	180		
	折射率	1.28		
	弹性模量 (Gpa)	10		
	硬度 (Gpa)	1		
	交联百分比 (%)	65		
	孔直径 (nm)	0.7-1.4		
	抗张强度 (kg/cm <sup>2</sup> )	523		
	介电常数	2.3		
致密绝缘膜	致密绝缘膜的种类	SiO <sub>2</sub>	SOG	None
	膜厚 (nm)	30	50	-
UV 射线固化的 条件	灯的种类	低压汞灯		
	能量 (eV)	6.7		
	衬底温度	400		
UV 射线固化之 后的层间绝缘膜	膜厚 (nm)	175	176	163
	折射率	1.283	1.283	1.344
	弹性模量 (GPa)	13	13	15
	硬度 (GPa)	1.2	1.2	1.4
	交联百分比 (%)	75	75	78
	孔直径 (nm)	1.2-1.5	1.2-1.5	1.1-1.4
	抗张强度 (kg/cm <sup>2</sup> )	653	654	662
	介电常数	2.3	2.3	3.4

在多孔层间绝缘膜上形成致密绝缘膜。表 4-1 至 4-3 中示出的绝缘膜形成为致密绝缘膜。

下一步，利用在多孔层间绝缘膜上形成的致密绝缘膜，将 UV 射线通过致密绝缘膜施加至多孔层间绝缘膜（UV 固化）。UV 灯的种类、UV 射线的能量以及衬底温度被设定为如表 4-1 至 4-3 中所示。

测量利用 UV 射线由此固化的多孔层间绝缘膜，并且获得表 4-1 至 4-3 中所示的结果。如表 4-1 至 4-3 中明显可见，在实例 22 至 27 中，UV 射线施加之前和之后，层间绝缘膜的折射率基本没有变化。这意味着：在将 UV 射线通过致密绝缘膜施加至多孔层间绝缘膜中无论使用任何种类的 UV 灯，层间绝缘膜基本不会收缩，并且层间绝缘膜能够是低密度的。

如表 4-1 至 4-3 中明显可见，在实例 22 至 27 中，能够获得足够高的弹性模量和强度。在表 4-1 至 4-3 中明显可见，在实例 22 至 27 中，有效介电常数足够小。这些意味着：在将 UV 射线通过致密绝缘膜施加至多孔层间绝缘膜中无论使用任何种类的 UV 灯，层间绝缘膜都能够具有较好的机械强度和低介电常数。

如表 4-1 至 4-3 中明显可见，在实例 22 至 27 中，层间绝缘膜具有相对小的孔尺寸偏差。这意味着：在将 UV 射线通过致密绝缘膜施加至多孔层间绝缘膜中无论使用任何种类的 UV 灯，孔的偏差也能够较小。

如表 4-1 至 4-3 中明显可见，在实例 22 至 27 中，能够获得相对高的密度。这些意味着：在将 UV 射线通过致密绝缘膜施加至多孔层间绝缘膜中无论使用任何种类的 UV 灯，层间绝缘膜相对于基底也能够获得高抗张强度。

#### 比较例 13 至 15

以与如实例 1 至 6 同样的方法，通过制备绝缘膜材料（多孔硅石前体）、将绝缘膜材料涂覆到硅片并且进行热处理（软烘陪），制备多孔层间绝缘膜。

然后，不在多孔层间绝缘膜上形成致密绝缘膜，而将 UV 射线施加至多孔层间绝缘膜（UV 固化）。UV 灯的种类、UV 射线的能量以及衬底温度被设定为如表 4-1 至 4-3 中所示。

测量如此 UV 固化的多孔层间绝缘膜，并且获得表 4-1 至 4-3 中所示的结果。在比较例 13 至 15 中，折射率相对高。这意味着：不在多孔层间绝缘膜上形成致密绝缘膜，而将 UV 射线施加至多孔层间绝缘膜中无论使用任何种类的 UV 灯，层间绝缘膜都会过分收缩，并且具有增大的密度。如表 4-1 至 4-3 中明显可见，在比较例 13 至 15 中，有效介电常数较高。

## 实例 28 至 34

首先，以与实例 1 至 6 同样的方法，通过制备绝缘膜材料（多孔硅石前体）、将绝缘膜材料涂覆至硅片并进行热处理（软烘陪），制备多孔层间绝缘膜。

测量如此制备的多孔层间绝缘膜，并获得如表 5-1 至 5-3 中所示的结果。

表 5-1

		实例 28	实例 29	实例 30	实例 31
等离子体固化之前的层间绝缘膜	膜厚 (nm)	180			
	折射率	1.28			
	弹性模量 (Gpa)	10			
	硬度 (Gpa)	1			
	交联百分比 (%)	65			
	孔直径 (nm)	0.7-1.4			
	抗张强度 (kg/cm <sup>2</sup> )	523			
	介电常数	2.3			
致密绝缘膜	致密绝缘膜的种类	SiO <sub>2</sub>	SOG	SiO <sub>2</sub>	SOG
	膜厚 (nm)	30	50	60	70
等离子体固化的条件	等离子体的种类	H <sub>2</sub>			
	辐射能量 (eV)	4.5	9	18	36
	衬底温度	400			
等离子体固化之后的层间绝缘膜	膜厚 (nm)	175	176	175	174
	折射率	1.283	1.283	1.283	1.283
	弹性模量 (GPa)	13	12	13	13
	硬度 (GPa)	1.2	1.2	1.2	1.2
	交联百分比 (%)	72	72	73	75
	孔直径 (nm)	1.0-1.4	1.1-1.4	1.1-1.4	1.1-1.4
	抗张强度 (kg/cm <sup>2</sup> )	631	634	642	650
	介电常数	2.3	2.3	2.3	2.3

表 5-2

		实例 32	实例 33	实例 34
等离子体固化之前的层间绝缘膜	膜厚 (nm)	180		
	折射率	1.28		
	弹性模量 (Gpa)	10		
	硬度 (Gpa)	1		
	交联百分比 (%)	65		
	孔直径 (nm)	0.7-1.4		
	抗张强度 (kg/cm <sup>2</sup> )	523		
	介电常数	2.3		
致密绝缘膜	致密绝缘膜的种类	SOG	SOG	SOG
	膜厚 (nm)	70	70	70
等离子体固化的条件	等离子体的种类	H <sub>2</sub>		
	辐射能量 (eV)	54	72	90
	衬底温度	400		
等离子体固化之后的层间绝缘膜	膜厚 (nm)	174	173	174
	折射率	1.283	1.282	1.282
	弹性模量 (GPa)	14	14	15
	硬度 (GPa)	1.2	1.3	1.3
	交联百分比 (%)	77	77	77
	孔直径 (nm)	1.2-1.5	1.2-1.5	1.2-1.5
	抗张强度 (kg/cm <sup>2</sup> )	655	649	652
	介电常数	2.3	2.32	2.32

表 5-3

		比较例 16	比较例 17	比较例 18	比较例 19
等离子体固化之前的层间绝缘膜	膜厚 (nm)	180			
	折射率	1.28			
	弹性模量 (Gpa)	10			
	硬度 (Gpa)	1			



	交联百分比 (%)	65			
	孔直径 (nm)	0.7-1.4			
	抗张强度 (kg/cm <sup>2</sup> )	523			
	介电常数	2.3			
致密绝缘膜	致密绝缘膜的种 类	SOG	SOG	SOG	无
	膜厚 (nm)	70	70	70	-
等离子体固 化的条件	等离子体的种类	H <sub>2</sub>			
	辐射能量 (eV)	110	120	0.5	18
	衬底温度	400			
等离子体固 化之后的层 间绝缘膜	膜厚 (nm)	170	170	178	150
	折射率	1.301	1.301	1.28	1.354
	弹性模量 (GPa)	16	16	10	17
	硬度 (GPa)	1.3	1.3	1	1.5
	交联百分比 (%)	80	80	68	82
	孔直径 (nm)	1.1-1.3	1.1-1.3	0.7-1.4	0.5-0.6
	抗张强度 (kg/cm <sup>2</sup> )	660	660	550	655
介电常数	2.7	2.7	2.3	3.5	

下一步，在多孔层间绝缘膜上形成致密绝缘膜。形成如图表 5-1 至 5-3 中所示的绝缘膜作为致密绝缘膜。

然后，利用在多孔层间绝缘膜上形成的致密绝缘膜，将等离子体通过致密绝缘膜施加至多孔层间绝缘膜（等离子体固化）。使用如表 5-1 至 5-3 中所示的氢气作为产生等离子体的反应气体。将等离子体的施加能量设定在如表 5-1 至 5-3 中所示的 1-100eV。将衬底的温度设定为如表 5-1 至 5-3 中所示的温度。

测量如此等离子体固化的多孔层间绝缘膜，并且得出如表 5-1 至 5-3 中所示的结果。如表 5-1 至 5-3 中明显可见，在实例 28 至 34 中，等离子体施

加之前和之后，层间绝缘膜的折射率基本没有变化。这意味着：用于将等离子体通过致密绝缘膜施加至多孔层间绝缘膜的等离子体的施加能量被设定在 1-100eV，由此层间绝缘膜不会过分收缩。也就是说，从实例 28 至 34 中可见，能够获得低密度且不过分收缩的层间绝缘膜。

如表 5-1 至 5-3 中明显可见，在实例 28 至 34 中，获得足够高的弹性模量和强度。如表 5-1 至 5-3 中明显可见，在实例 28 至 34 中，有效介电常数足够小。这意味着：用于将等离子体通过致密绝缘膜施加至多孔层间绝缘膜中的等离子体的施加能量被设定在 1-100eV，由此层间绝缘膜能够具有良好的机械强度和低介电常数。

如表 5-1 至 5-3 中明显可见，在实例 28 至 34 中，层间绝缘膜具有相对小的孔尺寸偏差。这意味着：用于将等离子体通过致密绝缘膜施加至多孔层间绝缘膜中的等离子体的施加能量被设定在 1-100eV，由此能够使孔尺寸的偏差较小。

如表 5-1 至 5-3 中明显可见，在实例 28 至 34 中，能够获得相对高的抗张强度。这意味着：用于将等离子体通过致密绝缘膜施加至多孔层间绝缘膜中的等离子体的施加能量被设定在 1-100eV，由此能够形成相对于基底具有高抗张强度的层间绝缘膜。

#### 比较例 16 至 17

首先，以与如实例 1 至 6 同样的方法，通过制备绝缘膜材料（多孔硅石前体）、将绝缘膜材料涂覆到硅片并且进行热处理（软烘陪），制备多孔层间绝缘膜。

下一步，在多孔层间绝缘膜上形成致密绝缘膜。形成如图表 5-1 至 5-3 中所示的绝缘膜作为致密绝缘膜。

然后，利用在多孔层间绝缘膜上形成的致密绝缘膜，将等离子体通过致密绝缘膜施加至多孔层间绝缘膜（等离子体固化）。使用如表 5-1 至 5-3 中所示的氢气作为用于产生等离子体的反应气体。将等离子体的施加能量设定在如表 5-1 至 5-3 中所示的能量。也就是说，在比较例 16 中，将等离子体施加能量设定为 110eV，而在比较例 17 中，将等离子体施加能量设定为 120eV。将衬底的温度设定为如表 5-1 至 5-3 中所示的温度。

测量如此固化的多孔层间绝缘膜，并且得出表 5-1 至 5-3 中所示的结果。

如表 5-1 至 5-3 中明显可见，在比较例 16 和 17 中，折射率相对高。这意味着：在等离子体的施加能量高于 100eV 时，多孔层间绝缘膜会过分收缩，并且多孔层间绝缘膜的密度变大。

如表 5-1 至 5-3 中明显可见，在比较例 16 和 17 中，有效介电常数较高。这意味着：在等离子体的施加能量高于 100eV 时，多孔层间绝缘膜过分收缩，并且有效介电常数变高。

#### 比较例 18

首先，以与如实例 1 至 6 同样的方法，通过制备绝缘膜材料（多孔硅石前体）、将绝缘膜材料涂覆至硅片并且进行热处理（软烘陪），制备多孔层间绝缘膜。

然后，在多孔层间绝缘膜上形成致密绝缘膜。形成如图表 5-1 至 5-3 中所示的绝缘膜作为致密绝缘膜。

然后，利用在多孔层间绝缘膜上形成的致密绝缘膜，将等离子体通过致密绝缘膜施加至多孔层间绝缘膜（等离子体固化）。使用如表 5-1 至 5-3 中所示的氢气作为用于产生等离子体的反应气体。将等离子体的施加能量设定在如表 5-1 至 5-3 中所示的 0.5eV。将衬底的温度设定为如表 5-1 至 5-3 中所示的温度。

测量如此等离子体固化的多孔层间绝缘膜，并且得出表 5-1 至 5-3 中所示的结果。如表 5-1 至 5-3 中明显可见，在比较例 18 中，孔尺寸的偏差相对大。这意味着：在等离子体的施加能量低于 1eV 时，多孔层间绝缘膜中的交联反应未充分进行，并且出现其尺寸未充分变大的孔。

如表 5-1 至 5-3 中明显可见，在比较例 18 中，抗张强度较低。这意味着：在等离子体的施加能量低于 1eV 时，多孔层间绝缘膜不能被充分固化。

#### 比较例 19

首先，以与如实例 1 至 6 同样的方法，通过制备绝缘膜材料（多孔硅石前体）、将绝缘膜材料涂覆至硅片并且进行热处理（软烘陪），制备多孔层间绝缘膜。

然后，不在多孔层间绝缘膜上形成致密绝缘膜，而将等离子体施加至多孔层间绝缘膜（等离子体固化）。使用如表 5-1 至 5-3 中所示的氢气作为用于产生等离子体的反应气体。等离子体的施加能量和衬底温度设定为如表

5-1 至 5-3 中所示。

测量如此等离子体固化的多孔层间绝缘膜，并且得出图 5 所示的结果。如表 5-1 至 5-3 中明显可见，在比较例 19 中，孔尺寸较小。这意味着：不在多孔层间绝缘膜上形成致密绝缘膜，而将等离子体施加至多孔层间绝缘膜时，多孔层间绝缘膜过分收缩从而减小孔的尺寸，并且多孔层间绝缘膜的密度增大。

如表 5-1 至 5-3 中明显可见，在比较例 19 中，有效介电常数较高。这意味着：不在多孔层间绝缘膜上形成致密绝缘膜，将等离子体施加至多孔层间绝缘膜时，多孔层间绝缘膜过分收缩，并且有效介电常数变大。

比较例 35 至 41

首先，以与如实例 1 至 6 同样的方法，通过制备绝缘膜材料（多孔硅石前体）、将绝缘膜材料涂覆至硅片并且进行热处理（软烘陪），制备多孔层间绝缘膜。

测量如此形成的多孔层间绝缘膜，并且得出如表 6-1 至 6-3 所示的结果。

表 6-1

		实例 35	实例 36	实例 37	实例 38
等离子体固化之前的层间绝缘膜	膜厚 (nm)	180			
	折射率	1.28			
	弹性模量 (Gpa)	10			
	硬度 (Gpa)	1			
	交联百分比 (%)	65			
	孔直径 (nm)	0.7-1.4			
	抗张强度 (kg/cm <sup>2</sup> )	523			
	介电常数	2.3			
致密绝缘膜	致密绝缘膜的种类	SiO <sub>2</sub>	SOG	SiO <sub>2</sub>	SOG
	膜厚 (nm)	30	50	60	70
等离子体固化的条件	等离子体的种类	O <sub>2</sub>			
	辐射能量 (eV)	4.5	9	18	36
	衬底温度	400			

等离子体固化之后的层间绝缘膜	膜厚 (nm)	176	174	175	174
	折射率	1.283	1.282	1.283	1.282
	弹性模量 (GPa)	12	12	13	13
	硬度 (GPa)	1.2	1.2	1.2	1.2
	交联百分比 (%)	73	73	74	75
	孔直径 (nm)	1.0-1.4	1.1-1.4	1.1-1.4	1.1-1.4
	抗张强度 (kg/cm <sup>2</sup> )	629	632	640	654
	介电常数	2.3	2.3	2.3	2.3

表 6-2

		实例 39	实例 40	实例 41
等离子体固化之前的层间绝缘膜	膜厚 (nm)	180		
	折射率	1.28		
	弹性模量 (Gpa)	10		
	硬度 (Gpa)	1		
	交联百分比 (%)	65		
	孔直径 (nm)	0.7-1.4		
	抗张强度 (kg/cm <sup>2</sup> )	523		
	介电常数	2.3		
致密绝缘膜	致密绝缘膜的种类	SOG	SOG	SOG
	膜厚 (nm)	70	70	70
等离子体固化的条件	等离子体的种类	O <sub>2</sub>		
	辐射能量 (eV)	54	72	90
	衬底温度	400		
等离子体固化之后的层间绝缘膜	膜厚 (nm)	173	173	172
	折射率	1.283	1.283	1.283
	弹性模量 (GPa)	14	14	14
	硬度 (GPa)	1.2	1.3	1.3
	交联百分比 (%)	77	77	77
	孔直径 (nm)	1.2-1.4	1.2-1.4	1.1-1.3

	抗张强度 (kg/cm <sup>2</sup> )	662	655	670
	介电常数	2.3	2.31	2.32

表 6-3

		比较例 20	比较例 21	比较例 22	比较例 23
等离子体 固化之前 的层间绝 缘膜	膜厚 (nm)	180			
	折射率	1.28			
	弹性模量 (Gpa)	10			
	硬度 (Gpa)	1			
	交联百分比 (%)	65			
	孔直径 (nm)	0.7-1.4			
	抗张强度 (kg/cm <sup>2</sup> )	523			
	介电常数	2.3			
致密绝缘 膜	致密绝缘膜的种类	SOG	SOG	SOG	无
	膜厚 (nm)	70	70	70	-
等离子体 固化的条 件	等离子体的种类	O <sub>2</sub>			
	辐射能量 (eV)	110	120	0.5	18
	衬底温度	400			
等离子体 固化之后 的层间绝 缘膜	膜厚 (nm)	170	170	177	148
	折射率	1.312	1.322	1.28	1.356
	弹性模量 (GPa)	15	16	10	17
	硬度 (GPa)	1.2	1.3	2	1.5
	交联百分比 (%)	80	82	69	84
	孔直径 (nm)	1.1-1.3	1.1-1.3	0.7-1.4	0.5-0.7
	抗张强度 (kg/cm <sup>2</sup> )	674	672	556	660
	介电常数	2.8	2.8	2.3	3.6

下一步，在多孔层间绝缘膜上形成致密绝缘膜。形成如图表 6-1 至 6-3 中所示的绝缘膜作为致密绝缘膜。

然后，利用在多孔层间绝缘膜上形成的致密绝缘膜，将等离子体通过致

密绝缘膜施加至多孔层间绝缘膜（等离子体固化）。使用如表 6-1 至 6-3 中所示的氧气作为用于产生等离子体的反应气体。等离子体的施加能量和衬底温度设定为如表 6-1 至 6-3 所示。

测量如此等离子体固化的多孔层间绝缘膜，并且得出如表 6-1 至 6-3 中所示的结果。如表 6-1 至 6-3 中明显可见，在实例 35 至 41 中，等离子体施加之前和之后，层间绝缘膜的折射率基本没有变化。这意味着：在将等离子体通过致密绝缘膜施加至多孔层间绝缘膜时，等离子体的施加能量被设定在 1-100eV，由此层间绝缘膜不会过分收缩。也就是说，从实例 34 至 41 中可见，能够形成低密度且不过分收缩的层间绝缘膜。

如表 6-1 至 6-3 中明显可见，在实例 35 至 41 中，获得足够高的弹性模量和强度。如表 6-1 至 6-3 中明显可见，在实例 35 至 41 中，有效介电常数足够小。这意味着：在将等离子体通过致密绝缘膜施加至多孔层间绝缘膜时，等离子体的施加能量被设定在 1-100eV，由此层间绝缘膜能够具有良好的机械强度和低介电常数。

如表 6-1 至 6-3 中明显可见，在实例 35 至 41 中，层间绝缘膜具有相对小的孔尺寸偏差。这意味着：在将等离子体通过致密绝缘膜施加至多孔层间绝缘膜时，等离子体的施加能量被设定在 1-100eV，由此能够使孔尺寸的偏差较小。

如表 6-1 至 6-3 中明显可见，在实例 35 至 41 中，能够获得相对高的抗张强度。这意味着：在将等离子体通过致密绝缘膜施加至多孔层间绝缘膜时，等离子体的施加能量被设定在 1-100eV，由此能够形成相对于基底具有高抗张强度的层间绝缘膜。

比较例 20 至 21

首先，以与如实例 1 至 6 同样的方法，通过制备绝缘膜材料（多孔硅石前体）、将绝缘膜材料涂覆至硅片并且进行热处理（软烘陪），制备多孔层间绝缘膜。

然后，在多孔层间绝缘膜上形成致密绝缘膜。形成如图表 6-1 至 6-3 中所示的绝缘膜作为致密绝缘膜。

然后，利用在多孔层间绝缘膜上形成的致密绝缘膜，将等离子体通过致密绝缘膜施加至多孔层间绝缘膜（等离子体固化）。使用如表 6-1 至 6-3 中

所示的氧气作为用于产生等离子体的反应气体。将等离子体的施加能量设定为如表 6-1 至 6-3 中所示。也就是说，在比较例 20 中将等离子体施加能量设定为 110eV，而在比较例 21 中将等离子体施加能量设定为 120eV。将衬底的温度设定为如表 6-1 至 6-3 中所示。

测量如此等离子体固化的多孔层间绝缘膜，并且得出表 6-1 至 6-3 中所示的结果。如表 6-1 至 6-3 中明显可见，在比较例 20 和 21 中，折射率相对高。这意味着：在等离子体的施加能量高于 100eV 时，多孔层间绝缘膜过分收缩，并且多孔层间绝缘膜的密度变大。

如表 6-1 至 6-3 中明显可见，在比较例 20 和 21 中，有效介电常数较高。这意味着：在等离子体的施加能量高于 100eV 时，层间绝缘膜过分收缩，并且有效介电常数变高。

#### 比较例 22

首先，以与实例 1 至 6 同样的方法，通过制备绝缘膜材料（多孔硅石前体）、将绝缘膜材料涂覆至硅片并且进行热处理（软烘陪），制备多孔层间绝缘膜。

然后，在多孔层间绝缘膜上形成致密绝缘膜。形成如表 6-1 至 6-3 中所示的绝缘膜作为致密绝缘膜。

然后，利用在多孔层间绝缘膜上形成的致密绝缘膜，将等离子体通过致密绝缘膜施加至多孔层间绝缘膜（等离子体固化）。使用如图 6 中所示的氧气作为用于产生等离子体的反应气体。等离子体的施加能量和衬底温度设定为如表 6-1 至 6-3 所示。

测量如此等离子体固化的多孔层间绝缘膜，并且得出表 6-1 至 6-3 中所示的结果。如表 6-1 至 6-3 中明显可见，在比较例 22 中孔尺寸的偏差相对大。这意味着：在等离子体的施加能量低于 1eV 时，多孔层间绝缘膜中的交联反应未充分进行，并且出现其尺寸未充分变大的孔。

如表 6-1 至 6-3 中明显可见，在比较例 22 中，抗张强度较低。这意味着：在等离子体的施加能量低于 1eV 时，多孔层间绝缘膜不能被充分固化。

#### 比较例 23

首先，以与实例 1 至 6 同样的方法，通过制备绝缘膜材料（多孔硅石前体）、将绝缘膜材料涂覆至硅片并且进行热处理（软烘陪），制备多孔层间



绝缘膜。

然后，不在多孔层间绝缘膜上形成致密绝缘膜，而将等离子体施加至多孔层间绝缘膜（等离子体固化）。使用如表 6-1 至 6-3 中所示的氧气作为用于产生等离子体的反应气体。等离子体的施加能量和衬底温度设定为如表 6-1 至 6-3 中所示。

测量如此等离子体固化的多孔层间绝缘膜，并且得出如表 6-1 至 6-3 中所示的结果。如表 6-1 至 6-3 中明显可见，在比较例 23 中，孔尺寸较小。这意味着：不在多孔层间绝缘膜上形成致密绝缘膜，而将等离子体施加至多孔层间绝缘膜时，多孔层间绝缘膜过分收缩从而减小孔的尺寸，并且多孔层间绝缘膜的密度增大。

如表 6-1 至 6-3 中明显可见，在比较例 23 中，有效介电常数较高。这意味着：不在多孔层间绝缘膜上形成致密绝缘膜，将等离子体施加至多孔层间绝缘膜时，多孔层间绝缘膜过分收缩，并且有效的介电常数变大。

#### 实例 42

首先，以与实例 19 同样的方法，制造晶体管 24（参见图 1A），形成层间绝缘膜 26 和停止膜 28（参见图 1B）。然后，在接触孔 30 中埋入导电塞 34（参见图 1C）。

下一步，以与实例 19 同样的方法，形成绝缘膜 36，然后形成多孔层间绝缘膜 38（参见图 2A）。

下一步，以与如实例 19 同样的方法，在多孔层间绝缘膜 38 上形成致密绝缘膜 40（参见图 2B）。

然后，利用多孔层间绝缘膜 38 上形成的致密绝缘膜 40，将 UV 射线通过绝缘膜 40 施加至层间绝缘膜 38（UV 固化）。将 UV 射线通过绝缘膜 40 施加至层间绝缘膜 38 的条件与实例 22 相同。

然后，以与实例 19 同样的方法，在绝缘膜 40、多孔层间绝缘膜 38 和绝缘膜 36 中形成沟槽 46（参见图 3A）。

下一步，以与实例 19 同样的方法，在绝缘膜 36、层间绝缘膜 38 和绝缘膜 40 中埋入互连 50。下一步，以与如实例 19 同样的方法，形成绝缘膜 52（参见图 3B）。

然后，以与如实例 19 同样的方法，形成多孔层间绝缘膜 54。然后，以

与如实例 19 同样的方法，在多孔层间绝缘膜 54 上形成致密绝缘膜 56（参见图 4A）。

下一步，利用多孔层间绝缘膜 54 上形成的致密绝缘膜 56，将 UV 射线通过绝缘膜 56 施加至层间绝缘膜 54（UV 固化）。将 UV 射线通过绝缘膜 56 施加至层间绝缘膜 54 的条件与实例 22 相同。

然后，以与如实例 19 同样的方法，形成多孔层间绝缘膜 58。然后，以与如实例 19 同样的方法，在多孔层间绝缘膜 58 上形成致密绝缘膜 60（参见图 5A）。

下一步，利用多孔层间绝缘膜 58 上形成的致密绝缘膜 60，将 UV 射线通过绝缘膜 60 施加至层间绝缘膜 58（UV 固化）。将 UV 射线通过绝缘膜 60 施加至多孔层间绝缘膜 58 的条件与实例 22 相同（参见图 5B）。

下一步，以与如实例 19 同样的方法，在绝缘膜 60、多孔层间绝缘膜 58、绝缘膜 56、多孔层间绝缘膜 54 和绝缘膜 52 中形成接触孔 66（参见图 6）。

然后，以与如实例 19 同样的方法，在绝缘膜 60、层间绝缘膜 58 和绝缘膜 56 中形成沟槽 72（参见图 7）。

下一步，以与实例 19 同样的方法，在接触孔 66 中埋入导电塞 76b 的同时，在沟槽 72 中埋入互连 76a。下一步，以与如实例 19 同样的方法，形成绝缘膜 78（参见图 8）。然后，重复与上述相同的步骤，由此形成第三层互连。

由此制造的半导体器件形成有互连和导电塞，电串连一百万个导电塞，并且测量成品率。该成品率是 90%。计算互连之间的有效介电常数，该有效介电常数为 2.6 在 200℃保持 3000 小时之后，测量互连的电阻，并且确认电阻没有增长。

#### 比较例 24

首先，以与实例 19 同样的方法，制造晶体管 24（参见图 9A），形成层间绝缘膜 26 和停止膜 28（参见图 9B），以及，将导电塞 34 埋入接触孔 30（参见图 9C）。

下一步，以与实例 19 同样的方法，形成绝缘膜 36，然后形成多孔层间绝缘膜 38（参见图 10A）。

下一步，不在多孔层间绝缘膜 38 上形成致密绝缘膜，而将 UV 射线施

加至多孔层间绝缘膜 38 (UV 固化)。用于施加 UV 射线的条件与比较例 13 中的相同 (参见图 10B)。

下一步,通过等离子体增强 CVD 在整个表面上形成 30nm 厚的氧化硅膜的绝缘膜 40 (参见图 10C)。

下一步,以与实例 19 同样的方法,在绝缘膜 40、多孔层间绝缘膜 38 以及绝缘膜 36 中形成沟槽 46 (参见图 11A)。然后,以与实例 19 中同样的方法,将互连 50 被埋入绝缘膜 40、层间绝缘膜 38 以及绝缘膜 36 中。然后,以与实例 19 同样的方法,形成绝缘膜 52 (参见图 11B)。

下一步,以与实例 19 同样的方法,形成多孔层间绝缘膜 54 (参见图 12A)。然后,不在多孔层间绝缘膜 54 上形成的致密绝缘膜,将 UV 射线施加至多孔绝缘膜 54 (UV 固化)。用于施加 UV 射线的条件与比较例 13 中的条件一样 (参见图 12B)。

下一步,在整个表面上形成 30nm 厚 SiC: O: H 的绝缘膜 56 (参见图 13A)。

然后,以与实例 19 同样的方法,形成多孔层间绝缘膜 58 (参见图 13B)。

下一步,不在多孔层间绝缘膜 58 上形成致密绝缘膜,而将 UV 射线施加至多孔层间绝缘膜 58 (UV 固化)。用于施加 UV 射线的条件与比较例 13 中的条件一样 (参见图 14A)。

下一步,通过等离子体 CVD 在整个表面上形成 30nm 厚氧化硅膜的绝缘膜 60 (参见图 14B)。

下一步,以与实例 19 同样的方法,通过双层嵌入将导电塞 76b 和互连 76a 埋入层间绝缘膜 54、58 等。然后,以与实例 19 同样的方法,形成绝缘膜 78 (图 15)。然后,重复与上述相同的步骤,由此形成第三层互连。

由此制造的半导体器件形成有互连和导电塞,电串连一百万个导电塞,并且测量成品率。该成品率是 34%。计算互连之间的有效介电常数,该有效介电常数为 3.8。在 200°C 保持 3000 小时之后测量互连的电阻,并确认电阻增长。

#### 实例 43

首先,以与实例 19 同样的方法,制造晶体管 24 (参见图 1A),形成层间绝缘膜 26 和停止膜 28 (参见图 1B),然后将导电塞 34 埋入接触孔 30 (参

见图 1C)。

下一步, 以与实例 19 同样的方法, 形成绝缘膜 36, 然后形成多孔层间绝缘膜 38 (参见图 2A)。

下一步, 以与实例 19 同样的方法, 在多孔层间绝缘膜 38 上形成致密绝缘膜 40 (参见图 2B)。

然后, 利用在多孔层间绝缘膜 38 上存在的致密绝缘膜 40, 将等离子体通过绝缘膜 40 施加至层间绝缘膜 38 (等离子体固化)。用于将等离子体通过绝缘膜 40 施加至层间绝缘膜 38 的条件与实例 29 的相同。

下一步, 以与实例 19 同样的方法, 在绝缘膜 40、多孔层间绝缘膜 38 以及绝缘膜 36 中形成沟槽 46 (参见图 3A)。

下一步, 以与实例 19 同样的方法, 绝缘膜 36、层间绝缘膜 38 以及绝缘膜 40 中埋入互连 50。然后, 以与实例 19 同样的方法, 形成绝缘膜 52 (参见图 3B)。

然后, 以与实例 19 同样的方法, 形成多孔层间绝缘膜 54。然后, 以与实例 19 同样的方法, 在多孔层间绝缘膜 54 上形成致密绝缘膜 56 (参见图 4A)。

然后, 利用在多孔层间绝缘膜 54 上存在的致密绝缘膜 56, 将等离子体通过绝缘膜 56 施加至层间绝缘膜 54 (等离子体固化)。用于将等离子体通过绝缘膜 56 施加至层间绝缘膜 54 的条件与实例 29 的条件一样。

下一步, 以与实例 19 同样的方法, 形成多孔层间绝缘膜 58。然后, 以与实例 19 同样的方法中, 在多孔层间绝缘膜 58 上形成致密绝缘膜 60 (参见图 5A)。

然后, 与实例 29 相同, 利用在多孔层间绝缘膜 58 上存在的致密绝缘膜 60, 将等离子体通过绝缘膜 60 施加至层间绝缘膜 58 (参见图 5B)。

下一步, 以与实例 19 中同样的方法, 在绝缘膜 60、层间绝缘膜 58、绝缘膜 56、层间绝缘膜 54 以及绝缘膜 52 中形成接触孔 66 (参见图 6)。

然后, 以与实例 19 同样的方法, 在绝缘膜 60、层间绝缘膜 58 以及绝缘膜 56 中形成沟槽 72 (参见图 7)。

下一步, 以与实例 19 同样的方法, 将互连 76a 埋入沟槽 72 中, 同时将导电塞 76b 埋入接触孔 66 中。下一步, 以与实例 19 同样的方法, 形成绝缘

膜 78（参见图 8）。然后，重复与上述相同的步骤，由此形成第三层互连。

由此制造的半导体衬底形成有互连和导电塞，电串连一百万个导电塞，并且测量成品率。该成品率是 92%。计算互连之间的有效介电常数，该有效介电常数为 2.57。在 200℃保持 3000 小时之后测量互连的电阻，并确认电阻没有增长。

#### 比较例 25

首先，以与实例 19 同样的方法，制造晶体管 24（参见图 1A），形成层间绝缘膜 26 和停止膜 28（参见图 1B），然后将导电塞 34 埋入接触孔 30 中（参见图 1C）。

下一步，以与实例 19 同样的方法，形成绝缘膜 36，然后形成多孔层间绝缘膜 38（参见图 2A）。

下一步，以与实例 19 同样的方法，在多孔层间绝缘膜 38 上形成致密绝缘膜 40（参见图 2B）。

下一步，利用在多孔层间绝缘膜 38 上形成的致密绝缘膜 40，将等离子体通过绝缘膜 40 施加至层间绝缘膜 38（等离子体固化）。用于将等离子体通过绝缘膜 40 施加至层间绝缘膜 38 的条件与比较例 16 的相同。

下一步，以与实例 19 同样的方法，在绝缘膜 40、多孔层间绝缘膜 38 以及绝缘膜 36 中形成沟槽 46（参见图 3A）。

下一步，以与实例 19 同样的方法，将互连 50 埋入绝缘膜 36、层间绝缘膜 38 以及绝缘膜 40 中。然后，以与实例 19 同样的方法，形成绝缘膜 52（参见图 3B）。

然后，以与实例 19 同样的方法，形成多孔层间绝缘膜 54。下一步，以与实例 19 中同样的方法，在多孔层间绝缘膜 54 上形成致密绝缘膜 56（参见图 4A）。

下一步，利用在多孔层间绝缘膜 54 上存在的致密绝缘膜 56，将等离子体通过绝缘膜 56 施加至多孔层间绝缘膜 54（等离子体固化）。用于将等离子体通过绝缘膜 56 施加至层间绝缘膜 54 的条件与比较例 16 的条件一样。

下一步，以与实例 19 同样的方法，形成多孔层间绝缘膜 58。然后，以与实例 19 同样的方法，在多孔层间绝缘膜 58 上形成致密绝缘膜 60（参见图 5A）。

下一步，利用在多孔层间绝缘膜 58 上存在的致密绝缘膜 60，将等离子体通过绝缘膜 60 施加至层间绝缘膜 58（等离子体固化）。用于将等离子体通过绝缘膜 60 施加至层间绝缘膜 58 的条件与比较例 16 的条件一样（参见图 5B）。

然后，以与实例 19 同样的方法，在绝缘膜 60、层间绝缘膜 58、绝缘膜 56、层间绝缘膜 54 以及绝缘膜 52 中形成接触孔 66（参见图 6）。

下一步，以与实例 19 同样的方法，在绝缘膜 60、层间绝缘膜 58 以及绝缘膜 56 中形成沟槽 72（参见图 7）。

然后，以与实例 19 同样的方法，将互连 76a 埋入沟槽 72 中，同时将导电塞 76b 埋入接触孔 66 中。下一步，以与实例 19 同样的方法，形成绝缘膜 78（参见图 8）。然后，重复与上述相同的步骤，以形成第三层互连。

由此制造的半导体器件形成有互连和导电塞，电串连一百万个导电塞，并且测量成品率。该成品率是 76%。计算互连之间的有效介电常数，该有效介电常数为 2.94。在 200°C 保持 3000 小时之后测量互连的电阻，并确认电阻没有增长。

#### 比较例 26

首先，以与实例 19 同样的方法，制造晶体管 24（参见图 1A），形成层间绝缘膜 26 和停止膜 28（参见图 1B）。然后在接触孔 30 中埋入导电塞 34（参见图 1C）。

下一步，以与如实例 19 同样的方法，形成绝缘膜 36，然后形成多孔层间绝缘膜 38（参见图 2A）。

下一步，以与如实例 19 同样的方法，在多孔层间绝缘膜 38 上形成致密绝缘膜 40（参见图 2B）。

然后，利用多孔层间绝缘膜 38 上形成的致密绝缘膜 40，将等离子体通过绝缘膜 40 施加至层间绝缘膜 38（等离子体固化）。将等离子体通过绝缘膜 40 施加至层间绝缘膜 38 的条件与比较例 18 的条件相同。

然后，以与实例 19 同样的方法，在绝缘膜 40、多孔层间绝缘膜 38 和绝缘膜 36 中形成沟槽 46（参见图 3A）。

下一步，以与实例 19 同样的方法，在绝缘膜 36、层间绝缘膜 38 和绝缘膜 40 中埋入互连 50。然后，以与如实例 19 同样的方法，形成绝缘膜 52（参

见图 3B)。

下一步, 以与实例 19 同样的方法, 形成多孔层间绝缘膜 54。然后, 以与实例 19 同样的方法, 在多孔层间绝缘膜 54 上形成致密绝缘膜 56 (参见图 4A)。

下一步, 利用多孔层间绝缘膜 54 上形成的致密绝缘膜 56, 将等离子体通过绝缘膜 56 施加至层间绝缘膜 54 (等离子体固化)。将等离子体通过绝缘膜 56 施加至层间绝缘膜 54 的条件与比较例 18 相同。

下一步, 以与实例 19 同样的方法, 形成多孔层间绝缘膜 58。下一步, 以与实例 19 同样的方法, 在多孔层间绝缘膜 58 上形成致密绝缘膜 60 (参见图 5A)。

然后, 利用在多孔层间绝缘膜 58 上存在的致密绝缘膜 60, 将等离子体通过绝缘膜 60 施加至层间绝缘膜 58 (等离子体固化)。将等离子体通过绝缘膜 60 施加至层间绝缘膜 58 的条件与比较例 18 相同 (参见图 5B)。

下一步, 以与实例 19 同样的方法, 在绝缘膜 60、多孔层间绝缘膜 58、绝缘膜 56、多孔层间绝缘膜 54 和绝缘膜 52 中形成接触孔 66 (参见图 6)。

下一步, 以与实例 19 同样的方法, 在绝缘膜 60、层间绝缘膜 58 和绝缘膜 56 中形成沟槽 72 (参见图 7)。

下一步, 以与实例 19 同样的方法, 在沟槽 72 中埋入互连 76a, 同时在接触孔 66 中埋入导电塞 76b。下一步, 以与实例 19 同样的方法, 形成绝缘膜 78 (参见图 8)。然后, 重复与上述相同的步骤, 由此形成第三层互连。

由此制造的半导体衬底形成有互连和导电塞, 电串连一百万个导电塞, 并且测量成品率。该成品率是 82%。计算互连之间的有效介电常数, 该有效介电常数为 2.94。在 200°C 保持 3000 小时之后测量互连的电阻, 并且确认电阻没有增长。

#### 比较例 27

首先, 以与实例 19 同样的方法, 制造晶体管 24 (参见图 9A), 形成层间绝缘膜 26 和停止膜 28 (参见图 9B), 然后将导电塞 34 埋入接触孔 30 中 (参见图 9C)。

下一步, 以与实例 19 同样的方法, 形成绝缘膜 36, 然后形成多孔层间绝缘膜 38 (参见图 10A)。

下一步,不在多孔层间绝缘膜 38 上形成致密绝缘膜,将等离子体施加至多孔层间绝缘膜 38(等离子体固化)。用于施加等离子体的条件与比较例 19 中的相同(参见图 10B)。

下一步,通过等离子体 CVD 在整个表面上形成 30nm 厚氧化硅膜的绝缘膜 40(参见图 10C)。

下一步,以与实例 19 同样的方法,在绝缘膜 40、多孔层间绝缘膜 38 以及绝缘膜 36 中形成沟槽 46(参见图 11A)。接下来,以与实例 19 同样的方法,在绝缘膜 40、层间绝缘膜 38 以及绝缘膜 36 中埋入互连 50。下一步,以与实例 19 同样的方法,形成绝缘膜 52(参见图 11B)。

然后,以与实例 19 同样的方法,形成多孔层间绝缘膜 54(参见图 12A)。下一步,不在多孔层间绝缘膜 54 上形成致密绝缘膜,将等离子体施加至层间绝缘膜 54(等离子体固化)。用于施加等离子体的条件与比较例 7 中的条件一样(参见图 12B)。

下一步,在整个表面上形成 30nm 厚 SiC: O: H 膜的绝缘膜 56(参见图 13A)。

下一步,以与实例 19 同样的方法,形成多孔层间绝缘膜 58(参见图 13B)。

下一步,不在多孔层间绝缘膜 58 上形成致密绝缘膜,将等离子体施加至多孔层间绝缘膜 58(等离子体固化)。用于施加等离子体的条件与比较例 19 中的条件一样(参见图 14A)。

下一步,通过等离子体 CVD 在整个表面上形成 30nm 厚氧化硅膜的绝缘膜 60(参见图 14B)。

下一步,以与实例 19 同样的方法,通过双层嵌入将导电塞 76b 和互连 76a 埋入层间绝缘膜 54、58 等。下一步,以与实例 19 同样的方法,形成绝缘膜 78(图 15)。然后,重复与上述相同的步骤,由此形成第三层互连。

由此制造的半导体衬底形成有互连和导电塞,电串连一百万个导电塞,并测量成品率。该成品率是 42%。计算互连之间的有效介电常数,该有效介电常数为 3.6。在 200℃ 保持 3000 小时之后测量互连的电阻,并确认电阻增长。



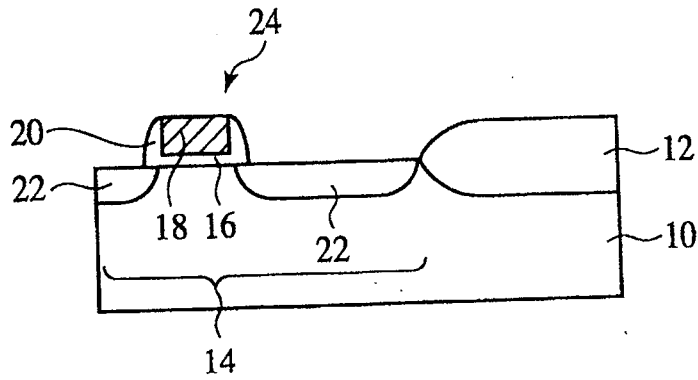


图 1A

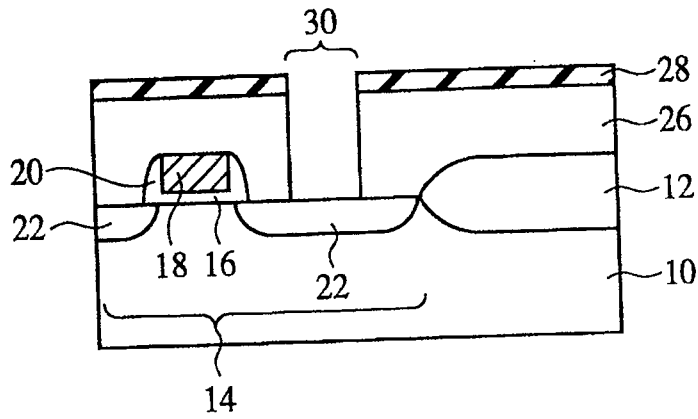


图 1B

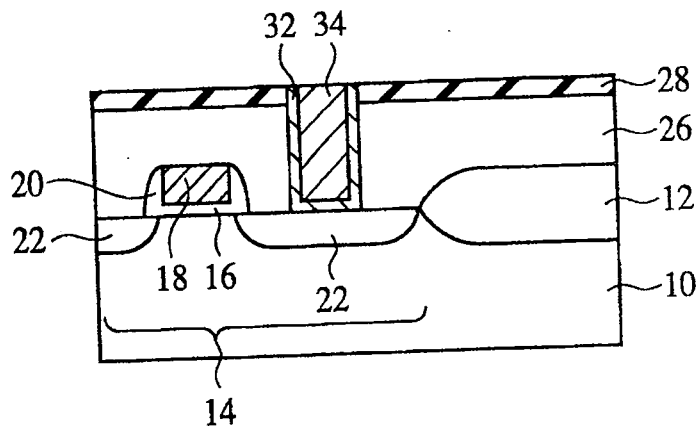
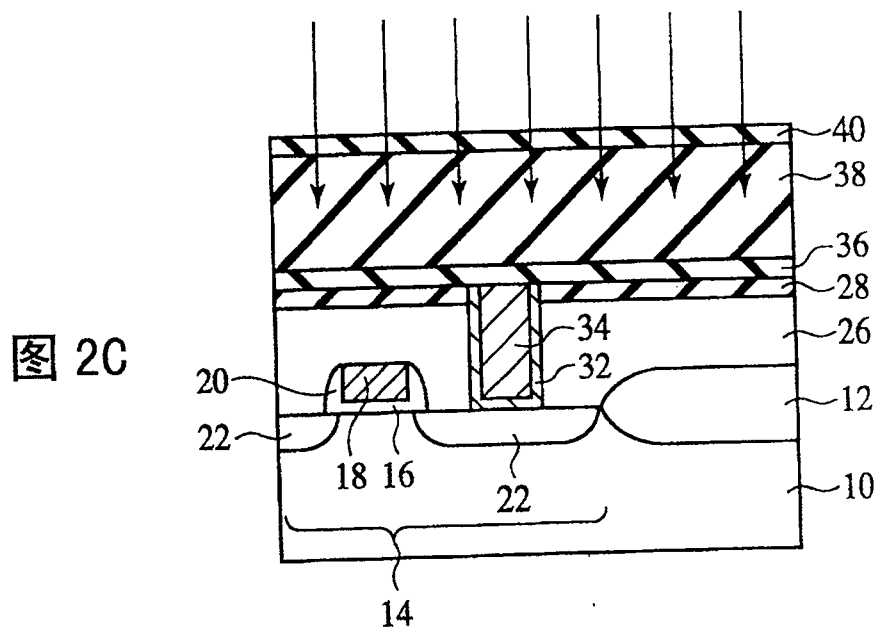
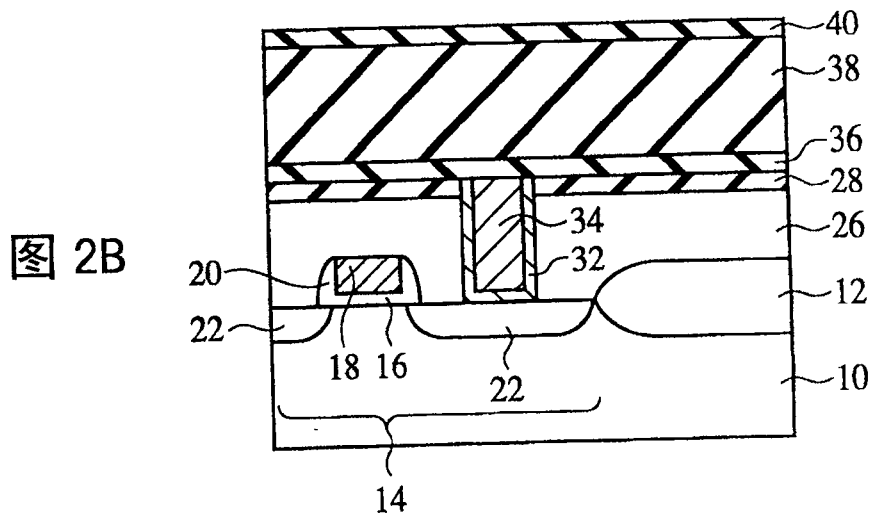
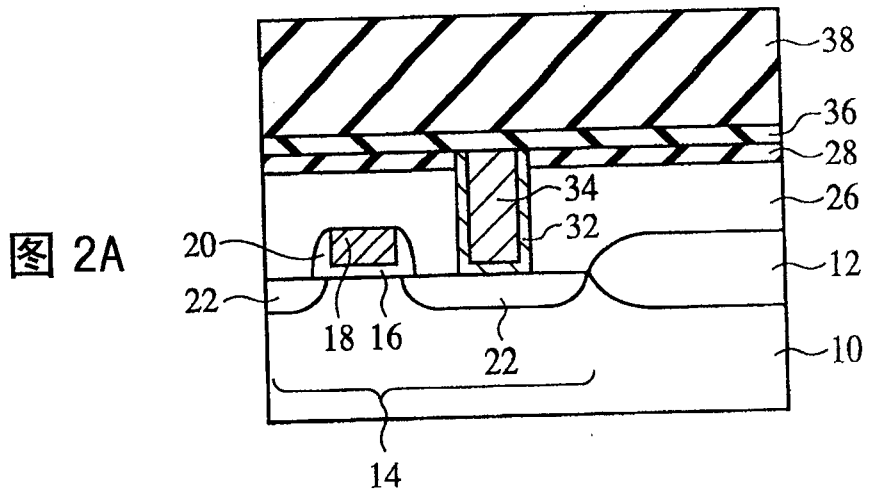


图 1C



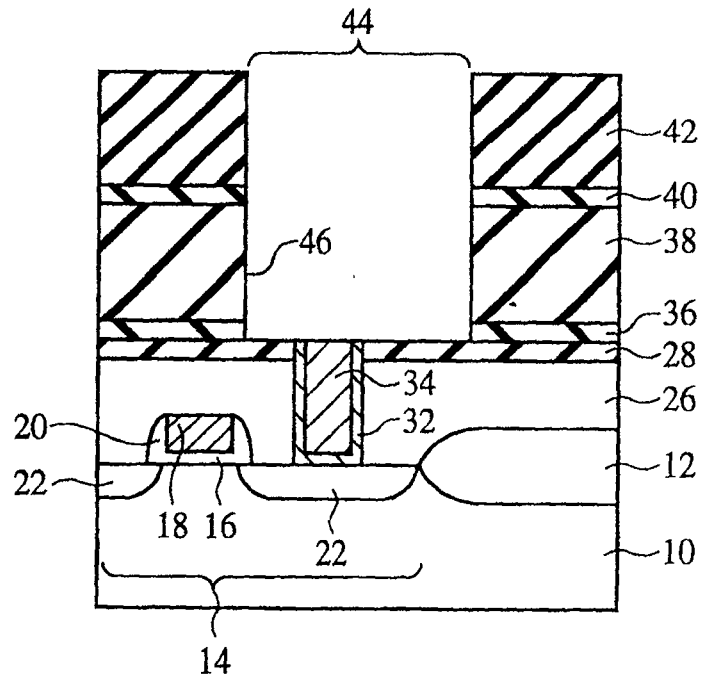


图 3A

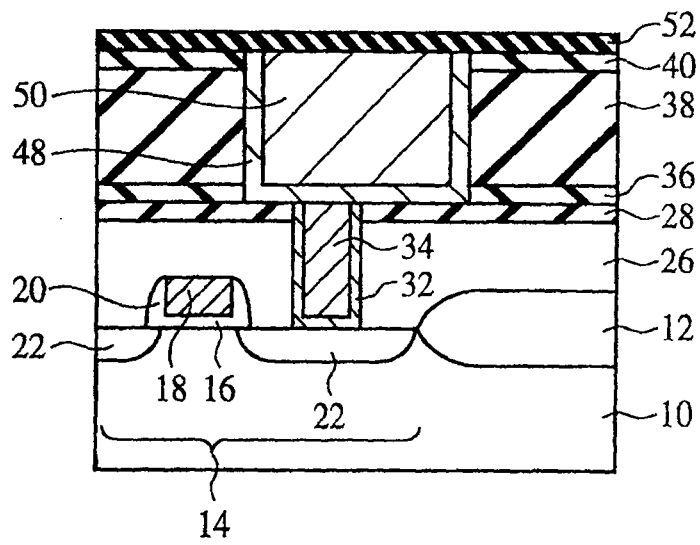


图 3B

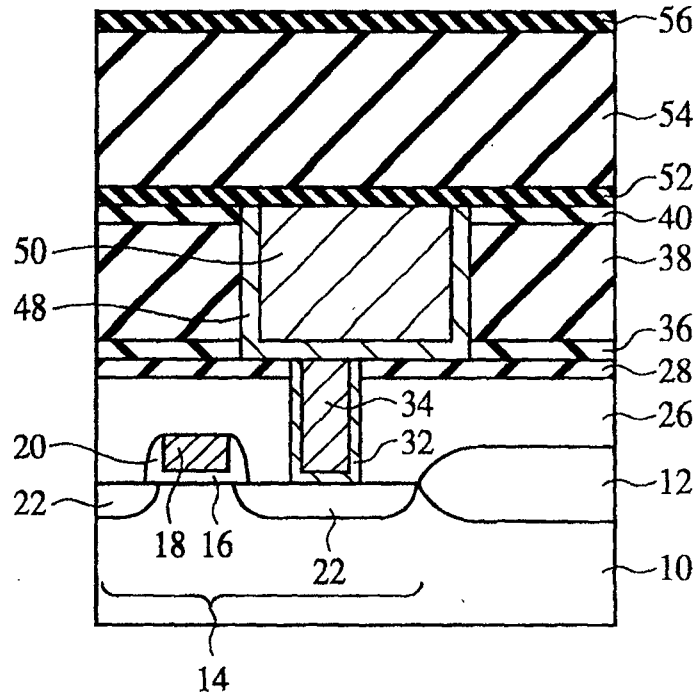


图 4A

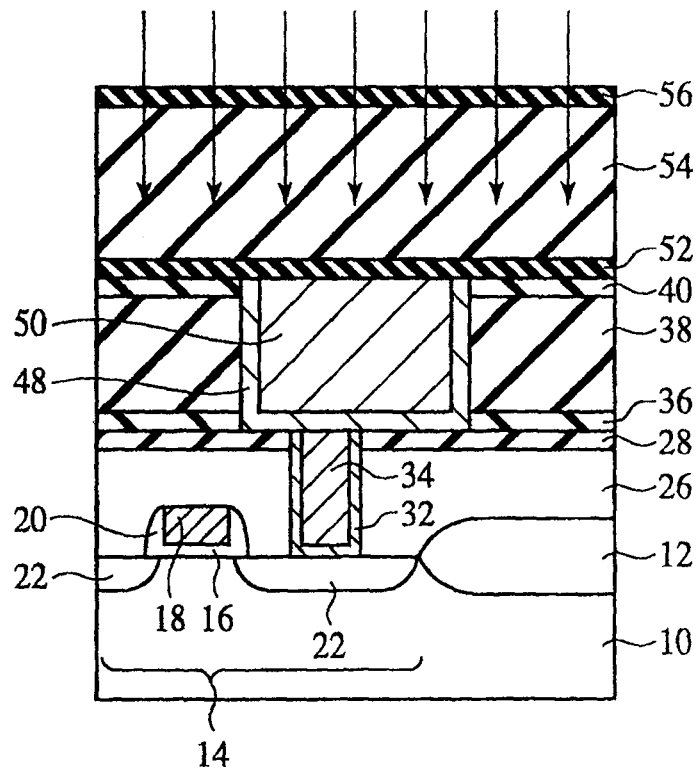
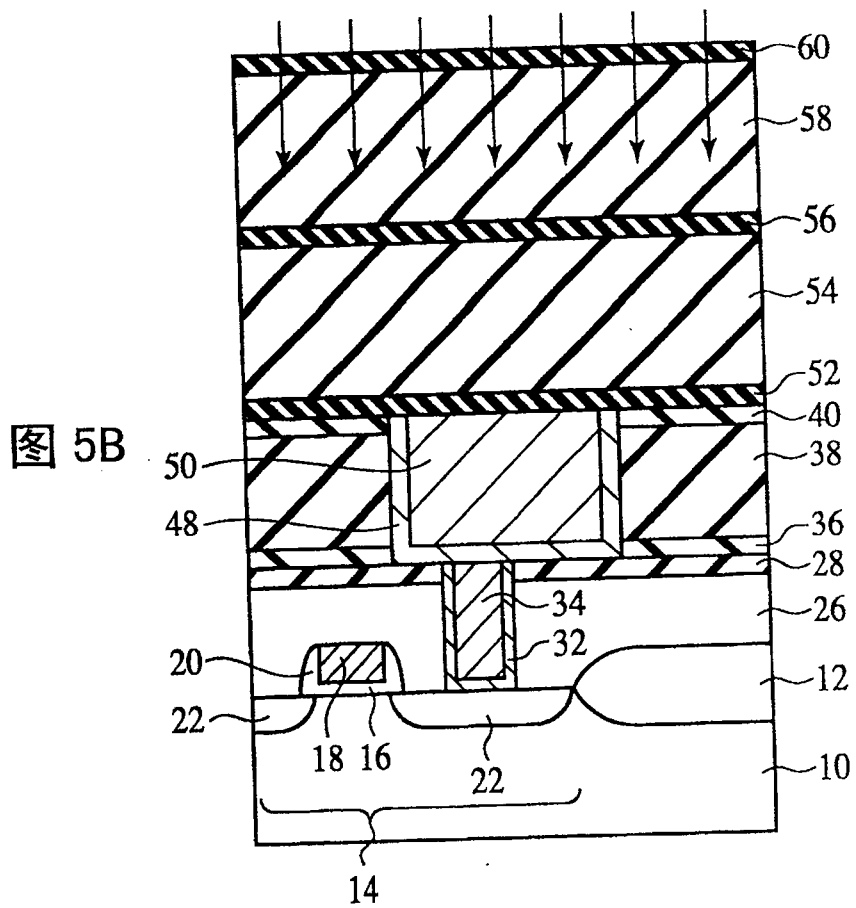
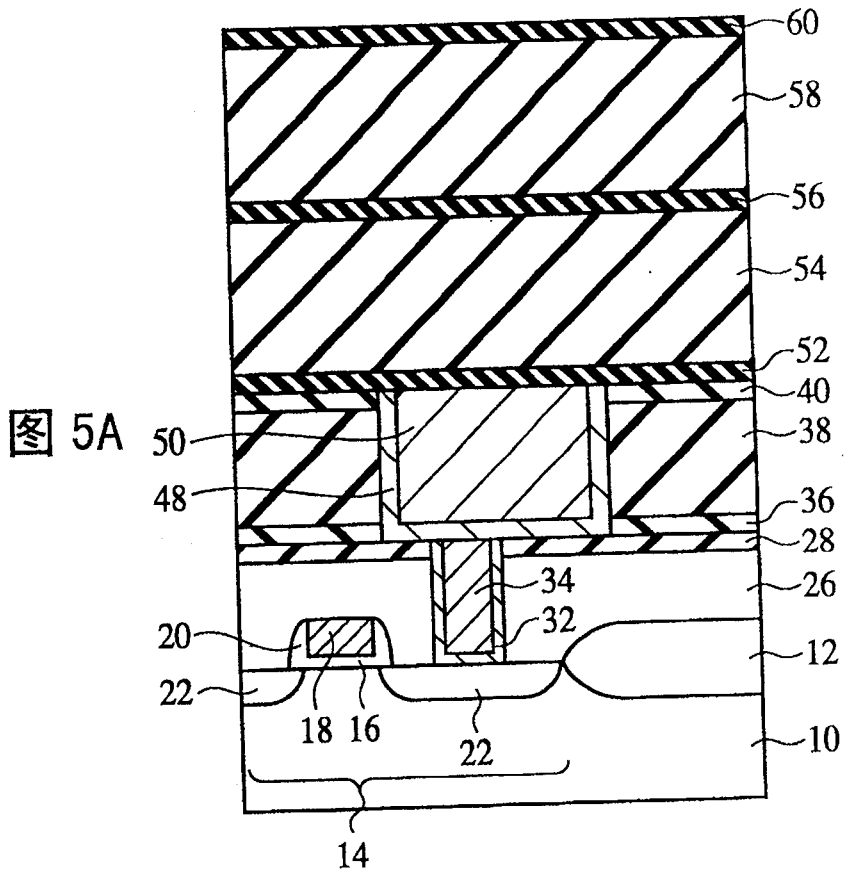


图 4B



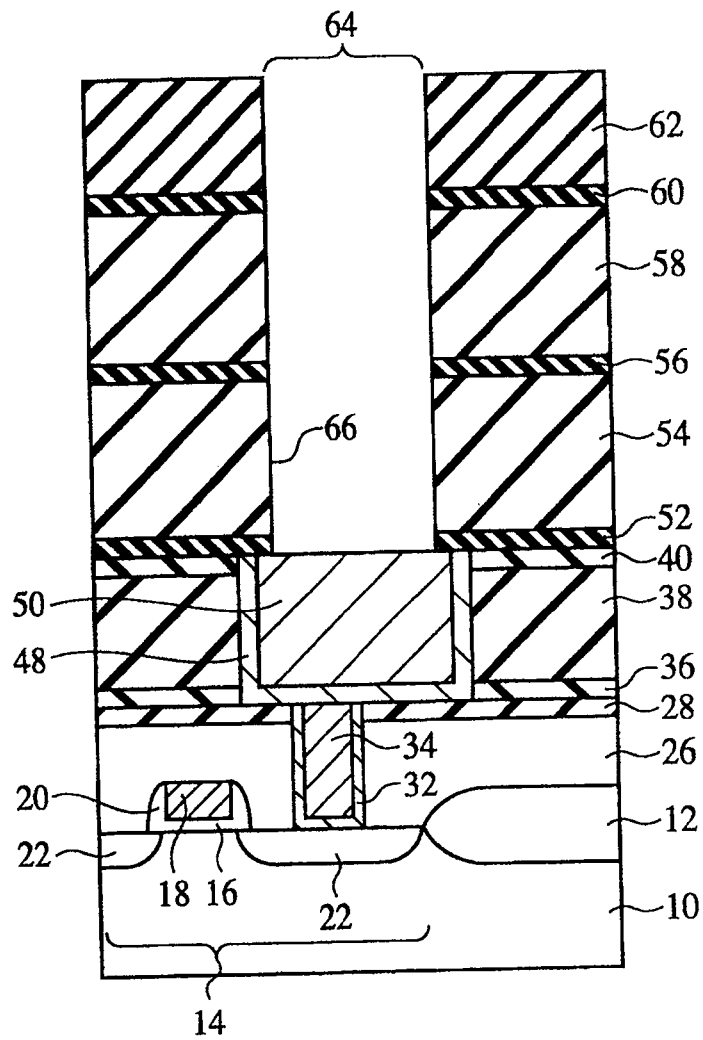


图 6

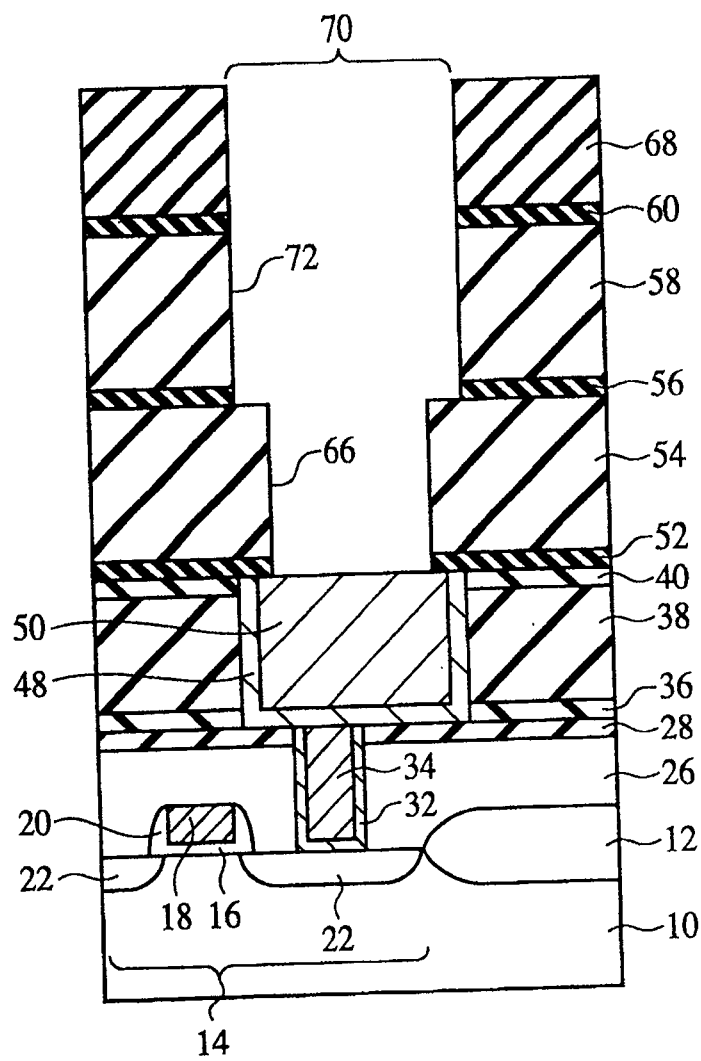


图 7

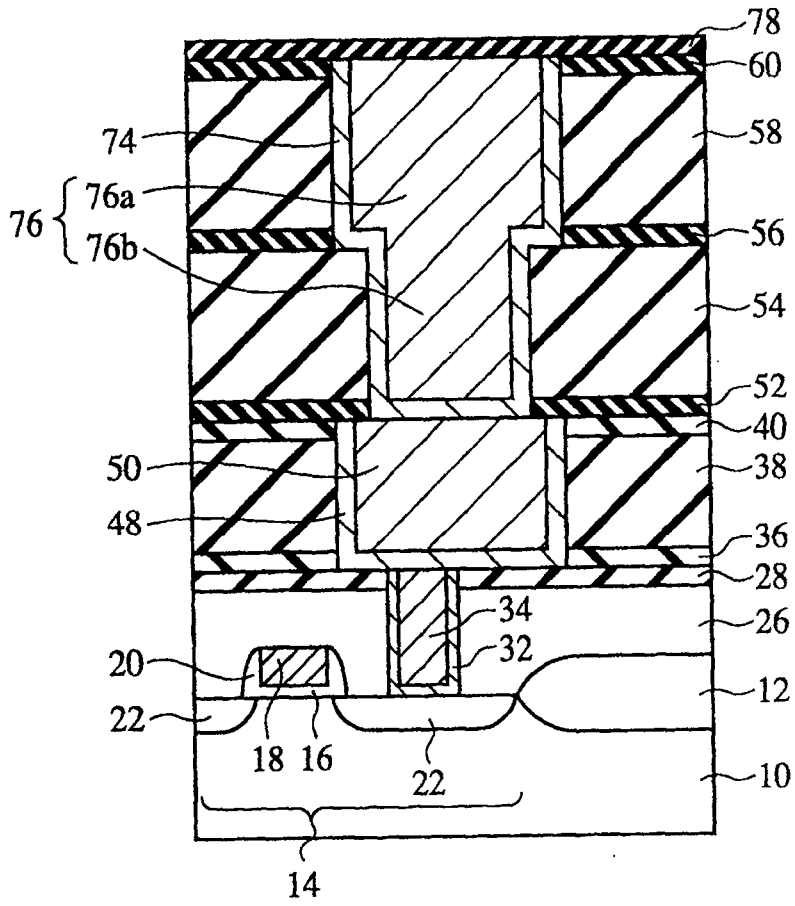


图 8



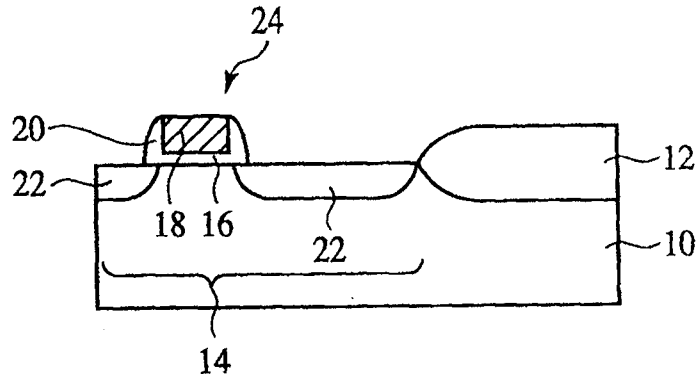


图 9A

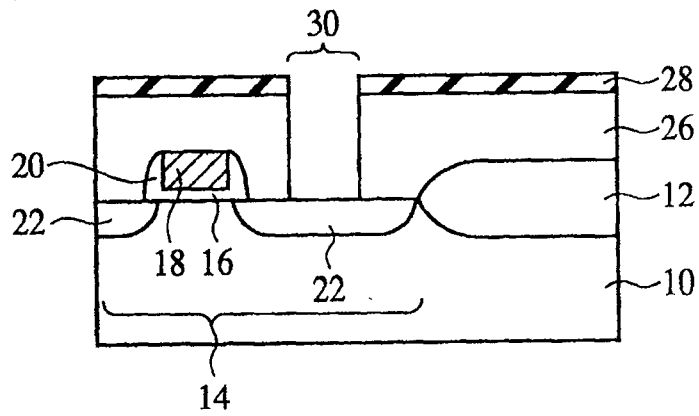


图 9B

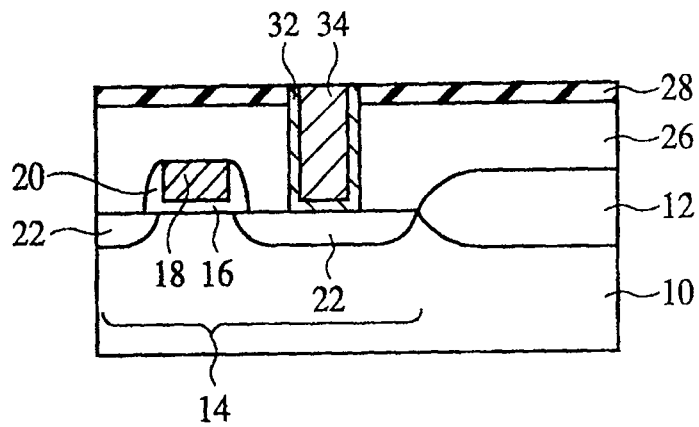
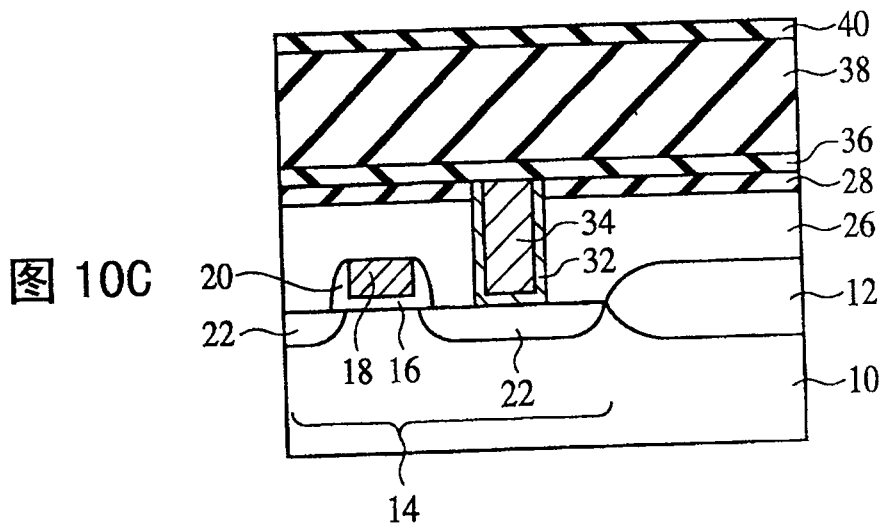
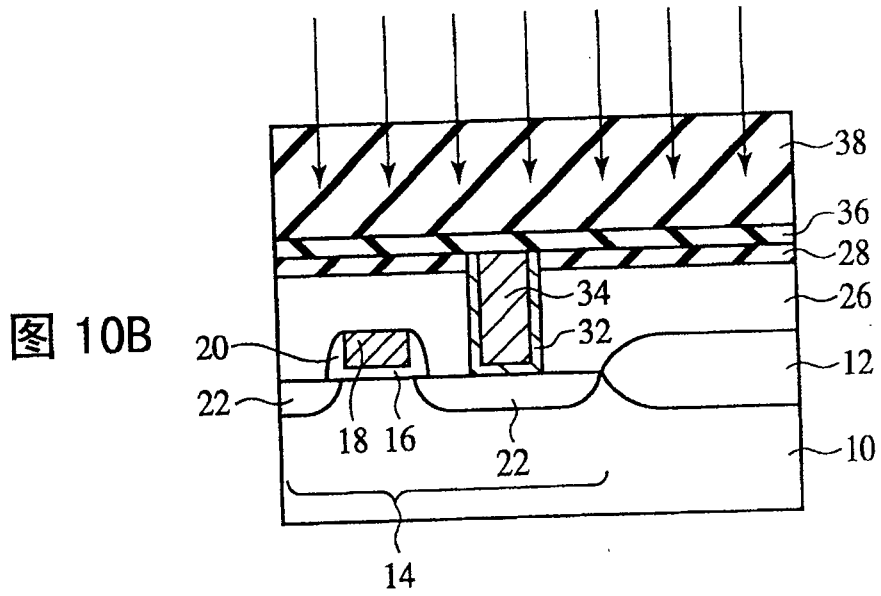
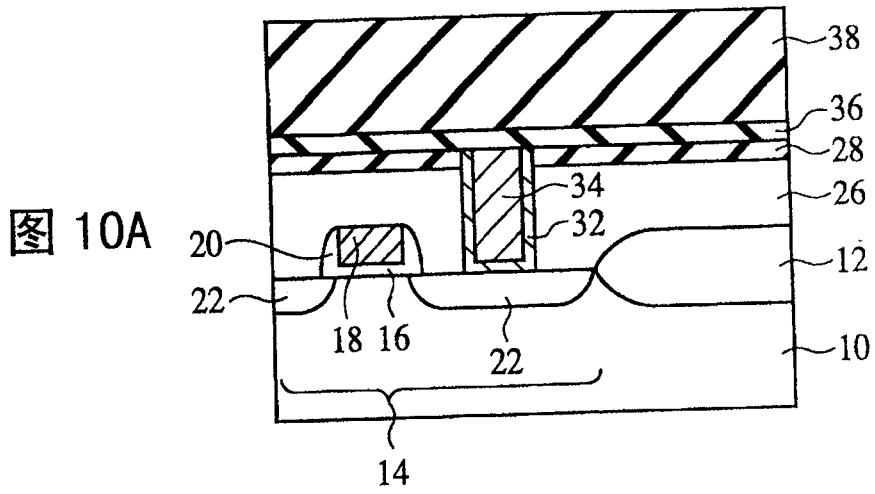


图 9C



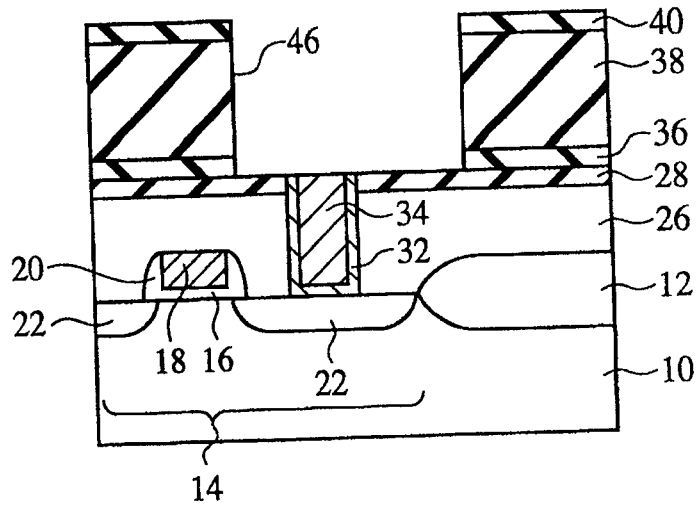


图 11A

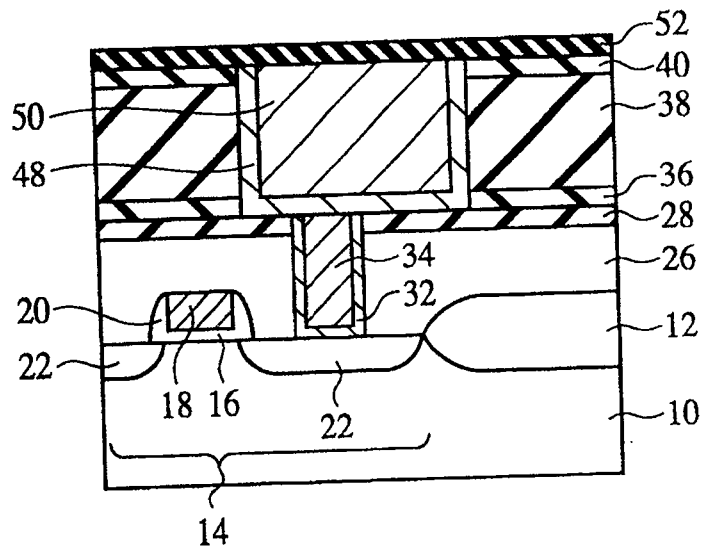


图 11B

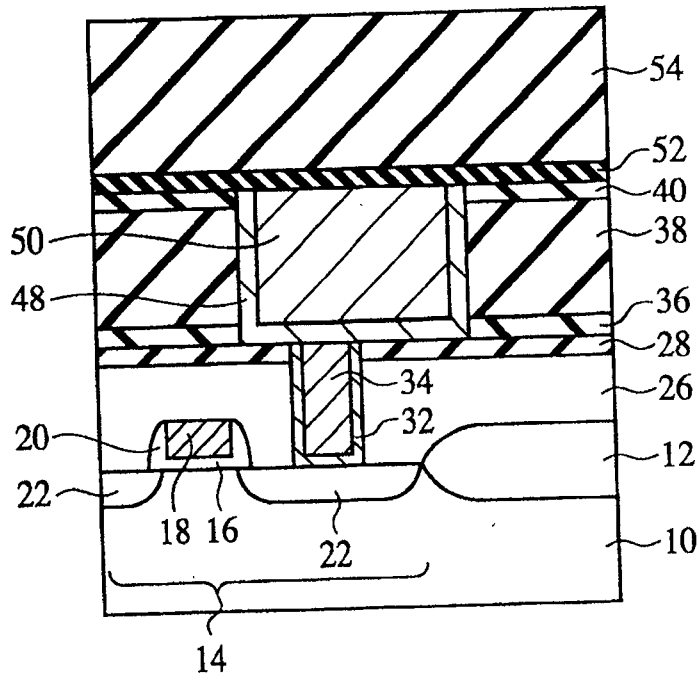


图 12A

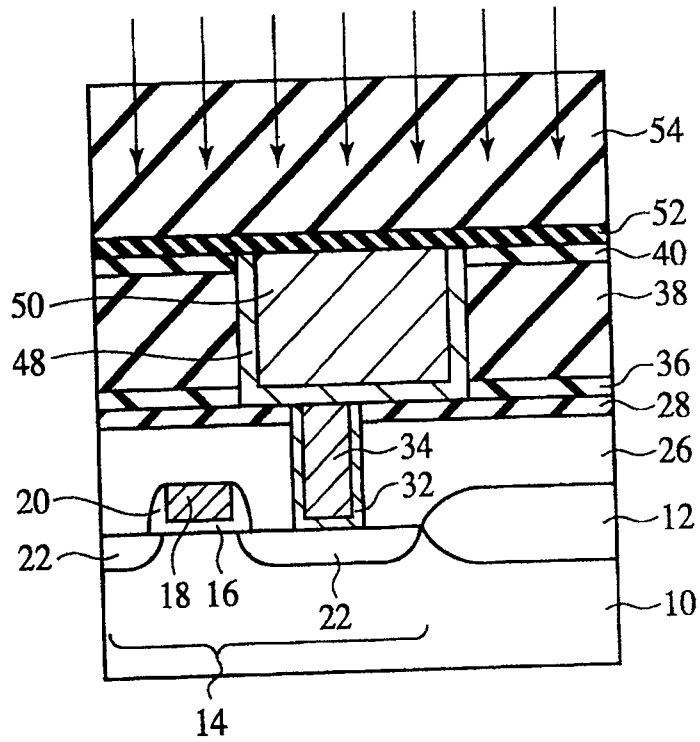


图 12B

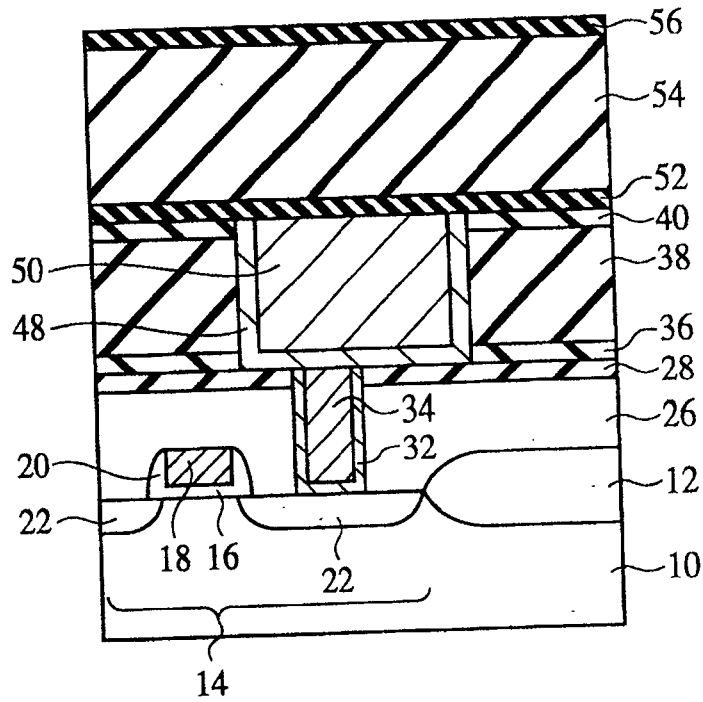


图 13A

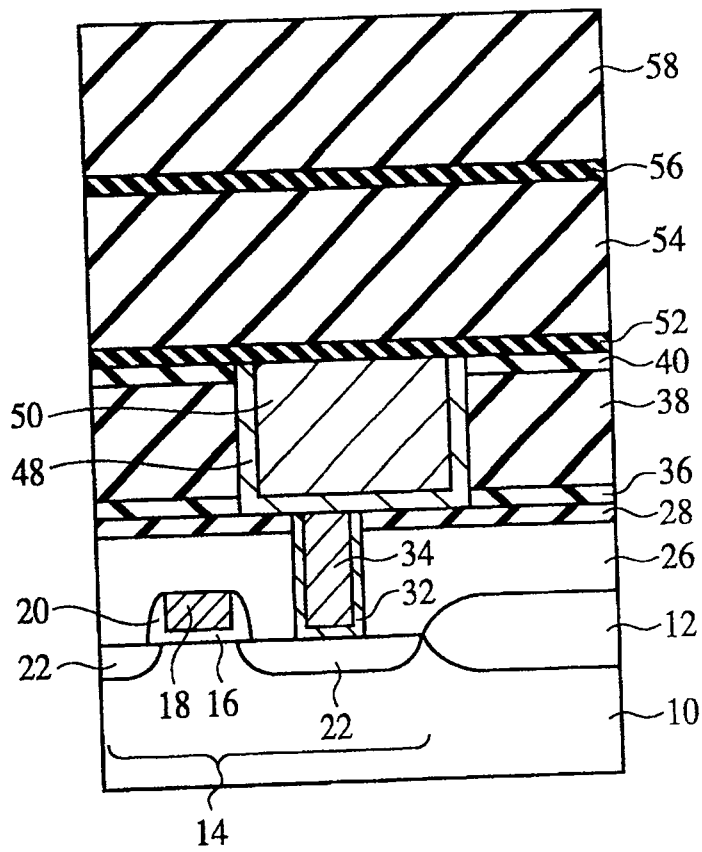


图 13B

图 14A

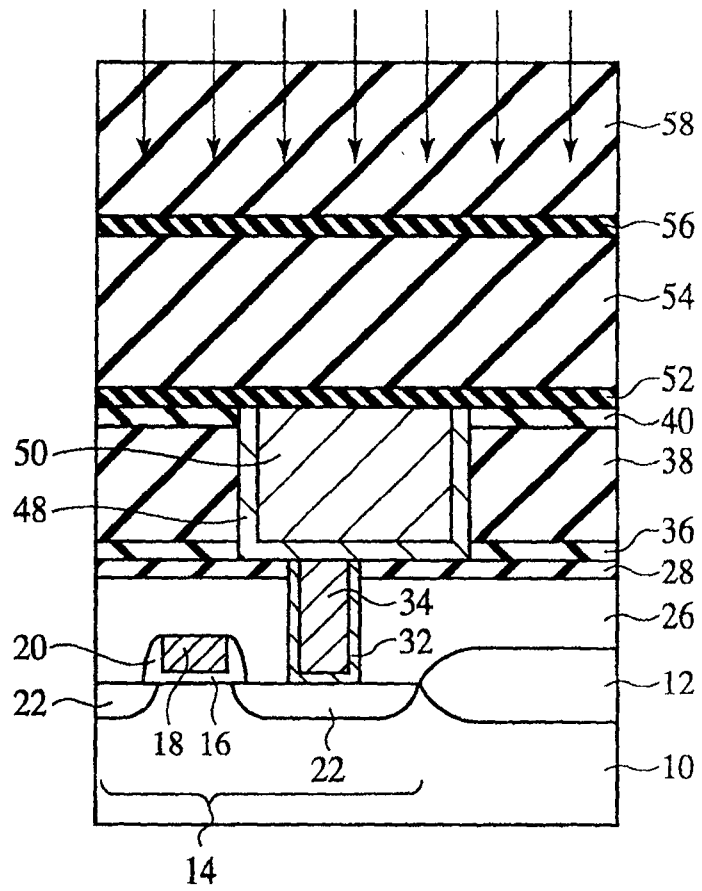
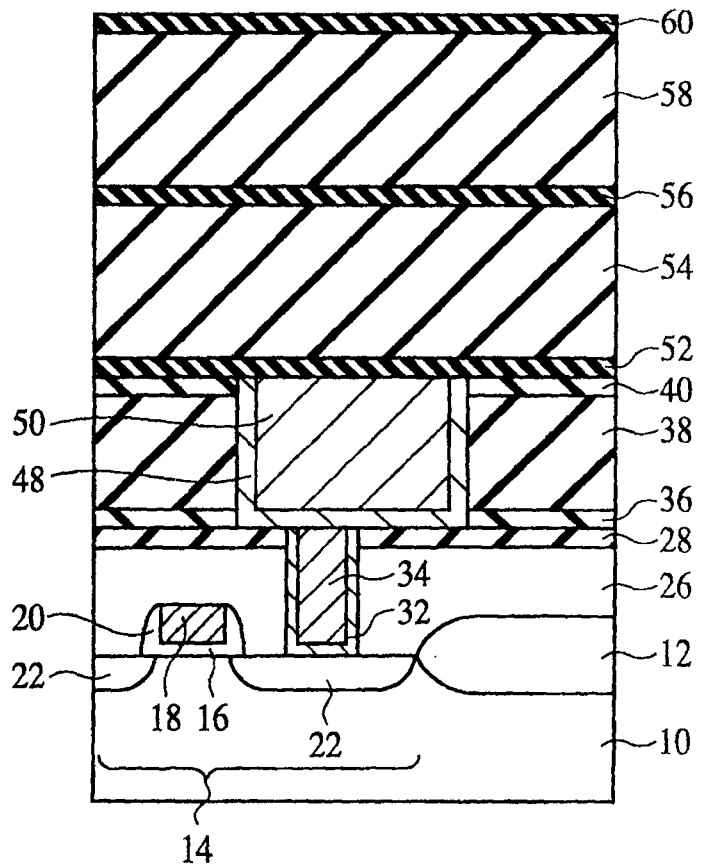


图 14B



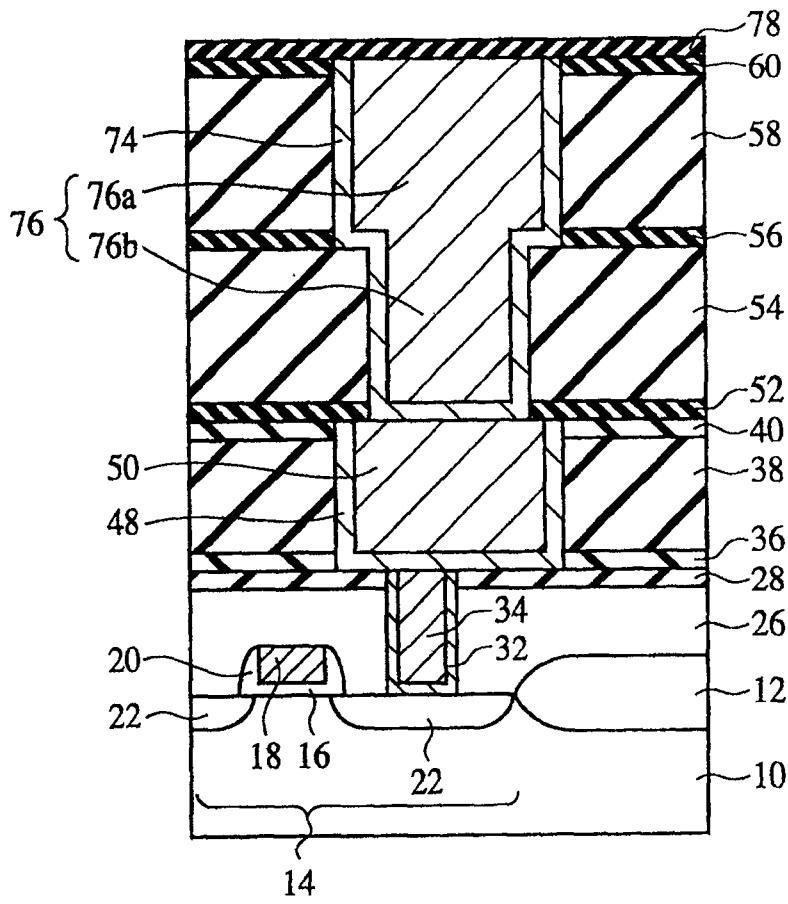


图 15

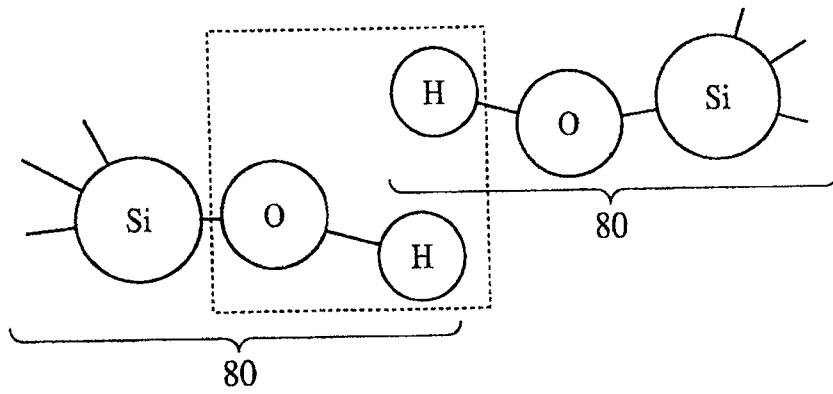


图 16A

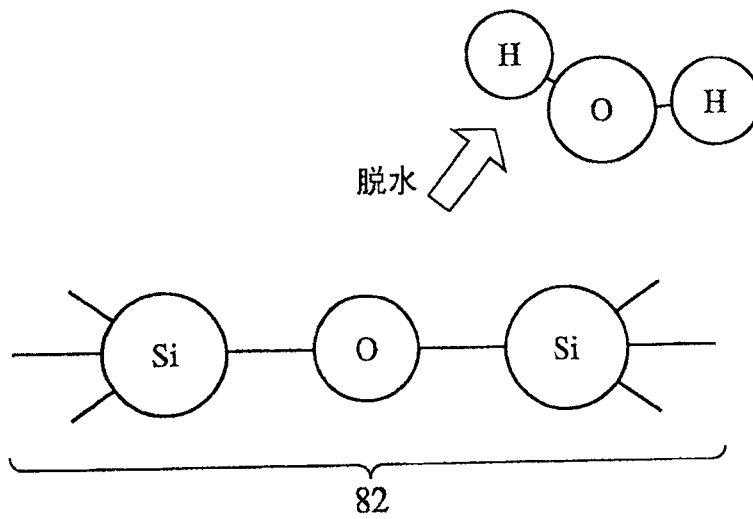


图 16B



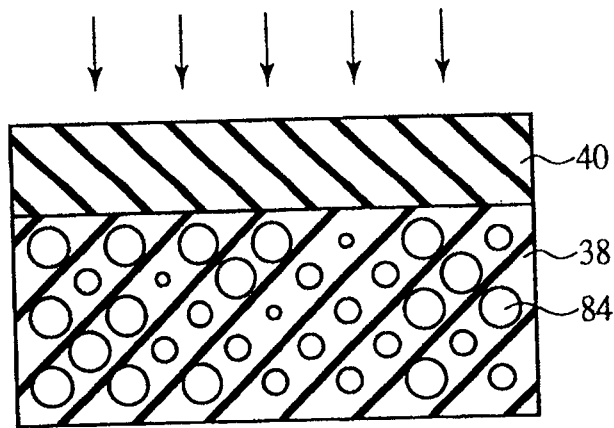


图 17A

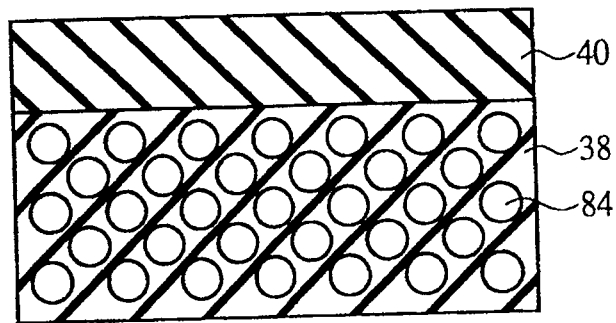


图 17B

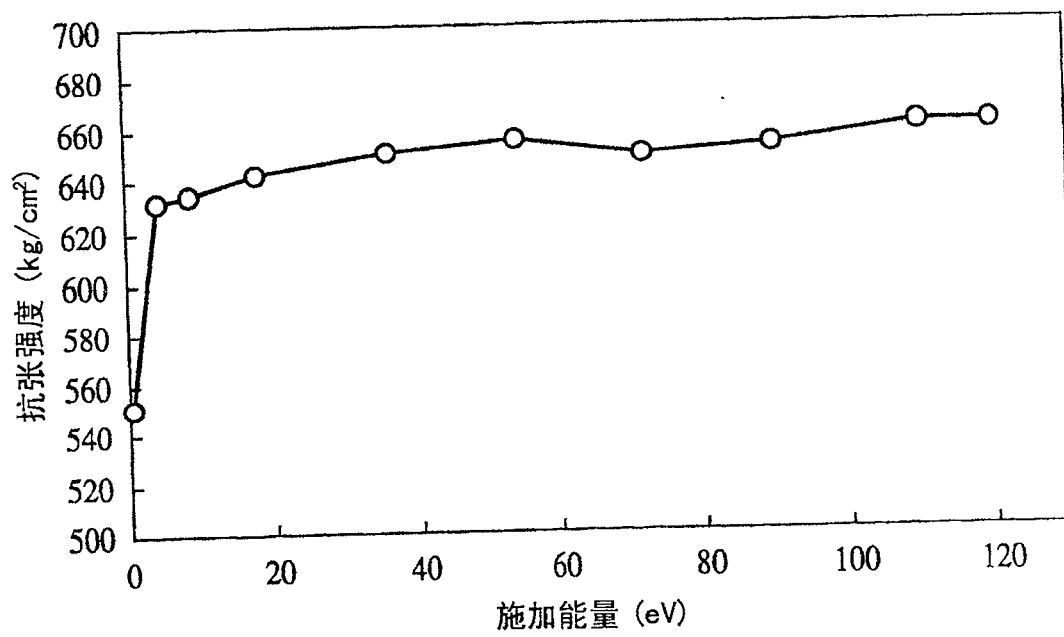


图 18

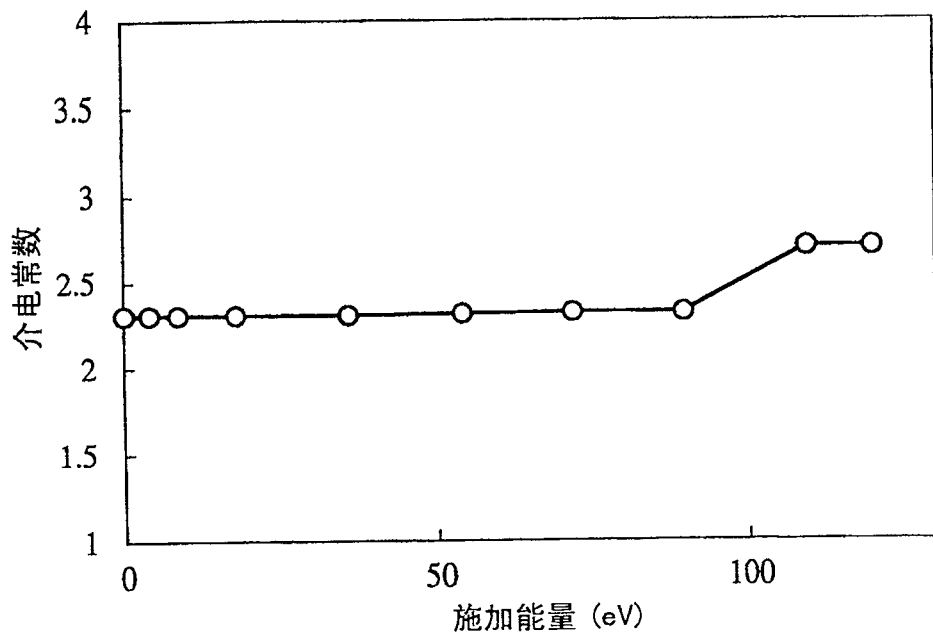


图 19