

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6386130号
(P6386130)

(45) 発行日 平成30年9月5日(2018.9.5)

(24) 登録日 平成30年8月17日(2018.8.17)

(51) Int.Cl. F I
H O 3 K 3/037 (2006.01) H O 3 K 3/037 B

請求項の数 17 外国語出願 (全 25 頁)

(21) 出願番号	特願2017-87237 (P2017-87237)	(73) 特許権者	595020643
(22) 出願日	平成29年4月26日 (2017.4.26)		クアルコム・インコーポレイテッド
(62) 分割の表示	特願2016-512183 (P2016-512183) の分割		QUALCOMM INCORPORATED
原出願日	平成25年5月8日 (2013.5.8)		アメリカ合衆国、カリフォルニア州 92
(65) 公開番号	特開2017-175633 (P2017-175633A)		121-1714、サン・ディエゴ、モア
(43) 公開日	平成29年9月28日 (2017.9.28)		ハウス・ドライブ 5775
審査請求日	平成29年5月25日 (2017.5.25)	(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100158805
			弁理士 井関 守三
		(74) 代理人	100112807
			弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 動的な電力を減らすためのフリップフロップ

(57) 【特許請求の範囲】

【請求項1】

フリップフロップ回路であって、

データ信号を受けるための第1の入力端子と、クロック信号を受けるための第2の入力端子と、第1のノードにおける出力端子とを含む第1のラッチと、

前記第1のラッチの前記出力端子に直接接続された第1の入力端子と、前記クロック信号を受けるための第2の入力端子と、出力信号を供給するための出力端子とを含む第2のラッチと、ここにおいて、前記第1のラッチ及び前記第2のラッチは、前記クロック信号の同じ位相上でクロックされるものとする、

前記第1のラッチは、

前記データ信号及び前記クロック信号を受けるための入力端子を含み、出力端子を含む第1のORゲートと、

前記クロック信号を受けるための第1の入力端子と、第2の入力端子と、前記第1のノードに結合された出力端子とを含む第1のNANDゲートと、

前記第1のORゲートの前記出力端子に結合された第1の入力端子と、前記第1のノードに結合された第2の入力端子と、第2のノードにおいて前記第1のNANDゲートの前記第2の入力端子に結合された出力端子とを含む第2のNANDゲートと

を備える、フリップフロップ回路。

【請求項2】

前記第1のラッチは、前記クロック信号が論理ロー状態にある場合には、前記第2のノ

10

20

ードにおいて前記データ信号の相補を記憶するものとし、

前記第 1 のラッチは、前記クロック信号が論理ハイ状態にある場合には、前記第 1 のノードを介して前記データ信号を前記第 2 のラッチにパスするものとする、

請求項 1 に記載のフリップフロップ回路。

【請求項 3】

前記第 2 のラッチは、

前記クロック信号及び前記出力信号を受けるための入力端子を含み、出力端子を含む第 2 の OR ゲートと、

前記第 1 のノードに結合された第 1 の入力端子と、前記第 2 の OR ゲートの前記出力端子に結合された第 2 の入力端子と、前記出力信号の相補を供給するための出力端子を含む第 3 の NAND ゲートと

を備える、請求項 1 に記載のフリップフロップ回路。

【請求項 4】

前記第 2 のラッチは、前記クロック信号が論理ロー状態にある場合、前記出力信号の前の状態を出力するものとして、

前記第 2 のラッチは、前記クロック信号が論理ハイ状態にある場合、前記データ信号に応答して前記出力信号をドライブするものとする、

請求項 3 に記載のフリップフロップ回路。

【請求項 5】

フリップフロップ回路であって、

データ信号を受けるための第 1 の入力端子と、クロック信号を受けるための第 2 の入力端子と、第 1 のノードにおける出力端子とを含む第 1 のラッチと、

前記第 1 のラッチの前記出力端子に直接接続された第 1 の入力端子と、前記クロック信号を受けるための第 2 の入力端子と、出力信号を供給するための出力端子とを含む第 2 のラッチと、ここにおいて、前記第 1 のラッチ及び前記第 2 のラッチは、前記クロック信号の同じ位相上でクロックされるものとする、

前記第 1 のラッチは、NAND ゲートに接続された第 1 の OR - AND - INVERT 論理ゲートを備え、

前記第 2 のラッチは、第 2 の OR - AND - INVERT 論理ゲートを備える、

フリップフロップ回路。

【請求項 6】

データ信号に応答して出力信号を選択的にドライブするフリップフロップ回路であって、

前記データ信号及びクロック信号を受けるための入力端子を含み、前記クロック信号が第 1 の状態にある場合、前記データ信号の相補をラッチするための出力端子を含む第 1 の論理ゲートと

前記クロック信号、及び前記データ信号の前記相補を受けるための入力端子を含み、内部信号を生成するための出力端子を含む第 2 の論理ゲートと

を備える第 1 のラッチと、

前記第 1 のラッチに直接接続され、

前記クロック信号、前記出力信号、及び前記内部信号を受けるための入力端子を含み、前記出力信号を生成するための出力端子を含む第 3 の論理ゲートと、

を備える第 2 のラッチと、

を備えるフリップフロップ回路。

【請求項 7】

前記第 1 の論理ゲート、前記第 2 の論理ゲート及び前記第 3 の論理ゲートは、前記クロック信号の同じ位相上で動作するものとする、請求項 6 に記載のフリップフロップ回路。

【請求項 8】

前記フリップフロップ回路は、パスゲート回路を含まない、請求項 6 に記載のフリップフロップ回路。

【請求項 9】

前記第 2 の論理ゲートは、前記クロック信号が前記第 1 の状態にある場合には、前記内部信号を論理ハイ状態にドライブするものとし、

前記第 2 の論理ゲートは、前記クロック信号が第 2 の状態にある場合には、前記データ信号を示す状態に前記内部信号をドライブするものとする、

請求項 6 に記載のフリップフロップ回路。

【請求項 10】

前記第 3 の論理ゲートは、前記クロック信号が前記第 1 の状態にある場合には、前記出力信号の前の状態を維持するものとし、

前記第 3 の論理ゲートは、前記クロック信号が第 2 の状態にある場合には、前記内部信号の前の記状態に前記出力信号をドライブするものとする、

請求項 6 に記載のフリップフロップ回路。

【請求項 11】

前記第 1 の論理ゲートは、第 1 の OR - AND - INVERT 論理ゲートを備え、

前記第 2 の論理ゲートは、NANDゲートを備え、

前記第 3 の論理ゲートは、第 2 の OR - AND - INVERT 論理ゲートを備える、

請求項 6 に記載のフリップフロップ回路。

【請求項 12】

前記第 1、第 2、及び第 3 の論理ゲートは、各々、OR - AND - INVERT 論理ゲートを備える、請求項 6 に記載のフリップフロップ回路。

【請求項 13】

前記第 1 のラッチは、

前記データ信号及び前記クロック信号を受けるための入力端子を含み、出力端子を含む第 1 の OR ゲートと、

前記クロック信号を受けるための第 1 の入力端子と、第 2 の入力端子と、前記内部信号を受けるための出力端子とを含む第 1 の NAND ゲートと、

前記第 1 の OR ゲートの前記出力端子に結合された第 1 の入力端子と、前記内部信号を受けるための第 2 の入力端子と、前記第 1 の NAND ゲートの前記第 2 の入力端子に結合された出力端子とを含む第 2 の NAND ゲートとを備える、請求項 6 に記載のフリップフロップ回路。

【請求項 14】

前記第 2 のラッチは、

前記クロック信号及び前記出力信号を受けるための入力端子を含み、出力端子を含む第 2 の OR ゲートと、

前記内部信号を受けるための第 1 の入力端子と、前記第 2 の OR ゲートの前記出力端子に結合された第 2 の入力端子と、前記出力信号の相補を供給するための出力端子とを含む第 3 の NAND ゲートと

を備える、請求項 13 に記載のフリップフロップ回路。

【請求項 15】

前記データ信号及び前記出力信号を受けるための入力端子を含み、フィードバック信号を前記第 2 の論理ゲートに供給するための出力端子を含む NOR ゲート

をさらに備える、請求項 6 に記載のフリップフロップ回路。

【請求項 16】

前記第 1 のラッチは、

前記データ信号及び前記クロック信号を受けるための入力端子を含み、出力端子を含む第 1 の OR ゲートと、

前記フィードバック信号及び前記クロック信号を受けるための入力端子を含み、出力端子を含む第 2 の OR ゲートと、

前記第 2 の OR ゲートの前記出力端子に結合された第 1 の入力端子と、第 2 の入力端子と、前記内部信号を受けるための出力端子とを含む第 1 の NAND ゲートと、

前記第 1 の O R ゲートの前記出力端子に結合された第 1 の入力端子と、前記内部信号を受けるための第 2 の入力端子と、前記第 1 の N A N D ゲートの前記第 2 の入力端子に結合された出力端子とを含む第 2 の N A N D ゲートと を備える、請求項 1 5 に記載のフリップフロップ回路。

【請求項 1 7】

前記第 2 のラッチは、

前記クロック信号及び前記出力信号を受けるための入力端子を含み、出力端子を含む第 2 の O R ゲートと、

前記内部信号を受けるための第 1 の入力端子と、前記第 2 の O R ゲートの前記出力端子に結合された第 2 の入力端子と、前記出力信号の相補を供給するための出力端子とを含む第 3 の N A N D ゲートと

10

を備える、請求項 1 6 に記載のフリップフロップ回路。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

[0001] 本実施形態は一般に電子回路に関し、より具体的には、フリップフロップ回路に関する。

【背景技術】

【0 0 0 2】

[0002] 動的な電力消費は、特に、増加し続けるクロック周波数が同期 I C デバイスで 20
使用される場合の、集積回路 (I C) デバイスに対する進行中の懸念事項である。幾つかの I C デバイスについて、動的な電力消費全体の半分よりも多くは、クロック分配ネットワーク及びフリップフロップ回路に起因し得る。従来の多くのフリップフロップは、フリップフロップ内にラッチ及び / 又はゲート回路を形成する様々なパスゲート及び / 又はトライステート回路が使用する相補クロック信号を生成するためのインバータ回路を用いる。これらインバータ回路は、パスゲート及びトライステート回路と同様に、クロック信号が論理状態間を遷移する度に動的な電力を消費する。結果として、これら従来のフリップフロップは、切替えアクティビティが比較的低いときであっても、かなりの量の動的な電力を消費し得る。

【0 0 0 3】

30

[0003] 例えば、図 1 は、第 1 のラッチ 1 1 0、第 2 のラッチ 1 2 0、クロック反転回路 1 3 0、並びにインバータ I N V 0 及び I N V 3 を含む従来のデータフリップフロップ回路 1 0 0 を示す。第 1 のラッチ 1 1 0 は、「マスタ」ラッチとして動作し得、第 2 のラッチ 1 2 0 は、「スレーブ」ラッチとして動作し得る。第 1 のラッチ 1 1 0 は、第 1 のパスゲート P G 1 と、交差結合されたインバータ I N V 1 a 及び I N V 1 b によって形成される第 1 の記憶素子 1 1 1 とを含む。第 2 のラッチ 1 2 0 は、第 2 のパスゲート P G 2 と、交差結合されたインバータ I N V 2 a 及び I N V 2 b によって形成される第 2 の記憶素子 1 2 1 とを含む。それぞれラッチ 1 1 0 及び 1 2 0 内のパスゲート P G 1 - P G 2 並びにトライステートインバータ I N V 1 b 及び I N V 2 b のために相補クロック信号 (complementary clock signals) を生成するものであるクロック反転回路 1 3 0 は、2 つの直 40
列接続されたインバータ I N V 4 a 及び I N V 4 b を含む。例えば、クロック信号 C L K は、C L K を反転して (例えば、論理的に相補して)

【0 0 0 4】

【数 1】

反転ネットワーククロック信号 $\overline{CLKn}$ を生成するインバータ INV 4 a の入力に供給される。反転ネットワーククロック信号 $\overline{CLKn}$ は、インバータ INV 4 b によって反転されて、ネットワーククロック信号 CLK n が生成される。ゆえに、クロック信号 $\overline{CLKn}$ は、クロック信号 CLK n の論理的な相補である。

【0005】

[0004] データ信号 (D) は、インバータ INV 0 によって反転され、

10

【0006】

【数 2】

相補データ信号 $\overline{D}$ として第 1 のパスゲート PG 1 に供給される。第 1 のパスゲート PG 1 は、 $\overline{CLKn}$ を受けるための制御端子を含み、

【0007】

CLK n を受けるための反転（例えば、相補）制御端子を含む。インバータ INV 1 b は、CLK n を受けるためのイネーブル端子を含み、

【0008】

20

【数 3】

$\overline{CLKn}$ を受けるための反転イネーブル端子を含むトリステートインバータとして描写される。

【0009】

第 1 のラッチ 110 の出力端子は、第 2 のパスゲート PG 2 に結合される。

【0010】

[0005] 第 2 のパスゲート PG 2 は、CLK n を受けるための制御端子と、

【0011】

30

【数 4】

$\overline{CLKn}$ を受けるための反転（例えば、相補）制御端子と、第 2 の記憶素子 121 に結合された出力端子とを含む。インバータ INV 2 b は、 $\overline{CLKn}$ を受けるためのイネーブル端子を含み、

【0012】

CLK n を受けるための反転（例えば、相補）イネーブル端子を含むトリステートインバータとして描写される。

40

【0013】

[0006] CLK が論理ロー状態にある場合、インバータ INV 4 a は、

【0014】

【数 5】

$\overline{CLKn}$ を論理ハイ状態にドライブし、

【0015】

インバータ INV 4 b は、CLK n を論理ロー状態にドライブする。これにตอบสนองして、パスゲート PG 1 はオンになり、

50

【 0 0 1 6 】

【 数 6 】

$\overline{D}$ の値を、この $\overline{D}$ の値を記憶する第1のラッチ110にパスする。 CLK_n の論理ロー状態及び $\overline{CLK_n}$ の論理ハイ状態は、

【 0 0 1 7 】

第2のパスゲートPG2をオフにし、それによって、第2のラッチ120を第1のラッチ110から隔離する。

【 0 0 1 8 】

[0007] CLK が論理ハイに遷移すると、

【 0 0 1 9 】

【 数 7 】

インバータINV4aは、 $\overline{CLK_n}$ を論理ローにドライブし、

【 0 0 2 0 】

インバータINV4bは、 CLK_n を論理ハイにドライブする。これに応答して、パスゲートPG1はオフになり、第1のラッチ110を入力信号Dから隔離し、そして第2のパスゲートPG2はオンになり、

【 0 0 2 1 】

【 数 8 】

$\overline{D}$ の値を第1のラッチ110から第2のラッチ120にパスする。第2のラッチ120は $\overline{D}$ の値を記憶し、

【 0 0 2 2 】

これは、 $Q = D$ となるように、インバータINV3によって反転され、フリップフロップ出力信号Qとして供給される。

【 0 0 2 3 】

【 数 9 】

[0008] 相補クロック信号 CLK_n 及び $\overline{CLK_n}$ を生成するインバータINV4a - INV4bは、

【 0 0 2 4 】

入力クロック信号 CLK が論理状態間で遷移する度に動的な電力を消費するが、これは望ましくない。加えて、パスゲートPG1 - PG2及びトライステートインバータINV1b及びINV2bが

【 0 0 2 5 】

【 数 10 】

CLK_n とその相補 $\overline{CLK_n}$ の両方によってクロックされるため、

【 0 0 2 6 】

パスゲートPG1 - PG2並びにラッチ110及び120は、クロック信号が論理状態間で遷移する度に動的な電力を消費するが、これもまた望ましくない。

【 0 0 2 7 】

[0009] ゆえに、フリップフロップ回路に関連付けられた動的な電力消費を減らす必要性がある。

10

20

30

40

50

【発明の概要】

【0028】

[0010] この発明の概要は、以下の発明の詳細な説明においてさらに説明される概念のうち選択されたものを簡略化された形式で紹介するために提供される。この発明の概要は、請求項に記載の主題の重要な特徴又は本質的な特徴を識別することを意図しておらず、請求項に記載の主題の範囲を限定することも意図していない。

【0029】

[0011] 図1のフリップフロップ回路100のような従来のフリップフロップ回路と比べて、動的な電力消費を減らし得るフリップフロップ回路が開示される。本実施形態によれば、フリップフロップ回路は、第1のラッチ及び第2のラッチを含み得る。「マスタ」ラッチとして動作し得る第1のラッチは、データ信号を受けるための第1の入力端子と、クロック信号を受けるための第2の入力端子と、出力端子とを含む。「スレーブ」ラッチとして動作し得る第2のラッチは、第1のラッチの出力端子に直接接続された第1の入力端子と、クロック信号を受けるための第2の入力端子と、出力信号を供給するための出力端子とを含む。第1のラッチ及び第2のラッチは、クロック信号の同じ位相上でクロックされるものとし、それにより、相補クロック信号を生成するクロック反転回路を含む必要性がなくなる。クロック反転回路及びパスゲートを除去することは、動的な電力消費を減らし得る（従来のフリップフロップ回路と比べて）。

【0030】

[0012] 幾つかの実施形態について、第1のラッチは、クロック信号が論理ロー状態にある場合には、内部ノードにおいてデータ信号の相補を記憶するものとし、クロック信号が論理ハイ状態にある場合には、データ信号を第2のラッチにパスするものとする。さらに、幾つかの実施形態について、第2のラッチは、クロック信号が論理ロー状態にある場合には、出力信号の前の状態を出力するものとし、クロック信号が論理ハイ状態にある場合には、データ信号に 응답して出力信号をドライブするものとする。

【0031】

[0013] 幾つかの実施形態について、第1のラッチは、データ信号及びクロック信号を受けるための入力端子を含み、出力端子を含む第1のORゲート；クロック信号を受けるための第1の入力端子と、第2の入力端子と、第1のノードに結合された出力端子とを含む第1のNANDゲート；及び、第1のORゲートの出力端子に結合された第1の入力端子と、第1のノードに結合された第2の入力端子と、第2のノードにおいて第1のNANDゲートの第2の入力端子に結合された出力端子とを含む第2のNANDゲートを備える。

【0032】

[0014] 他の実施形態について、フリップフロップ回路は、データ信号及び出力信号に 응답してフィードバック信号を生成するNORゲートを含み得る。フィードバック信号は、フィードバック信号がアサートされるとクロック信号を無視するように構成され得る第1のラッチに供給され得る。他の実施形態のうちの少なくとも1つについて、第1のラッチは、データ信号及びクロック信号を受けるための入力端子を含み、出力端子を含む第1のORゲート；フィードバック信号及びクロック信号を受けるための入力端子を含み、出力端子を含む第2のORゲート；第2のORゲートの出力端子に結合された第1の入力端子と、第2の入力端子と、第1のノードに結合された出力端子とを含む第1のNANDゲート；及び、第1のORゲートの出力端子に結合された第1の入力端子と、第1のノードに結合された第2の入力端子、第2のノードにおいて第1のNANDゲートの第2の入力端子に結合された出力端子とを含む第2のNANDゲートを備える。

【0033】

[0015] 幾つかの実施形態について、第2のラッチは、クロック信号及び出力信号を受けるための入力端子を含み、出力端子を含む第2のORゲート；及び、第1のノードに結合された第1の入力端子と、第2のORゲートの出力端子に結合された第2の入力端子と、出力信号の相補を供給するための出力端子とを含む第3のNANDゲートを備える。

【 0 0 3 4 】

[0016] 本実施形態は、例として例示され、添付の図面の図によって限定されることを意図していない。

【図面の簡単な説明】

【 0 0 3 5 】

【図 1】図 1 は、従来のフリップフロップ回路の回路図である。

【図 2 A】図 2 A は、幾つかの実施形態に係る、フリップフロップ回路のブロック図である。

【図 2 B】図 2 B は、図 2 A のフリップフロップ回路の一実施形態の回路図である。

【図 3 A】図 3 A は、他の実施形態に係るフリップフロップ回路のブロック図である。

【図 3 B】図 3 B は、図 3 A のフリップフロップ回路の一実施形態の回路図である。

【図 3 C】図 3 C は、図 3 A のフリップフロップ回路の別の実施形態の回路図である。

【図 3 D】図 3 D は、図 3 A のフリップフロップ回路のさらに別の実施形態の回路図である。

【発明を実施するための形態】

【 0 0 3 6 】

[0024] 同様の参照番号は、複数の図全体を通して対応する部分を指す。

【 0 0 3 7 】

[0025] 本実施形態は、簡略さのためだけに、データタイプのフリップフロップ回路に照らして以下に説明される。本実施形態が、他のタイプのフリップフロップ回路（例えば、セット - リセット（SR）フリップフロップ及び JK フリップフロップのような）に等しく適用可能であることは理解されるものとする。以下の説明では、本開示の完全な理解を提供するために、特定の構成要素、回路、及びプロセスの例のような、多数の特定の詳細が示される。また、以下の説明では、説明上の目的で、本実施形態の完全な理解を提供するために、特定の専門用語が示される。しかしながら、これらの特定の詳細が本実施形態を実施するのに必要とされない場合もあることは、当業者にとって明らかであろう。他の事例では、周知の回路及びデバイスは、本開示を曖昧にしないために、ブロック図形式で示される。本明細書で使用される場合、「結合された（coupled）」という用語は、直接接続されること、或いは 1 つ又は複数の介在構成要素又は回路を通じて接続されることを意味する。本明細書で説明される様々なバスを通して供給される信号はいずれも、他の信号と時間多重化され、1 つ又は複数の共通バスを通して供給され得る。追加的に、回路素子又はソフトウェアブロック間の相互接続が、バス又は単一信号線として示され得る。これらバスの各々は代替的に単一信号線であり得、これら単一信号線の各々は代替的にバスであり得、単一の線又はバスは、構成要素間の通信のための無数の物理的又は論理的なメカニズムのうちの何れか 1 つ又は複数を表し得る。本実施形態は、本明細書で説明される特定の例に限定されると解釈されるべきではなく、添付の特許請求の範囲によって定義される全ての実施形態をその範囲内に含むように解釈されるべきである。

【 0 0 3 8 】

[0026] さらに、本明細書で使用される場合、「反転（された）」という用語は、信号の論理的な相補（logical complement）を生成するために信号を論理的に反転することを指し、したがって、「反転（された）」、「論理的な相補」、及び「相補（された）」という用語は、本明細書では交換して使用され得る。

【 0 0 3 9 】

[0027] 図 2 A は、幾つかの実施形態に係る、データタイプのフリップフロップ回路 200 のブロック図を示す。フリップフロップ回路 200 は、第 1 のラッチ 210 及び第 2 のラッチ 220 を含むように示される。「マスタ」ラッチとして動作し得る第 1 のラッチ 210 は、OR ゲート X0 と、2 つの NAND ゲート X1 及び X2 とを含む。OR ゲート X0 は、クロック信号 CLK 及びデータビット（D）を受けるための入力端子を含み、信号 S0 を生成するための出力端子を含む。NAND ゲート X1 は、ノード N1 において信号 S1 を生成するための出力端子を含み、NAND ゲート X2 は、ノード N2 において信

号 S 2 を生成するための出力端子を含む。NANDゲート X 1 は、クロック信号 CLK と、NANDゲート X 2 によって生成された信号 S 2 とを受けるための入力端子を含み、NANDゲート X 2 は、NANDゲート X 1 によって生成された信号 S 1 を受け、ORゲート X 0 から出力された信号 S 0 を受けるための入力端子を含む。幾つかの実施形態について、第 1 のノード N 1 における信号 S 1 は、本明細書では、「内部信号」と呼ばれ得る。より詳細に以下で説明されるように、内部信号 S 1 は、第 1 のラッチ 2 1 0 がデータ信号 D をラッチする場合には（例えば、クロック信号 CLK の第 1 の状態にตอบสนองして）、論理ハイ状態にドライブされ得、第 1 のラッチ 2 1 0 がデータ信号 D を第 2 のラッチ 2 2 0 にパスする場合には（例えば、クロック信号 CLK の第 2 の状態にตอบสนองして）、データ信号 D の値にドライブされ得る。

10

【0040】

[0028] 「スレーブ」ラッチとして動作し得る第 2 のラッチ 2 2 0 は、NANDゲート X 3、ORゲート X 4、並びに 2 つのインバータ X 5 及び X 6 を含む。NANDゲート X 3 は、第 1 のラッチ 2 1 0 によって供給される信号 S 1 を受けるための第 1 の入力端子と、ORゲート X 4 の出力端子に結合された第 2 の入力端子と、ノード N 3 において信号 S 3 を生成するための出力端子とを含む。インバータ X 6 は、信号 S 3 を論理的に反転して、フリップフロップ回路 2 0 0 の出力信号 (Q) を生成する。インバータ X 5 は、信号 S 3 を論理的に反転して、内部 Q 信号を生成する。ORゲート X 4 は、クロック信号 CLK と、インバータ X 5 によって生成された Q 信号とを受けるための入力端子を含み、信号 S 4 を生成するための出力端子を含む。

20

【0041】

[0029] インバータ X 5 及び X 6 が、反転バッファ回路として動作し得ることに留意されたい。他の実施形態について、インバータ X 5 及び X 6 は、他の適切なバッファ回路によって置き換えられ得るか、又は除去され得る。さらに、インバータ X 5 及び X 6 が両方とも、ノード N 3 における信号 S 3 にตอบสนองして出力信号 Q を生成することに留意されたい。インバータ X 5 は、Q 信号を ORゲート X 4 に供給し、一方で、インバータ X 6 は、Q 信号を出力信号として供給する（例えば、簡潔さのために示されない別の回路又はデバイスに）。このように、インバータ X 5 によって供給される Q 信号は、インバータ X 6 によって供給される Q 信号ほどノイズの影響を受け易くなく、よって、第 2 のラッチ 2 2 0 による内部論理信号としての使用により適している。他の実施形態について、インバータ X 5 は省略され得、インバータ X 6 によって供給される Q 信号が、ORゲート X 4 の入力端子に供給され得る。

30

【0042】

[0030] フリップフロップ回路 2 0 0 の例示的な動作が以下で説明される。クロック信号 CLK が論理ロー状態にある場合 (CLK = 0)、NANDゲート X 1 は、信号 S 1 = 1 となるように、その出力端子 N 1 を論理ハイにし、ORゲート X 0 は、S 0 = D となるように、D の値をその出力信号 S 0 としてパスする。信号 S 1 の論理ハイ状態は、データビット D を反転し、

【0043】

【数 1 1】

40

その論理的な相補 $\overline{D}$ をノード N 2 にパスすることを NANDゲート X 2 に行わせ、それによって、信号 S 2 = $\overline{D}$ をドライブする。ゆえに、クロック信号 CLK が論理ローである場合、第 1 のラッチ 2 1 0 は、ノード N 2 において $\overline{D}$ の値を記憶する。例えば、D = 0 の場合、第 1 のラッチ 2 1 0 は、ノード N 2 において $\overline{D} = 1$ という値を記憶し、対照的に、D = 1 の場合、第 1 のラッチ 2 1 0 は、ノード N 2 において $\overline{D} = 0$ という値を記憶する。

50

[0031] 信号 S 1 の論理ハイ状態及び C L K の論理ロー値が、第 2 のラッチ 2 2 0 に供給される。C L K = 0 に応答して、O R ゲート X 4 は、Q の前値 (previous value) を、信号 S 4 として N A N D ゲート X 3 にパスする。信号 S 1 の論理ハイ状態に応答して、N A N D ゲート X 3 は、信号 S 4 を反転し、

【 0 0 4 4 】

【 数 1 2 】

その出力信号 S 3 を $\overline{Q}$ の値にドライブする。

【 0 0 4 5 】

10

インバータ X 6 は、信号 S 3 の値を反転して、その出力信号 S 6 を Q の値にドライブし (S 6 = Q)、それによって、出力信号 Q の前の状態を維持する。インバータ X 5 もまた、信号 S 3 の値を反転して、その出力信号 S 5 を Q の値にドライブし (S 5 = Q)、それによって、O R ゲート X 4 への入力信号 S 5 を、出力信号 Q の値に等しく保つ。このように、

【 0 0 4 6 】

【 数 1 3 】

相補出力信号 $\overline{Q}$ の前値が、

20

【 0 0 4 7 】

第 2 のラッチ 2 2 0 内に形成される N A N D - I N V - O R 構造によってノード N 3 に記憶される。

【 0 0 4 8 】

[0032] クロック信号 C L K が、論理ハイ状態 (C L K = 1) に遷移すると、第 1 のラッチ 2 1 0 は、前にラッチされた D の値を、ノード N 1 を介して第 2 のラッチ 2 2 0 にパスする。より具体的には、C L K = 1 に応答して、N A N D ゲート X 1 は、

【 0 0 4 9 】

【 数 1 4 】

30

ノード N 2 に記憶された入力信号 $\overline{D}$ を反転して、

【 0 0 5 0 】

ノード N 1 においてデータ信号 D を生成し、次いで、D の値は、信号 S 1 として第 2 のラッチ 2 2 0 に供給される。C L K の論理ハイ状態はまた、O R ゲート X 0 に、その出力信号 S 0 を論理ハイにドライブさせる。信号 S 0 の論理ハイ状態は、信号 S 1 の反転値をその出力端子 N 2 にパスすることを N A N D ゲート X 2 に行わせ、それによって、

【 0 0 5 1 】

【 数 1 5 】

40

ノード N 2 を $\overline{D}$ の値に維持する。

【 0 0 5 2 】

このように、第 1 のラッチ 2 1 0 は、

【 0 0 5 3 】

【 数 1 6 】

ノード N 2 において $\overline{D}$ の値を記憶し、

【 0 0 5 4 】

50

ノードN1においてDの値を記憶する。クロック信号CLKが論理ハイから論理ローに遷移するまで、NANDゲートX1及びX2によって形成される第1のラッチ210が、ノードN1においてDの値を、

【0055】

【数17】

ノードN2において $\overline{D}$ の値を記憶し続け得ることに留意されたい。

[0033] ノードN1におけるDの値は、信号S1としてNANDゲートX3に供給される。CLKの論理ハイ状態は、出力信号S4を論理ハイにすることをORゲートX4に行わせ、これは、次に、Dの値を反転することをNANDゲートX3に行わせる。したがって、NANDゲートX3は、

【0056】

【数18】

信号S3= $\overline{D}$ となるように、ノードN3を $\overline{D}$ の値にドライブする。

【0057】

インバータX6は、信号S3の値を反転し、そして、Q=Dになるように、出力信号QをDの値にドライブする。インバータX5もまた、信号S3の値を反転して、S5=D=Qとなるように、その出力信号S5をDの値にドライブし、それによって、ORゲートX4への入力信号S5を、出力信号Qの値に等しく保つ。このように、出力信号Qは、第2のラッチ220内に形成されるNAND-INV-OR構造によって入力データビットDの現在値(current value)で更新される。

【0058】

[0034] 上述したように、フリップフロップ回路200は、第1のラッチ210がマスターラッチとして機能し、第2のラッチ220がスレーブラッチとして機能するデータタイプのフリップフロップとして動作し得る。より具体的には、クロック信号CLKが、論理ハイから論理ローに遷移すると、第1のラッチ210は、入力データビットDの現在値を記憶し、第2のラッチ220は、出力信号Qの前値を記憶する。クロック信号CLKが、論理ローから論理ハイに遷移すると、第1のラッチ210は、入力データビットDの現在値を第2のラッチ220にパスし(Dの値のあらゆる変化を無視しつつ)、第2のラッチ220は、Dの現在値を、出力信号Qとして供給する。

【0059】

[0035] 本実施形態に従って、フリップフロップ回路200の第1のラッチ210及び第2のラッチ220は、クロック信号CLKの同じ位相上で動作し得、それによって、相補クロック信号を生成する必要性がなくなる。結果として、フリップフロップ回路200は、相補クロック信号を生成するためのクロック反転回路(例えば、図1のクロック反転回路130のような)が不要になる。クロック反転回路を除去する能力は、相補クロック信号を生成することに関連付けられた動的な電力消費を減らし得る(図1の従来のフリップフロップ回路100と比べて)。例えば、図1のインバータINV4a-INV4bは、クロック信号CLKのあらゆる状態偏移に応じて動的な電力を消費し得るが、クロック信号CLKの状態遷移は、図2Aのフリップフロップ回路200にはクロック反転回路が存在しないため、フリップフロップ回路200の同様の動的な電力消費に帰着しないだろう。さらに、図1の従来のフリップフロップ回路100とは対照的に、図2Aのフリップフロップ回路200は、ラッチ110及び120内にパスゲート及びトリステートインバータを含まないため、クロック信号CLKの状態遷移に応答したトリステートインバータ及びパスゲートの連続切替えに関連付けられた動的な電力消費を除去する。結果として、図2Aのフリップフロップ回路200は、図1の従来のフリップフロップ回路100よりも少ない動的な電力を消費し得る。

10

20

30

40

50

【 0 0 6 0 】

[0036] 図 2 B は、図 2 A のフリップフロップ回路 2 0 0 の一実施形態であるフリップフロップ回路 2 5 0 を示す。フリップフロップ回路 2 5 0 は、第 1 の論理ゲート 2 5 1、第 2 の論理ゲート 2 5 2、及び第 3 の論理ゲート 2 5 3 を含むように示される。幾つかの実施形態について、第 1 の論理ゲート 2 5 1 は、OR - AND - INVERT (OAI) ゲートとして動作し得、第 2 の論理ゲート 2 5 2 は、NAND ゲートとして動作し得、第 3 の論理ゲート 2 5 3 は、OAI ゲートとして動作し得る。さらに、少なくとも 1 つの実施形態について、図 2 B の第 1 及び第 2 の論理ゲート 2 5 1 - 2 5 2 は、図 2 A の第 1 のラッチ 2 1 0 を実現し得、図 2 B のゲート X 5 及び X 6 と組み合わせられる第 3 の論理ゲート 2 5 3 は、図 2 A の第 2 のラッチ 2 2 0 を実現し得る。より具体的には、第 1 の論理ゲート 2 5 1 は、図 2 A の OR ゲート X 0 及び NAND ゲート X 2 を実現し得、第 2 の論理ゲート 2 5 2 は、図 2 A の NAND ゲート X 1 を実現し得る。

10

【 0 0 6 1 】

[0037] 第 1 の論理ゲート 2 5 1 は、NMOS トランジスタ MN 0 - MN 2 及び PMOS トランジスタ MP 0 - MP 2 を含む。トランジスタ MN 1 及び MN 2 は、ノード N 2 と接地電位との間で直列に結合され、トランジスタ MN 0 は、トランジスタ MN 1 と並列に結合される。トランジスタ MN 1 は、入力データビット D を受けるためのゲートを有し、トランジスタ MN 0 は、クロック信号 CLK を受けるためのゲートを有し、トランジスタ MN 2 は、ノード N 1 に結合されたゲートを有する。トランジスタ MP 0 及び MP 1 は、ノード N 2 と電圧電源 VDD との間で直列に結合され、トランジスタ MP 2 は、ノード N 2 と VDD との間に結合される。トランジスタ MP 1 は、入力データビット D を受けるためのゲートを有し、トランジスタ MP 0 は、クロック信号 CLK を受けるためのゲートを有し、トランジスタ MP 2 は、ノード N 1 に結合されたゲートを有する。

20

【 0 0 6 2 】

[0038] 第 2 の論理ゲート 2 5 2 は、NMOS トランジスタ MN 3 - MN 4 及び PMOS トランジスタ MP 3 - MP 4 を含む。トランジスタ MN 3 及び MN 4 は、ノード N 1 と接地電位との間で直列に結合される。トランジスタ MN 3 は、クロック信号 CLK を受けるためのゲートを有し、トランジスタ MN 4 は、ノード N 2 に結合されたゲートを有する。トランジスタ MP 3 及び MP 4 は、ノード N 1 と VDD との間で並列に結合される。トランジスタ MP 3 は、クロック信号 CLK を受けるためのゲートを有し、トランジスタ MP 4 は、ノード N 2 に結合されたゲートを有する。

30

【 0 0 6 3 】

[0039] 第 3 の論理ゲート 2 5 3 は、NMOS トランジスタ MN 5、MN 6、及び MN 8 を含み、PMOS トランジスタ MP 5、MP 6、及び MP 8 を含む。トランジスタ MN 5 及び MN 6 は、ノード N 3 と接地電位との間で直列に結合され、トランジスタ MN 8 は、トランジスタ MN 5 と並列に結合される。トランジスタ MN 5 は、出力信号 Q を受けるためのゲートを有し、トランジスタ MN 6 は、ノード N 1 に結合されたゲートを有し、トランジスタ MN 8 は、クロック信号 CLK を受けるためのゲートを有する。トランジスタ MP 5 及び MP 8 は、ノード N 3 と VDD との間で直列に結合され、トランジスタ MP 6 は、ノード N 3 と VDD との間に結合される。トランジスタ MP 5 は、出力信号 Q を受けるためのゲートを有し、トランジスタ MP 8 は、クロック信号 CLK を受けるためのゲートを有し、トランジスタ MP 6 は、ノード N 1 に結合されたゲートを有する。

40

【 0 0 6 4 】

[0040] フリップフロップ回路 2 5 0 の例示的な動作が以下で説明される。クロック信号 CLK が論理ロー状態にあるとき (CLK = 0)、第 1 の論理ゲート 2 5 1 は、

【 0 0 6 5 】

【 数 1 9 】

ノード N 2 においてその相補信号 $\overline{D}$ を記憶することによって、

50

【 0 0 6 6 】

入力データビットDの値をラッチし、第3の論理ゲート253は、出力信号Qの前値を維持する。より具体的には、CLK = 0に应答して、トランジスタMP0、MP3、及びMP8はオンになり、トランジスタMN0、MN3、及びMN8はオフになる。導電性トランジスタMP3は、信号S1が論理ハイ状態になるようにVDDに向かってノードN1をハイに引き上げ、これは、トランジスタMN2をオンにし、トランジスタMP2をオフにする。Dの値は、トランジスタMP1及びMN1によって形成されるインバータによって反転され、それによって、

【 0 0 6 7 】

【数20】

10

ノードN2を相補 $\overline{D}$ の値にドライブする。

【 0 0 6 8 】

ゆえに、クロック信号CLKが論理ローである場合、論理ゲート251 - 252によって形成される「マスタ」ラッチは、

【 0 0 6 9 】

【数21】

ノードN2において $\overline{D}$ の値を記憶する。

20

[0041] 信号S1の論理ハイ状態及びCLKの論理ロー状態が第3の論理ゲート253に供給される。CLK = 0に应答して、トランジスタMP8はオンになり、トランジスタMN8はオフになる。ノードN1における信号S1の論理ハイ状態は、トランジスタMN6をオンにし、トランジスタMP6をオフにする。出力信号Qの前値が、トランジスタMP5及びMN5によって形成されるインバータによって反転され、それによって、

【 0 0 7 0 】

【数22】

ノードN3を相補値 $\overline{Q}$ にドライブする。

30

【 0 0 7 1 】

インバータX5及びX6は、ノードN3における信号S3の値を反転して、出力信号Qの前値を維持する。

【 0 0 7 2 】

[0042] クロック信号CLKが論理ハイに遷移すると(CLK = 1)、第2の論理ゲート252は、第1の論理ゲート251によってラッチされたような、Dの値を、第3の論理ゲート253にパスする。次いで、第3の論理ゲート253は、ラッチされたDの値に应答して出力信号Qの値を更新し得る。より具体的には、CLK = 1に应答して、トランジスタMP0、MP3、及びMP8はオフになり、トランジスタMN0、MN3、及びMN8はオンになる。導電性トランジスタMN0は、トランジスタMN2のドレインを接地電位に接続し、導電性トランジスタMN3は、トランジスタMN4のソースをノードN1に接続し、導電性トランジスタMN8は、トランジスタMN6のドレインを接地電位に接続する。非導電性トランジスタMP0は、Dに应答してトランジスタMP1がVDDに向かってノードN2をハイに引き上げることを防ぎ、それによって、CLK = 1のときに、第1の論理ゲート251に供給されるDの現在値に係らず、

40

【 0 0 7 3 】

【数 2 3】

ノードN 2が、 $\overline{D}$ の前の値をラッチし続けることを確実にする。

【0 0 7 4】

[0043] ノードN 2における

【0 0 7 5】

【数 2 4】

ラッチされた $\overline{D}$ の値は、

10

【0 0 7 6】

トランジスタM P 4及びM N 4によって形成されるインバータによって論理的に反転され、ノードN 1においてDの値が生成される。ノードN 1におけるDの値は、トランジスタM P 2及びM N 2によって形成されるインバータによって論理的に反転されて、

【0 0 7 7】

【数 2 5】

ノードN 2におけるその出力信号を $\overline{D}$ にドライブし、それによって、ノードN 2において $\overline{D}$ の値を維持するための「キープ」回路として動作する。

20

【0 0 7 8】

[0044] ノードN 1におけるDの値もまた、トランジスタM P 6及びM N 6によって形成されるインバータによって論理的に反転され、

【0 0 7 9】

【数 2 6】

ノードN 3においてその出力信号が $\overline{D}$ にドライブされ、

【0 0 8 0】

これは、インバータX 5及びX 6によって反転されて、出力信号QがDの値にドライブされる($Q = D$)。このように、C L Kの論理ハイ状態は、クロック信号C L Kが論理ハイから論理ローに遷移するまで、第1の論理ゲート2 5 1が入力データビットDにおける状態遷移を無視することを可能にしつつ、Dの値を第2の論理ゲート2 5 2から第3の論理ゲート2 5 3に転送する。

30

【0 0 8 1】

[0045] 図2 Aを再度参照すると、フリップフロップ回路2 0 0は、Dの次の状態と、Qの現在の状態の両方が論理ローであるとき、不必要な動的な電力を消費し得る。例えば、C L Kの論理ロー状態は、ノードN 1を論理ハイにドライブすることをN A N DゲートX 1に行わせる。同時に、ノードN 0は、入力データビットD = 0のとき、論理ローにドライブされ、したがって、ノードN 2もまた、論理ハイにプルアップされる。次いで、C L Kが論理ローから論理ハイに遷移すると、N A N DゲートX 1は、ノードN 1を論理ハイから論理ローにドライブする。しかしながら、出力信号Qは、その状態を変更せず、論理ローで維持される。結果として、ノードN 1は、Dの次の値とQの現在値の両方が0であるとき、論理状態0と1との間を不必要に遷移し得る。

40

【0 0 8 2】

[0046] この起こりうるタイミング問題を回避するために、例えば、図3で示されるように、フィードバック信号が供給され得る。図3 Aは、他の実施形態に係る、データタイプのフリップフロップ回路3 0 0のブロック図を示す。フリップフロップ回路3 0 0は、第1のラッチ3 1 0、図2 Aの第2のラッチ2 2 0、及びフィードバック信号F Bを第1

50

のラッチ 3 1 0 に供給する NOR ゲート X 8 を含む。第 1 のラッチ 3 1 0 は、図 2 A の第 1 のラッチ 2 1 0 の全ての素子に加え、OR ゲート X 7 を含む。クロック信号 CLK は、OR ゲート X 7 の第 1 の入力端子に供給され、フィードバック信号 FB は、OR ゲート X 7 の第 2 の入力端子に供給され、OR ゲート X 7 の出力端子は、NAND ゲート X 1 の第 1 の入力端子に結合される。NOR ゲート X 8 は、入力データビット D を受けるための第 1 の入力端子と、出力信号 Q を受けるための第 2 の入力端子と、フィードバック信号 FB を供給するための出力端子とを含む。

【 0 0 8 3 】

[0047] フィードバック信号 FB は、出力信号 Q の現在値とデータビット D の到来値の両方が論理ローであるとき ($Q = D = 0$ のとき) の、上述された不必要な電力消費問題を除去し得る。例えば、 $Q = D = 0$ のとき、NOR ゲート X 8 は、フィードバック信号 FB を論理ハイにドライブし ($FB = 1$)、これは、クロック信号 CLK とは関係なしに、OR ゲート X 7 に、ノード 7 におけるその出力信号 S 7 を論理ハイにドライブさせる。このケースについて、 $D = 0$ 及び $Q = 0$ に応答して生成された信号 S 7 の論理ハイ状態は、NAND ゲート X 1 が、

【 0 0 8 4 】

【 数 2 7 】

ノード N 2 における $\overline{D} = 1$ という値を反転し、

【 0 0 8 5 】

次いで、ノード N 1 を論理ローにドライブすること ($D = 0$ を第 2 のラッチ 2 2 0 にパスするために) を確実にする。

【 0 0 8 6 】

[0048] D 及び Q の全ての他のケースについて、NOR ゲート X 8 は、フィードバック信号 FB を論理ローにドライブし ($FB = 0$)、それによって、OR ゲート X 7 が、CLK の値を NAND ゲート X 1 にパスすることを可能にする。これら他のケースについて、第 1 のラッチ 3 1 0 は、図 2 A の第 1 のラッチ 2 1 0 と同様の方法で動作し得る。

【 0 0 8 7 】

[0049] 図 3 B は、図 3 A のフリップフロップ回路 3 0 0 の一実施形態であるフリップフロップ回路 3 5 0 を示す。フリップフロップ回路 3 5 0 は、図 2 B の第 1 の論理ゲート 2 5 1、第 2 の論理ゲート 3 5 2、及び図 2 B の第 3 の論理ゲート 2 5 3 を含むように示される。幾つかの実施形態について、第 1 の論理ゲート 2 5 1、第 2 の論理ゲート 3 5 2、及び第 3 の論理ゲート 2 5 3 は各々、OAI 回路として動作し得る。さらに、少なくとも 1 つの実施形態について、図 3 B の第 1 及び第 2 の論理ゲート 2 5 1 及び 3 5 2 は、図 3 A の第 1 のラッチ 3 1 0 を実現し得、図 3 B のゲート X 5 及び X 6 と組み合わせられた第 3 の論理ゲート 2 5 3 は、図 3 A の第 2 のラッチ 2 2 0 を実現し得る。

【 0 0 8 8 】

[0050] 第 2 の論理ゲート 3 5 2 は、NMOS トランジスタ MN 3、MN 4、及び MN 7 を含み、PMOS トランジスタ MP 3、MP 4、及び MP 7 を含む。トランジスタ MN 3 及び MN 4 は、ノード N 1 と接地電位との間で直列に結合される。トランジスタ MN 3 は、クロック信号 CLK を受けるためのゲートを有し、トランジスタ MN 4 は、ノード N 2 に結合されたゲートを有する。トランジスタ MN 7 は、トランジスタ MN 3 と並列に結合され、フィードバック信号 FB を受けるためのゲートを有する。トランジスタ MP 3 及び MP 7 は、ノード N 1 と VDD との間で直列に結合される。トランジスタ MP 3 は、クロック信号 CLK を受けるためのゲートを有し、トランジスタ MP 7 は、フィードバック信号 FB を受けるためのゲートを有する。トランジスタ MP 4 は、ノード N 1 と VDD との間に結合され、ノード N 2 に結合されたゲートを有する。図 3 B のトランジスタ MP 7 及び MN 7 が、図 3 A の OR ゲート X 7 を実現し得ることに留意されたい。

【 0 0 8 9 】

10

20

30

40

50

[0051] 図3Bのフリップフロップ回路350の例示的な動作が、入力データビットDの値及び出力信号Qの値の異なる組み合わせに関連して以下で説明される。第1のケースは、Dの次の状態が論理ローであり、Qの現在の状態が論理ハイであるときである（即ち、 $D = 0$ 及び $Q = 1$ ）。クロック信号CLK = 0のとき、トランジスタMP5及びMN5によって形成されるインバータは、Qの論理ハイ値を反転して、ノードN3を論理ローにドライブし、これは、次に、インバータX6によって反転されて、 $Q = 1$ が維持される。 $D = 0$ 及び $Q = 1$ にตอบสนองして、NORゲートX8は、フィードバック信号FBを論理ローにドライブし、これは、トランジスタMP7をオンにし、トランジスタMN7をオフにする。結果として、ノードN1は、CLK = 0にตอบสนองしてトランジスタMP3によってVDDに向かってハイに引き上げられ、これは、トランジスタMN2をオンにする。ゆえに、トランジスタMP1及びMN1によって形成されるインバータは、

【0090】

【数28】

ノードN2を状態 $\overline{D} = 1$ にドライブし得る。

【0091】

このように、第3の論理ゲート253は、現在値である $Q = 1$ を維持し、第1の論理ゲート251は、 $D = 0$ という値をラッチする。

【0092】

[0052] CLKが論理ローから論理ハイに遷移すると、トランジスタMN3はオンになり、接地電位に向かってノードN1をローに引き下げる。ノードN1の論理ロー状態は、トランジスタMP2をオンにし、これは、ノードN2をVDDに向かってハイに引き上げ、その結果、ノードN2の論理ハイ状態を維持して、

【0093】

【数29】

ノードN2において $\overline{D} = 1$ をラッチし続ける。

【0094】

ノードN1の論理ロー状態は、トランジスタMN6をオフに、トランジスタMP6オンにし、それによって、VDDに向かってノードN3をハイに引き上げ、

【0095】

【数30】

ノードN3において $\overline{Q} = 1$ をラッチする。

【0096】

これにตอบสนองして、インバータX6は、 $D = 0$ にตอบสนองして $Q = 0$ を更新する。CLK = 1である間、ノードN2が、導電性トランジスタMP2によって論理ハイ状態で維持され、ノードN1が、導電性トランジスタMN3及びMN4によって論理ロー状態で維持されることに留意されたい。トランジスタMP0、MP3、MP4、及びMN5は、非導電性であり、それによって、データビットDにおける後続の状態変化に関係なしに、論理ゲート251及び352において $D = 0$ というラッチされた値を維持する。

【0097】

[0053] CLKが論理ハイから論理ローに遷移すると、Qの前値が、第3の論理ゲート253においてラッチされ、第1及び第2の論理ゲート251及び352は、Dの次の値をラッチすることができる状態にある。

【0098】

[0054] 第2のケースは、Dの次の状態が論理ハイであり、Qの現在の状態が論理ロー

10

20

30

40

50

であるとき（即ち、 $D = 1$ 及び $Q = 1$ のとき）である。クロック信号 $CLK = 0$ のとき、トランジスタ $MP5$ 及び $MN5$ によって形成されるインバータは、 Q の論理ロー値を反転して、ノード $N3$ を論理ハイにドライブし、これは、次に、インバータ $X6$ によって反転されて、 $Q = 0$ が維持される。 $D = 1$ 及び $Q = 0$ に応答して、 NOR ゲート $X8$ は、フィードバック信号 FB を論理ローにドライブし、これは、トランジスタ $MP7$ をオンにし、トランジスタ $MN7$ をオフにする。結果として、ノード $N1$ は、 $CLK = 0$ に応答して、トランジスタ $MP3$ によって VDD に向かってハイに引き上げ、これは、 $MN2$ をオンにする。ゆえに、トランジスタ $MP1$ 及び $MN1$ によって形成されるインバータは、

【0099】

【数31】

10

ノード $N2$ を状態 $\overline{D} = 0$ にドライブし得る。

【0100】

このように、第3の論理ゲート 253 は、 $Q = 0$ という現在値を維持し、第1の論理ゲート 251 は、 $D = 1$ という値をラッチする。

【0101】

[0055] CLK が論理ローから論理ハイに遷移すると、トランジスタ $MN3$ はオンになるが、トランジスタ $MN4$ は、オフのままであり、ノード $N1$ を接地電位から分離する。ノード $N1$ の論理ハイ状態は、トランジスタ $MN2$ をオンにし、これは、ノード $N2$ を接

20

【0102】

【数32】

ノード $N2$ において $\overline{D} = 1$ をラッチし続ける。

【0103】

ノード $N1$ の論理ハイ状態は、トランジスタ $MN6$ をオンに、トランジスタ $MP6$ をオフにし、それによって、接地電位に向かってノード $N3$ をローに引き下げ、

【0104】

【数33】

30

ノード $N3$ において $\overline{Q} = 0$ をラッチする。

【0105】

これに応答して、インバータ $X6$ は、 $D = 1$ に応答して $Q = 1$ を更新する。 $CLK = 1$ の間、ノード $N2$ が、導電性トランジスタ $MN2$ （「キーパ」回路として機能し得る）によって論理ロー状態で維持され、ノード $N1$ が、導電性トランジスタ $MP4$ によって論理ハイ状態で維持されることに留意されたい。トランジスタ $MP0$ 、 $MP2$ 、及び $MN4$ は、非導電性であり、それによって、データビット D における後続の状態変化に関係なしに、論理ゲート 251 及び 352 において $D = 1$ というラッチされた値を維持する。 CLK が論理ハイから論理ローに遷移すると、 Q の前値が、第3の論理ゲート 253 においてラッチされ、第1及び第2の論理ゲート 251 及び 352 は、 D の次の値をラッチすることができる状態にある。

40

【0106】

[0056] 第3のケースは、 D の次の状態が論理ローであり、 Q の現在の状態が論理ローであるとき（即ち、 $D = 0$ 及び $Q = 1$ のとき）である。クロック信号 $CLK = 0$ のとき、トランジスタ $MP5$ 及び $MN5$ によって形成されるインバータは、 Q の論理ロー値を反転して、ノード $N3$ を論理ハイにドライブし、これは、次に、インバータ $X6$ によって反転

50

されて、 $Q = 0$ が維持される。 $D = 0$ 及び $Q = 0$ に応答して、NORゲートX 8は、フィードバック信号FBを論理ハイにドライブし、これは、トランジスタMP 7をオフにし、トランジスタMN 7をオンにする。結果として、クロック信号CLK及びDの値における遷移とは関係なしに、ノードN 1は、論理ロー状態で維持され、ノードN 2は、論理ハイ状態で維持される。このように、ノードN 2は、トランジスタMP 1及びMN 1によって形成されるインバータを使用することなく、論理ハイ状態のままであり、

【0107】

【数34】

$\bar{D} = 1$ という値をラッチする。

10

【0108】

このように、トランジスタMP 1及びMN 1が、N 2を充電又は放電しないため、動的な電力消費が減らされ得る。

【0109】

[0057] 第4のケースは、Dの次の状態が論理ハイであり、Qの現在の状態が論理ハイであるとき（即ち、 $D = 1$ 及び $Q = 1$ のとき）である。クロック信号CLK = 0のとき、トランジスタMP 5及びMN 5によって形成されるインバータは、Qの論理ハイ値を反転して、ノードN 3を論理ローにドライブし、これは、次に、インバータX 6によって反転されて、 $Q = 1$ が維持される。 $D = 1$ 及び $Q = 1$ に応答して、NORゲートX 8は、フィードバック信号FBを論理ローにドライブし、これは、トランジスタMP 7をオンにし、トランジスタMN 7をオフにする。結果として、ノードN 1は、トランジスタMP 3及びMP 7によって論理ハイ状態で維持され、ノードN 2は、トランジスタMN 1及びMN 2によって接地電位に向かってローに放電される。その後、クロック信号CLK及びDの値の遷移とは関係なしに、ノードN 1は、論理ハイ状態で維持され、ノードN 2は、論理ロー状態で維持される。このように、動的な電力消費は減らされ得る。

20

【0110】

[0058] 追加的に、フリップフロップ回路200は、タイミング不一致に起因する誤差に左右され得る。例えば、NANDゲートX 1がORゲートX 0及びNANDゲートX 2よりも弱い場合、クロック信号CLKにおける遷移に応答してNANDゲートX 1がノードN 1の状態を遷移することに関連付けられた第1の時間遅延は、クロック信号CLKにおける遷移に応答してORゲートX 0及びNANDゲートX 2がノードN 2の状態を遷移することに関連付けられた第2の時間遅延よりも長く、これは、次に、第1のラッチ210が、入力データビットDの不正確な値をラッチすることに帰着し得る。例えば、CLKの論理ロー状態は、ノードN 1を論理ハイにドライブすることをNANDゲートX 1に行わせる。データビットDの現在値が論理ローであるとき（ $D = 0$ ）、NANDゲートX 2は、

30

【0111】

【数35】

40

信号 $S2 = \bar{D}$ となるように、ノードN 2を論理ハイにドライブする。

【0112】

次いで、CLKが論理ローから論理ハイに遷移すると、ORゲートX 0は、ノードN 0を論理ハイにドライブする。しかしながら、第1の時間遅延が第2の時間遅延よりも大きい場合、NANDゲートX 2は、 $D = 0$ という値を獲得するために、NANDゲートX 1がノードN 1を論理ローにドライブする前に、ノードN 2を論理ローにドライブし得る。これが起こった場合、NANDゲートX 1は、望ましくなくも、ノードN 1を論理ハイ状態に維持し得、それによって、 $D = 0$ という値を正確にラッチすることに失敗する。ノードN 1を論理ハイ状態で維持することがDの正確な値を反映し得るため、 $D = 1$ という現在

50

値のとき、この問題は存在しない可能性があることに留意されたい。

【 0 1 1 3 】

[0059] この起こりうるタイミング問題を回避するために、図 3 C に示されるように、二次クロック信号が生成され得る。フリップフロップ回路 3 6 0 は、図 2 B の第 1 の論理ゲート 2 5 1、第 2 の論理ゲート 3 6 2、及び図 2 B の第 3 の論理ゲート 2 5 3 を含むように示される。幾つかの実施形態について、第 1 の論理ゲート 2 5 1、第 2 の論理ゲート 3 6 2、及び第 3 の論理ゲート 2 5 3 は各々、O A I 回路として動作し得る。さらに、少なくとも 1 つの実施形態について、図 3 の C 第 1 及び第 2 の論理ゲート 2 5 1 及び 3 6 2 は、図 3 A の第 1 のラッチ 3 1 0 を実現し得、図 3 C のゲート X 5 及び X 6 と組み合わせられた第 3 の論理ゲート 2 5 3 は、図 3 A の第 2 のラッチ 2 2 0 を実現し得る。

10

【 0 1 1 4 】

[0060] 図 3 C の第 2 の論理ゲート 3 6 2 は、図 3 C の実施形態では、トランジスタ M N 3 及び M N 7 が、ノード N 1 とトランジスタ M N 4 のドレインとの間に結合される点を除いて、図 3 B の第 2 の論理ゲート 3 5 2 に類似し得る。ゆえに、トランジスタ M N 3 及び M N 7 は、図 3 B のフリップフロップ回路 3 5 0 において、接地電位とトランジスタ M N 4 のソースとの間で並列に結合されるが、トランジスタ M N 3 及び M N 7 は、図 3 C のフリップフロップ回路 3 6 0 において、ノード N 1 と M N 4 のドレインとの間で並列に結合される。図 3 C のフリップフロップ回路 3 6 0 について、D の次の状態が論理ローであり、Q の現在の状態が論理ハイである場合、フィードバック信号 F B は論理ローにアサートされ、トランジスタ M N 7 はオフになり、トランジスタ M P 7 はオンになる。結果として、ノード N 1 は、C L K = 0 に応答して、トランジスタ M P 3 によって V D D まで充電され、これは、トランジスタ M N 2 をオンにする。次いで、トランジスタ M P 1 及び M N 1 によって形成されるインバータは、

20

【 0 1 1 5 】

【 数 3 6 】

ノード N 2 を状態 $\overline{D} = 1$ にドライブし得る。

【 0 1 1 6 】

その後、トランジスタ M N 4 は、信号 C L K __ L A T を論理ローにプルダウンするためにオンにされる。C L K が論理ローから論理ハイに遷移すると、ノード N 1 は、接地電位に向かって放電され、C L K __ L A T は、論理ローを維持し、それは、起こりうるタイミンググレースを効率的に抑制する。

30

【 0 1 1 7 】

[0061] 図 3 C のフリップフロップ 3 6 0 のこの改善の他の利点は節電である。例えば、D の次の状態と Q の現在の状態の両方は、論理ハイであり、フィードバック信号 F B は、論理ローにアサートされ、トランジスタ M N 7 はオフになり、M P 7 はオンになる。結果として、ノード N 1 は、C L K = 0 に応答して、トランジスタ M P 3 によって V D D まで充電され、これは、トランジスタ M N 2 をオンにする。結果として、トランジスタ M P 1 及び M N 1 によって形成されるインバータは、

40

【 0 1 1 8 】

【 数 3 7 】

ノード N 2 を状態 $\overline{D} = 0$ にドライブし得る。

【 0 1 1 9 】

ゆえに、トランジスタ M P 4 は、ノード N 1 を論理ハイで維持するためにオンにされ、トランジスタ M N 4 は、C L K __ L A T を接地電位から隔離するためにオフにされる。C L K が論理ローから論理ハイに遷移すると、トランジスタ M N 3 はオンにされ、C L K __ L A T は、導電性トランジスタ M N 3 を通じて V D D - V T まで充電される。その後、C L

50

K_{__}L A Tが、第1の論理ゲート251におけるトランジスタM N 0のゲートに供給され（例えば、クロック信号C L Kというよりはむしろ）、これもまた、動的な電力消費を減らし得る。

【0120】

[0062] 導電性トランジスタM N 3が、トランジスタM N 4のドレインを、V D Dを下回る1つのトランジスタ閾値電圧（例えば、V D D - V T）くらいまで充電すること、それが、電力消費を減らし得ること（トランジスタM N 4のドレインを、V D Dくらいまで充電することと比べて）に留意されたい。

【0121】

[0063] 図3Dは、図3Aのフリップフロップ回路300の別の実施形態であるフリップフロップ回路370を示す。フリップフロップ回路370は、図2Bの第1の論理ゲート251、図3Cの第2の論理ゲート362、及び第3の論理ゲート363を含むように示される。幾つかの実施形態について、第1の論理ゲート251、第2の論理ゲート362、第3の論理ゲート363は各々、O A I回路として動作し得る。さらに、少なくとも1つの実施形態について、図3Dの第1及び第2の論理ゲート251及び362は、図3Aの第1のラッチ310を実現し得、図3DのゲートX5及びX6と組み合わせられた第3の論理ゲート363は、図3Aの第2のラッチ220を実現し得る。

【0122】

[0064] 図3Dの第3の論理ゲート363は、図3Dの実施形態では、トランジスタM P 8が除去されており、トランジスタM P 5のソースが、トランジスタM P 0のドレインに結合される点を除いて、図2Bの第3の論理ゲート353に類似し得る。このように、トランジスタM P 0は、除外されたトランジスタM P 8と同一の機能を行い得、それによって、回路エリアを減らす。

【0123】

[0065] 前述の明細書では、本実施形態は、その特定の例示的な実施形態に関して説明されている。しかしながら、様々な修正及び変更が、添付の特許請求の範囲に示された本開示のより広い範囲から逸脱せずに、それに対してなされ得ることは明らかであろう。したがって、本明細書及び図面は、限定的な意味ではなく、例示的な意味で考慮されるべきである。

以下に本件出願当初の特許請求の範囲に記載された発明を付記する。

[1] フリップフロップ回路であって、データ信号を受けるための第1の入力端子と、クロック信号を受けるための第2の入力端子と、第1のノードにおける出力端子とを含む第1のラッチと、前記第1のラッチの前記出力端子に直接接続された第1の入力端子と、前記クロック信号を受けるための第2の入力端子と、出力信号を供給するための出力端子とを含む第2のラッチと、ここにおいて、前記第1のラッチ及び前記第2のラッチは、前記クロック信号の同じ位相上でクロックされるものとする、を備えるフリップフロップ回路。

[2] 前記第1のラッチはマスタラッチとして動作するものとし、前記第2のラッチは、スレーブラッチとして動作するものとする、[1]に記載のフリップフロップ回路。

[3] 前記第1のラッチ及び前記第2のラッチは、トライステートインバータを含まず、前記フリップフロップ回路は、パスゲート回路を含まない、[1]に記載のフリップフロップ回路。

[4] 前記第1のラッチは、前記データ信号及び前記クロック信号を受けるための入力端子を含み、出力端子を含む第1のO Rゲートと、前記クロック信号を受けるための第1の入力端子と、第2の入力端子と、前記第1のノードに結合された出力端子とを含む第1のN A N Dゲートと、前記第1のO Rゲートの前記出力端子に結合された第1の入力端子と、前記第1のノードに結合された第2の入力端子と、第2のノードにおいて前記第1のN A N Dゲートの前記第2の入力端子に結合された出力端子とを含む第2のN A N Dゲートと、を備える、[1]に記載のフリップフロップ回路。

[5] 前記第1のラッチは、前記クロック信号が論理ロー状態にある場合には、前記

第 2 のノードにおいて前記データ信号の相補を記憶するものとし、前記第 1 のラッチは、前記クロック信号が論理ハイ状態にある場合には、前記第 1 のノードを介して前記データ信号を前記第 2 のラッチにパスするものとする、[4] に記載のフリップフロップ回路。

[6] 前記第 2 のラッチは、前記クロック信号及び前記出力信号を受けるための入力端子を含み、出力端子を含む第 2 の OR ゲートと、前記第 1 のノードに結合された第 1 の入力端子と、前記第 2 の OR ゲートの前記出力端子に結合された第 2 の入力端子と、前記出力信号の相補を供給するための出力端子とを含む第 3 の NAND ゲートと、を備える、[4] に記載のフリップフロップ回路。

[7] 前記第 2 のラッチは、前記クロック信号が論理ロー状態にある場合、前記出力信号の前の状態を出力するものとして、前記第 2 のラッチは、前記クロック信号が論理ハイ状態にある場合、前記データ信号に応答して前記出力信号をドライブするものとする、[6] に記載のフリップフロップ回路。

[8] 前記第 1 のラッチは、NAND ゲートに接続された第 1 の OR - AND - INVERT 論理ゲートを備え、前記第 2 のラッチは、第 2 の OR - AND - INVERT 論理ゲートを備える、[1] に記載のフリップフロップ回路。

[9] 前記データ信号及び前記出力信号を受けるための入力端子を含み、フィードバック信号を前記第 1 のラッチに供給するための出力端子を含む NOR ゲートをさらに備える、[1] に記載のフリップフロップ回路。

[10] 前記第 1 のラッチは、前記データ信号及び前記クロック信号を受けるための入力端子を含み、出力端子を含む第 1 の OR ゲートと、前記フィードバック信号及び前記クロック信号を受けるための入力端子を含み、出力端子を含む第 2 の OR ゲートと、前記第 2 の OR ゲートの前記出力端子に結合された第 1 の入力端子と、第 2 の入力端子と、前記第 1 のノードに結合された出力端子とを含む第 1 の NAND ゲートと、前記第 1 の OR ゲートの前記出力端子に結合された第 1 の入力端子と、前記第 1 のノードに結合された第 2 の入力端子と、第 2 のノードにおいて前記第 1 の NAND ゲートの前記第 2 の入力端子に結合された出力端子とを含む第 2 の NAND ゲートと、を備える、[9] に記載のフリップフロップ回路。

[11] 前記 NOR ゲートは、前記データ信号及び前記出力信号が両方とも論理ロー状態にある場合には、前記フィードバック信号をアサートされた状態にドライブするものとし、前記第 1 のラッチは、前記フィードバック信号が前記アサートされた状態にある場合には、前記クロック信号を無視するものとする、[9] に記載のフリップフロップ回路。

[12] 前記第 1 のラッチは、第 2 の OR - AND - INVERT 論理ゲートに接続された第 1 の OR - AND - INVERT 論理ゲートを備え、前記第 2 のラッチは、第 3 の OR - AND - INVERT 論理ゲートを備える、[9] に記載のフリップフロップ回路。

[13] データ信号に応答して出力信号を選択的にドライブするフリップフロップ回路であって、前記データ信号及びクロック信号を受けるための入力端子を含み、前記クロック信号が第 1 の状態にある場合、前記データ信号の相補をラッチするための出力端子を含む第 1 の論理ゲートと、前記クロック信号、及び前記データ信号の前記相補を受けるための入力端子を含み、内部信号を生成するための出力端子を含む第 2 の論理ゲートと、を備える第 1 のラッチと、前記第 1 のラッチに直接接続され、前記クロック信号、前記出力信号、及び前記内部信号を受けるための入力端子を含み、前記出力信号を生成するための出力端子を含む第 3 の論理ゲート

を備える第 2 のラッチと、を備えるフリップフロップ回路。

[14] 前記第 1、第 2、及び第 3 の論理ゲートは、前記クロック信号の同じ位相上で動作するものとする、[13] に記載のフリップフロップ回路。

[15] 前記フリップフロップ回路は、パスゲート回路を含まない、[13] に記載のフリップフロップ回路。

[16] 前記第 2 の論理ゲートは、前記クロック信号が前記第 1 の状態にある場合に

10

20

30

40

50

は、前記内部信号を論理ハイ状態にドライブするものとし、前記第2の論理ゲートは、前記クロック信号が第2の状態にある場合には、前記データ信号を示す状態に前記内部信号をドライブするものとする、[13]に記載のフリップフロップ回路。

[17] 前記第3の論理ゲートは、前記クロック信号が前記第1の状態にある場合には、前記出力信号の前の状態を維持するものとし、前記第3の論理ゲートは、前記クロック信号が前記第2の状態にある場合には、前記内部信号の前記状態に前記出力信号をドライブするものとする、[13]に記載のフリップフロップ回路。

[18] 前記第1の論理ゲートは、第1のOR-AND-INVERT論理ゲートを備え、前記第2の論理ゲートは、NANDゲートを備え、前記第3の論理ゲートは、第2のOR-AND-INVERT論理ゲートを備える、[13]に記載のフリップフロップ回路。

10

[19] 前記第1、第2、及び第3の論理ゲートは、各々、OR-AND-INVERT論理ゲートを備える、[13]に記載のフリップフロップ回路。

[20] 前記第1のラッチは、前記データ信号及び前記クロック信号を受けるための入力端子を含み、出力端子を含む第1のORゲートと、前記クロック信号を受けるための第1の入力端子と、第2の入力端子と、前記内部信号を受けるための出力端子とを含む第1のNANDゲートと、前記第1のORゲートの前記出力端子に結合された第1の入力端子と、前記内部信号を受けるための第2の入力端子と、前記第1のNANDゲートの前記第2の入力端子に結合された出力端子とを含む第2のNANDゲートと、を備える、[13]に記載のフリップフロップ回路。

20

[21] 前記第2のラッチは、前記クロック信号及び前記出力信号を受けるための入力端子を含み、出力端子を含む第2のORゲートと、前記内部信号を受けるための第1の入力端子と、前記第2のORゲートの前記出力端子に結合された第2の入力端子と、前記出力信号の相補を供給するための出力端子とを含む第3のNANDゲートと、を備える、[20]に記載のフリップフロップ回路。

[22] 前記データ信号及び前記出力信号を受けるための入力端子を含み、フィードバック信号を前記第2の論理ゲートに供給するための出力端子を含むNORゲートをさらに備える、[13]に記載のフリップフロップ回路。

[23] 前記第1のラッチは、前記データ信号及び前記クロック信号を受けるための入力端子を含み、出力端子を含む第1のORゲートと、前記フィードバック信号及び前記クロック信号を受けるための入力端子を含み、出力端子を含む第2のORゲートと、前記第2のORゲートの前記出力端子に結合された第1の入力端子と、第2の入力端子と、前記内部信号を受けるための出力端子とを含む第1のNANDゲートと、前記第1のORゲートの前記出力端子に結合された第1の入力端子と、前記内部信号を受けるための第2の入力端子と、前記第1のNANDゲートの前記第2の入力端子に結合された出力端子とを含む第2のNANDゲートと、を備える、[22]に記載のフリップフロップ回路。

30

[24] 前記第2のラッチは、前記クロック信号及び前記出力信号を受けるための入力端子を含み、出力端子を含む第2のORゲートと、前記内部信号を受けるための第1の入力端子と、前記第2のORゲートの前記出力端子に結合された第2の入力端子と、前記出力信号の相補を供給するための出力端子とを含む第3のNANDゲートと、を備える、[23]に記載のフリップフロップ回路。

40

【図 1】

図 1

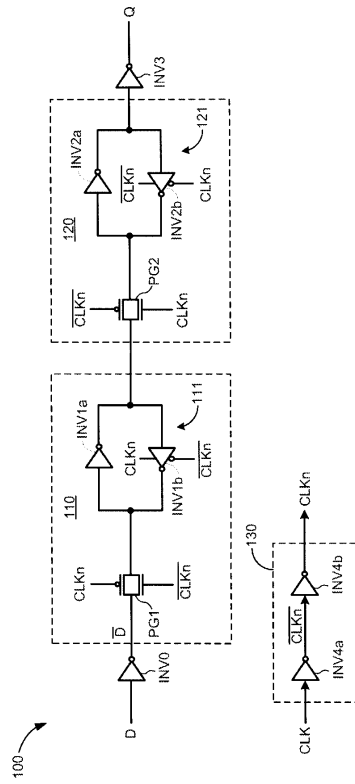


FIG. 1

【図 2 A】

図 2A

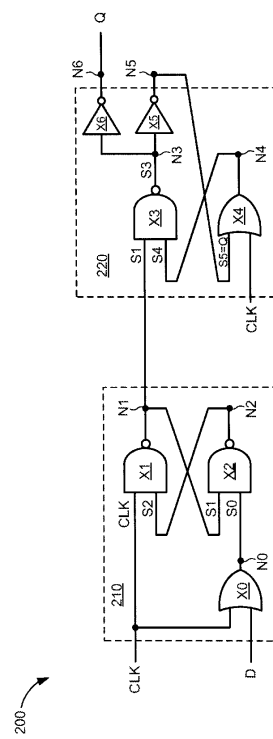


FIG. 2A

【図 2 B】

図 2B

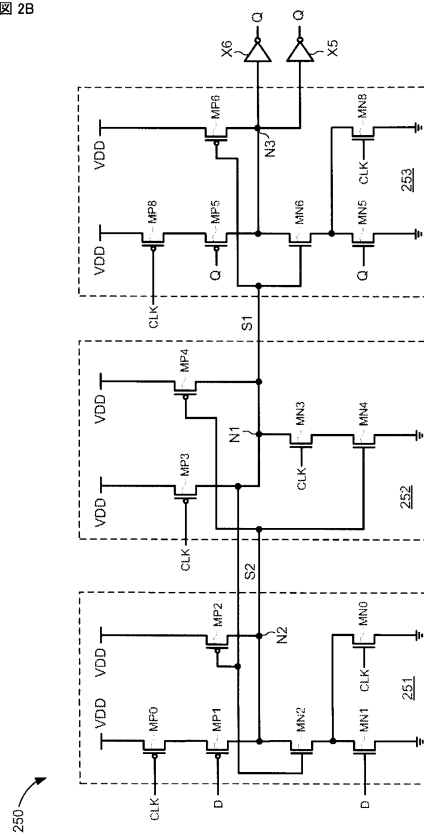


FIG. 2B

【図 3 A】

図 3A

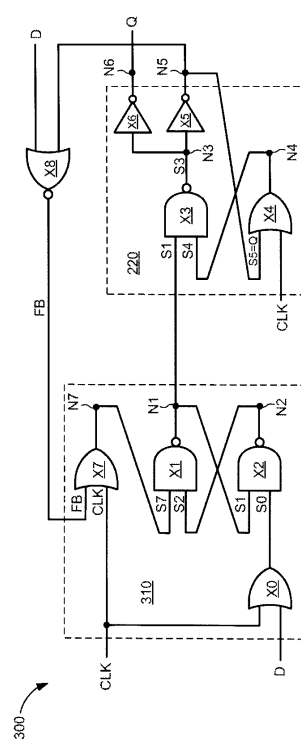


FIG. 3A

【図 3 B】

図 3B

350

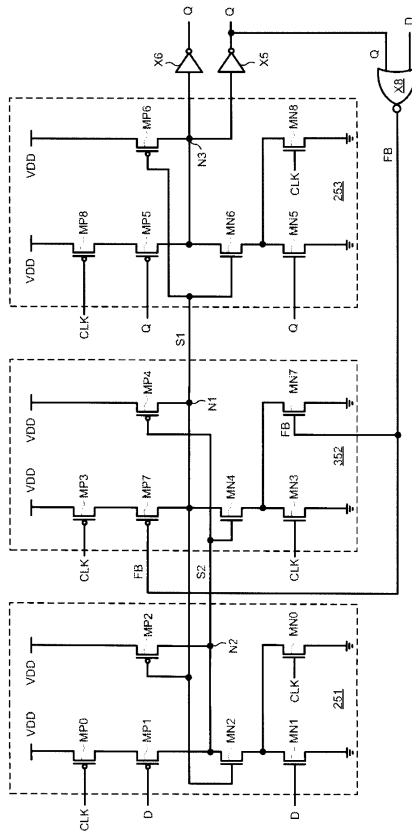


FIG. 3B

【図 3 C】

図 3C

360

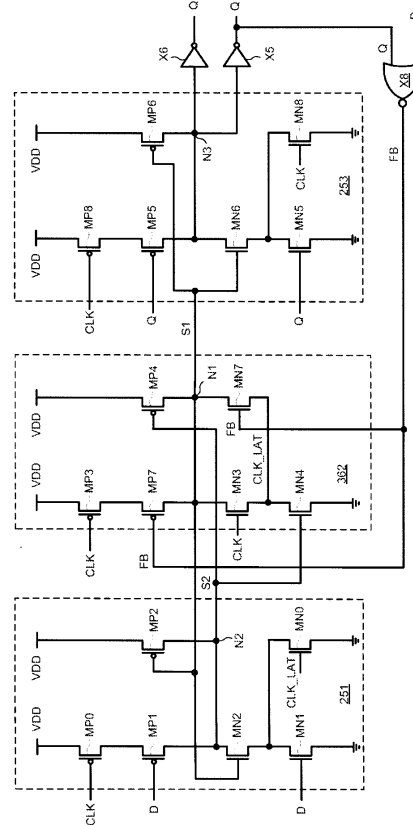


FIG. 3C

【図 3 D】

図 3D

370

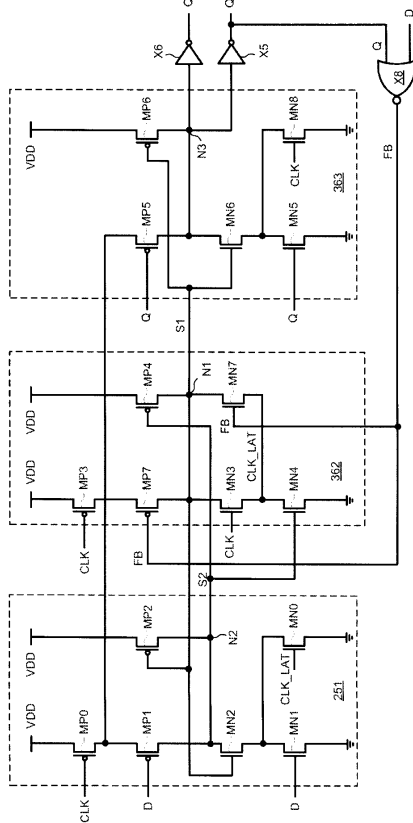


FIG. 3D

フロントページの続き

- (72)発明者 ヤンフェイ・カイ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5
- (72)発明者 キアン・ダイ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5
- (72)発明者 シュアンク・ファン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

審査官 緒方 寿彦

- (56)参考文献 特開 2 0 1 1 - 1 7 1 9 1 6 (J P , A)
特開 2 0 1 2 - 1 5 6 8 2 1 (J P , A)
特開平 1 1 - 3 4 0 9 5 7 (J P , A)
特開 2 0 0 1 - 3 0 8 6 8 6 (J P , A)
米国特許出願公開第 2 0 0 4 / 0 0 2 7 1 8 4 (U S , A 1)

- (58)調査した分野(Int.Cl. , D B 名)
H 0 3 K 3 / 0 3 7