(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 2 月 13 日(13.02.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/024796 A1

(51) 国際特許分類:
*H01L 21/60* (2006.01) *H01L 25/07* (2006.01)
*H01L 25/065* (2006.01) *H01L 25/18* (2006.01)

(21) 国際出願番号: PCT/JP2013/071005

(22) 国際出願日: 2013 年 8 月 2 日(02.08.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-176417 2012 年 8 月 8 日(08.08.2012) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者: 森 勝則(MORI, Katsunori). 福井 靖樹(FUKUI, Yasuki). 龍見 和亮(TATSUMI, Kazuaki). 三原 敬之(MIHARA, Takayuki).

(74) 代理人: 特許業務法人原謙三国際特許事務所(HARAKENZO WORLD PATENT & TRADEMARK); 〒5300041 大阪府大阪市北区天神橋２丁目北２番６号 大和南森町ビル Osaka (JP).

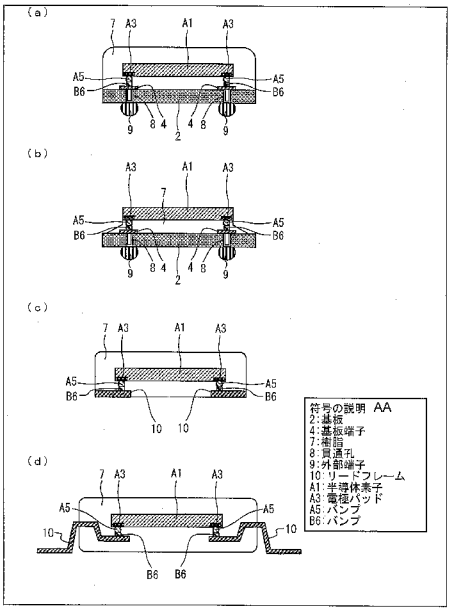
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) **Title**: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称 : 半導体装置およびその製造方法




AA Description of reference numerals
2 Substrate
4 Substrate terminal
7 Resin
8 Through hole
9 External terminal
10 Lead frame
A1 Semiconductor element
A3 Electrode pad
A5, B6 Bump

(57) **Abstract**: Provided is a semiconductor device mount structure obtained by connecting a first protrusion electrode [a bump (A5)] formed on a first electronic component [a substrate (2) or a semiconductor element (A1)] and a second protrusion electrode [a bump (B6)]formed on a second electronic component [a semiconductor element (B11)]. The first protrusion electrode and the second protrusion electrode are made of different metal materials. The first protrusion electrode is harder than the second protrusion electrode, has a head in an acute shape, and is fixed in the second protrusion electrode.

(57) 要約: 第１の電子部品〔基板（２）又は半導体素子（Ａ１）〕に形成された第１の突起電極〔バンプ（Ａ５）〕と、第２の電子部品〔半導体素子（Ｂ１１）〕に形成された第２の突起電極〔バンプ（Ｂ６）〕とを接続させることにより構成される半導体装置の実装構造であって、第１の突起電極と第２の突起電極は、異なる金属材料からなり、第１の突起電極は、第２の突起電極より硬く、尖頭形状を有し、第２の突起電極に埋め込まれている。

WO 2014/024796 A1

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

# 明　細　書

## 発明の名称 ： 半導体装置およびその製造方法

## 技術分野

[0001] 本発明は、フリップチップ技術を用いた半導体装置およびその製造方法に関する。

## 背景技術

[0002] 近年、電子機器の小型化に伴い、半導体装置においても信号伝達、演算処理の高速化や多機能化が進み、信号端子および信号線の増加や記憶装置の容量増加により一層の高密度集積化や高密度実装化が要求されている。

[0003] これに対し、従来、半導体素子のスタック方式やフリップチップ方式による実装方法が用いられてきた。特にフリップチップ方式においては最も高密度且つ、最短での結線が可能な手法である。

[0004] このフリップチップ方式は、半導体素子の電極パッド又は実装基板の基板端子の上に、それぞれバンプ又はポストを形成し、互いに向かい合わせて対面実装し、電気的に接合する。フリップチップ方式の接合方法については、バンプ又はポスト間に半田や異方性導電シートを用いた接合方式や、バンプ又はポストに同種の金属を用い、超音波熱圧着による接合方式のもの等が知られている。従来の方式を用いた接合についての例として、特許文献１～３が挙げられる。

## 先行技術文献

## 特許文献

[0005] 特許文献1：米国特許第6229220号明細書（2001年5月8日発行）

特許文献2：日本国公開特許公報「特開2001-60602号」（2001年3月06日公開）

特許文献3：日本国公開特許公報「特開2003-45911号」（2003年2月14日公開）

## 発明の概要

## 発明が解決しようとする課題

[0006] しかしながら、上述のような電気接合において、バンプ又はポスト間に半田や異方性導電シートを用いた方式や、バンプ又はポストに同種の金属を用い、超音波熱圧着による方式には課題が残る。

[0007] 具体的にはバンプおよびポスト間の接合で半田を用いて接合する場合は、バンプおよびポスト上への半田の塗布、フラックスの塗布、リフロー、フラックスの除去等、多くの工程や材料を必要とし、時間とコストがかかる。また、狭ピッチによる半田ブリッジによる隣接端子とのショートや、ユーザーでの組み立ての際に加わるリフローなどの熱により、半田接合部の再溶融によって電気的に導通が取れなくなることも考えられる。

[0008] また、異方性導電シートを用いて接合する場合は、熱応力の影響を受けると、接続の信頼性が落ちる事が考えられる。

[0009] また、同種の金属同士で接合する場合は、熱と荷重のみではそれぞれの金属の界面で新生面が露出し難く、接合し難い。同種の金属同士で接合する場合の対策として、超音波を用いる事で新生面を容易に露出させる事が可能となり、同種の金属同士であっても接合し易くなる。しかし、超音波の振幅による形状変化や剥離等のダメージが考えられる。

[0010] 本発明は、上記の問題を解決するためになされたもので、その目的は、信頼性の高い電気接合を可能とする半導体装置およびその製造方法を提供することにある。

## 課題を解決するための手段

[0011] 本発明に係る半導体装置は、上記の課題を解決するために、

第１の突起電極を有する第１の電子部品と、

上記第１の突起電極と接続された第２の突起電極を有する第２の電子部品とを備え、

上記第１の突起電極と上記第２の突起電極とは、互いに異なる金属材料からなり、

上記第１の突起電極は、上記第２の突起電極より硬く、

上記第１の突起電極の上記第２の突起電極側の先端部分が上記第２の突起電極に埋め込まれていることを特徴とする。

## 発明の効果

[0012] 本発明によれば、信頼性の高い電気接合を可能とするフリップチップ接合ができるという効果を奏する。

## 図面の簡単な説明

[0013] [図1]（ａ）～（ｄ）は、本発明の半導体装置の実装構造を示す断面図である。

[図2A]本発明の接続端子間の接合の実施例を示す断面図である。

[図2B]本発明の接続端子間の接合の実施例を示す断面図である。

[図2C]本発明の接続端子間の接合の実施例を示す断面図である。

[図2D]本発明の接続端子間の接合の実施例を示す断面図である。

[図2E]本発明の接続端子間の接合の実施例を示す断面図である。

[図2F]本発明の接続端子間の接合の実施例を示す断面図である。

[図2G]本発明の接続端子間の接合の実施例を示す断面図である。

[図3]（ａ）～（ｃ）は、本発明の半導体装置の実装構造の変形例を示す断面図である。

[図4A]従来の接続端子間の接合の実施例を示す断面図である。

[図4B]従来の接続端子間の接合の実施例を示す断面図である。

[図4C]従来の接続端子間の接合の実施例を示す断面図である。

[図4D]従来の接続端子間の接合の実施例を示す断面図である。

[図5]ワイヤーボンディング装置を使ったバンプの形成方法の１例を示す図である。

[図6]メッキ工法を使ったバンプの形成方法の１例を示す図である。

[図7]本発明の半導体装置の製造工程を示すフローチャートである。

## 発明を実施するための形態

[0014] 以下、本発明の半導体装置の実施の形態について、説明する。

[0015] ［半導体装置の実装構造の実施の形態１］

図１の（ａ）に基づき、本発明の一実施形態である半導体装置の実装構造について説明する。

[0016] 図１の（ａ）は、本発明による半導体装置の実装構造を示す断面図である。

[0017] 図１の（ａ）は、２つの構成要素（半導体素子Ａ１と基板２）を有し、各構成要素の表面には少なくとも１つ以上の接続端子（電極パッドＡ３と基板端子４）をそれぞれ有している。各構成要素は、各々が有する接続端子（電極パッドＡ３と基板端子４）を複数個使用して、半導体素子Ａ１と基板２とを電気的に接合している。上記電気的接合は、互いに異なる金属からなる、バンプＡ５とバンプＢ６とで接合され、基板２の表面側を被覆するように樹脂７が形成されている。基板端子４と貫通孔８とを介して上記電気的接合に電気的に接続された外部端子９が基板２の裏面側に形成されている。

[0018] 図１の（ａ）の特徴は、上記電気的接合が、異なる硬さの金属で形成される、電極パッドＡ３のバンプＡ５と基板端子４のバンプＢ６とが直接接合されることである。

[0019] 上記電気的接合の接合部に異なる硬さの金属を用いると、接合の際に荷重を加える事で柔らかい金属バンプに硬い金属バンプが食い込む様に圧着される。その接合断面における界面は平坦ではなく、それぞれ凸と凹の形状となる。その凸凹の関係により、互いの金属バンプの界面で滑りによる摩擦が生じ、新生面が露出し易くなり、直接接合される。よって、超音波を利用することなく新生面を露出することが可能となり、超音波による接合の問題点を避ける事ができる。具体的には、超音波の振幅によるバンプの形状変化や剥離等のダメージを避ける事が可能となる。

[0020] また、半田での接合も不要となるため、半田による接合の問題点も避ける事ができる。具体的には、半田を用いて接合する際に要する、半田の塗布、フラックスの塗布、リフロー、フラックスの除去等、多くの工程や材料や時間のコストを抑える事ができる。また、狭ピッチによる半田ブリッジによる隣接端子とのショートや、ユーザーでの組み立ての際に加わるリフローなど

の熱により、半田接合部の再溶融によって電気的に導通が取れなくなる不具合も避けることができる。

[0021] ［半導体装置の実装構造の実施の形態２］

図１の（ｂ）に基づき、本発明の実施形態である半導体装置の別の実装構造について説明する。

[0022] 図１の（ｂ）は、本発明による半導体装置の実装構造を示す断面図である。

[0023] 図１の（ｂ）は、２つの構成要素（半導体素子Ａ１と基板２）を有し、各構成要素の表面には少なくとも１つ以上の接続端子（電極パッドＡ３と基板端子４）を有している。各構成要素は、各々が有する接続端子（電極パッドＡ３と基板端子４）を複数個使用して、半導体素子Ａ１と基板２とを電気的に接合している。上記電気的接合は、異なる硬さの金属からなる、バンプＡ５とバンプＢ６とで接合され、半導体素子Ａ１と基板２との間に充填するように樹脂７が形成されている。基板端子４と貫通孔８を介して上記電気的接合に電気的に接続された外部端子９が基板２の裏面側に形成された半導体装置である。

[0024] 図１の（ｂ）と図１の（ａ）との違いは、樹脂の被覆を半導体と基板との間のみに行う事である。半導体素子等を保護するための樹脂を接合部のみにすることで、樹脂の使用量が削減され、半導体装置の製造コスト削減につながる。

[0025] ［半導体装置の実装構造の実施の形態３］

図１の（ｃ）に基づき、本発明の実施形態である半導体装置の別の実装構造について説明する。

[0026] 図１の（ｃ）は、本発明による半導体装置の実装構造を示す断面図である。

[0027] 図１の（ｃ）は、２つの構成要素（半導体素子Ａ１とリードフレーム１０）を有し、各構成要素の表面には少なくとも１つ以上の接続端子（電極パッドＡ３とリードフレーム（リード）１０）を有している。各構成要素は、各

々が有する接続端子（電極パッドＡ３とリードフレーム（リード）１０）を複数個使用して、半導体素子Ａ１とリードフレーム１０とを電気的に接合している。上記電気的接合は、異なる硬さの金属からなる、バンプＡ５とバンプＢ６とで接合され、リードフレーム１０の表面側を被覆するように樹脂７が形成された半導体装置である。

[0028] 図１の（ｃ）と図１の（ａ）との違いは、構成要素の違いである。上記実施形態１の基板２の代わりにリードフレーム１０を用いることにより、リードフレーム１０自体が外部端子の役割を果たす。このため、図１の（ａ）において基板２に外部端子９を接続する際に必要であった基板２に開ける貫通孔８および外部端子９が不要になる。このため、半導体装置の製造工程数が減り、半導体装置の製造コストの削減につながる。

[0029] ［半導体装置の実装構造の実施の形態４］

図１の（ｄ）に基づき、本発明の実施形態である半導体装置の別の実装構造について説明する。

[0030] 図１の（ｄ）は、本発明による半導体装置の実装構造を示す断面図である。

[0031] 図１の（ｄ）と図１の（ｃ）との違いは、リードフレームの形態が異なる点である。リードフレームの形状にはこだわらない為、必要な箇所にリードフレームの配置ができる。

[0032] さらに、本発明のそれぞれの接続端子間の接合の実施例について、以下に説明する。

[0033] ［接続端子間の接合の実施例１］

図２Ａに基づき、本発明の実施形態に係る接続端子間の接合について説明する。

[0034] 図２Ａは、本発明による接続端子間の接合の断面図である。

[0035] 図２Ａは、半導体素子Ａ１と、半導体素子Ｂ１１（又は基板２）との接合例である。半導体素子Ａ１の電極パッドＡ３上に硬い金属のバンプＡ５をワイヤーボンディング装置およびバンプボンディング装置にて研削後のウェハ

ーへバンプ形成する。半導体素子Ｂ１１（又は基板２）の電極パッドＢ１２（又は基板端子４）上に柔らかい金属のバンプＢ６をメッキ工法および蒸着工法にて形成する。其々を向かい合わせてフリップチップ接合する。結果、図２Ａの（ｃ）の断面の様にバンプＡ５が凸、バンプＢ６が凹の形態になる。

[0036] ここでバンプの形成について、ワイヤーボンディング装置を使った形成方法とメッキ工法での形成方法について、例を挙げ説明を行う。

[0037] まず、ワイヤーボンディング装置を使ったバンプの形成方法の１例を図５に基づいて説明する。ワイヤーボンディング装置を使ったバンプの形成方法を行うには、ワイヤーボンディング装置に設けられているキャピラリー３４（ワイヤー３１が挿通されている）を用いる。先ず図５の（Ａ）に示されるように、キャピラリー３４の先端から突出しているワイヤー３１にスパーク放電等を用いてボール部３３を形成する。次に、図５の（Ｂ）に示されるように、形成されたボール部３３を電極パッド３２ａにキャピラリー３４を用いて押圧し、超音波溶接法等により電極パッド３２ａと接合する。そして、図５の（Ｃ）に示されるように、その接合されたボールの付け根付近でワイヤーを切断することによってバンプ３５を形成する。

[0038] 続いて、メッキ工法を使ったバンプの形成方法の１例を図６に基づいて説明する。

[0039] 図６の（Ａ）に示すように，メッキでバンプを形成するためにウェハー上にレジスト開口部４１を形成する。レジスト開口部４１は，チップ内の回路につながるパッド４５と呼ばれる配線端末部上でレジスト４２を開口することにより形成される。レジスト４２の下部にはバリアメタル層４３（バンプ金属の拡散を防止するための金属膜で、導電性をもたせてある）が形成されており、上記バリアメタル層４３の下には保護膜４４が形成されている。ウェハーの端部から上記バリアメタル層４３を通して通電することにより電気分解による電気メッキを行う[図６の（Ｂ）]。レジスト開口部４１だけがメッキ液に触れているため、レジスト開口部４１に倣ってバンプ４６が形成さ

れる。バンプ４６がメッキによって形成された後は、ウェハーは次のプロセス装置に移され、レジストはく離及びバリアメタルエッチング（バンプ以外の不要な箇所のバリアメタル層をエッチングで除去）が行われる[図６の（Ｃ）]。この後にウェハーをリフロー炉で加熱することによりバンプ４６からバンプ４６ａを作る[図６の（Ｄ）]。

[0040] ワイヤーボンディング装置を使ったバンプの形成でスタッドバンプの形成ができ、メッキ工法使ったバンプの形成でメッキバンプの形成ができる。

[0041] ここで、半導体装置において、上記に挙げた課題以外に、製造コストの削減についても同様に要求される。製造方法のコストアップとして下記の要因が考えられる。

[0042] 第一に、バンプ形成ラインとフリップチップ接合を行う製造ラインとが異なり、それらライン間の輸送が必要な場合において、形成したバンプと電極パッドおよび基板端子の接合部に対しての輸送ダメージによるコストアップである。第二に、バンプ形成がアウトソーシングによる場合において、ウェハー内すべての半導体素子にバンプが形成される為、不良の半導体素子に形成されたバンプのコストが良品の半導体素子に対して上乗せされる場合のコストアップである。第三に、バンプの形成位置について、個別ではなく、ウェハーに対して形成した場合、何らかの製造上の異常により位置ズレを生じた際、ウェハー内全てに位置ズレが発生した場合のコストアップである。第四に、バンプ形成がアウトソーシングによる場合において、バンプの未形成および脱落が起こった場合、これらの検出のための検査導入の際のコストアップである。

[0043] 上記のような製造段階でのコストアップを抑えるためにも、半導体装置製造においてのバンプの形成方法についての選択が重要となる。

[0044] 図２Ａの様に、一方のバンプをワイヤーボンディング装置およびバンプボンディング装置にて、ウェハー形態で形成することで、電極パッドおよび基板端子等に対して個別にバンプ形成位置を調整できる。よって、高い位置精度のバンプ形成をする事が可能であり、バンプの未形成、および不着につい

ても検出する事が可能となる。また、ウェハーから個片に分割された半導体チップ上でバンプを形成する場合でも上記と同じ効果が得られる。さらに、研削後のウェハーへバンプ形成すると下記の点でメリットとなる。１つは、導体素子の位置が一定である為、位置検出が短く位置補正が容易である。１つは、半導体装置の搬送が個別ではない為、バンプ形成時間が短い。１つは、さらに、研削後では、バンプ形成条件が制約を受けてしまうものの、接合が可能であれば、以降、バンプに対してダメージを与えない。

[0045] それに対して、バンプを未研削ウェハーにおいてバンプ形成する場合は、研削した薄いウェハーを保持するシートが不要な為、高温でバンプ形成が可能となる。しかし、バンプ形成後に研削する際、バンプ形成面の保護シート張付時の気泡内在や、シート除去時のバンプ脱落等の課題がある。

[0046] また、ワイヤーボンディング装置およびバンプボンディング装置で形成することによって、バンプに尖頭形状の先端部分をもったバンプを形成する事ができる。バンプの先端部分が尖頭形状を持つことにより、他方の突起電極に埋め込みやすく、より確実に接合する事ができる。

[0047] 以上により、少なくとも１つのバンプをワイヤーボンディング装置およびバンプボンディング装置で研削後のウェハーへバンプを形成することによって、信頼性の高い電気接合を可能とするフリップチップ接合を行うことができる。

[0048] また、接合部に異なる硬さの金属を用いることで、直接接合する事が可能となり、[半導体装置の実装構造の実施の形態１]の効果が得られる。

[0049] [接続端子間の接合の実施例２]

図２Ｂに基づき、本発明の実施形態に係る接続端子間の接合について説明する。

[0050] 図２Ｂは、本発明による接続端子間の接合の断面図である。

[0051] 図２Ｂは、半導体素子Ａ１と半導体素子Ｂ１１（又は基板２）との接合例である。半導体素子Ａ１の電極パッドＡ３上に硬い金属のバンプＡ５をワイヤーボンディング装置およびバンプボンディング装置にて形成する。半導体

素子Ｂ１１（又は基板２）の電極パッドＢ１２（又は基板端子４）上に柔らかい金属のバンプＢ６をワイヤーボンディング装置およびバンプボンディング装置にて形成し、其々を向かい合わせてフリップチップ接合する。結果、図２Ｂの（ｃ）の断面の様にバンプＡ５が凸、バンプＢ６が凹の形態になる。

[0052] 図２Ａとの違いは、バンプの形成をすべてワイヤーボンディング装置およびバンプボンディング装置にて行う点である。メッキ工法および蒸着工法におけるバンプ形成では、下記の問題点（コストアップ）が挙げられる。

[0053] 第一に、バンプを形成する製造ラインとフリップチップ接合を行う製造ラインとが異なる場合において、バンプと電極パッドおよび基板端子の接合部に対しての輸送ダメージによるコストアップである。第二に、バンプ形成がアウトソーシングによる場合において、ウェハー内すべての半導体素子にバンプが形成される為、不良の半導体素子に形成されたバンプのコストが良品の半導体素子に対して上乗せされる場合のコストアップである。第三に、バンプの形成位置について、個別ではなく、ウェハーに対して形成した場合、何らかの製造上の異常により位置ズレを生じた際、ウェハー内全てに位置ズレが派生した場合のコストアップである。第四に、バンプの未形成および脱落が起こった場合、これらの検出のための検査導入の際のコストアップである。

[0054] 以上のメッキ工法および蒸着工法におけるバンプ形成による、問題点（コストアップ）を上記バンプの形成をすべてワイヤーボンディング装置およびバンプボンディング装置にて行うことで避ける事ができる。

[0055] ［接続端子間の接合の実施例３］

図２Ｃに基づき、本発明の実施形態に係る接続端子間の接合について説明する。

[0056] 図２Ｃは、本発明による接続端子間の接合の断面図である。

[0057] 図２Ｃは、半導体素子Ａ１と半導体素子Ｂ１１（又は基板２）との接合例である。

[0058] 図２Ｂとの違いは、図２Ｂの柔らかいバンプＢ６にレベリングを実施し、バンプＡ５に対向する平面部を形成している点である。上記構成によって、硬い金属バンプの先端を柔らかい金属バンプに押し付ける際に、柔らかい金属バンプにおいて、より広く平坦な面を有する事により、フリップチップ接合時の位置ズレが生じた場合でも断面形状が凸凹の関係が出来易く、安定した接合状態が確保できる。

[0059] ［接続端子間の接合の実施例４］

図２Ｄに基づき、本発明の実施形態に係る接続端子間の接合について説明する。

[0060] 図２Ｄは、本発明による接続端子間の接合の断面図である。

[0061] 図２Ｄは、半導体素子Ａ１と半導体素子Ｂ１１（又は基板２）との接合例である。半導体素子Ａ１の電極パッドＡ３上に硬い金属のバンプＡ５をワイヤーボンディング装置およびバンプボンディング装置にて形成する。半導体素子Ｂ１１（又は基板２）の電極パッドＢ１２（又は基板端子４）上にも硬い金属のバンプＡ５をワイヤーボンディング装置およびバンプボンディング装置にて形成する。電極パッドＢ１２（又は基板端子４）上のバンプＡ５上に柔らかい金属のバンプＢ６を形成する。其々を向かい合わせてフリップチップ接合する。結果、図２Ｄの（ｃ）の断面の様にバンプＡ５が凸、バンプＢ６が凹の形態になる。

[0062] 図２Ａとの違いは、半導体素子Ａ１の電極パッドＡ３と、その対向に位置する半導体素子Ｂ１１の電極パッドＢ１２（又は基板２の基板端子４）との両方に硬い金属のバンプＡ５をワイヤーボンディング装置およびバンプボンディング装置にて形成する。そして、対向する電極パッドＢ１２（又は基板２の基板端子４）上のバンプＡ５上に柔らかい金属のバンプＢ６を形成し、フリップチップ接合を行う点である。各構成要素間を、３つのバンプを用いて接合する事で、各構成要素間の固定材または封止材の未充填等の問題がある場合、各要素間のクリアランスを確保し、充填性の向上やクリアランスの調整等を計る事が可能となる。

[0063] ［接続端子間の接合の実施例５］

図２Ｅに基づき、本発明の実施形態に係る接続端子間の接合について説明する。

[0064] 図２Ｅは、本発明による接続端子間の接合の断面図である。

[0065] 図２Ｅは、半導体素子Ａ１と半導体素子Ｂ１１（又は基板２）との接合例である。図２Ｄとの違いは、図２Ｄの柔らかいバンプＢ６にレベリングを実施し、半導体素子Ａ１の電極パッドＡ３上のバンプＡ５に対向する、平面部を形成している点である。上記構成によって、硬い金属バンプの先端を柔らかい金属バンプに押し付ける際に、柔らかい金属バンプにおいて、より広く平坦な面を有する事により、フリップチップ接合時の位置ズレが生じた場合でも断面形状が凸凹の関係が出来易く、安定した接合状態が確保できる。

[0066] ［接続端子間の接合の実施例６］

図２Ｆに基づき、本発明の実施形態に係る接続端子間の接合について説明する。

[0067] 図２Ｆは、本発明による接続端子間の接合の断面図である。

[0068] 図２Ｆは、半導体素子Ａ１と半導体素子Ｂ１１（又は基板２）との接合例である。半導体素子Ａ１の電極パッドＡ３上に硬い金属のバンプＡ５をワイヤーボンディング装置およびバンプボンディング装置にて形成する。半導体素子Ｂ１１（又は基板２）の電極パッドＢ１２（又は基板端子４）が柔らかい金属のバンプＢ６に相当する役割を果たす厚みを持つ。其々を向かい合わせてフリップチップ接合する。結果、図２Ｆの（ｃ）の断面の様にバンプＡ５が凸、電極パッドＢ１２（又は基板端子４）が凹の形態になる。

[0069] 図２Ａとの違いは、対向に位置する半導体素子の電極パッド、もしくは基板２の基板端子４が柔らかい金属のバンプＢ６に相当する役割を果たす厚みをもち、バンプと電極パッドもしくは基板２の基板端子４とが直接接合する点である。上記構成によって、柔らかいバンプＢ６の形成工程を省くことが可能となる為、工程の短縮が可能となる。

[0070] ［接続端子間の接合の実施例７］

図２Ｇに基づき、本発明の実施形態に係る接続端子間の接合について説明する。

[0071] 図２Ｇは、本発明による接続端子間の接合の断面図である。

[0072] 図２Ｇは、半導体素子Ａ１とリードフレーム１０との接合例である。半導体素子Ａ１の電極パッドＡ３上に硬い金属のバンプＡ５をワイヤーボンディング装置およびバンプボンディング装置にて形成する。リードフレーム１０上にメッキ工法および蒸着工法によって柔らかい金属バンプＢ６を形成する。其々を向かい合わせてフリップチップ接合する。結果、図２Ｇの（ｃ）の断面の様にバンプＡ５が凸、バンプＢ６が凹の形態になる。図２Ａとの違いは構成要素が半導体素子Ａ１とリードフレーム１０である点である。上記構成により、リードフレーム自体が外部端子の役割を果たす為、基板に外部端子をつける際に必要で合った基板に開ける貫通孔、外部端子が不要になり、工程数の削減になる。

[0073] なお、硬い金属のバンプＡ５と柔らかい金属のバンプＢ６および上下の構成については、上記実施例に限らない。

[0074] また、バンプの金属構成としては、金、銀、銅のいずれかを用いた構成が望ましく、これらの金属は互いに圧着接合性の相性が良い金属として周知の事実であり、一般的な材料として入手し易く、使用実績の豊富な材料である。さらに、これらの金属を用いた望ましい構成としては、１つを銅で形成する事である。これは、材料コストが安くこれらの中では最も硬い特性である為である。もう１つは半導体装置の接合において、一般的に使用実績が多く、これらの中で最も柔らかい特性である金を使用する事が望ましい。また、金よりも低コストまたは、銅を使用するにあたって必要とされる酸化防止等の環境が整っていない等の場合は、金より硬く、銅より柔らかい銀を選択する事で、硬さの異なるバンプ構成の接合が可能となる。

[0075] また、ワイヤーボンディング装置およびバンプボンディング装置を用いて銅バンプを形成する際には、例えばパラジウム等で金属被覆した銅ワイヤーを使用し、不活性ガスを用いた環境でバンプ形成を行う。上記方法により、

バンプ表面の酸化が防止され、工程管理および材料管理が容易となり、接合においても信頼性が高くなる。更にプラズマ処理等を行い、バンプ表面の洗浄化且つ活性化を行う事で接合信頼性の向上が図れる。

[0076] また、下記に半導体装置の実装構造の実施形態の変形について説明する。

[0077] [半導体装置の実装構造の実施の形態の変形１]

図３の（ａ）に基づき、本発明の半導体装置の実装構造の実施形態の変形について説明する。

[0078] 図３の（ａ）は、本発明による半導体装置の実装構造の変形を示す断面図である。

[0079] 図３の（ａ）は、３つの構成要素（半導体素子Ａ１と半導体素子Ｂ１１と基板２）を有し、各構成要素の表面には少なくとも１つ以上の接続端子（電極パッドＡ３と電極パッドＢ１２と基板端子４）を有している。各々が有する接続端子（電極パッドＡ３と電極パッドＢ１２）を複数個使用して、半導体素子Ａ１と半導体素子Ｂ１１を電気的に接合する。上記電気的接合は、異なる硬さの金属からなる、バンプＡ５とバンプＢ６とで接合される。さらに、基板２と半導体素子Ｂ１１とを電気的に接合する。この電気的接合はワイヤー配線１３で接合される。さらに、基板２の表面側を被覆するように樹脂７が形成され、ワイヤー配線１３、基板端子４および貫通孔８を介して半導体素子Ｂ１１と電気的に接続された外部端子９が基板２の裏面側に形成された半導体装置である。

[0080] 図１の（ａ）と異なる点は、構成要素が３つであることである。ワイヤー配線１３の接合を利用し、半導体素子Ａ１と半導体素子Ｂ１１と基板２との３つの構成要素を電気的に接合する事で、より複雑な回路にも対応でき、回路面積の削減できる。

[0081] [半導体装置の実装構造の実施の形態の変形２]

図３の（ｂ）に基づき、本発明の半導体装置の実装構造の実施形態の変形について説明する。

[0082] 図３の（ｂ）は、本発明による半導体装置の実装構造の変形を示す断面図

である。

[0083] 図３の（ｂ）は、３つの構成要素（半導体素子Ａ１と半導体素子Ｂ１１とリードフレーム１０）を有し、各構成要素の表面には少なくとも１つ以上の接続端子（電極パッドＡ３と電極パッドＢ１２とリードフレーム１０）を有している。各々が有する接続端子（電極パッドＡ３と電極パッドＢ１２）を複数個使用して、半導体素子Ａ１と補強板１４に固定された半導体素子Ｂ１１とを電気的に接合する。上記電気的接合は、異なる硬さの金属からなる、バンプＡ５とバンプＢ６とで接合される。さらに、補強板１４に固定された半導体素子Ｂ１１とリードフレーム１０とを電気的に接合する。この電気的接合は、ワイヤー配線１３で接合される。さらに、リードフレーム１０の表面側を被覆するように樹脂７が形成された半導体装置である。

[0084] 図３の（ｂ）と図３の（ａ）との違いは構成要素の違いである。図３の（ａ）の基板２の代わりにリードフレーム１０を用いる。補強板１４が必要となるが、リードフレーム１０自体が外部端子の役割を果たす為、基板に外部端子をつける際に必要であった基板に開ける貫通孔、外部端子が不要になり、工程数が減り、コスト削減に繋がる。

[0085] ［半導体装置の実装構造の実施の形態の変形３］

図３の（ｃ）に基づき、本発明の半導体装置の実装構造の実施形態の変形について説明する。

[0086] 図３の（ｃ）は、本発明による半導体装置の実装構造の変形を示す断面図である。

[0087] 図３の（ｃ）と図３の（ｂ）との違いは、上記実施形態の変形２のリードフレームの形態が異なる点である。リードフレームの形状にはこだわらない為、必要な箇所にリードフレームの配置ができる。

[0088] ［製造方法］

次に、図７に基づき、半導体装置の製造方法について説明する。図７はその工程を示すフローチャートである。

[0089] 図７に示すように、半導体装置を製造する際、まず、第１の電子部材に第

１の突起電極を形成する（工程Ｓ１）。このとき、ワイヤーボンディング装置およびバンプボンディング装置を用いて第１の突起電極を形成する。

[0090] 次に、第２の電子部材に第２の突起電極を形成する（工程Ｓ２）。このとき、ワイヤーボンディング装置およびバンプボンディング装置、または、メッキ工法および蒸着工法を用いてに第２の突起電極を形成する。

[0091] 次に、第１の突起電極を第２の突起電極に埋め込む（接合させる）（工程Ｓ３）。このとき、荷重を加え圧着させる。さらに熱を加える事で、熱圧着による金属接合が可能となる。

[0092] また、第１の電子部品は基板、もしくは基板上に搭載した半導体素子を指し、第２の電子部品は半導体素子を示す。また、第１の突起電極に銅、第２の突起電極に金を使用することが望ましい。

[0093] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0094] また、参考として従来技術の接続端子間の接合の実施形態について、以下に説明する。

[0095] [従来技術の接続端子間の接合の実施例１]

図４Ａに基づき、従来技術の接続端子間の接合について説明する。

[0096] 図４Ａは、従来技術による接続端子間の接合の断面図である。

[0097] 図４Ａは、半導体素子Ａ１と半導体素子Ｂ１１（又は基板２）との接合例である。半導体素子Ａ１の電極パッドＡ３上にポスト１５を形成し、ポスト１５の先端には半田１６を塗布する。半導体素子Ｂ１１（又は基板２）の電極パッドＢ１２（又は基板端子４）上に金属層又はバンプＢ６をメッキ工法および蒸着工法にて形成し、表面にフラックス１７を塗布する。其々を向かい合わせてフリップチップ実装しリフローによって半田１６を溶融してポスト１５と金属層又はバンプＢ６を半田溶融接合する。結果、図４Ａの（ｃ）の断面の様にポスト１５と金属層又はバンプＢ６とが半田１６を挟む様な形

態になる。

[0098] ［従来技術の接続端子間の接合の実施例２］

図４Ｂに基づき、従来技術の接続端子間の接合について説明する。

[0099] 図４Ｂは、従来技術による接続端子間の接合の断面図である。

[0100] 図４Ｂは、半導体素子Ａ１と半導体素子Ｂ１１（又は基板２）との接合例である。半導体素子Ａ１の電極パッドＡ３上および、半導体素子Ｂ１１（又は基板２）の電極パッドＢ１２（又は基板端子４）上にポスト１５を形成し、ポスト１５の先端には半田１６を塗布する。半導体素子Ｂ１１（又は基板２）の表面にフラックス１７を塗布し、其々を向かい合わせてフリップチップ実装しリフローによって半田１６を溶融してポスト１５同士を半田溶融接合する。結果、図４Ｂの（ｃ）の断面の様に其々のポスト１５間に半田１６を挟む様な形態になる。

[0101] ［従来技術の接続端子間の接合の実施例３］

図４Ｃに基づき、従来技術の接続端子間の接合について説明する。

[0102] 図４Ｃは、従来技術による接続端子間の接合の断面図である。

[0103] 図４Ｃは、半導体素子Ａ１と半導体素子Ｂ１１（又は基板２）との接合例である。半導体素子Ａ１の電極パッドＡ３上にバンプＡ５をワイヤーボンディング装置およびバンプボンディング装置にて形成し、半導体素子Ｂ１１（又は基板２）の電極パッドＢ１２（又は基板端子４）上に半田（半田バンプ）１６を形成する。半導体素子Ｂ１１（又は基板２）の表面にフラックス１７を塗布し、其々を向かい合わせてフリップチップ実装し、リフローによって半田（半田バンプ）１６を溶融してバンプＡ５と電極パッドＢ１２（又は基板端子４）とを半田溶融接合する。結果、図４Ｃの（ｃ）の断面の様にバンプＡ５が凸、半田（半田バンプ）１６が凹の形態になる。

[0104] 従来技術の接続端子間の接合の実施例１、２、３と本発明との異なる主な点は、接合に半田を利用する点である。接合に半田を利用すると、バンプおよびポスト上への半田の塗布、フラックスの塗布、リフロー、フラックスの除去等、多くの工程や材料を必要とし、時間とコストがかかる。また、狭ピ

ッチによる半田ブリッジによる隣接端子とのショートや、ユーザーでの組み立ての際に加わるリフローなどの熱により、半田接合部の再溶融によって電気的に導通が取れなくなることも考えられる。

[0105] ［従来技術の接続端子間の接合の実施例４］

図４Ｄに基づき、従来技術の接続端子間の接合について説明する。

[0106] 図４Ｄは、従来技術による接続端子間の接合の断面図である。

[0107] 図４Ｄは、半導体素子Ａ１と半導体素子Ｂ１１（又は基板２）との接合例である。半導体素子Ａ１の電極パッドＡ３上にバンプＡ５をワイヤーボンディング装置およびバンプボンディング装置にて形成する。半導体素子Ｂ１１（又は基板２）の電極パッドＢ１２（又は基板端子４）上に其々を向かい合わせてフリップチップ実装し、超音波熱圧着によってバンプＡ５と電極パッドＢ１２（又は基板端子４）とを金属接合する。結果、図４Ｄの（ｃ）の断面の様にバンプＡ５と電極パッドＢ１２（又は基板端子４）とが融合した形態になる。

[0108] 本発明と異なる主な点は、接合に超音波を利用している点である。接合に超音波を利用すると、超音波の振幅によるバンプの形状変化や剥離等のダメージが起こる心配がある。

[0109] 本発明に係る半導体装置は、上記の課題を解決するために、第１の突起電極を有する第１の電子部品と、上記第１の突起電極と接続された第２の突起電極を有する第２の電子部品とを備え、上記第１の突起電極と上記第２の突起電極とは、互いに異なる金属材料からなり、上記第１の突起電極は、上記第２の突起電極より硬く、上記第１の突起電極の上記第２の突起電極側の先端部分が上記第２の突起電極に埋め込まれていることを特徴とする。

[0110] 上記構成によれば、同種の金属ではなく異なる金属材料を使用することで、金属の硬さが異なり、第１の突起電極が第２の突起電極に埋め込まれ、第１の突起電極と第２の突起電極との接合断面における界面は凸凹の形状となる。この接合面の凸凹の関係により、互いの突起電極の界面で滑りによる摩擦が生じ、新生面が露出しやすくなる。よって、新生面を露出する為に用い

ていた超音波を利用しない接合が可能となり、超音波による接合の問題点を避ける事ができる。具体的には、超音波を用いて接合する際に考えられる、超音波の振幅によるバンプの形状変化や剥離等のダメージを避けることができる。

[0111] さらに、本発明に係る半導体装置において、上記第１の突起電極と上記第２の突起電極は、直接的に接合していることが好ましい。

[0112] 上記構成によれば、第１の突起電極と第２の突起電極は、半田を介することなく直接接続されているので、半田による接合の問題点を避ける事ができる。具体的には、半田を用いて接合する際にかかる、半田の塗布、フラックスの塗布、リフロー、フラックスの除去等、多くの工程や材料や時間、コストを抑える事ができる。また、狭ピッチによる半田ブリッジによる隣接端子とのショートや、ユーザーでの組み立ての際に加わるリフローなどの熱により、半田接合部の再溶融によって電気的に導通が取れなくなる不具合も避けることができる。

[0113] さらに、本発明に係る半導体装置において、上記第１の突起電極の上記先端部分は、尖頭形状を有することが好ましい。

[0114] 上記構成によれば、第１の突起電極の先端部分は尖頭形状を有しているので、丸みを帯びた先端の形状に比べて第２の突起電極に埋め込みやすく、より確実に接合する事ができる。

[0115] さらに、本発明に係る半導体装置において、上記第１の突起電極は、スタッドバンプであることが好ましい。

[0116] 上記構成によれば、第１の突起電極は、スタッドバンプであるので、鋭利な形状のバンプが形成でき、第２の突起電極に埋め込みやすく、より確実に接合する事ができる。さらに半導体素子個別で電極パッドへ直接バンプの形成でき、位置情報のみでバンプ形成位置の決定、修正が可能である。これにより、ウェハー内に設置されている半導体素子の中で、良品のみにバンプを形成する事ができ、不良品に形成した場合に発生するコストアップを防ぐことができる。また、フリップチップ接合を行う製造ラインと同じ製造ライン

での形成ができ、輸送ダメージを避ける事ができる。また、第１の突起電極が銅の場合、例えばパラジウム等で金属被覆した銅ワイヤーを使用し、不活性ガスを用いた環境でバンプ形成を行う事により、銅の酸化が抑えられ、工程管理および材料管理が容易となり、よりフレッシュな状態でフリップチップ接合が可能となり、接合の信頼性が高くなる。

[0117] さらに、本発明に係る半導体装置において、上記第２の突起電極は、スタッドバンプまたはメッキバンプであることが好ましい。

[0118] 上記構成によれば、第２の突起電極がメッキバンプであった場合、ウェハー単位で一括バンプ形成が可能となり、最短でバンプができ時間の削減となる。また、平坦な形状のバンプが容易に形成できるので、硬い金属バンプの先端を柔らかい金属バンプに押し付ける際に、柔らかい金属バンプにおいて、より広く平坦な面を有する事により、フリップチップ接合時の位置ズレが生じた場合でも断面形状が凸凹の関係が出来易く、安定した接合状態が確保できる。

[0119] さらに、本発明に係る半導体装置において、上記第１の突起電極の上記先端部分が上記第２の突起電極に埋め込まれた方向において、上記第２の突起電極の長さは、上記第１の突起電極の上記先端部分の長さよりも大きいことが好ましい。

[0120] 上記構成によれば、第１の突起電極と対向に位置する第２の突起電極とが直接接合することで、第１の突起電極と対向に位置するバンプの形成工程を省くことが可能となる為、工程の短縮が可能となり、コストダウンにつながる。

[0121] さらに、本発明に係る半導体装置において、上記第１の電子部品は、基板または基板上に搭載された半導体素子であり、上記第１の突起電極は、銅バンプであり、上記第２の電子部品は、半導体素子であり、上記第２の突起電極は、金バンプあることが好ましい。

[0122] 上記構成によれば、銅と金は互いに圧着接合性の相性が良い金属であり、一般的な材料として入手し易く、使用実績の豊富な材料であり接合の使用に

関して信頼性が高い。銅、金を用いた望ましい構成としては、上記の様に１つを銅の硬い金属バンプとして形成し、もう１つを金の柔らかいバンプとして形成する。これによって、半導体装置の接合において、信頼性が高く、かつ材料コストが安い金属バンプの形成が可能になる。また、接合で熱を加える際、樹脂で出来ている基板へ熱を加えるとガスや反応物が発生する可能性がある為、基板ではなく半導体素子へ熱を加える。熱を加えない基板側に銅バンプを形成することによって、銅の酸化が防ぐことができる。

[0123] さらに、本発明に係る半導体装置において、上記第１の突起電極は、自身を構成する金属材料とは異なる金属材料で部分的に被覆されていることが好ましい。

[0124] 上記構成によれば、第１の突起電極の銅バンプ形成を、異なる金属（酸化しにくい金属）（例：パラジウム等）で金属被覆した銅ワイヤーを使用し、不活性ガスを用いた環境でバンプ形成を行う事により、バンプ表面の酸化が防止され、工程管理および材料管理が容易となり、接合においても信頼性が高くなる。

[0125] さらに、本発明に係る半導体装置において、上記第２の突起電極は、２種類の金属材料を積み重ねた構造を有することが好ましい。

[0126] 上記構成によれば、各構成要素間の固定材または封止材の未充填等の問題がある場合、第１の電子部品と第２の電子部品とを、３つのバンプを用いて接合する事で、各要素間のクリアランスを確保し、充填性の向上やクリアランスの調整等を計る事が可能となる。

[0127] 本発明に係る半導体装置の製造方法は、上記半導体装置の製造方法であって、上記第１の電子部品に、ワイヤーを用いたボンディング装置によって上記第１の突起電極を銅で形成する工程と、上記第２の電子部品に、ワイヤーを用いたボンディング装置またはメッキ工法によって上記第２の突起電極を金で形成する工程と、上記第２の電子部品に熱を加えながら、上記第１の突起電極の上記先端部分を上記第２の突起電極に埋め込む工程とを含むことを特徴とする。

[0128] 上記製造方法によれば、第１の電子部品に形成された第１の突起電極と、第２の電子部品に形成された第２の突起電極を半田、超音波等を用いずに直接接合した半導体装置を製造できる。

[0129] さらに、本発明に係る半導体装置の製造方法において、上記第１の電子部品および上記第２の電子部品の少なくとも一方は、半導体素子であり、上記半導体素子への上記第１または第２の突起電極の形成は、ウェハーから個片に分割された半導体チップに対して行なわれることが好ましい。

[0130] 上記製造方法によれば、電極パッドおよび基板端子等に対して個別にバンプ形成位置を調整できる。よって、高い位置精度のバンプ形成する事ができる。さらに、ウェハー形態で形成する場合は、下記の問題が考えられる。研削前であれば研削時および研削後の表面保護シートを剥がす際にバンプへのダメージが加わる。研削後であれば、薄いウェハーを保持する為の保護シートがチップとステージ間に介在する為、バンプ形成において制約を受ける。また、研削前、研削後に共通して、構成要素が３つで形成される半導体装置の基板又は補強板に半導体素子を実装する際に制約を受ける。そこで、上記製造方法の様に、バンプの形成をウェハー形態で形成するのではなく、ウェハーから個片に分割された半導体チップに対し行うことによって、上記問題が回避できる。

[0131] さらに、本発明に係る半導体装置の製造方法において、上記第１の突起電極を形成する工程は、不活性ガスが充填された環境において行なわれることが好ましい。

[0132] 上記製造方法によれば、不活性ガスを用いた環境で形成を行う事により、バンプ表面の酸化が防止され、工程管理および材料管理が容易となり、接合においても信頼性が高い半導体装置を製造できる。

[0133] さらに、本発明に係る半導体装置の製造方法において、上記第１の突起電極の上記先端部分を上記第２の突起電極に埋め込む工程の前処理として、上記第１および第２の突起電極の表面を洗浄化することが好ましい。

[0134] 上記製造方法によれば、プラズマ処理等を用いて洗浄化を行うことで、第

１および第２の突起電極の表面が洗浄化且つ活性化され、接合の信頼性が高い半導体装置を製造できる。

## 産業上の利用可能性

[0135] 本発明は、フリップチップ技術を用いた半導体装置およびその製造方法に利用することができる。

## 符号の説明

[0136]

Ａ１ 半導体素子
２ 基板
Ａ３ 電極パッド
４ 基板端子
Ａ５ バンプ
Ｂ６ バンプ
７ 樹脂
８ 貫通孔
９ 外部端子
１０ リードフレーム
Ｂ１１ 半導体素子
Ｂ１２ 電極パッド
１３ ワイヤー配線
１４ 補強板
１５ ポスト
１６ 半田
１７ フラックス
３１ ワイヤー
３２ａ 電極パッド
３３ ボール部
３４ キャピラリー
３５ バンプ

４１　レジスト開口部

４２　レジスト（感光性高分子膜）

４３　バリアメタル層

４４　保護膜

４５　パッド

４６　バンプ（リフロー前）

４６ａ　バンプ（リフロー後）

# 請求の範囲

[請求項1] 第１の突起電極を有する第１の電子部品と、

上記第１の突起電極と接続された第２の突起電極を有する第２の電子部品と

を備え、

上記第１の突起電極と上記第２の突起電極とは、互いに異なる金属材料からなり、

上記第１の突起電極は、上記第２の突起電極より硬く、

上記第１の突起電極の上記第２の突起電極側の先端部分が上記第２の突起電極に埋め込まれていることを特徴とする半導体装置。

[請求項2] 上記第１の突起電極と上記第２の突起電極は、直接的に接合していることを特徴とする請求項１に記載の半導体装置。

[請求項3] 上記第１の突起電極の上記先端部分は、尖頭形状を有することを特徴とする請求項１または２に記載の半導体装置。

[請求項4] 上記第１の突起電極は、スタッドバンプであることを特徴とする請求項１から３のいずれか１項に記載の半導体装置。

[請求項5] 上記第２の突起電極は、スタッドバンプまたはメッキバンプであることを特徴とする請求項１から４のいずれか１項に記載の半導体装置。

[請求項6] 上記第１の突起電極の上記先端部分が上記第２の突起電極に埋め込まれた方向において、上記第２の突起電極の長さは、上記第１の突起電極の上記先端部分の長さよりも大きいことを特徴とする請求項１から５のいずれか１項に記載の半導体装置。

[請求項7] 上記第１の電子部品は、基板または基板上に搭載された半導体素子であり、

上記第１の突起電極は、銅バンプであり、

上記第２の電子部品は、半導体素子であり、

上記第２の突起電極は、金バンプあることを特徴とする請求項１か

ら６のいずれか１項に記載の半導体装置。

[請求項8] 上記第１の突起電極は、自身を構成する金属材料とは異なる金属材料で部分的に被覆されていることを特徴とする請求項７に記載の半導体装置。

[請求項9] 上記第２の突起電極は、２種類の金属材料を積み重ねた構造を有することを特徴とする請求項１から８のいずれか１項に記載の半導体装置。

[請求項10] 請求項１に記載の半導体装置の製造方法であって、

上記第１の電子部品に、ワイヤーを用いたボンディング装置によって上記第１の突起電極を銅で形成する工程と、

上記第２の電子部品に、ワイヤーを用いたボンディング装置またはメッキ工法によって上記第２の突起電極を金で形成する工程と、

上記第２の電子部品に熱を加えながら、上記第１の突起電極の上記先端部分を上記第２の突起電極に埋め込む工程とを含むことを特徴とする半導体装置の製造方法。

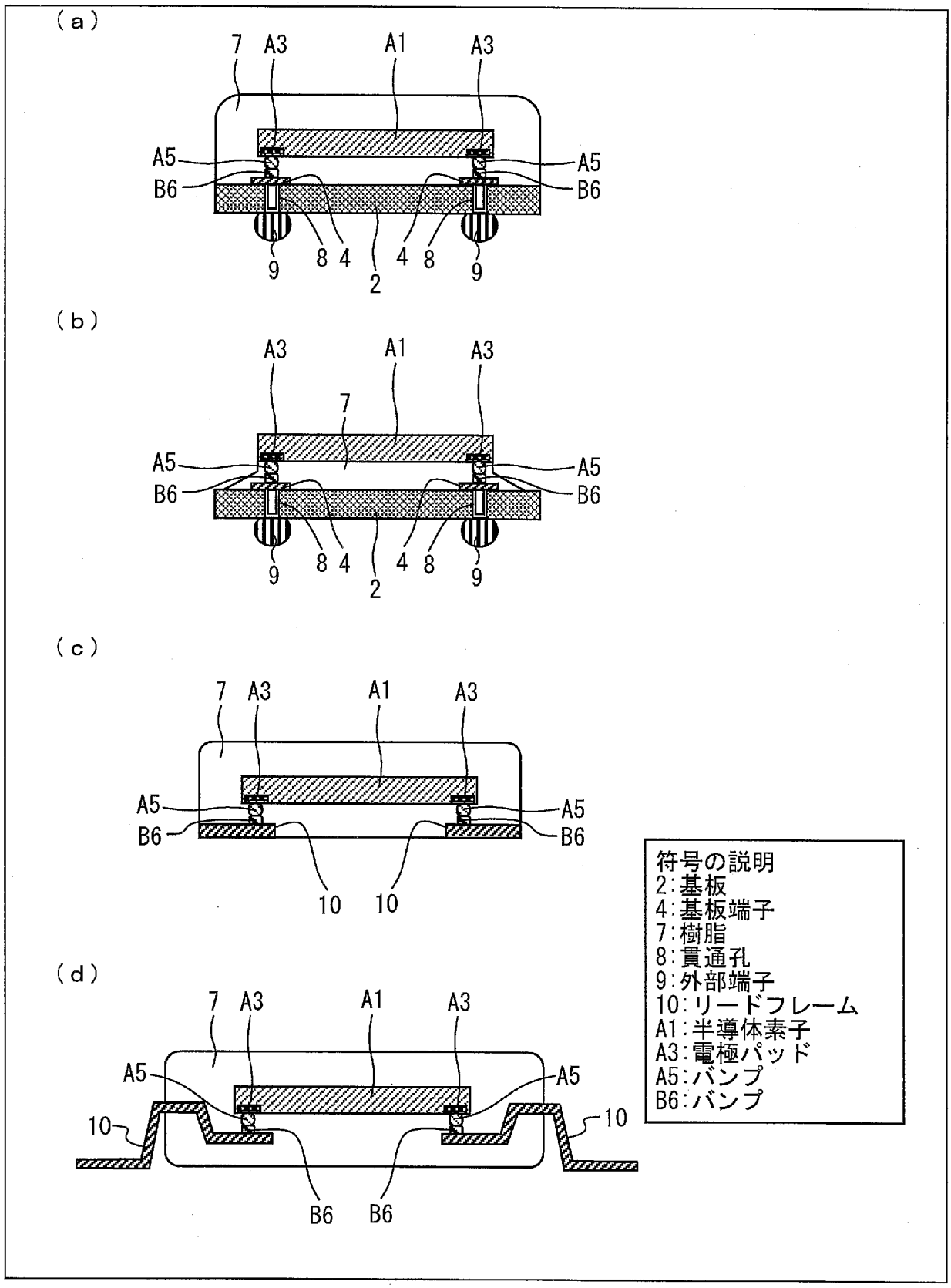
[請求項11] 上記第１の電子部品および上記第２の電子部品の少なくとも一方は、半導体素子であり、

上記半導体素子への上記第１または第２の突起電極の形成は、ウェハーから個片に分割された半導体チップに対して行なわれることを特徴とする請求項１０に記載の半導体装置の製造方法。

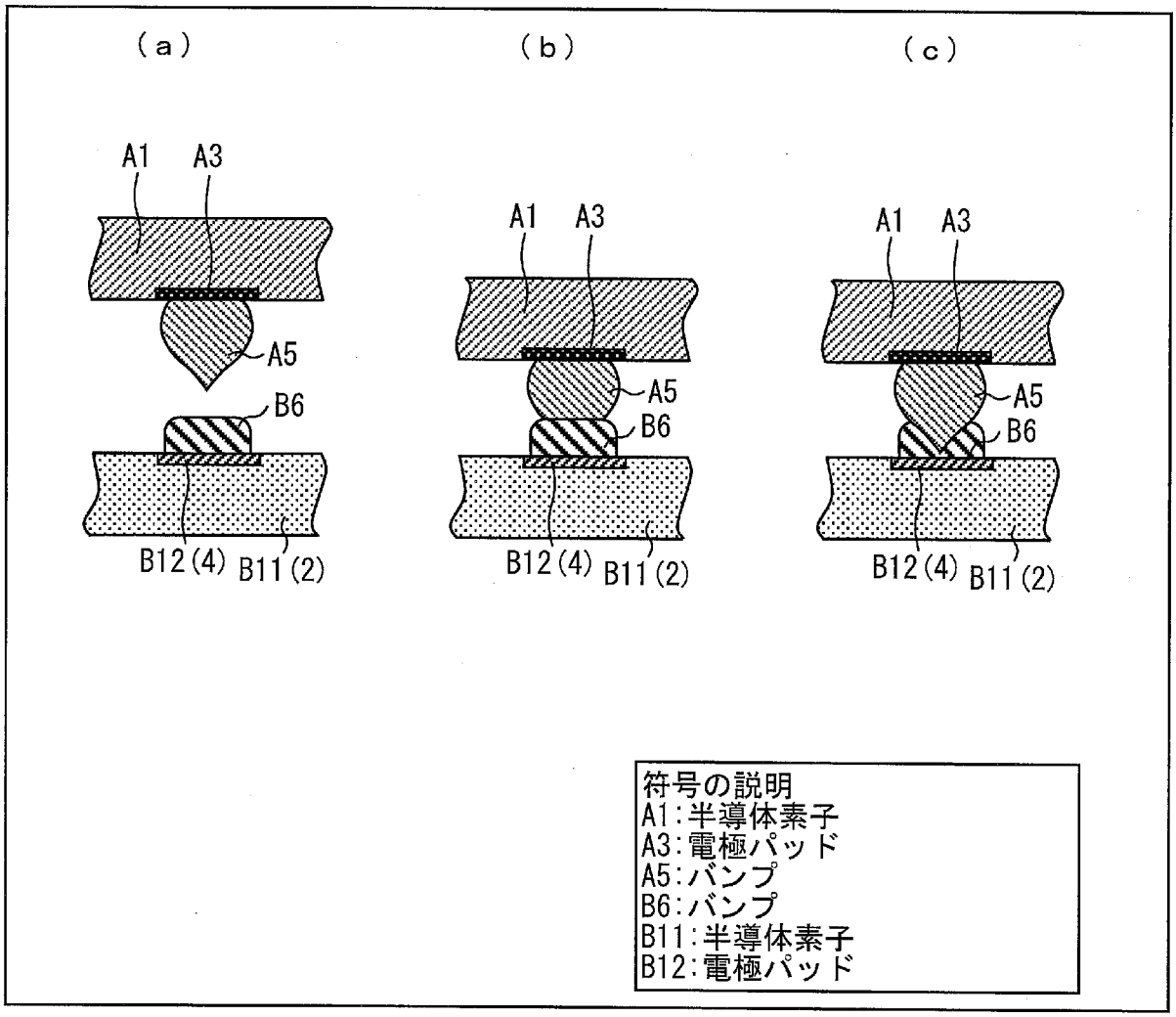
[請求項12] 上記第１の突起電極を形成する工程は、不活性ガスが充填された環境において行なわれることを特徴とする請求項１０または１１に記載の半導体装置の製造方法。

[請求項13] 上記第１の突起電極の上記先端部分を上記第２の突起電極に埋め込む工程の前処理として、上記第１および第２の突起電極の表面を洗浄化することを特徴とする請求項１０から１２のいずれか１項に記載の半導体装置の製造方法。

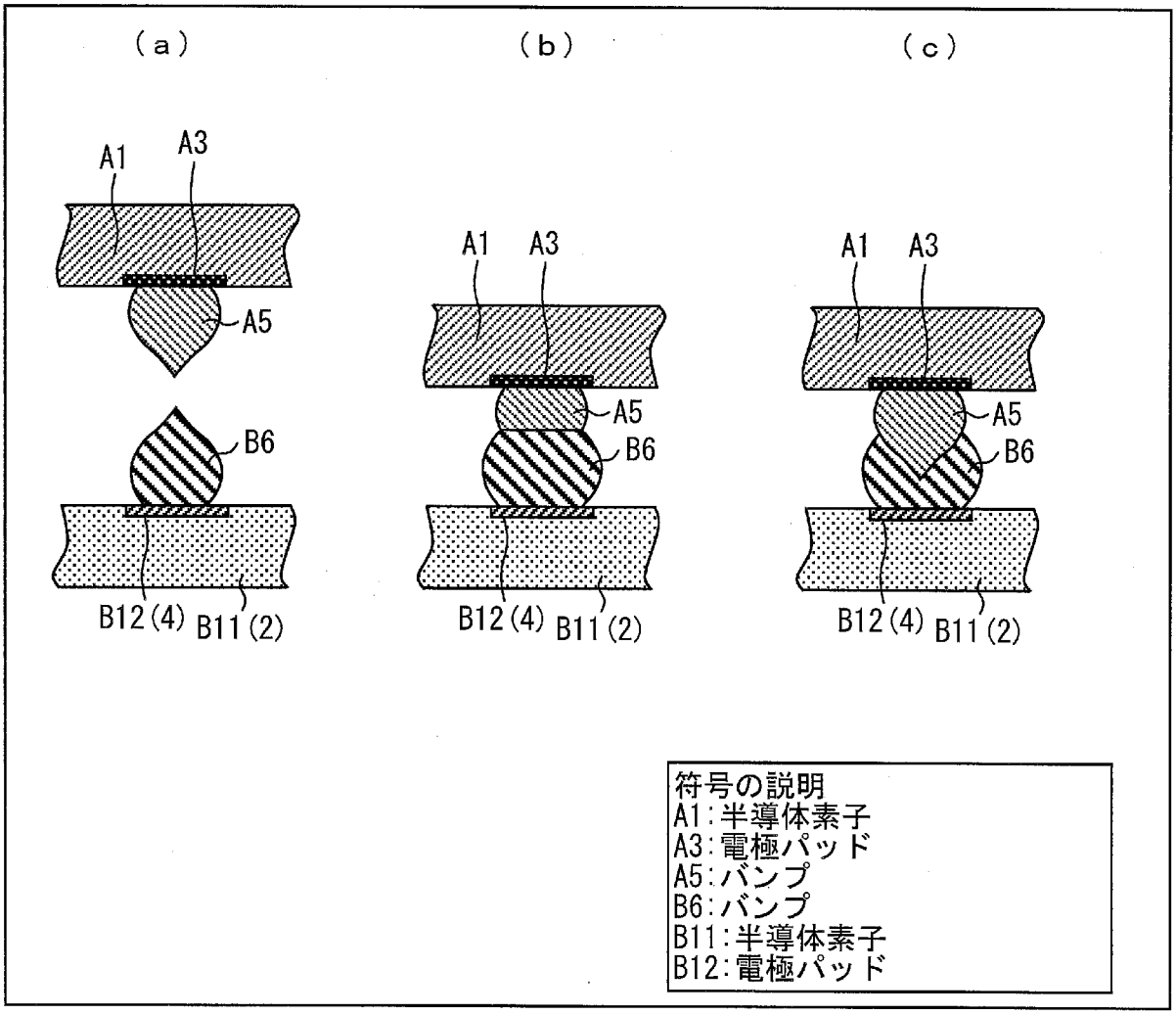
[図1]


(a)
7
A3
A1
A3
A5
A5
B6
B6
9
8
4
2
4
8
9
(b)
A3
A1
A3
7
A5
A5
B6
B6
9
8
4
2
4
8
9
(c)
7
A3
A1
A3
A5
A5
B6
B6
10
10
(d)
7
A3
A1
A3
A5
A5
10
10
B6
B6
符号の説明
2:基板
4:基板端子
7:樹脂
8:貫通孔
9:外部端子
10:リードフレーム
A1:半導体素子
A3:電極パッド
A5:バンプ
B6:バンプ

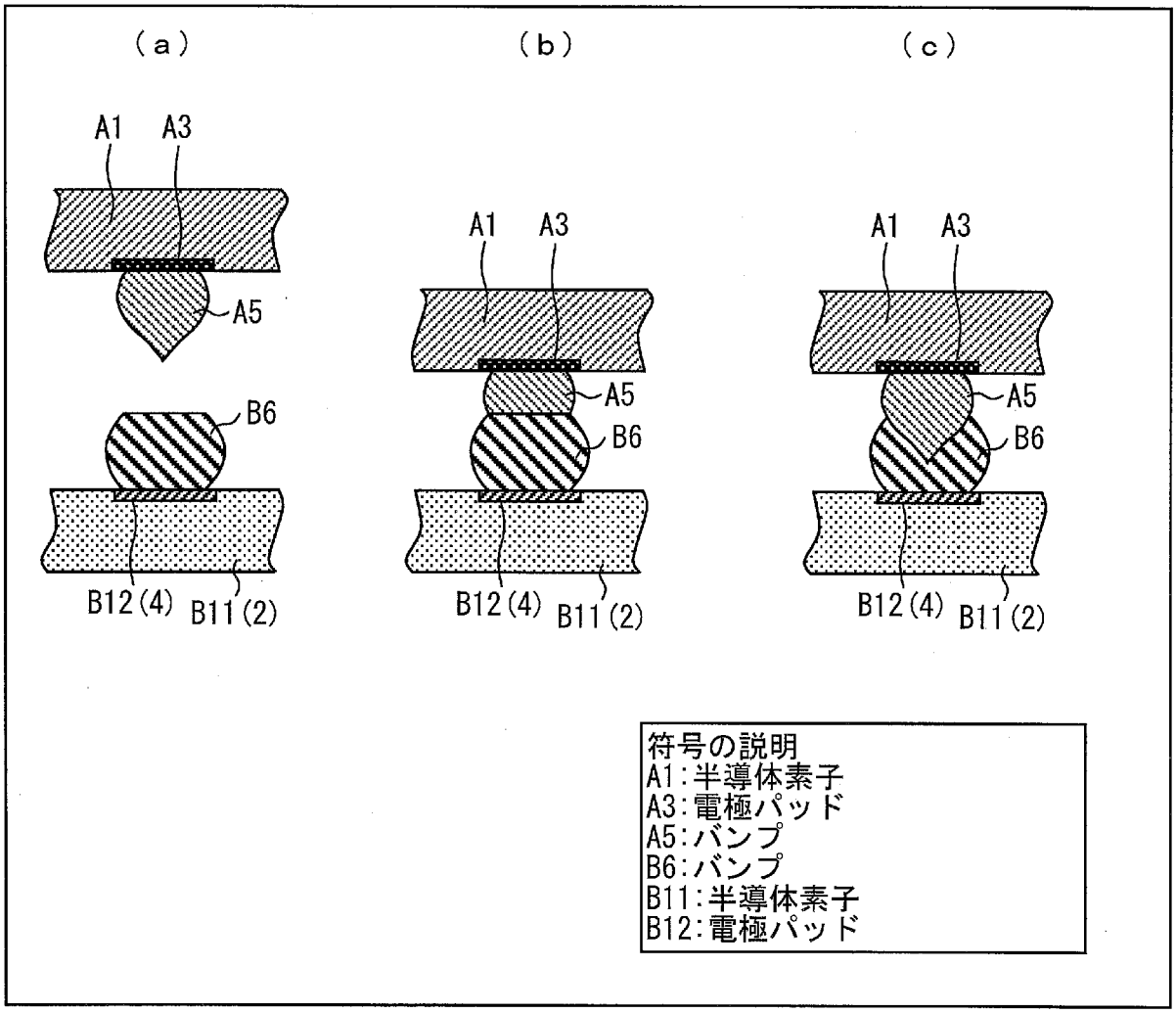
[図2A]


(a)
(b)
(c)
A1
A3
A5
B6
B12(4)
B11(2)
符号の説明
A1:半導体素子
A3:電極パッド
A5:バンプ
B6:バンプ
B11:半導体素子
B12:電極パッド

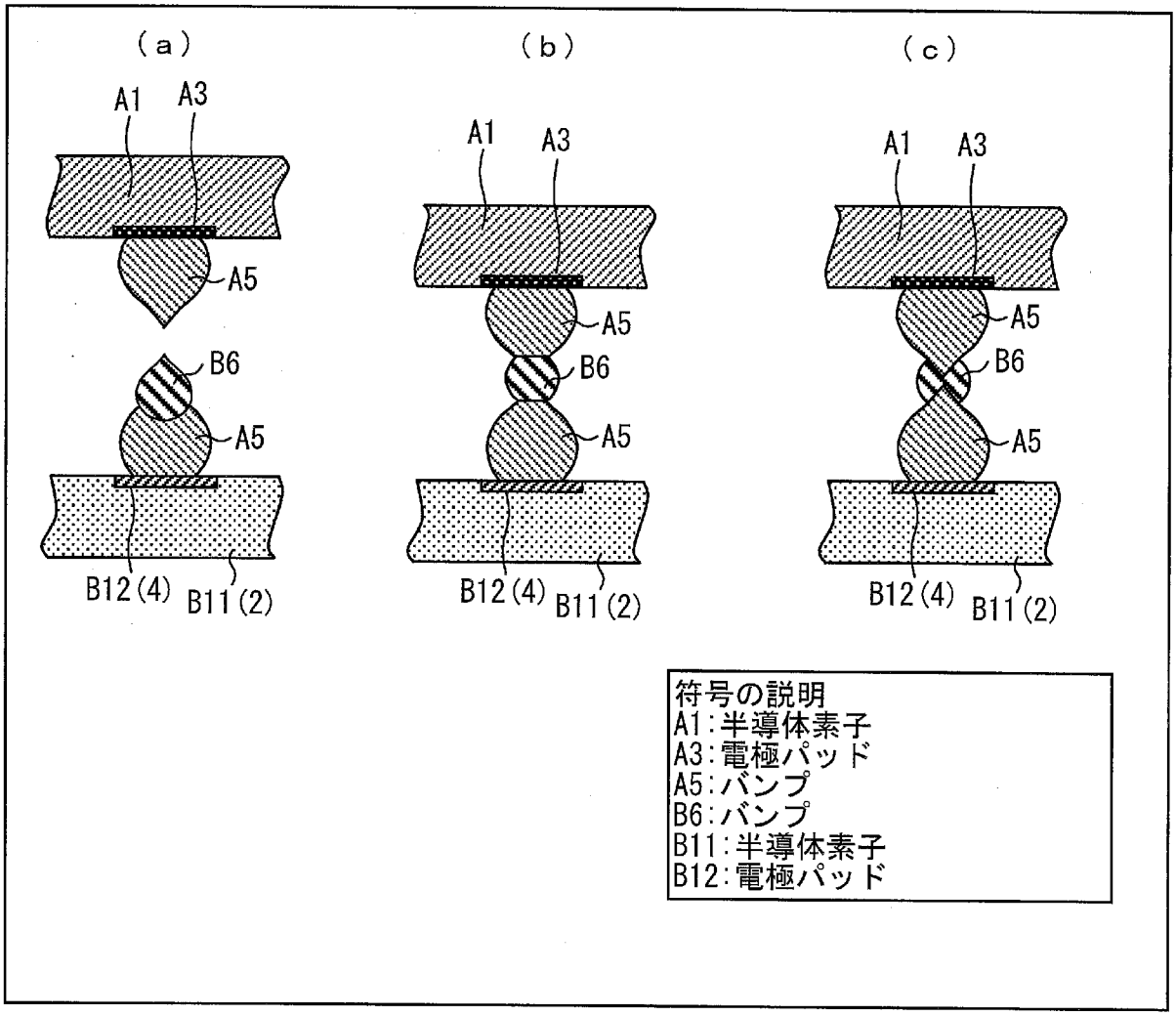
[図2B]


(a)
(b)
(c)
A1
A3
A5
B6
B12(4)
B11(2)
符号の説明
A1:半導体素子
A3:電極パッド
A5:バンプ
B6:バンプ
B11:半導体素子
B12:電極パッド

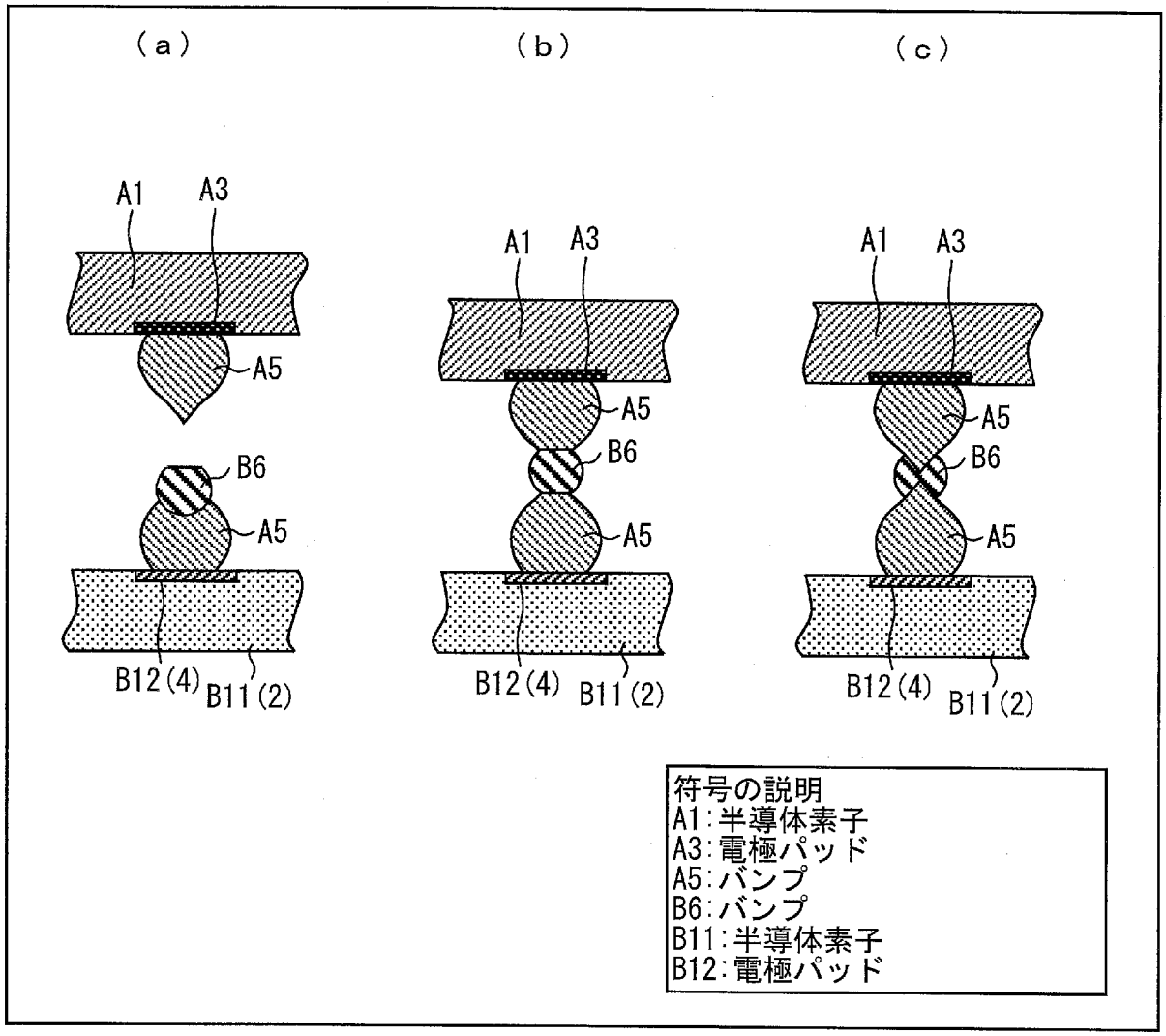
[図2C]


(a)
(b)
(c)
A1
A3
A5
B6
B12(4)
B11(2)
符号の説明
A1:半導体素子
A3:電極パッド
A5:バンプ
B6:バンプ
B11:半導体素子
B12:電極パッド

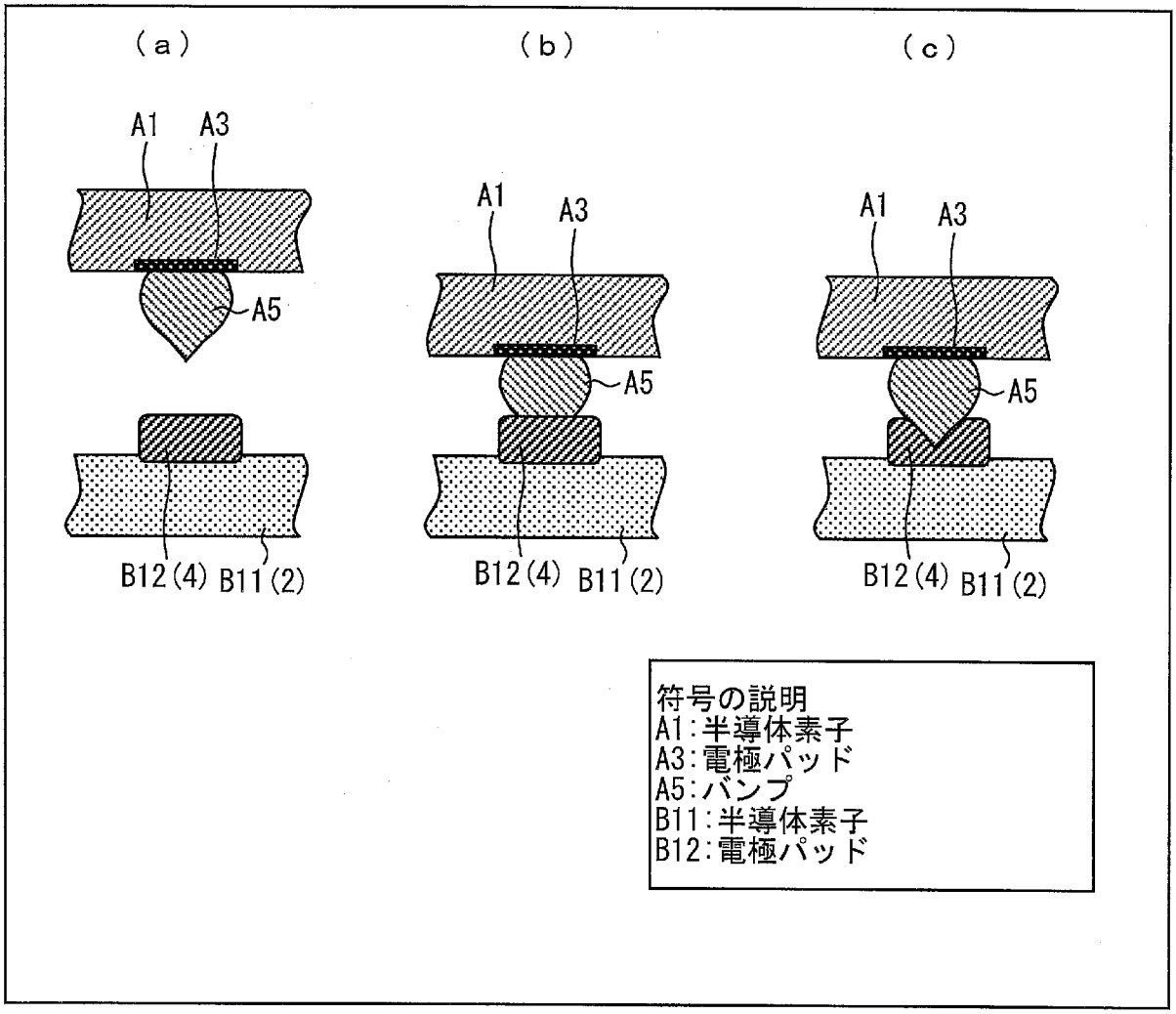
[図2D]


(a)
A1
A3
A5
B6
A5
B12(4)
B11(2)
(b)
A1
A3
A5
B6
A5
B12(4)
B11(2)
(c)
A1
A3
A5
B6
A5
B12(4)
B11(2)
符号の説明
A1:半導体素子
A3:電極パッド
A5:バンプ
B6:バンプ
B11:半導体素子
B12:電極パッド

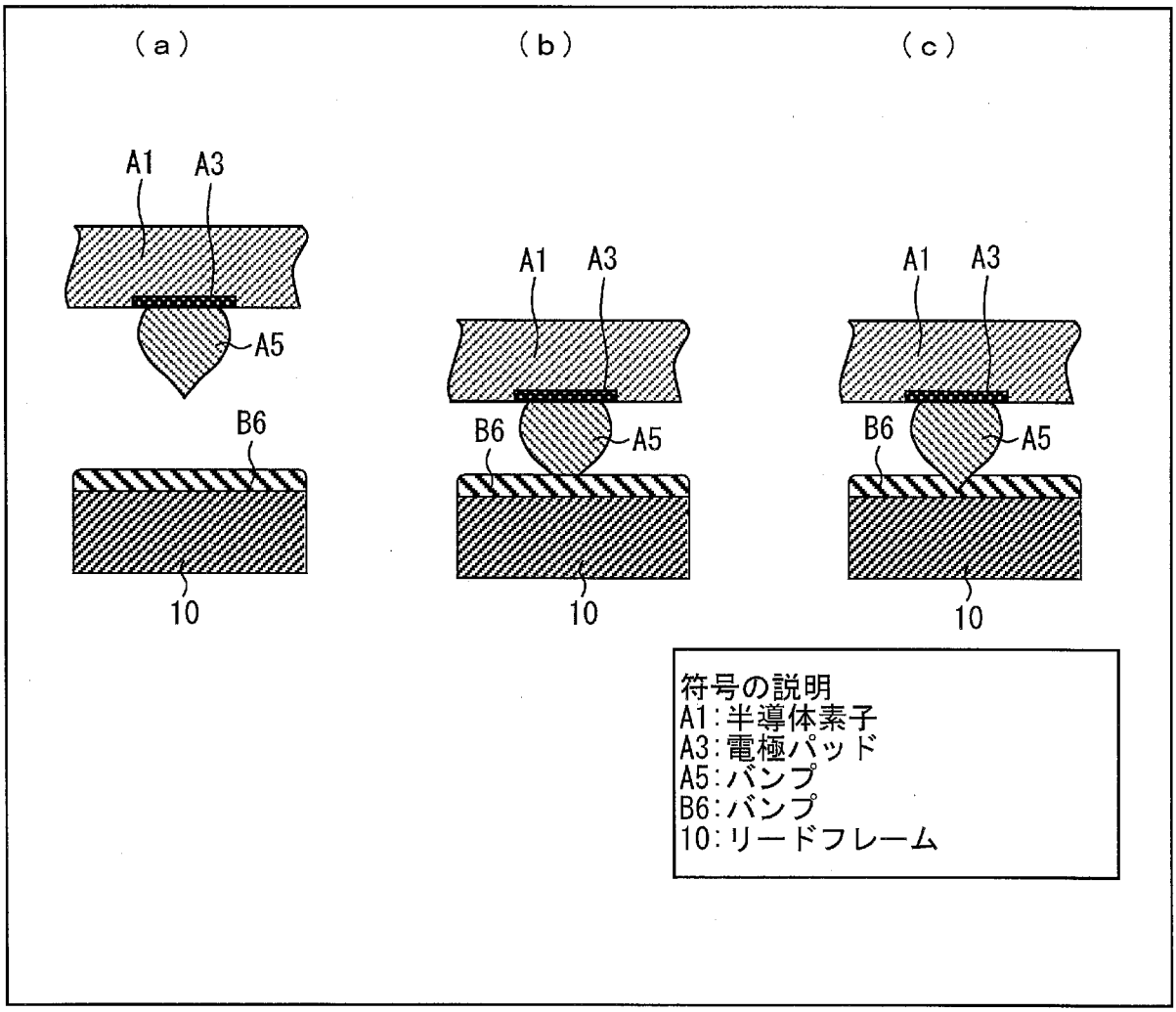
[図2E]


(a)
(b)
(c)
A1
A3
A5
B6
B12(4)
B11(2)
符号の説明
A1:半導体素子
A3:電極パッド
A5:バンプ
B6:バンプ
B11:半導体素子
B12:電極パッド

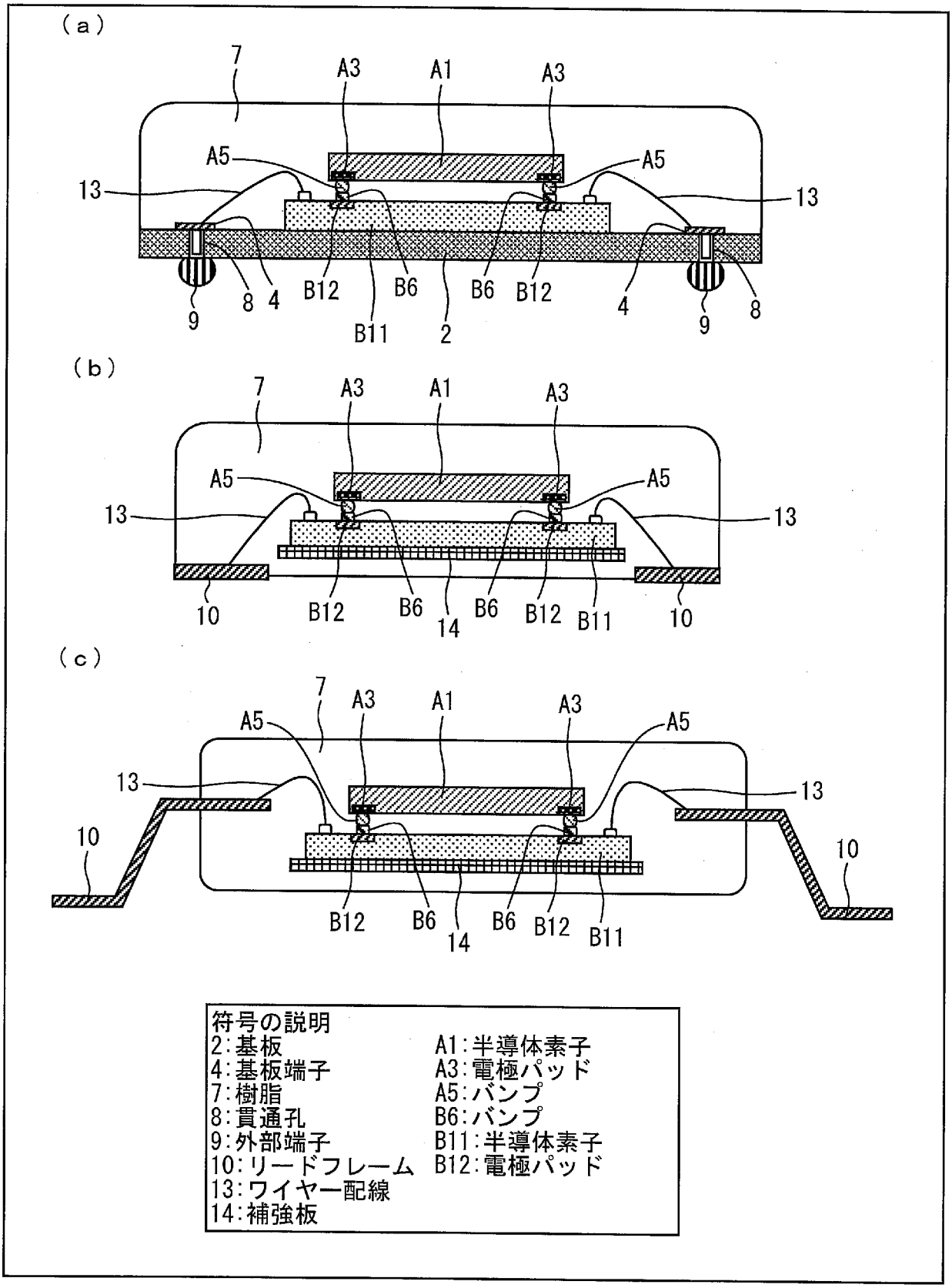
[図2F]


(a)
(b)
(c)
A1
A3
A5
B12(4)
B11(2)
符号の説明
A1:半導体素子
A3:電極パッド
A5:バンプ
B11:半導体素子
B12:電極パッド

[図2G]


（a）
（b）
（c）
A1
A3
A5
B6
10
符号の説明
A1：半導体素子
A3：電極パッド
A5：バンプ
B6：バンプ
10：リードフレーム

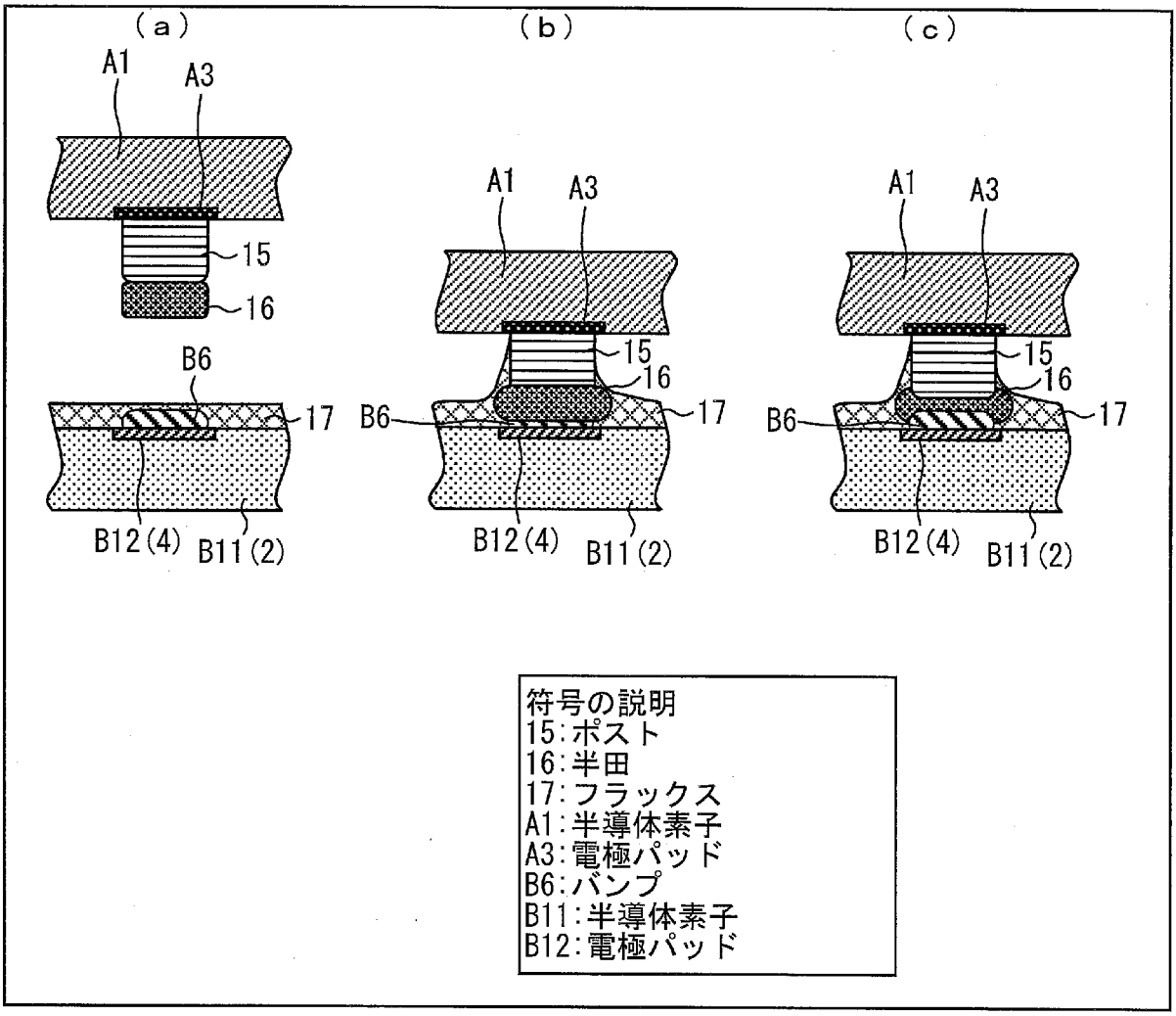
[図3]



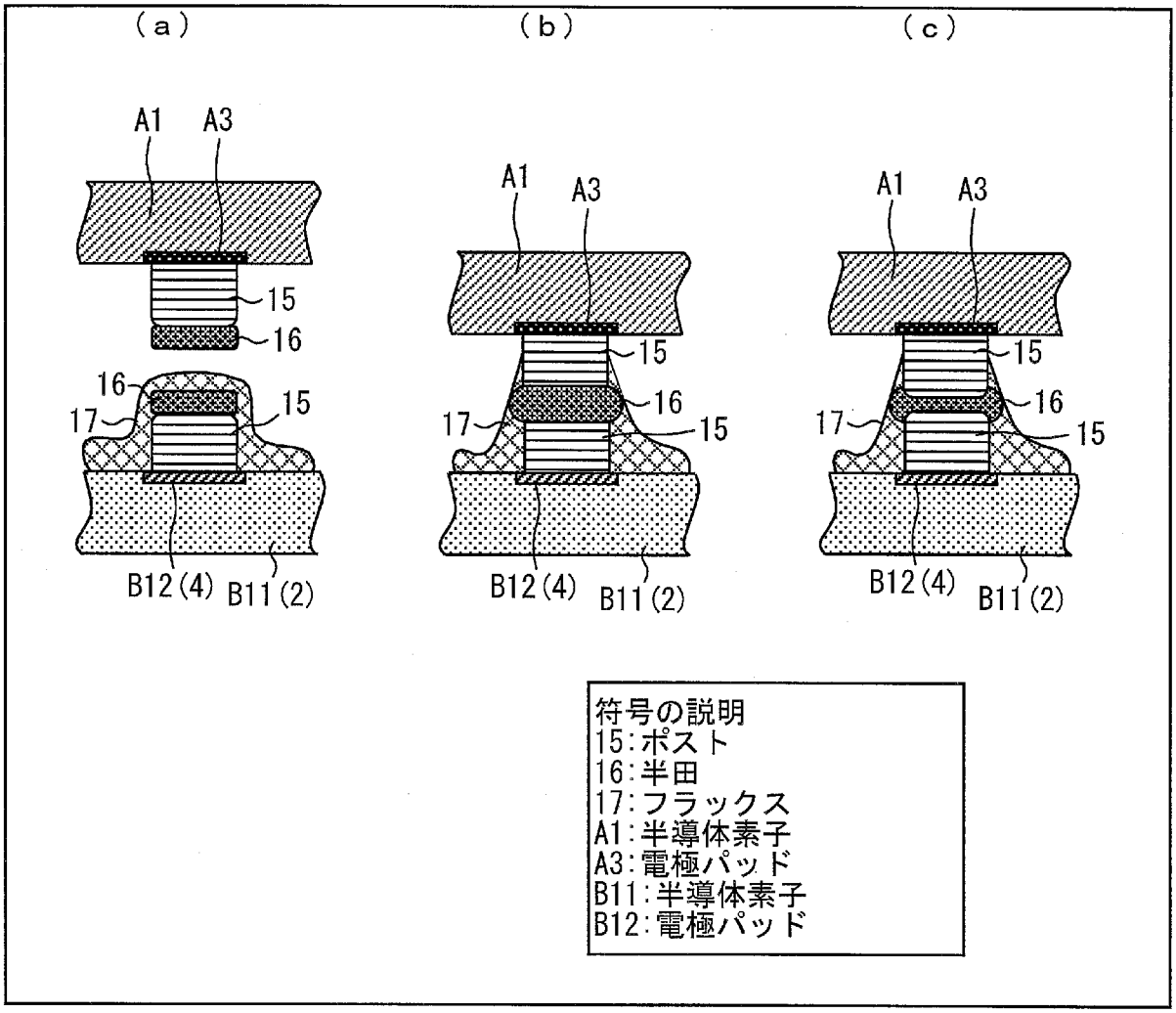

符号の説明

| | |
|---|---|
| 2:基板 | A1:半導体素子 |
| 4:基板端子 | A3:電極パッド |
| 7:樹脂 | A5:バンプ |
| 8:貫通孔 | B6:バンプ |
| 9:外部端子 | B11:半導体素子 |
| 10:リードフレーム | B12:電極パッド |
| 13:ワイヤー配線 | |
| 14:補強板 | |

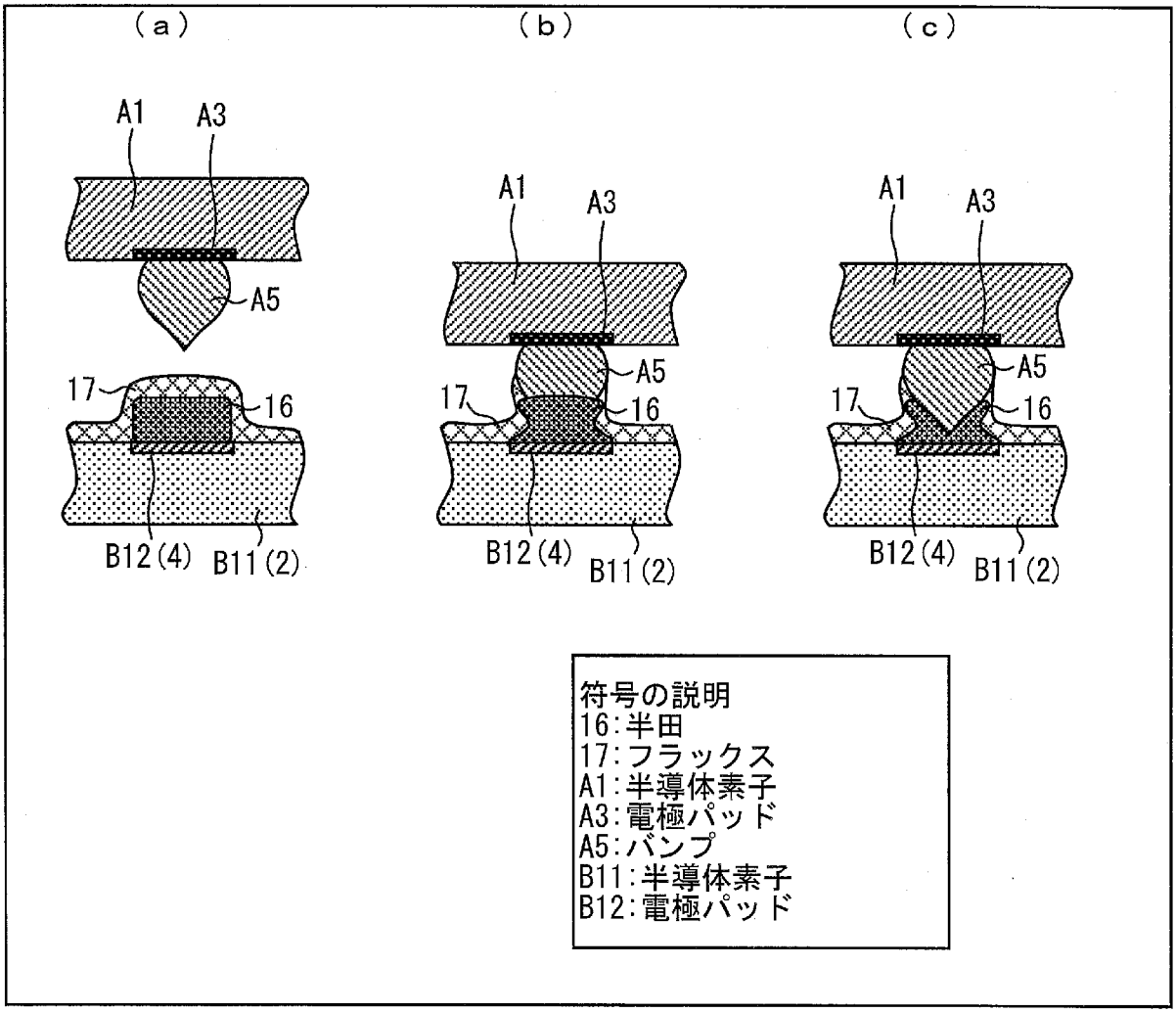
[図4A]


(a)
(b)
(c)
A1
A3
15
16
B6
17
B12(4)
B11(2)
符号の説明
15:ポスト
16:半田
17:フラックス
A1:半導体素子
A3:電極パッド
B6:バンプ
B11:半導体素子
B12:電極パッド

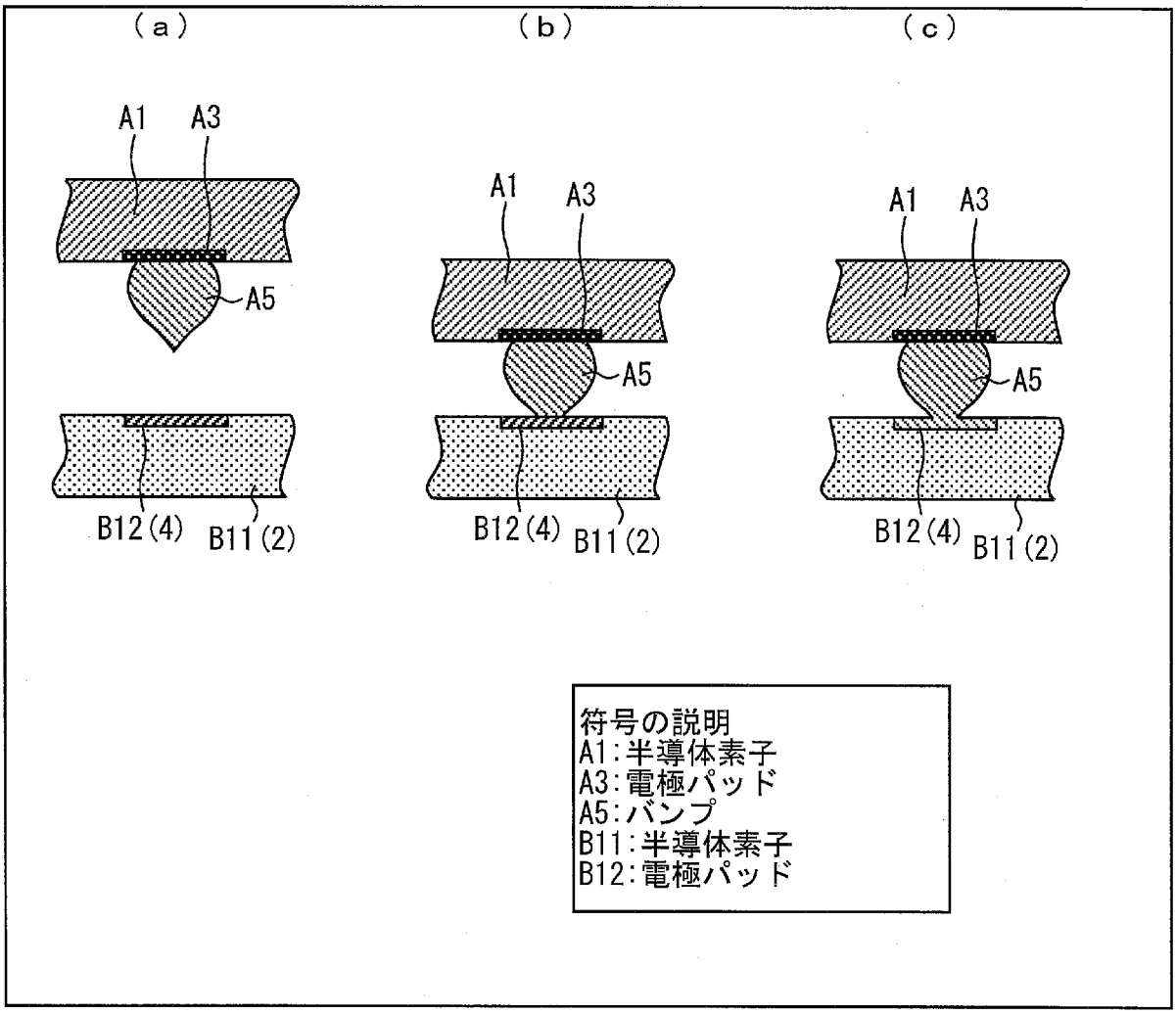
[図4B]


(a)
(b)
(c)
A1
A3
15
16
17
B12(4)
B11(2)
符号の説明
15:ポスト
16:半田
17:フラックス
A1:半導体素子
A3:電極パッド
B11:半導体素子
B12:電極パッド

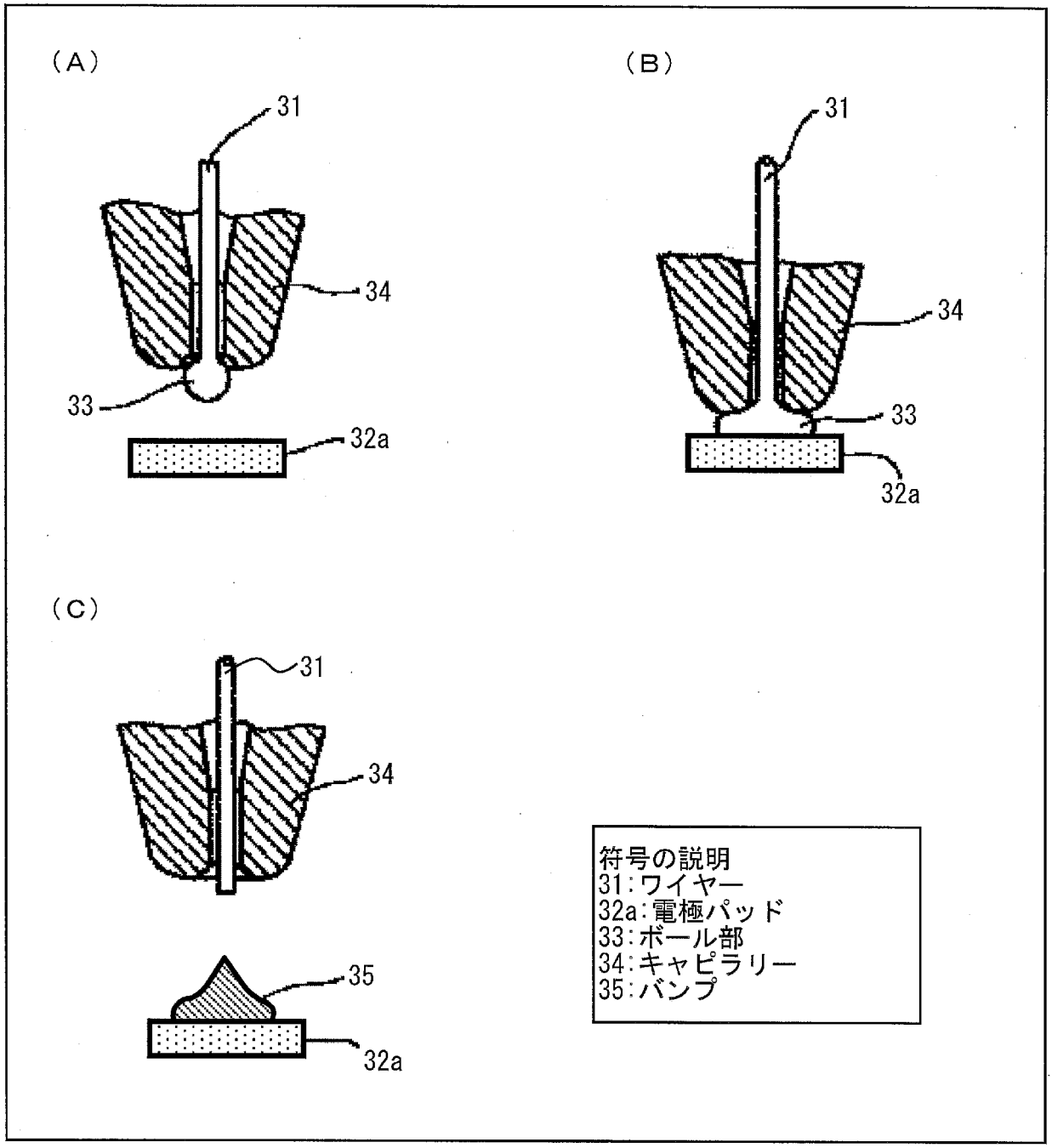
[図4C]


(a)
(b)
(c)
A1
A3
A5
17
16
B12(4)
B11(2)
符号の説明
16:半田
17:フラックス
A1:半導体素子
A3:電極パッド
A5:バンプ
B11:半導体素子
B12:電極パッド

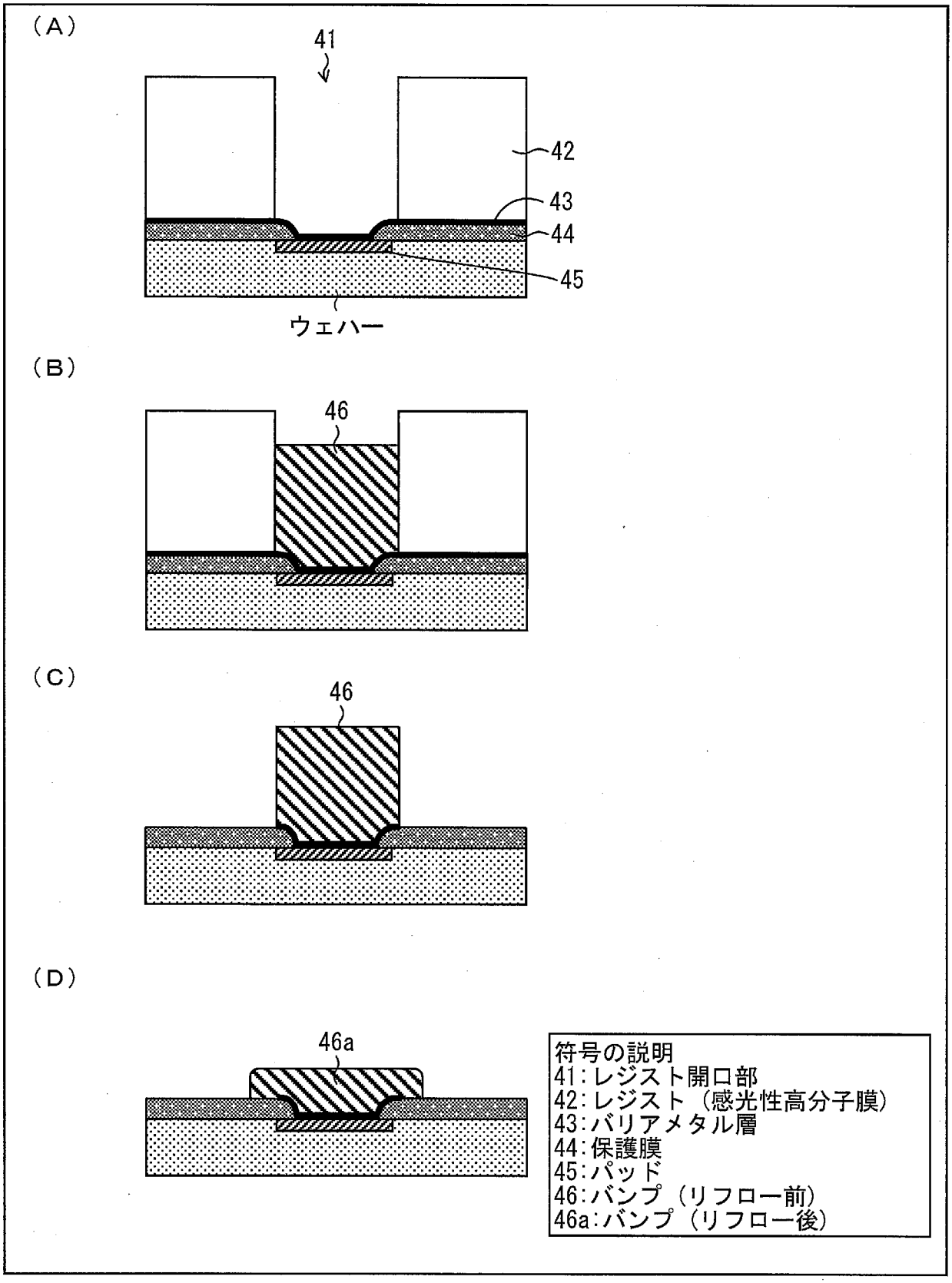
[図4D]


(a)
(b)
(c)
A1
A3
A5
B12(4)
B11(2)
符号の説明
A1:半導体素子
A3:電極パッド
A5:バンプ
B11:半導体素子
B12:電極パッド

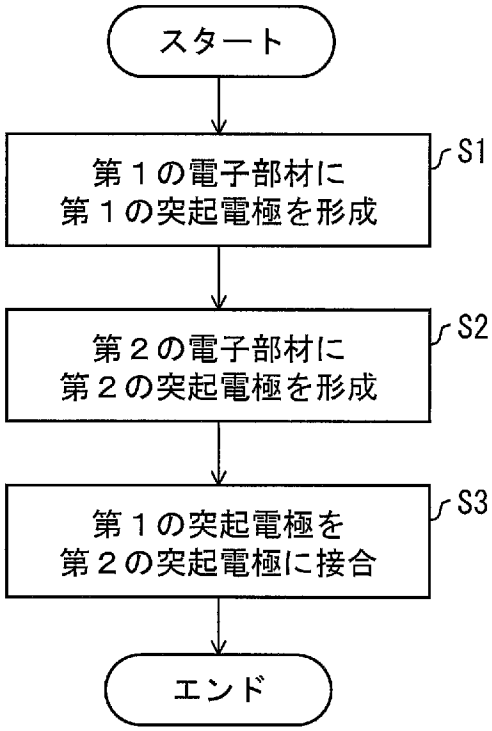
[図5]


（A）
31
34
33
32a
（B）
31
34
33
32a
（C）
31
34
35
32a
符号の説明
31：ワイヤー
32a：電極パッド
33：ボール部
34：キャピラリー
35：バンプ

[図6]


(A)
41
42
43
44
45
ウェハー
(B)
46
(C)
46
(D)
46a
符号の説明
41:レジスト開口部
42:レジスト（感光性高分子膜）
43:バリアメタル層
44:保護膜
45:パッド
46:バンプ（リフロー前）
46a:バンプ（リフロー後）

[図7]


スタート
第１の電子部材に
第１の突起電極を形成
S1
第２の電子部材に
第２の突起電極を形成
S2
第１の突起電極を
第２の突起電極に接合
S3
エンド

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/071005

A. CLASSIFICATION OF SUBJECT MATTER
*H01L21/60*(2006.01)i, *H01L25/065*(2006.01)i, *H01L25/07*(2006.01)i, *H01L25/18*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/60, H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2013 |
| Kokai Jitsuyo Shinan Koho | 1971-2013 | Toroku Jitsuyo Shinan Koho | 1994-2013 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X<br>Y | JP 2000-216198 A (Matsushita Electric Industrial Co., Ltd.), 04 August 2000 (04.08.2000), paragraphs [0014] to [0022]; fig. 1 to 5 (Family: none) | 1-6<br>7-13 |
| Y | JP 8-213425 A (Matsushita Electronics Corp.), 20 August 1996 (20.08.1996), paragraph [0009]; fig. 1, 2 (Family: none) | 7-13 |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 08 October, 2013 (08.10.13) | 29 October, 2013 (29.10.13) |
| Name and mailing address of the ISA/<br>Japanese Patent Office<br><br>Facsimile No. | Authorized officer<br><br>Telephone No. |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０７１００５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/60(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/60, H01L25/065, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１３年 |
| 日本国実用新案登録公報 | １９９６－２０１３年 |
| 日本国登録実用新案公報 | １９９４－２０１３年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| X<br>Y | JP 2000-216198 A (松下電器産業株式会社) 2000.08.04, 段落【0014】－【0022】, 第1-5図（ファミリーなし） | 1-6<br>7-13 |
| Y | JP 8-213425 A (松下電子工業株式会社) 1996.08.20, 段落【0009】, 第1, 2図（ファミリーなし） | 7-13 |

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| ０８．１０．２０１３ | ２９．１０．２０１３ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｒ　３８３８
関根　崇
電話番号　０３－３５８１－１１０１　内線　３４７１