

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年11月16日(16.11.2023)



(10) 国際公開番号

WO 2023/219052 A1

(51) 国際特許分類:
G09G 5/00 (2006.01) *G06F 3/04883* (2022.01)
G06F 3/03 (2006.01) *G06F 3/14* (2006.01)
G06F 3/046 (2006.01)

(21) 国際出願番号: PCT/JP2023/017244

(22) 国際出願日: 2023年5月8日(08.05.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

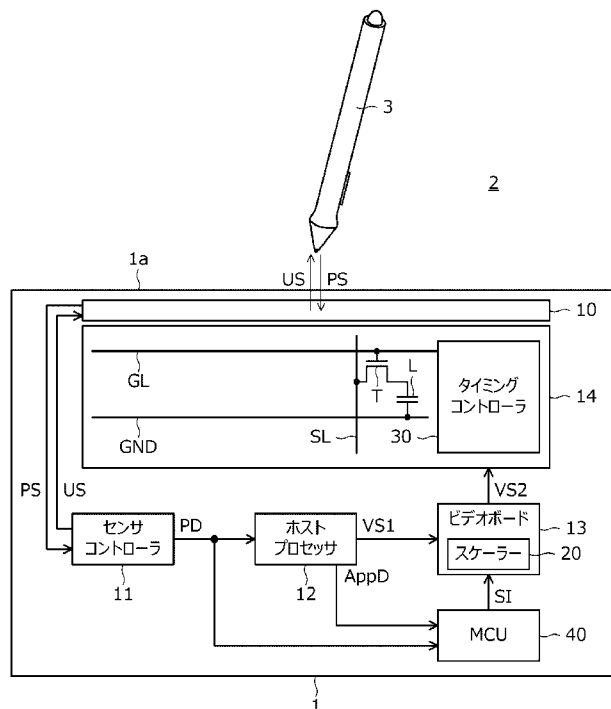
(30) 優先権データ:
特願 2022-076942 2022年5月9日(09.05.2022) JP

(71) 出願人: 株式会社ワコム(WACOM CO., LTD.)
[JP/JP]; 〒3491148 埼玉県加須市豊野台2丁目510番地1 Saitama (JP).

(72) 発明者: 加藤 龍憲(KATO Tatsunori); 〒3491148 埼玉県加須市豊野台2丁目510番地1 株式会社ワコム内 Saitama (JP). 小谷 佳宏(KOTANI Yoshihiro); 〒3491148 埼玉県加須市豊野台2丁目510番地1 株式会社ワコム内 Saitama (JP). 佐久間 寛之(SAKUMA Hiroyuki); 〒3491148 埼玉県加須市豊野台2丁目510番地1 株式会社ワコム内 Saitama (JP). リ ジ ュ フン(LEE Joo Hoon); 〒3491148 埼玉県加須市豊野台2丁目510番地1 株式会社ワコム内 Saitama (JP). 水橋 比呂志(MIZUHASHI

(54) Title: COMPUTER

(54) 発明の名称: コンピュータ



- 11 Sensor controller
- 12 Host processor
- 13 Video board
- 14 Timing controller
- 20 Scaler

(57) Abstract: [Problem] To prevent display delay of a stroke image caused by processing delays in a computer, without providing an overlay engine in a timing controller. [Solution] A computer 1 includes: a host processor 12 that generates a stroke image which represents a stroke represented by a series of coordinate data each indicating the position of a pen in a touch plane, and generates a video signal VS1 indicating the generated stroke image; a timing controller 30 that controls the potentials of a plurality of gate lines GL provided to a display panel 14, on the basis of a video signal VS2; and a

Hiroshi); 〒3491148 埼玉県加須市豊野台 2 丁目
5 1 0 番地 1 株式会社ワコム内 Saitama (JP).

(74) 代理人: 弁理士法人そらおと (**PATENT ATTOR-
NEY CORPORATION SORAOTO**); 〒1360071
東京都江東区亀戸 2 - 3 4 - 8 ウィン
ド亀戸ビル 5 F Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,
TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

MCU 40 that generates, in tandem with the host processor 12, a temporary stroke image SI which represents the same stroke as the stroke image. The temporary stroke image is overlayed on the video signal VS2 before the video signal VS2 is supplied to the timing controller 30.

(57) 要約: 【課題】 タイミングコントローラ内にオーバーレイエンジンを設けることなく、コンピュータ内での処理遅延に起因するストローク画像の表示遅延を防止する。 【解決手段】 コンピュータ 1 は、それぞれタッチ面内におけるペンの位置を示す一連の座標データにより示されるストロークを示すストローク画像を生成するとともに、生成したストローク画像を示すビデオ信号 VS 1 を生成するホストプロセッサ 1 2 と、ディスプレイパネル 1 4 に設けられる複数のゲート線 GL それぞれの電位をビデオ信号 VS 2 に基づいて制御するタイミングコントローラ 3 0 と、上記ストローク画像と同一のストロークを示す仮ストローク画像 S 1 をホストプロセッサ 1 2 と並行して生成する MCU 4 0 と、を含む。上記仮ストローク画像は、タイミングコントローラ 3 0 に供給される前のビデオ信号 VS 2 に重畳される。

明 細 書

発明の名称：コンピュータ

技術分野

[0001] 本発明はコンピュータに関し、特に、ストローク画像の表示遅延を防止できるコンピュータに関する。

背景技術

[0002] タブレット端末などのペン入力に対応するコンピュータにおいては、タッチセンサに接続されるセンサコントローラからホストプロセッサに対し、ペンの位置を示す座標データやペンが送信した筆圧値などのデータ（以下「ペンデータ」と総称する）が供給される。ホストプロセッサは、供給されたペンデータに基づいてストロークを示すストローク画像を生成し、生成したストローク画像をディスプレイに表示する処理を行う。

[0003] 特許文献1には、ペン入力に対応するコンピュータの例が開示されている。同文献に記載のコンピュータでは、コンピュータ内での処理遅延によりストローク画像の表示が遅延してしまうことを回避するため、ディスプレイの構成部品であるタイミングコントローラ内にオーバーレイエンジンが設けられ、センサコントローラからオーバーレイエンジンに対して直接、座標データが送信される。オーバーレイエンジンは、センサコントローラから受信した座標データに基づいて仮のストローク画像を生成し、生成した仮のストローク画像によりホストプロセッサから受信されるディスプレイフレームを更新する処理を行う。

[0004] 特許文献2には、タイミングコントローラの前段に、スケーラーを含むグラフィック処理回路を有する液晶表示装置の例が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：米国特許第9 7 2 1 3 6 5号明細書

特許文献2：特開2 0 0 8－2 3 3 8 6 9号公報

発明の概要

発明が解決しようとする課題

[0006] 特許文献1に記載の技術によれば、ストローク画像の表示が遅延してしまうことを防止できるものの、ディスプレイの構成部品であるタイミングコントローラ内にオーバーレイエンジンを設けなければならないという問題がある。そこで、タイミングコントローラ内にオーバーレイエンジンを設けることなく、ストローク画像の表示遅延を防止できるようにする技術が必要とされていた。

[0007] したがって、本発明の目的の一つは、タイミングコントローラ内にオーバーレイエンジンを設けることなく、ストローク画像の表示遅延を防止できるコンピュータを提供することにある。

課題を解決するための手段

[0008] 本発明によるコンピュータは、それぞれタッチ面内におけるペンの位置を示す一連の座標データにより示されるストロークを示すストローク画像を生成するとともに、生成したストローク画像を示すビデオ信号を生成するホストプロセッサと、ディスプレイに設けられる複数のゲート線それぞれの電位を前記ビデオ信号に基づいて制御するタイミングコントローラと、前記ストローク画像と同一のストロークを示す仮ストローク画像を前記ホストプロセッサと並行して生成する仮ストローク画像生成プロセッサと、を含み、前記仮ストローク画像は、前記タイミングコントローラに供給される前の前記ビデオ信号に重畳される、コンピュータである。

発明の効果

[0009] 本発明によれば、ホストプロセッサが生成するストローク画像と同一のストロークを示す仮ストローク画像をホストプロセッサと並行して生成し、タイミングコントローラに供給される前のビデオ信号に重畳しているので、タイミングコントローラ内にオーバーレイエンジンを設けることなく、ストローク画像の表示遅延を防止することが可能になる。

図面の簡単な説明

[0010] [図1]本発明の第1の実施の形態によるコンピュータ1を含む位置検出システム2の構成を示す図である。

[図2]本発明の第1の実施の形態によるビデオボード13及びディスプレイパネル14の内部構成を示す図である。

[図3]本発明の第2の実施の形態によるコンピュータ1を含む位置検出システム2の構成を示す図である。

[図4]本発明の第3の実施の形態によるコンピュータ1を含む位置検出システム2の構成を示す図である。

[図5]本発明の第3の実施の形態によるビデオボード13及びディスプレイパネル14の内部構成を示す図である。

[図6]本発明の第4の実施の形態によるコンピュータ1を含む位置検出システム2の構成を示す図である。

[図7]本発明の第4の実施の形態によるビデオボード13及びディスプレイパネル14の内部構成を示す図である。

[図8]本発明の第5の実施の形態によるコンピュータ1を含む位置検出システム2の構成を示す図である。

[図9]本発明の第5の実施の形態によるビデオボード13及びディスプレイパネル14の内部構成を示す図である。

発明を実施するための形態

[0011] 以下、添付図面を参照しながら、本発明の実施の形態について詳細に説明する。

[0012] 図1は、本発明の第1の実施の形態によるコンピュータ1を含む位置検出システム2の構成を示す図である。同図に示すように、位置検出システム2は、コンピュータ1の他に電子ペン3を含んで構成される。

[0013] コンピュータ1は、例えばタブレット端末やスマートフォンのような、タッチ面と表示面を兼ねるパネル面1aを有するコンピュータである。ただし、コンピュータ1は、ペン入力に対応するタッチパネル又はデジタイザと、

表示用のディスプレイとが別々に設けられたコンピュータであってもよい。

- [0014] コンピュータ 1 及び電子ペン 3 は、電磁誘導方式（EMR 方式）によって双方向に通信可能に構成される。以下、この通信によってコンピュータ 1 から電子ペン 3 に送信される信号を「アップリンク信号 US」と称し、電子ペン 3 からコンピュータ 1 に送信される信号を「ペン信号 PS」と称する。なお、コンピュータ 1 及び電子ペン 3 は、例えばアクティブ静電方式などの他の方式によって通信することとしてもよい。
- [0015] コンピュータ 1 は、センサ 10、センサコントローラ 11、ホストプロセッサ 12、ビデオボード 13、ディスプレイパネル 14、及び、MCU（Micro Controller Unit）40を含んで構成される。
- [0016] センサ 10 は、パネル面 1a の内側に配置された複数のループコイルを含んで構成される。各ループコイルの一端はセンサコントローラ 11 に接続され、他端は接地される。各ループコイルは、電子ペン 3 の内部に設けられる LC 共振回路内のコイルと電磁誘導により結合することにより、電子ペン 3 に動作電力及びコマンドを供給するとともに、電子ペン 3 が送信したペン信号 PS を受信する役割を果たす。
- [0017] センサコントローラ 11 は、センサ 10 を介し、電子ペン 3 に対してアップリンク信号 US を送信するとともに、このアップリンク信号 US に対する反射信号として電子ペン 3 が送信したペン信号 PS を受信する集積回路である。アップリンク信号 US は、電子ペン 3 に対して動作電力及びコマンドを供給するための信号であり、センサコントローラ 11 から周期的に送信される。電子ペン 3 は、アップリンク信号 US が受信されている間、LC 共振回路内のコンデンサに電力を蓄積し、アップリンク信号 US の受信が終了すると、蓄積した電力を用いてペン信号 PS を送信するよう構成される。
- [0018] センサコントローラ 11 は、アップリンク信号 US の送信の都度、受信されたペン信号 PS に基づき、パネル面 1a 内における電子ペン 3 の位置を示す座標データを導出する処理を行う。具体的には、各ループコイルでのペン信号 PS の受信強度に基づいてパネル面 1a 内におけるペン信号 PS の受信

強度の分布を導出し、分布のピークに対応する位置の座標データを導出することにより、電子ペン3の位置を示す座標データを導出するよう構成される。

[0019] また、センサコントローラ11は、受信したペン信号PSの位相変化を検出することによって、電子ペン3のペン先に加わる圧力を示す値（以下「筆圧値」という）を取得する処理も行う。詳しく説明すると、電子ペン3のLC共振回路を構成するコンデンサは、電子ペン3のペン先に加わる圧力によって容量の変化する可変容量コンデンサを含んで構成される。この可変容量コンデンサの容量が変化すると、LC共振回路の共振周波数が変化するので、ペン信号PSの周波数も変化する。センサコントローラ11は、ペン信号PSの位相変化を検出することによってこの周波数の変化を検出し、その結果に基づいて筆圧値を取得する。

[0020] センサコントローラ11は、導出した座標データ及び取得した筆圧値を、逐次、ホストプロセッサ12及びMCU40に供給するよう構成される。以下、センサコントローラ11からホストプロセッサ12及びMCU40に供給されるこれらのデータを「ペンデータPD」と総称する場合がある。

[0021] ホストプロセッサ12はコンピュータ1の中央処理装置であり、図示しない記憶装置からプログラムを読み出して実行することにより、コンピュータ1のオペレーティングシステムや、ペン入力に対応する描画アプリケーションを含む各種のアプリケーションを実行するよう構成される。ホストプロセッサ12が行う処理には、コンピュータ1のデスクトップ画像を示すビデオ信号VS1を生成し、ビデオボード13に供給する処理が含まれる。

[0022] 描画アプリケーションは、センサコントローラ11から供給されるペンデータPDにより示されるストロークを示すストローク画像を生成するとともに、生成したストローク画像をデスクトップ画像内に配置する機能を有するアプリケーションである。ストロークは、筆圧値が0より大きい値（すなわち、電子ペン3のペン先がパネル面1aに接触していることを示す値）になっている間に取得された一連の座標データにより示されるペン先の軌跡であ

る。また、ストローク画像は、ストロークを構成する一連の座標データを滑らかに接続してなる近似曲線に対して、筆圧値に対応する線幅を与えてなる曲線画像である。近似曲線の例としては、ベジエ曲線やキャットマルローム曲線などが挙げられる。描画アプリケーションにブラシサイズや線色などの描画用データ $A p p D$ が設定されている場合、描画アプリケーションは、設定されている描画用データ $A p p D$ にも従って、ストローク画像を生成するよう構成される。

[0023] ビデオボード 13 は、ホストプロセッサ 12 から供給されるビデオ信号 $V S 1$ をディスプレイパネル 14 に応じた信号であるビデオ信号 $V S 2$ に変換する装置である。具体的には、ビデオ信号 $V S 1$ の解像度、フレームレート、及びカラーのそれぞれをディスプレイパネル 14 に供給できる値に調整するための集積回路であるスケーラ 20 を有しており、スケーラ 20 による調整後のビデオ信号 $V S 1$ であるビデオ信号 $V S 2$ をディスプレイパネル 14 に供給するよう構成される。

[0024] ディスプレイパネル 14 は、ビデオ信号 $V S 2$ に応じた映像をパネル面 1a に表示する装置である。ディスプレイパネル 14 の具体的な種類は特に限定されないが、例えば液晶ディスプレイ又は有機 EL ディスプレイであってよい。以下ではディスプレイパネル 14 が TFT (Thin Film Transistor) タイプの液晶ディスプレイであるとする、ディスプレイパネル 14 は、図 1 に示すように、それぞれ薄膜トランジスタ T 及び液晶素子 L を含む複数の画素と、複数のゲート線 GL と、複数の信号線 SL と、共通接地配線 GND とを有して構成される。なお、図 1 には、このうち 1 つの画素と、1 本のゲート線 GL と、1 本の信号線 SL と、共通接地配線 GND とのみを図示している。複数の画素は、マトリクス状に配置される。各ゲート線 GL は、行方向に並ぶ複数の薄膜トランジスタ T それぞれのゲートに共通に接続され、各信号線 SL は、列方向に並ぶ複数の薄膜トランジスタ T それぞれのソースに共通に接続される。

[0025] ディスプレイパネル 14 は、各画素を駆動する処理を行単位で行う。具体

的に説明すると、ディスプレイパネル14は、ビデオ信号VS2に基づいて注目行の各画素の液晶素子Lに与えるべき電位を決定し、決定した電位を各信号線SLに付与する。そして、注目行のゲート線GLの電位をハイにする。すると、ビデオ信号VS2に応じた電位が注目行の各液晶素子Lに与えられるので、注目行について、ビデオ信号VS2に応じた映像が表示されることになる。

[0026] ディ스플레이パネル14は、タイミングコントローラ30を有して構成される。タイミングコントローラ30は、複数のゲート線GLそれぞれの電位をビデオ信号VS2に基づいて制御する回路であり、電位を供給するタイミングを制御する役割を果たす。

[0027] MCU40は、ホストプロセッサ12によって生成されるストローク画像と同一のストロークを示す仮ストローク画像S1をホストプロセッサ12と並行して生成し、タイミングコントローラ30に供給される前のビデオ信号VS2に重畳する処理回路（仮ストローク画像生成プロセッサ）である。MCU40は、センサコントローラ11から供給される一連のペンデータPDに基づいて仮ストローク画像S1を生成するよう構成される。

[0028] ここで、仮ストローク画像S1は、ホストプロセッサ12によって生成されるストローク画像と全く同一の外観を有する画像であってもよいし、全く同一の外観を有する画像でなくてもよい。前者の場合、MCU40は、上述した描画用データAppDをホストプロセッサ12から受信し、受信した描画用データAppDに基づいて仮ストローク画像S1の生成を行う。後者の場合、MCU40は、描画アプリケーションに設定されている描画用データAppDの全部又は一部をホストプロセッサ12から受信してもよいし、受信しなくてもよい。描画用データAppDの全部又は一部をホストプロセッサ12から受信した場合、MCU40は、受信した描画用データAppDに基づいて仮ストローク画像S1の生成を行う。ホストプロセッサ12から描画用データAppDを受信しない場合、MCU40は、所定の設定に基づいて仮ストローク画像S1の生成を行う。

[0029] 本実施の形態におけるスケーラー２０は、ＭＣＵ４０から供給される仮ストローク画像Ｓ１をビデオ信号ＶＳ２に実際に重畳する役割を果たす。以下、この点について、図２を参照しながら詳しく説明する。

[0030] 図２は、本実施の形態によるビデオボード１３及びディスプレイパネル１４の内部構成を示す図である。同図に示すように、ビデオボード１３は、スケーラー２０の他にビデオメモリ２１を有して構成される。スケーラー２０は、受信部５０、解像度調整部５１、フレームレート調整部５２、カラー調整部５３、ミキサ５４、送信部５５、ＯＳＤ（On-Screen Display）メモリ６０、ＯＳＤ制御部６１、切替部６２、メモリ制御部６３を有して構成される。また、タイミングコントローラ３０は、受信部３１、ゲート線制御部３２を有して構成される。

[0031] 受信部５０は、ホストプロセッサ１２が出力したビデオ信号ＶＳ１を受信する回路である。受信部５０は、受信したビデオ信号ＶＳ１をビデオメモリ２１に書き込む。ビデオメモリ２１は、少なくとも一画面分のビデオ信号ＶＳ１を記憶可能に構成された記憶部である。

[0032] 解像度調整部５１は、受信部５０により受信されたビデオ信号ＶＳ１の解像度を、ディスプレイパネル１４の解像度に合わせて調整する回路である。一例を挙げると、ビデオ信号ＶＳ１の解像度がＦＨＤ（１９２０×１０８０）であり、ディスプレイパネル１４の解像度が４Ｋ（３８４０×２１６０）である場合、解像度調整部５１は、ビデオ信号ＶＳ１の解像度を４倍にする処理を行う。解像度調整部５１は、調整対象のビデオ信号ＶＳ１をビデオメモリ２１から読み出し、調整後のビデオ信号ＶＳ１によりビデオメモリ２１を上書きするよう構成される。

[0033] フレームレート調整部５２は、解像度調整部５１による調整後のビデオ信号ＶＳ１のフレームレートを、ディスプレイパネル１４のフレームレートに合わせて調整する回路である。一例を挙げると、ビデオ信号ＶＳ１のフレームレートが６０ＦＰＳであり、ディスプレイパネル１４のフレームレートが３０ＦＰＳである場合、フレームレート調整部５２は、ビデオ信号ＶＳ１の

フレームレートを1／2に落とす処理を行う。フレームレート調整部52は、調整対象のビデオ信号VS1をビデオメモリ21から読み出し、調整後のビデオ信号VS1によりビデオメモリ21を上書きするよう構成される。

[0034] カラー調整部53は、フレームレート調整部52による調整後のビデオ信号VS1のカラーを、ディスプレイパネル14の色域に合わせて調整する回路である。一例を挙げると、ビデオ信号VS1の色域がsRGBであり、ディスプレイパネル14の色域がNTSCである場合、カラー調整部53は、ビデオ信号VS1のカラーをNTSCにより再構成する処理を行う。カラー調整部53はまた、映像の種類（自然画、野球、アニメなど）を検出し、検出した種類に応じた色補正を行う機能も有している。カラー調整部53は、調整対象のビデオ信号VS1をビデオメモリ21から読み出し、調整後のビデオ信号VS1をミキサ54に供給するよう構成される。

[0035] OSDメモリ60は、ビデオ信号VS1により表される映像上に重畳する画像（以下「OSD画像」という）を記憶する記憶部である。また、OSD制御部61は、ユーザ操作に応じてOSD画像を生成し、OSDメモリ60に書き込む回路である。典型的な例では、OSD画像は、ディスプレイパネル14の縁部に設けられたボタンをユーザが押下した場合に表示される、画面の色や位置を調整するための画面である。OSDメモリ60は、少なくとも一画面分の画像を記憶可能に構成される。

[0036] ミキサ54は、カラー調整部53から供給されるビデオ信号VS1に対し、OSDメモリ60に記憶されるOSD画像を重畳する回路である。ミキサ54による処理の後には、ビデオ信号VS1により表される映像の上（最前面）に、OSD画像が表示されることになる。

[0037] 送信部55は、ミキサ54による処理後のビデオ信号VS1であるビデオ信号VS2をディスプレイパネル14に供給する回路である。具体的には、ビデオ信号VS2を1行分ずつラインバッファに入力し、このラインバッファに格納されている1行分の画素を順次ディスプレイパネル14に送信するよう構成される。また、送信部55は、行の区切りで水平同期信号（HSY

NC)を送信し、画面の区切りで垂直同期信号(VSYNC)を送信するよう構成される。これら水平同期信号(HSYNC)及び垂直同期信号(VSYNC)も、ビデオ信号VS2の一部を構成する。タイミングコントローラ30内の受信部31は、こうして供給されたビデオ信号VS2を受信し、ゲート線制御部32に供給する回路である。ゲート線制御部32は、受信部31から供給されたビデオ信号VS2に基づき、複数のゲート線GLそれぞれの電位を制御する回路である。

[0038] メモリ制御部63は、MCU40によって生成された仮ストローク画像S1をOSDメモリ60に書き込む回路である。メモリ制御部63及びOSD制御部61とOSDメモリ60との間には切替部62が設けられる。切替部62は、メモリ制御部63が仮ストローク画像S1をOSDメモリ60に書き込む場合にはメモリ制御部63をOSDメモリ60に接続し、メモリ制御部63が仮ストローク画像S1をOSDメモリ60に書き込まない場合にはOSD制御部61をOSDメモリ60に接続する役割を果たす。これにより、仮ストローク画像S1は、OSD画像に優先して、ビデオ信号VS1により表される映像上に表示されることになる。

[0039] 以上説明したように、本実施の形態によるコンピュータ1によれば、ホストプロセッサ12が生成するストローク画像と同一のストロークを示す仮ストローク画像S1をホストプロセッサ12と並行して生成し、タイミングコントローラ30に供給される前のビデオ信号に重畳しているので、タイミングコントローラ30内にオーバーレイエンジンを設けることなく、コンピュータ1内での処理遅延(ホストプロセッサ12での処理待ちなど)に起因するストローク画像の表示遅延を防止することが可能になる。

[0040] また、本実施の形態によるコンピュータ1によれば、既存のミキサ54及びOSDメモリ60を利用して仮ストローク画像S1をビデオ信号VS2に重畳することができるので、特許文献1のように専用のオーバーレイエンジン及びバッファを設ける場合に比べて、回路規模を低減することが可能になる。

[0041] 図3は、本発明の第2の実施の形態によるコンピュータ1を含む位置検出システム2の構成を示す図である。同図と図1とを比較すると理解されるように、本実施の形態によるコンピュータ1は、MCU40に代えてMCU41を有する点で第1の実施の形態によるコンピュータ1と相違し、その他の点では、第1の実施の形態によるコンピュータ1と同様である。そこで以下では、第1の実施の形態によるコンピュータ1との相違点に着目して説明を続ける。

[0042] MCU41は、仮ストローク画像S1を生成する処理の点では第1の実施の形態によるMCU40と同一である一方、生成した仮ストローク画像S1をスケラ20に供給し、スケラ20にビデオ信号VS2への重畳処理を行わせるのではなく、ビデオボード13から出力されるビデオ信号VS2に自ら重畳する点で、第1の実施の形態によるMCU40と相違する。上述したように、ビデオボード13からの出力は1画素ずつであることから、MCU41は、上述した垂直同期信号(VSYNC)及び水平同期信号(HSYNC)を参照することによって仮ストローク画像S1の画素ごとに重畳すべきタイミングを決定し、決定したタイミングで、仮ストローク画像S1の各画素を順次ビデオ信号VS2に重畳していくよう構成される。ディスプレイパネル14には、重畳後のビデオ信号VS2であるビデオ信号VS3がMCU41から直接供給される。この供給を受けたディスプレイパネル14は、ビデオ信号VS2に代えてビデオ信号VS3に基づき、パネル面1aに映像を表示するための処理を実行する。

[0043] 以上説明したように、本実施の形態によるコンピュータ1によっても、ホストプロセッサ12が生成するストローク画像と同一のストロークを示す仮ストローク画像S1をホストプロセッサ12と並行して生成し、タイミングコントローラ30に供給される前のビデオ信号に重畳しているので、タイミングコントローラ30内にオーバーレイエンジンを設けることなく、コンピュータ1内での処理遅延に起因するストローク画像の表示遅延を防止することが可能になる。

[0044] また、本実施の形態によるコンピュータ 1 によれば、既存のビデオボード 13 及びディスプレイパネル 14 を改修することなく仮ストローク画像 S1 の生成及び重畳を実行することができるので、特許文献 1 のようにタイミングコントローラを改修する場合に比べて、容易に実装することが可能になる。

[0045] 図 4 は、本発明の第 3 の実施の形態によるコンピュータ 1 を含む位置検出システム 2 の構成を示す図である。同図と図 3 とを比較すると理解されるように、本実施の形態によるコンピュータ 1 は、MCU 41 がビデオボード 13 の前段に位置しており、ホストプロセッサ 12 により生成されたビデオ信号 VS1 がビデオボード 13 ではなく MCU 41 に供給される点で第 2 の実施の形態によるコンピュータ 1 と相違し、その他の点では、第 2 の実施の形態によるコンピュータ 1 と同様である。そこで以下では、第 2 の実施の形態によるコンピュータ 1 との相違点に着目して説明を続ける。

[0046] 本実施の形態による MCU 41 は、センサコントローラ 11 から供給される一連のペンデータ PD に基づいて生成した仮ストローク画像 S1 をホストプロセッサ 12 から供給されるビデオ信号 VS1 に重畳することによって、ビデオ信号 VS2 の生成を行う。本実施の形態によるビデオボード 13 は、MCU 41 によって生成されたビデオ信号 VS2 をディスプレイパネル 14 に応じた信号であるビデオ信号 VS3 に変換し、この変換により得られたビデオ信号 VS3 をディスプレイパネル 14 に供給する役割を担う。

[0047] 図 5 は、本実施の形態によるビデオボード 13 及びディスプレイパネル 14 の内部構成を示す図である。同図に示すように、本実施の形態によるビデオボード 13 の入力信号はビデオ信号 VS2 であり、出力信号はビデオ信号 VS3 となる。また、本実施の形態によるスケーラ 20 は、切替部 62 及びメモリ制御部 63 を有していない。これは、本実施の形態においては、仮ストローク画像 S1 を重畳済みのビデオ信号 VS2 がビデオボード 13 に入力されるため、仮ストローク画像 S1 をビデオ信号に重畳する処理をスケーラ 20 で行う必要がないことによるものである。

[0048] 以上説明したように、本実施の形態によるコンピュータ 1 によっても、ホストプロセッサ 12 が生成するストローク画像と同一のストロークを示す仮ストローク画像 S1 をホストプロセッサ 12 と並行して生成し、タイミングコントローラ 30 に供給される前のビデオ信号に重畳しているので、タイミングコントローラ 30 内にオーバーレイエンジンを設けることなく、コンピュータ 1 内での処理遅延に起因するストローク画像の表示遅延を防止することが可能になる。

[0049] また、本実施の形態によるコンピュータ 1 によっても、既存のビデオボード 13 及びディスプレイパネル 14 を改修することなく仮ストローク画像 S1 の生成及び重畳を実行することができるので、特許文献 1 のようにタイミングコントローラを改修する場合に比べて、容易に実装することが可能になる。

[0050] 図 6 は、本発明の第 4 の実施の形態によるコンピュータ 1 を含む位置検出システム 2 の構成を示す図である。同図と図 1 とを比較すると理解されるように、本実施の形態によるコンピュータ 1 は、センサコントローラ 11 を有しない点、及び、MCU 40 に代えて MCU 42 を有する点で第 1 の実施の形態によるコンピュータ 1 と相違し、その他の点では、第 1 の実施の形態によるコンピュータ 1 と同様である。そこで以下では、第 1 の実施の形態によるコンピュータ 1 との相違点に着目して説明を続ける。

[0051] MCU 42 はスケラ 20 の内部に設けられ、第 1 の実施の形態におけるセンサコントローラ 11 の役割を果たすとともに、第 1 の実施の形態における MCU 40 と同様、ホストプロセッサ 12 によって生成されるストローク画像と同一のストロークを示す仮ストローク画像 S1 をホストプロセッサ 12 と並行して生成し、タイミングコントローラ 30 に供給される前のビデオ信号 VS2 に重畳する役割も果たす。

[0052] 前者の役割に関して、MCU 42 は、センサ 10 を介し、電子ペン 3 に対してアップリンク信号 US を送信するとともに、このアップリンク信号 US に対する反射信号として電子ペン 3 が送信したペン信号 PS を受信する処理

を行う。また、受信したペン信号P Sに基づいてペンデータP Dを導出ないし取得し、ホストプロセッサ1 2に供給する処理を行う。ホストプロセッサ1 2は、こうして供給されたペンデータP Dに基づき、ストローク画像の生成を行う。

[0053] 図7は、本実施の形態によるビデオボード1 3及びディスプレイパネル1 4の内部構成を示す図である。同図と図2とを比較すると理解されるように、本実施の形態によるビデオボード1 3は、切替部6 2及びメモリ制御部6 3を有しない点、A D変換部7 0、MC U 4 2、及びミキサ7 4を有する点で第1の実施の形態によるビデオボード1 3と相違し、その他の点では、第1の実施の形態によるビデオボード1 3と同様である。ディスプレイパネル1 4の構成は、第1の実施の形態によるディスプレイパネル1 4のものと同一である。

[0054] MC U 4 2は、ペン信号処理部7 1、レンダラー7 2、及び画像メモリ7 3を有して構成される。A D変換部7 0はペン信号処理部7 1の前段に位置しており、センサ1 0内の各ループコイルにおいて受信されたペン信号P Sをデジタル信号に変換してペン信号処理部7 1に供給する役割を果たす。

[0055] ペン信号処理部7 1は、第1の実施の形態におけるセンサコントローラ1 1と同様、センサ1 0を介し、電子ペン3に対してアップリンク信号U Sを送信するとともに、このアップリンク信号U Sに対する反射信号として電子ペン3が送信したペン信号P Sを受信する処理を行う。また、受信したペン信号P Sに基づいてペンデータP Dを導出ないし取得し、ホストプロセッサ1 2に供給する処理を行う。ホストプロセッサ1 2は、こうして供給されたペンデータP Dに基づき、ストローク画像の生成を行う。

[0056] ペン信号処理部7 1は、導出ないし取得したペンデータP Dをレンダラー7 2にも供給する。レンダラー7 2には、ペンデータP Dの他に、ホストプロセッサ1 2から描画用データA p p Dも供給される。レンダラー7 2は、こうして供給されたペンデータP D及び描画用データA p p Dに基づいて仮ストローク画像S Iの生成を行い、生成した仮ストローク画像S Iを画像メ

メモリ 73 に書き込む。画像メモリ 73 は、OSD メモリ 60 と同様、少なくとも一画面分の画像を記憶可能に構成された記憶部である。

[0057] ミキサ 74 は、カラー調整部 53 から出力されるビデオ信号 VS1 に対し、画像メモリ 73 に記憶される仮ストローク画像 S1 を重畳する回路である。ミキサ 74 による処理の後には、ビデオ信号 VS1 により表される映像の上（最前面）に、仮ストローク画像 S1 が表示されることになる。ミキサ 54 はミキサ 74 の後段に設けられており、したがって、表示すべき OSD 画像がある場合、その OSD 画像は仮ストローク画像 S1 よりも前面に表示されることになる。

[0058] 以上説明したように、本実施の形態によるコンピュータ 1 によっても、ホストプロセッサ 12 が生成するストローク画像と同一のストロークを示す仮ストローク画像 S1 をホストプロセッサ 12 と並行して生成し、タイミングコントローラ 30 に供給される前のビデオ信号に重畳しているので、タイミングコントローラ 30 内にオーバーレイエンジンを設けることなく、コンピュータ 1 内での処理遅延に起因するストローク画像の表示遅延を防止することが可能になる。

[0059] また、本実施の形態によるコンピュータ 1 によれば、仮ストローク画像 S1 を表示する場合にも OSD 画像を表示することができ、しかも、仮ストローク画像 S1 よりも前面に OSD 画像を表示することが可能になる。

[0060] さらに、本実施の形態によるコンピュータ 1 によれば、仮ストローク画像 S1 をカラー調整部 53 の後段でビデオ信号 VS1 に重畳しているので、CG の一種である仮ストローク画像 S1 を、OSD 画像と同様、カラー調整部 53 による色補正の影響を受けない状態で表示することが可能になる。

[0061] 図 8 は、本発明の第 5 の実施の形態によるコンピュータ 1 を含む位置検出システム 2 の構成を示す図である。同図と図 6 とを比較すると理解されるように、本実施の形態によるコンピュータ 1 は、MCU 40 に代えて MCU 43 を有する点で第 1 の実施の形態によるコンピュータ 1 と相違し、その他の点では、第 1 の実施の形態によるコンピュータ 1 と同様である。そこで以下

では、第１の実施の形態によるコンピュータ１との相違点に着目して説明を続ける。

[0062] M C U 4 3 は、第４の実施の形態で説明したM C U 4 2と同様、スケーラー２０の内部に設けられ、ホストプロセッサ１２によって生成されるストローク画像と同一のストロークを示す仮ストローク画像S Ⅰをホストプロセッサ１２と並行して生成し、タイミングコントローラ３０に供給される前のビデオ信号V S 2に重畳する役割を有している。一方、第４の実施の形態で説明したM C U 4 2とは異なり、M C U 4 3は、センサコントローラ１１としての役割は有していない。

[0063] 図９は、本実施の形態によるビデオボード１３及びディスプレイパネル１４の内部構成を示す図である。同図と図２とを比較すると理解されるように、本実施の形態によるビデオボード１３は、切替部６２及びメモリ制御部６３を有しない点、M C U 4 3及びミキサ８３を有する点で第１の実施の形態によるビデオボード１３と相違し、その他の点では、第１の実施の形態によるビデオボード１３と同様である。ディスプレイパネル１４の構成は、第１の実施の形態によるディスプレイパネル１４のものと同一である。

[0064] M C U 4 3 は、マッチング処理部８０、レンダラー８１、及び画像メモリ８２を有して構成される。このうちマッチング処理部８０には、センサコントローラ１１からペンデータP Dが順次供給される。マッチング処理部８０は、供給されたペンデータP Dに含まれる座標データをディスプレイパネル１４の座標系による座標データに変換し、変換後の座標データを含むペンデータP Dをレンダラー８１に供給するよう構成される。

[0065] レンダラー８１、画像メモリ８２、及びミキサ８３の機能及び動作は、第４の実施の形態で説明したレンダラー７２、画像メモリ７３、及びミキサ７４の機能及び動作と同様である。したがって、本実施の形態においても、ビデオ信号V S 1により表される映像の前面、かつ、O S D画像の背面に、仮ストローク画像S Ⅰが表示されることになる。

[0066] 以上説明したように、本実施の形態によるコンピュータ１によっても、ホ

ストプロセッサ 12 が生成するストローク画像と同一のストロークを示す仮ストローク画像 S1 をホストプロセッサ 12 と並行して生成し、タイミングコントローラ 30 に供給される前のビデオ信号に重畳しているので、タイミングコントローラ 30 内にオーバーレイエンジンを設けることなく、コンピュータ 1 内での処理遅延に起因するストローク画像の表示遅延を防止することが可能になる。

[0067] また、本実施の形態によるコンピュータ 1 によっても、第 4 の実施の形態と同様、仮ストローク画像 S1 を表示する場合にも OSD 画像を表示することができ、しかも、仮ストローク画像 S1 よりも前面に OSD 画像を表示することが可能になる。

[0068] さらに、本実施の形態によるコンピュータ 1 によっても、第 4 の実施の形態と同様、仮ストローク画像 S1 をカラー調整部 53 の後段でビデオ信号 V S1 に重畳しているので、CG の一種である仮ストローク画像 S1 を、OSD 画像と同様、カラー調整部 53 による色補正の影響を受けない状態で表示することが可能になる。

[0069] 以上、本発明の好ましい実施の形態について説明したが、本発明はこうした実施の形態に何等限定されるものではなく、本発明が、その要旨を逸脱しない範囲において、種々なる態様で実施され得ることは勿論である。

[0070] 例えば、上記実施の形態では、ストローク画像の生成から表示までがコンピュータ 1 の内部で完結する場合の例を説明したが、オンライン会議アプリなどを用いて他のコンピュータとリモート接続している場合において、ホストプロセッサ 12 により生成したストローク画像が当該他のコンピュータに送信され、当該他のコンピュータからコンピュータ 1 に送信されてくる画像の中にストローク画像が含まれる場合にも、本発明は適用可能である。すなわち、コンピュータ 1 において生成されたストローク画像が他のコンピュータからコンピュータ 1 に送信されてくる画像の中に表示されるようになるまでには、ストローク画像の生成から表示までがコンピュータ 1 の内部で完結する場合よりもさらに大きな遅延が発生するが、本発明の処理によって他の

コンピュータからコンピュータ 1 に送信されてくる画像の中に仮ストローク画像を表示しておくことにより、そのような場合においてもストローク画像の表示遅延を防止することが可能になる。

符号の説明

[0071]	1	コンピュータ
	1 a	パネル面
	2	位置検出システム
	3	電子ペン
	1 0	センサ
	1 1	センサコントローラ
	1 2	ホストプロセッサ
	1 3	ビデオボード
	1 4	ディスプレイパネル
	2 0	スケーラー
	2 1	ビデオメモリ
	3 0	タイミングコントローラ
	3 1, 5 0	受信部
	3 2	ゲート線制御部
	5 1	解像度調整部
	5 2	フレームレート調整部
	5 3	カラー調整部
	5 4, 7 4, 8 3	ミキサ
	5 5	送信部
	6 0	OSDメモリ
	6 1	OSD制御部
	6 2	切替部
	6 3	メモリ制御部
	7 0	AD変換部

7 1	ペン信号処理部
7 2, 8 1	レンダラー
7 3, 8 2	画像メモリ
8 0	マッチング処理部
A p p D	描画用データ
G L	ゲート線
G N D	共通接地配線
L	液晶素子
P D	ペンデータ
P S	ペン信号
S I	仮ストローク画像
S L	信号線
T	薄膜トランジスタ
U S	アップリンク信号
V S 1 ~ V S 3	ビデオ信号

請求の範囲

[請求項1] それぞれタッチ面内におけるペンの位置を示す一連の座標データにより示されるストロークを示すストローク画像を生成するとともに、生成したストローク画像を示すビデオ信号を生成するホストプロセッサと、

 ディスプレイに設けられる複数のゲート線それぞれの電位を前記ビデオ信号に基づいて制御するタイミングコントローラと、

 前記ストローク画像と同一のストロークを示す仮ストローク画像を前記ホストプロセッサと並行して生成する仮ストローク画像生成プロセッサと、を含み、

 前記仮ストローク画像は、前記タイミングコントローラに供給される前の前記ビデオ信号に重畳される、

 コンピュータ。

[請求項2] 前記ホストプロセッサから出力された前記ビデオ信号を前記ディスプレイに応じた信号に変換し、変換後の前記ビデオ信号を前記タイミングコントローラに供給するスケーラーをさらに含み、

 前記スケーラーは、

 前記ビデオ信号に重畳するオンスクリーンディスプレイ画像を記憶するオンスクリーンディスプレイメモリと、

 前記オンスクリーンディスプレイメモリに記憶される前記オンスクリーンディスプレイ画像を前記ビデオ信号に重畳するミキサと、を含み、

 前記仮ストローク画像生成プロセッサは、生成した前記仮ストローク画像を前記オンスクリーンディスプレイメモリに書き込むよう構成される、

 請求項1に記載のコンピュータ。

[請求項3] 前記ペンから受信されるペン信号に基づいて前記一連の座標データを導出し、前記ホストプロセッサ及び前記仮ストローク画像生成プロ

セッサのそれぞれに出力するセンサコントローラをさらに含み、

前記仮ストローク画像生成プロセッサは、前記センサコントローラから供給される前記一連の座標データに基づいて前記仮ストローク画像を生成するよう構成される、

請求項 2 に記載のコンピュータ。

[請求項4] 前記ホストプロセッサから出力された前記ビデオ信号を前記ディスプレイに応じた信号に変換し、変換後の前記ビデオ信号を前記仮ストローク画像生成プロセッサに出力するスケーラーをさらに含み、

前記仮ストローク画像生成プロセッサは、生成した前記仮ストローク画像を前記スケーラーから出力される前記ビデオ信号に重畳し、重畳後の前記ビデオ信号を前記タイミングコントローラに供給するよう構成される、

請求項 1 に記載のコンピュータ。

[請求項5] 前記ペンから受信されるペン信号に基づいて前記一連の座標データを導出し、前記ホストプロセッサ及び前記仮ストローク画像生成プロセッサのそれぞれに出力するセンサコントローラをさらに含み、

前記仮ストローク画像生成プロセッサは、前記センサコントローラから供給される前記一連の座標データに基づいて前記仮ストローク画像を生成するよう構成される、

請求項 4 に記載のコンピュータ。

[請求項6] 前記ホストプロセッサから出力された前記ビデオ信号を前記ディスプレイに応じた信号に変換し、変換後の信号に前記仮ストローク画像を重畳し、重畳後の前記ビデオ信号を前記タイミングコントローラに供給するスケーラー

をさらに含む請求項 1 に記載のコンピュータ。

[請求項7] 前記仮ストローク画像生成プロセッサは、前記ペンから受信されるペン信号に基づいて前記一連の座標データを導出し、導出した前記一連の座標データを前記ホストプロセッサに出力するとともに、導出し

た前記一連の座標データに基づいて前記仮ストローク画像を生成するよう構成される、

をさらに含む請求項 6 に記載のコンピュータ。

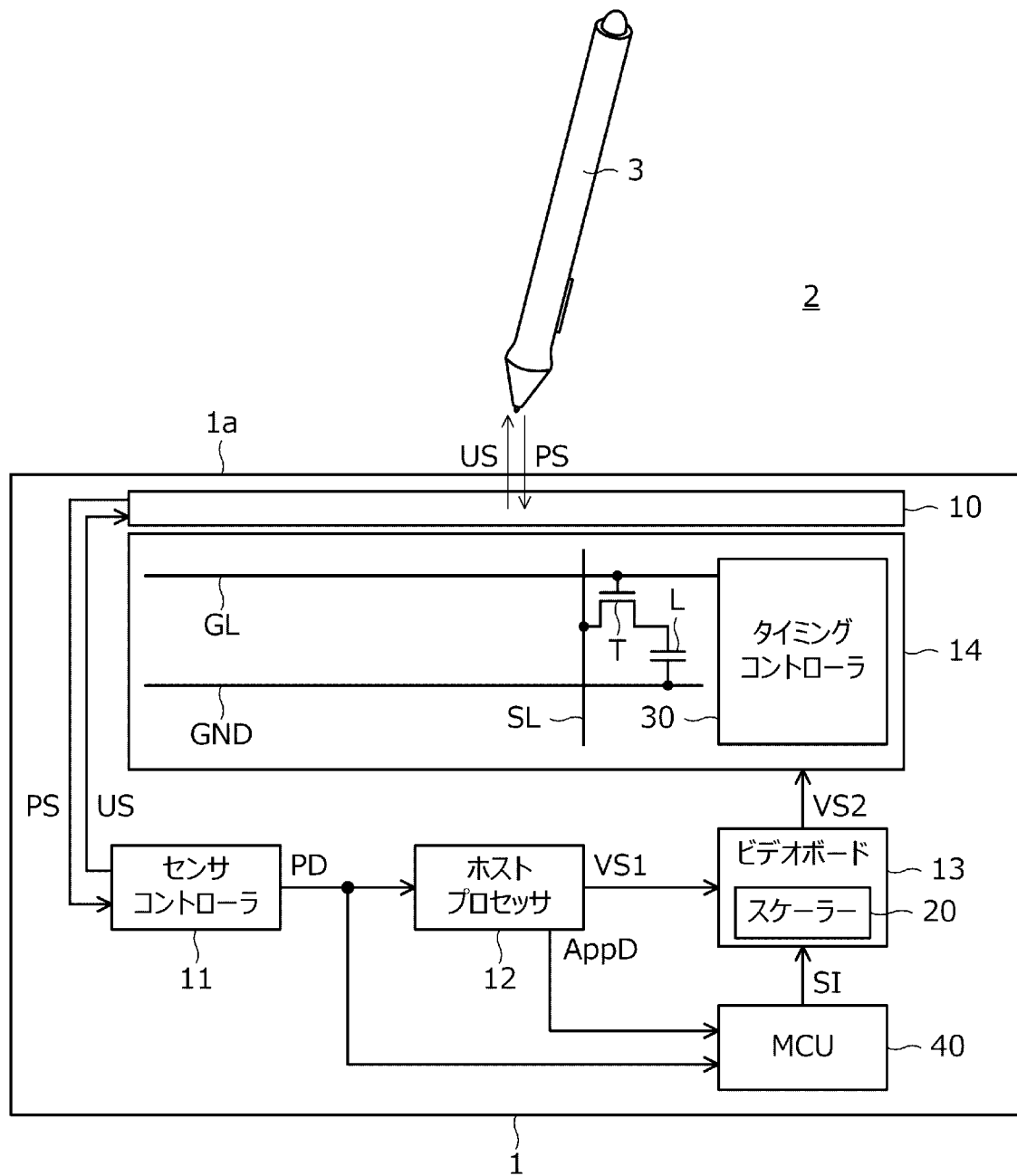
[請求項 8]

前記ペンから受信されるペン信号に基づいて前記一連の座標データを導出し、前記ホストプロセッサ及び前記仮ストローク画像生成プロセッサのそれぞれに出力するセンサコントローラをさらに含み、

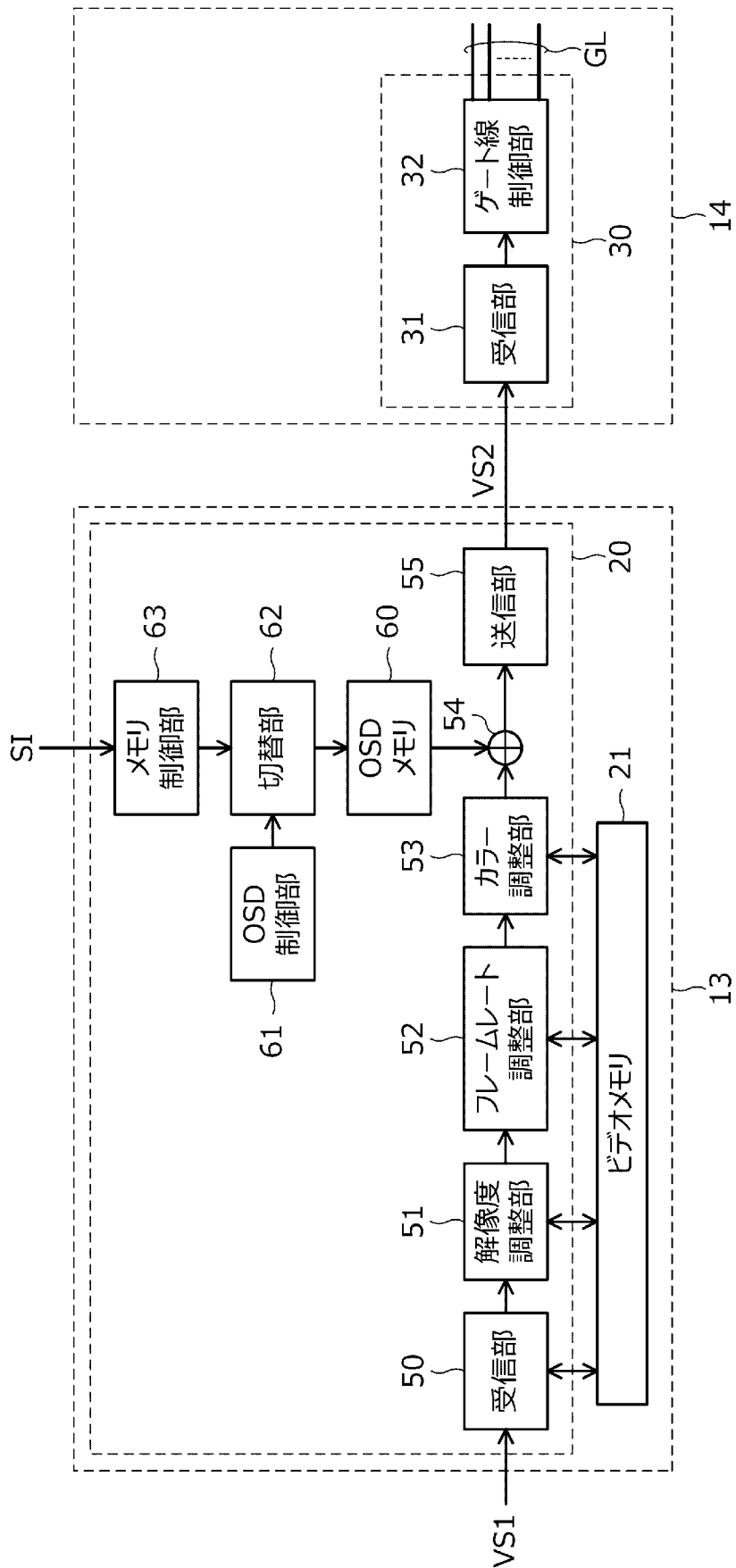
前記仮ストローク画像生成プロセッサは、前記センサコントローラから供給される前記一連の座標データに基づいて前記仮ストローク画像を生成するよう構成される、

をさらに含む請求項 6 に記載のコンピュータ。

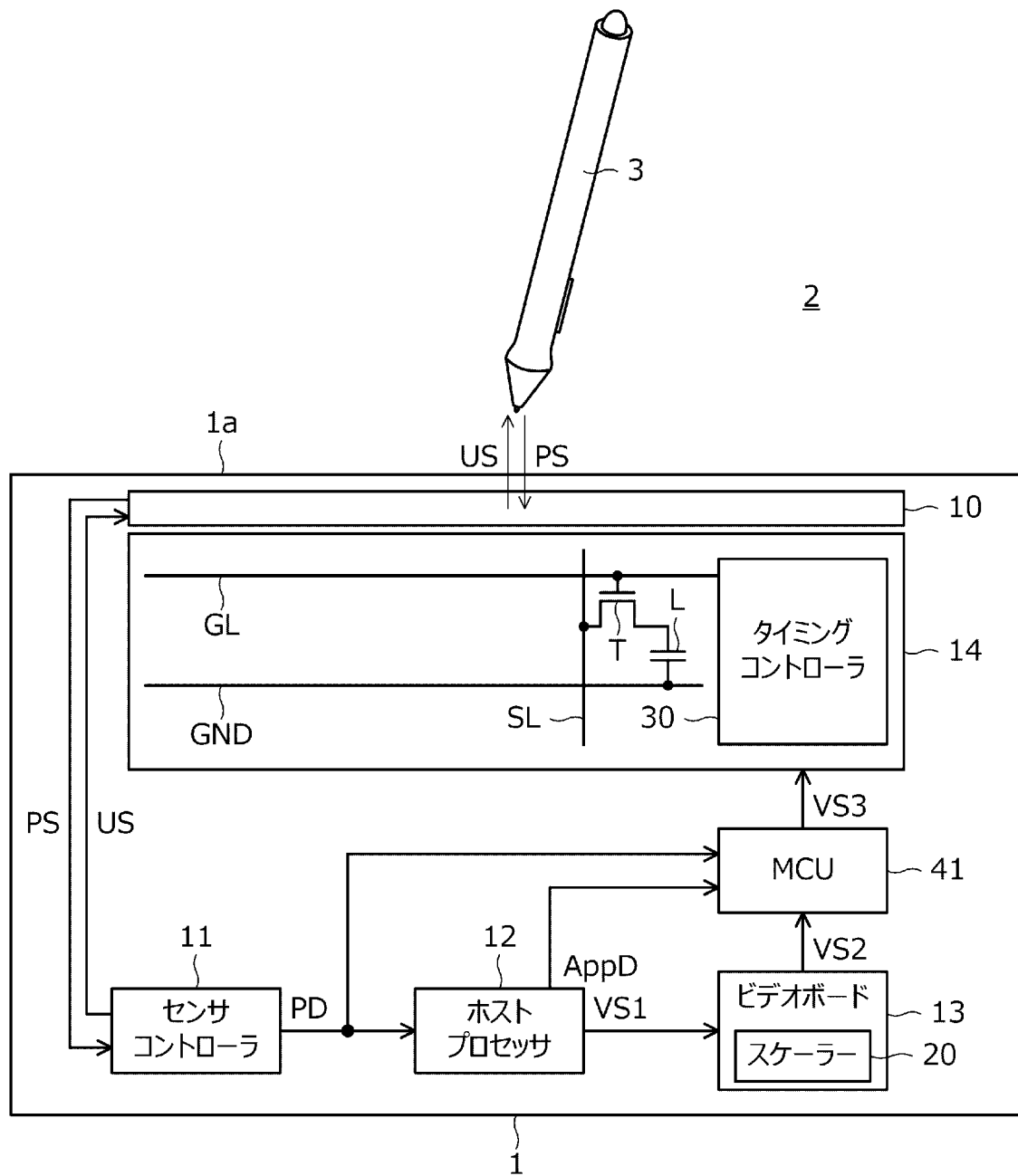
[図1]



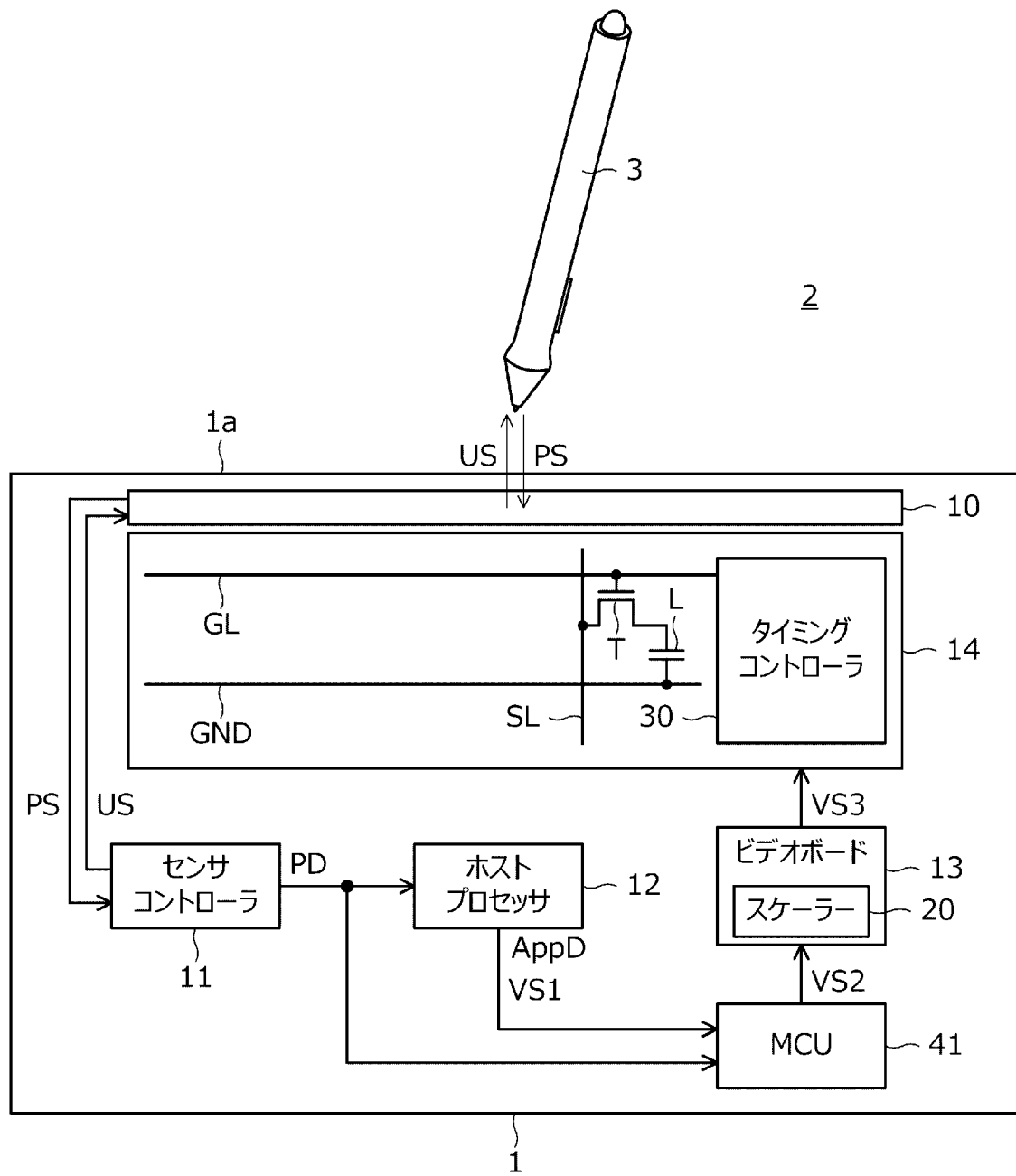
[図2]



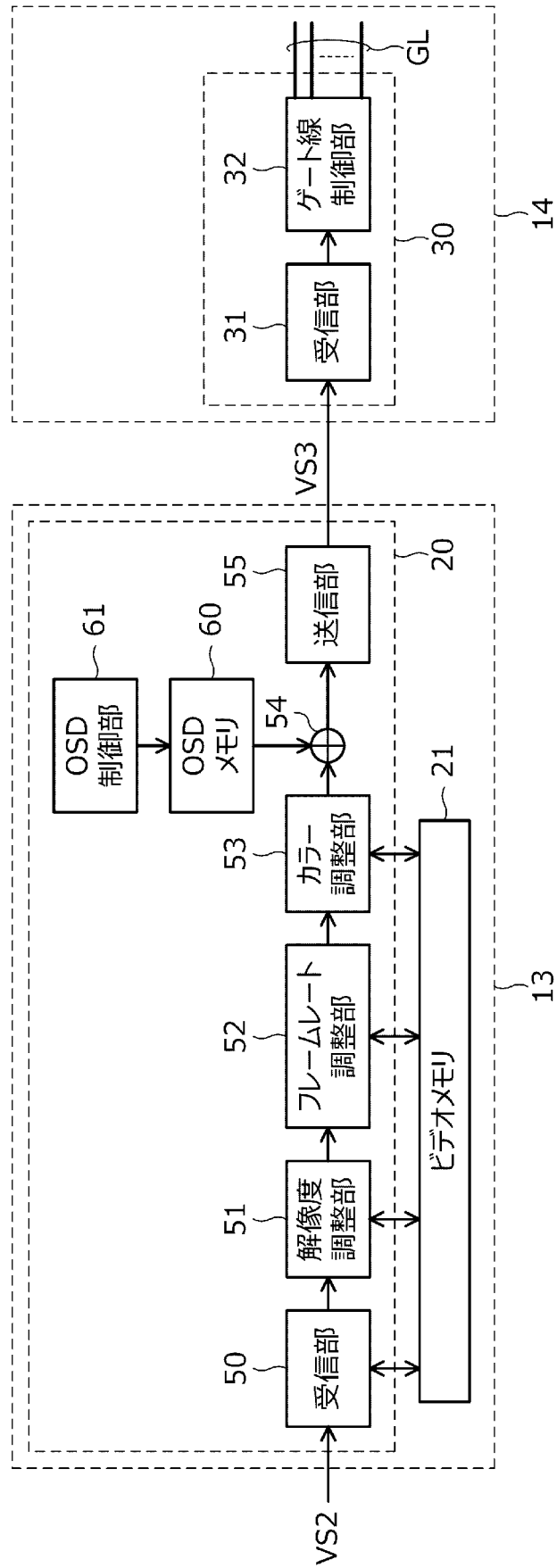
[図3]



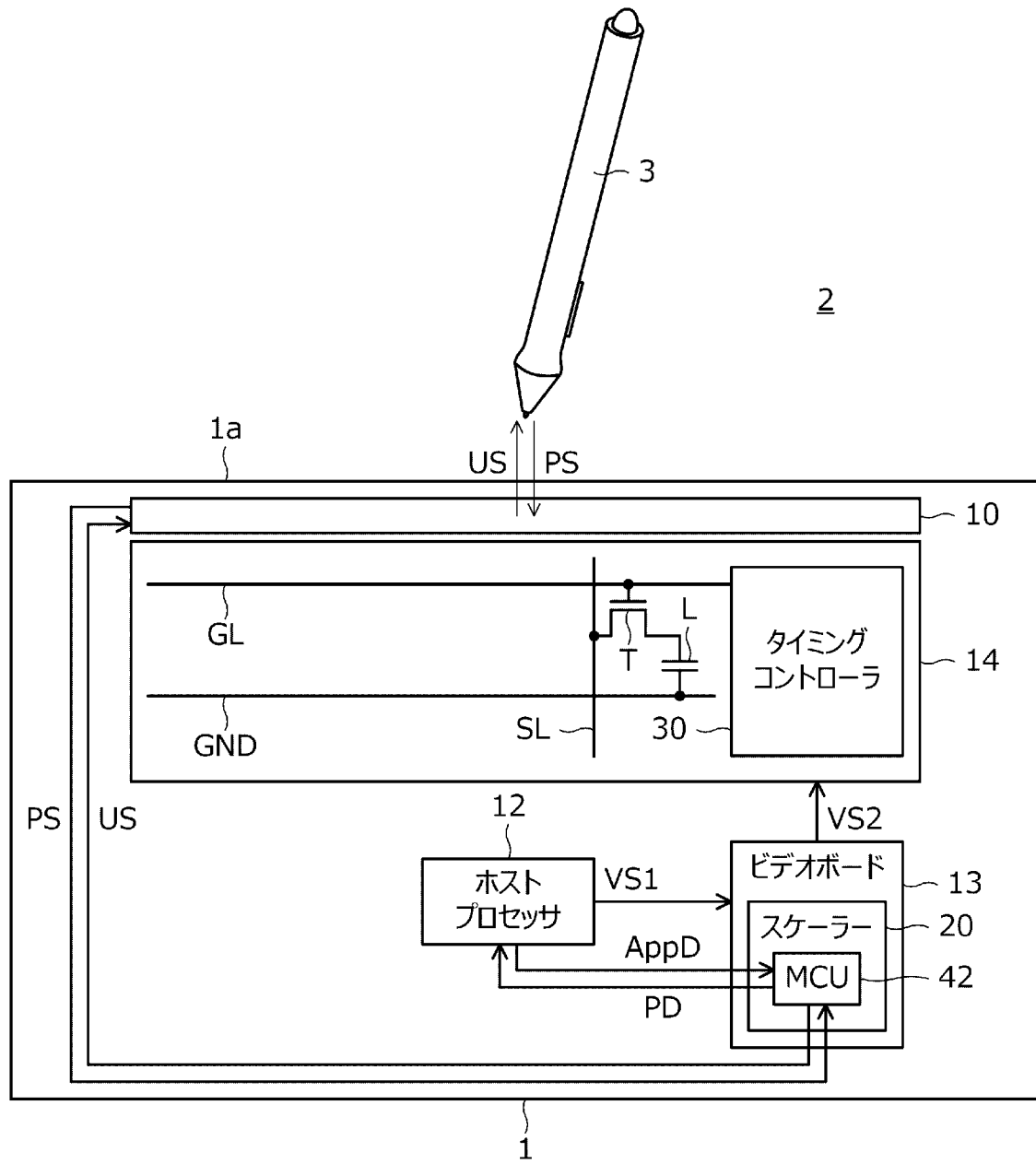
[図4]



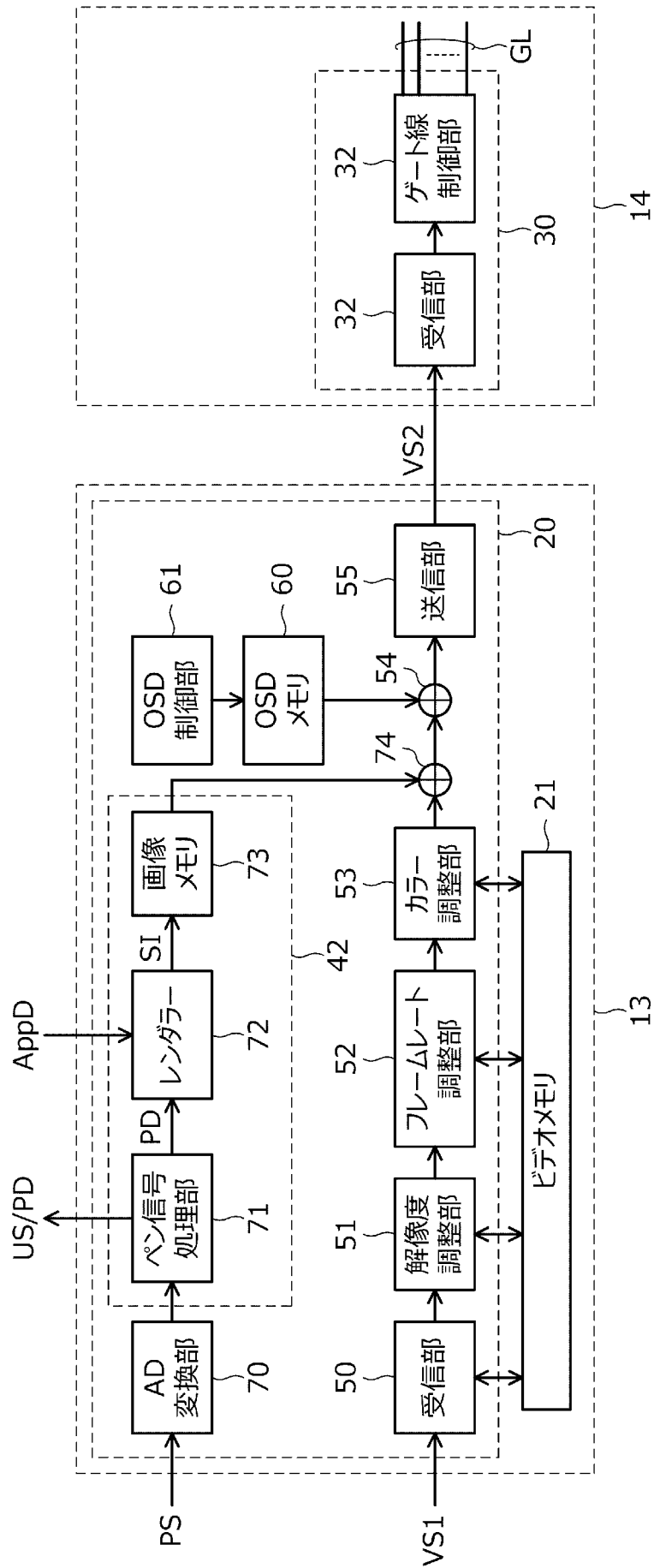
[図5]



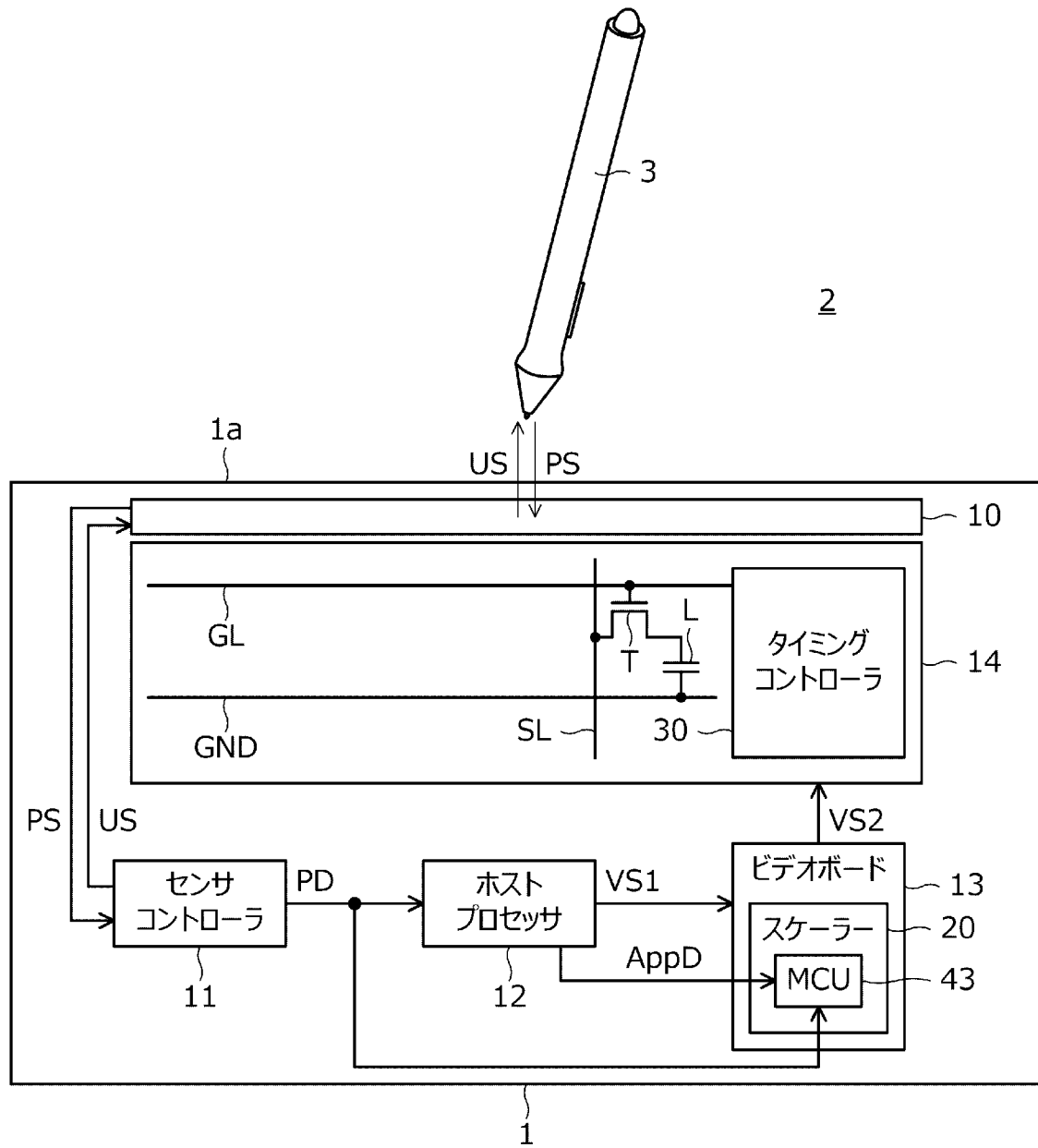
[図6]



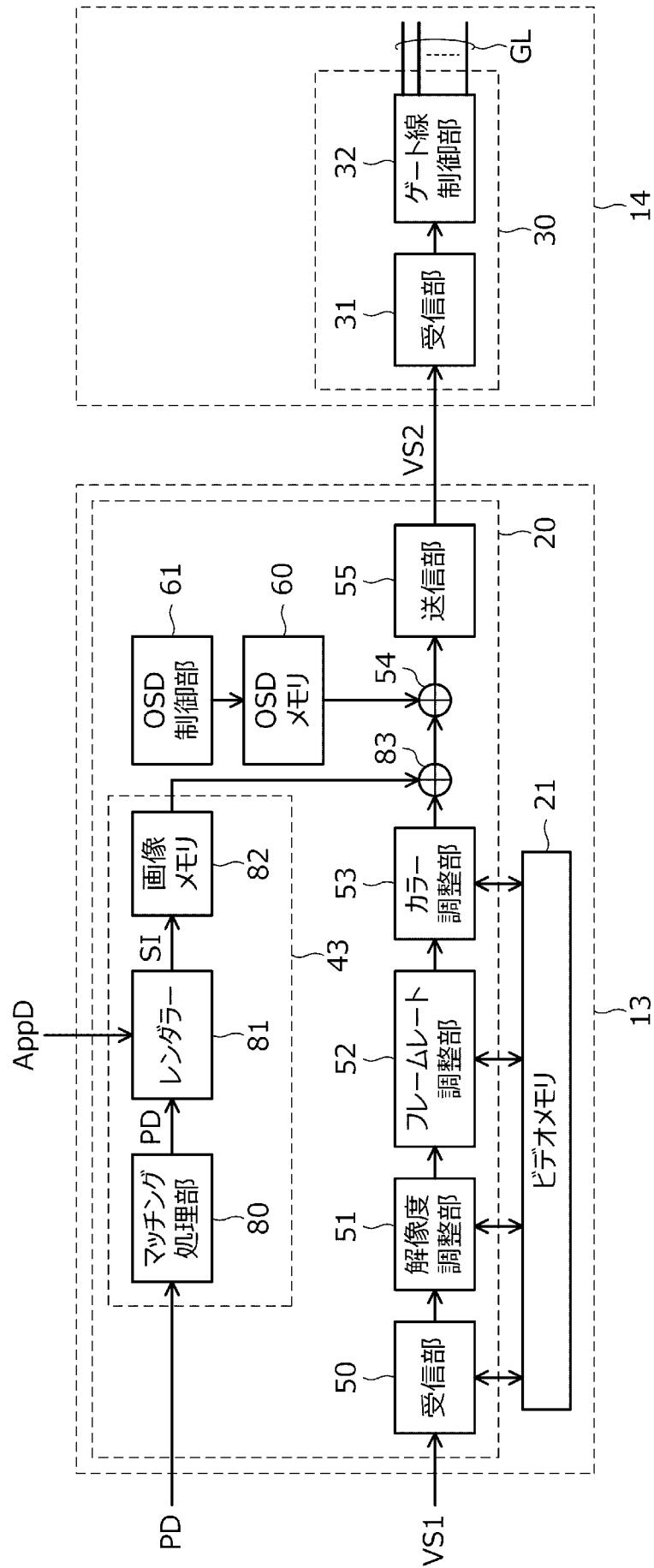
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/017244

A. CLASSIFICATION OF SUBJECT MATTER

G09G 5/00(2006.01)i; **G06F 3/03**(2006.01)i; **G06F 3/046**(2006.01)i; **G06F 3/04883**(2022.01)i; **G06F 3/14**(2006.01)i
 FI: G09G5/00 510J; G06F3/046 C; G06F3/03 400A; G06F3/04883; G09G5/00 550X; G09G5/00 550C; G09G5/00 520V;
 G06F3/14 400

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G5/00; G06F3/03; G06F3/046; G06F3/04883; G06F3/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-207287 A (SAMSUNG DISPLAY CO., LTD.) 19 November 2015 (2015-11-19) paragraphs [0046]-[0124], fig. 2-8	1, 4-5
Y		2-3, 6-8
Y	JP 2013-137368 A (HITACHI CONSUMER ELECTRONICS CO LTD) 11 July 2013 (2013-07-11) paragraphs [0013]-[0023], fig. 1-4	2-3, 6-8
A	JP 2014-216013 A (SAMSUNG DISPLAY CO., LTD.) 17 November 2014 (2014-11-17) entire text, all drawings	1-8
A	US 2016/0004375 A1 (SAMSUNG DISPLAY CO., LTD.) 07 January 2016 (2016-01-07) entire text, all drawings	1-8
A	US 2016/0077618 A1 (SAMSUNG DISPLAY CO., LTD.) 17 March 2016 (2016-03-17) entire text, all drawings	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

12 June 2023

Date of mailing of the international search report

20 June 2023

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/017244

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2015-207287	A	19 November 2015	US 2015/0301678 A1 paragraphs [0060]-[0214], fig. 2- 8 KR 10-2015-0121781 A CN 105022580 A	
JP	2013-137368	A	11 July 2013	US 2013/0169671 A1 paragraphs [0017]-[0029], fig. 1-4 CN 103188467 A	
JP	2014-216013	A	17 November 2014	US 2014/0313144 A1 entire text, all drawings EP 2799961 A1 CN 104111793 A KR 10-2014-0126263 A	
US	2016/0004375	A1	07 January 2016	EP 2824562 A1 KR 10-2016-0004217 A CN 104281318 A	
US	2016/0077618	A1	17 March 2016	KR 10-2016-0032766 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 5/00(2006.01)i; G06F 3/03(2006.01)i; G06F 3/046(2006.01)i; G06F 3/04883(2022.01)i; G06F 3/14(2006.01)i FI: G09G5/00 510J; G06F3/046 C; G06F3/03 400A; G06F3/04883; G09G5/00 550X; G09G5/00 550C; G09G5/00 520V; G06F3/14 400																							
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G5/00; G06F3/03; G06F3/046; G06F3/04883; G06F3/14 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2023年	日本国実用新案登録公報	1996-2023年	日本国登録実用新案公報	1994-2023年													
日本国実用新案公報	1922-1996年																						
日本国公開実用新案公報	1971-2023年																						
日本国実用新案登録公報	1996-2023年																						
日本国登録実用新案公報	1994-2023年																						
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2015-207287 A（三星ディスプレイ株式會社）19.11.2015（2015-11-19） [0046]-[0124], [図2]-[図8]</td> <td>1, 4-5</td> </tr> <tr> <td>Y</td> <td></td> <td>2-3, 6-8</td> </tr> <tr> <td>Y</td> <td>JP 2013-137368 A（日立コンシューマエレクトロニクス株式会社）11.07.2013 （2013-07-11） [0013]-[0023], [図1]-[図4]</td> <td>2-3, 6-8</td> </tr> <tr> <td>A</td> <td>JP 2014-216013 A（三星ディスプレイ株式會社）17.11.2014（2014-11-17） 全文、全図</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>US 2016/0004375 A1（SAMSUNG DISPLAY CO., LTD.）07.01.2016（2016-01-07） 全文、全図</td> <td>1-8</td> </tr> <tr> <td>A</td> <td>US 2016/0077618 A1（SAMSUNG DISPLAY CO., LTD.）17.03.2016（2016-03-17） 全文、全図</td> <td>1-8</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2015-207287 A（三星ディスプレイ株式會社）19.11.2015（2015-11-19） [0046]-[0124], [図2]-[図8]	1, 4-5	Y		2-3, 6-8	Y	JP 2013-137368 A（日立コンシューマエレクトロニクス株式会社）11.07.2013 （2013-07-11） [0013]-[0023], [図1]-[図4]	2-3, 6-8	A	JP 2014-216013 A（三星ディスプレイ株式會社）17.11.2014（2014-11-17） 全文、全図	1-8	A	US 2016/0004375 A1（SAMSUNG DISPLAY CO., LTD.）07.01.2016（2016-01-07） 全文、全図	1-8	A	US 2016/0077618 A1（SAMSUNG DISPLAY CO., LTD.）17.03.2016（2016-03-17） 全文、全図	1-8
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
X	JP 2015-207287 A（三星ディスプレイ株式會社）19.11.2015（2015-11-19） [0046]-[0124], [図2]-[図8]	1, 4-5																					
Y		2-3, 6-8																					
Y	JP 2013-137368 A（日立コンシューマエレクトロニクス株式会社）11.07.2013 （2013-07-11） [0013]-[0023], [図1]-[図4]	2-3, 6-8																					
A	JP 2014-216013 A（三星ディスプレイ株式會社）17.11.2014（2014-11-17） 全文、全図	1-8																					
A	US 2016/0004375 A1（SAMSUNG DISPLAY CO., LTD.）07.01.2016（2016-01-07） 全文、全図	1-8																					
A	US 2016/0077618 A1（SAMSUNG DISPLAY CO., LTD.）17.03.2016（2016-03-17） 全文、全図	1-8																					
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																							
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																							
国際調査を完了した日 12.06.2023		国際調査報告の発送日 20.06.2023																					
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 西島 篤宏 2I 9308 電話番号 03-3581-1101 内線 3273																					

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/017244

引用文献			公表日	パテントファミリー文献			公表日
JP	2015-207287	A	19.11.2015	US	2015/0301678	A1	
					[0060]-[0214], 図2-図8		
				KR	10-2015-0121781	A	
				CN	105022580	A	
JP	2013-137368	A	11.07.2013	US	2013/0169671	A1	
					[0017]-[0029], 図1-図4		
				CN	103188467	A	
JP	2014-216013	A	17.11.2014	US	2014/0313144	A1	
					全文, 全図		
				EP	2799961	A1	
				CN	104111793	A	
				KR	10-2014-0126263	A	
US	2016/0004375	A1	07.01.2016	EP	2824562	A1	
				KR	10-2016-0004217	A	
				CN	104281318	A	
US	2016/0077618	A1	17.03.2016	KR	10-2016-0032766	A	