

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3937265号  
(P3937265)

(45) 発行日 平成19年6月27日(2007.6.27)

(24) 登録日 平成19年4月6日(2007.4.6)

(51) Int. Cl. F I  
 HO 1 L 25/18 (2006.01) HO 1 L 25/08 Z  
 HO 1 L 25/07 (2006.01)  
 HO 1 L 25/065 (2006.01)

請求項の数 7 (全 32 頁)

(21) 出願番号	特願平10-140878	(73) 特許権者	500174247
(22) 出願日	平成10年5月22日(1998.5.22)		エルピーダメモリ株式会社
(65) 公開番号	特開平11-163255		東京都中央区八重洲2-2-1
(43) 公開日	平成11年6月18日(1999.6.18)	(74) 代理人	100123788
審査請求日	平成17年5月19日(2005.5.19)		弁理士 宮崎 昭夫
(31) 優先権主張番号	特願平9-263434	(74) 代理人	100106138
(32) 優先日	平成9年9月29日(1997.9.29)		弁理士 石橋 政幸
(33) 優先権主張国	日本国(JP)	(74) 代理人	100127454
			弁理士 緒方 雅昭
		(72) 発明者	増田 正親
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体事業部内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

長方形形状の表面および裏面と、前記表面の中央部に長辺と平行に配列された複数の外部端子と、を夫々が有し、前記裏面同志が向かい合って積層された第一半導体チップおよび第二半導体チップと、

前記第一半導体チップの前記表面に配置された第一部分と、前記第一部分から前記裏面方向に折れ曲がった第二部分と、前記第二部分から前記第一半導体チップの外側に向かって折れ曲がった第三部分と、を夫々が有し、前記第一半導体チップの前記長辺の一方と交わる複数の第一リードと、

前記第一半導体チップの前記表面に配置された第一部分と、前記第一部分から前記裏面方向に折れ曲がった第二部分と、前記第二部分から前記第一半導体チップの外側に向かって折れ曲がった第三部分と、を夫々が有し、前記第一半導体チップの前記長辺の他方と交わる複数の第二リードと、

前記第二半導体チップの前記表面に配置された第一部分と、前記第一部分から前記裏面方向に折れ曲がった第二部分と、前記第二部分から前記第二半導体チップの外側に向かって折れ曲がった第三部分と、を夫々が有し、前記第二半導体チップの前記長辺の一方と交わる複数の第三リードと、

前記第二半導体チップの前記表面に配置された第一部分と、前記第一部分から前記裏面方向に折れ曲がった第二部分と、前記第二部分から前記第二半導体チップの外側に向かって折れ曲がった第三部分と、を夫々が有し、前記第二半導体チップの前記長辺の他方と交わ

10

20

る複数の第四リードと、

前記第一および前記第二リードの各第一部分を、前記第一半導体チップの対応する前記外部端子に電氣的に接続する第一ワイヤと、

前記第三および前記第四リードの各第一部分を、前記第二半導体チップの対応する前記外部端子に電氣的に接続する第二ワイヤと、

前記第一半導体チップと、前記第二半導体チップと、前記第一ワイヤと、前記第二ワイヤと、前記第一から前記第四リードのうち前記第一および前記第二部分のすべてと前記第三部分の一部と、を封止する樹脂と、

を有し、

前記第一リードの各第三部分は、前記第四リードの前記第三部分の端部近傍において、前記第四リードの前記第三部分の端部を覆う方向に前記第一リードの前記第三部分に対して斜めに延びる第一の外部リードと一体化され、

10

前記第二リードの各第三部分は、前記第三リードの前記第三部分の端部近傍において、前記第三リードの前記第三部分の端部を覆う方向に前記第二リードの前記第三部分に対して斜めに延びる第二の外部リードと一体化され、

前記第一リードと前記第四リードとは、該第四リードがその端部において、前記第一の外部リードの根元部分と、前記樹脂外で溶接されることによって電氣的に接続され、

前記第二リードと前記第三リードとは、該第三リードがその端部において、前記第二の外部リードの根元部分と、前記樹脂外で溶接されることによって電氣的に接続されている

20

ことを特徴とする半導体装置。

#### 【請求項2】

長方形形状の表面および裏面と、前記表面の中央部に長辺と平行に配列された複数の外部端子と、を夫々が有し、前記裏面同志が向かい合って積層された第一半導体チップおよび第二半導体チップと、

前記第一半導体チップの前記表面に配置された第一部分と、前記第一部分から前記裏面方向に折れ曲がった第二部分と、前記第二部分から前記第一半導体チップの外側に向かって折れ曲がった第三部分と、を夫々が有し、前記第一半導体チップの前記長辺の一方と交わる複数の第一リードと、

前記第一半導体チップの前記表面に配置された第一部分と、前記第一部分から前記裏面方向に折れ曲がった第二部分と、前記第二部分から前記第一半導体チップの外側に向かって折れ曲がった第三部分と、を夫々が有し、前記第一半導体チップの前記長辺の他方と交わる複数の第二リードと、

30

前記第二半導体チップの前記表面に配置された第一部分と、前記第一部分から前記裏面方向に折れ曲がった第二部分と、前記第二部分から前記第二半導体チップの外側に向かって折れ曲がった第三部分と、を夫々が有し、前記第二半導体チップの前記長辺の一方と交わる複数の第三リードと、

前記第二半導体チップの前記表面に配置された第一部分と、前記第一部分から前記裏面方向に折れ曲がった第二部分と、前記第二部分から前記第二半導体チップの外側に向かって折れ曲がった第三部分と、を夫々が有し、前記第二半導体チップの前記長辺の他方と交わる複数の第四リードと、

40

前記第一および前記第二リードの各第一部分を、前記第一半導体チップの対応する前記外部端子に電氣的に接続する第一ワイヤと、

前記第三および前記第四リードの各第一部分を、前記第二半導体チップの対応する前記外部端子に電氣的に接続する第二ワイヤと、

前記第一半導体チップと、前記第二半導体チップと、前記第一ワイヤと、前記第二ワイヤと、前記第一から前記第四リードのうち前記第一および前記第二部分のすべてと前記第三部分の少なくとも一部と、を封止する樹脂と、

を有し、

前記第一リードの各第三部分は、該第一リードの該第三部分の端部において、前記第四

50

リードの前記第三部分の端部を覆う方向に前記第一リードの前記第三部分に対して斜めに延びる第一の外部リードと一体化され、

前記第二リードの各第三部分は、該第二リードの該第三部分の端部において、前記第三リードの前記第三部分の端部を覆う方向に前記第二リードの前記第三部分に対して斜めに延びる第二の外部リードと一体化され、

前記第一リードと前記第四リードとは、該第四リードがその端部において該第一リードの前記第三部分と、前記樹脂内で溶接されることによって電氣的に接続され、

前記第二リードと前記第三リードとは、該第三リードがその端部において該第二リードの前記第三部分と、前記樹脂内で溶接されることによって電氣的に接続されている、

ことを特徴とする半導体装置。

10

【請求項 3】

前記第一リードおよび前記第二リードは、夫々の前記第三部分によって、実装基板に電氣的に接続されていることを特徴とする、請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第一リードの前記第一部分と前記第一半導体チップとの間に配置された第一の絶縁性フィルムと、

前記第二リードの前記第一部分と前記第一半導体チップとの間に配置された第二の絶縁性フィルムと、

前記第三リードの前記第一部分と前記第二半導体チップとの間に配置された第三の絶縁性フィルムと、

前記第四リードの前記第一部分と前記第二半導体チップとの間に配置された第四の絶縁性フィルムと、

を有することを特徴とする、請求項 1 または 2 に記載の半導体装置。

20

【請求項 5】

前記第一から前記第四の前記絶縁性フィルムは、両面に接着層が形成された絶縁性フィルムであることを特徴とする、請求項 4 に記載の半導体装置。

【請求項 6】

前記第一半導体チップと前記第二半導体チップは同じ機能を有するメモリチップであることを特徴とする、請求項 1 または 2 に記載の半導体装置。

【請求項 7】

前記第一半導体チップおよび前記第二半導体チップには、D R A M が構成されていることを特徴とする、請求項 1 または 2 に記載の半導体装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に、二つの半導体チップを積層し、この二つの半導体チップを一つの樹脂封止体で封止する半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) が構成された半導体チップを樹脂封止体で封止する半導体装置においては、リードフレームのダイパッド(タブとも言う)を省略し、大型の半導体チップにも対応可能な L O C (L e a d O n C h i p) 構造が採用されている。この L O C 構造を採用する半導体装置については、例えば、特開平 2 - 2 4 6 1 2 5 号公報(1990年10月1日公開)に記載されている。

40

【0003】

ところで、L O C 構造を採用する半導体装置にあつては、大容量化を図る目的として、同一容量の D R A M が構成された二つの半導体チップを積層し、この二つの半導体チップを同一の樹脂封止体で封止した半導体装置が開発されている。

【0004】

50

前記半導体装置は、樹脂封止体と、前記樹脂封止体の内部に位置し、かつ表裏面のうちの表面である回路形成面に外部端子が形成された二つの半導体チップと、前記樹脂封止体の内外に亘って延在するリードとを有する構成になっている。前記二つの半導体チップの夫々は、夫々の回路形成面を互いに対向させた状態で積層されている。前記リードは、樹脂封止体の内部において上下に分岐された二つの分岐リードを有する構成になっている。前記一方の分岐リードは、前記一方の半導体チップの回路形成面に絶縁性フィルムを介在して接着固定され、かつその回路形成面の外部端子に導電性のワイヤを介して電氣的に接続されている。前記他方の分岐リードは、前記他方の半導体チップの回路形成面に絶縁性フィルムを介在して接着固定され、かつその回路形成面の外部端子に導電性のワイヤを介して電氣的に接続されている。

10

**【0005】**

前記二つの分岐リードの夫々は別々の部材で構成されている。一方の分岐リードは、樹脂封止体の外部に導出され、かつ所定の形状に成形された外部リードと一体化されている。他方の分岐リードは、樹脂封止体の内部において一方の分岐リードに接合され、電氣的にかつ機械的に接続されている。即ち、樹脂封止体の内外に亘って延在するリードは、樹脂封止体の外部に導出された外部リードと、この外部リードに一体化された一方の分岐リードと、この一方の分岐リードに接合された他方の分岐リードとで構成されている。

**【0006】**

なお、前記半導体装置については、例えば、特開平7-58281号公報(1995年3月3日公開)に開示されている。

20

**【0007】****【発明が解決しようとする課題】**

前記半導体装置において、二つの半導体チップの夫々は、夫々の回路形成面を互いに対向させた状態で積層されているので、樹脂封止体の内部において上下に分岐された二つの分岐リードが二つの半導体チップの間に存在している。この二つの分岐リードの夫々は、互いに対向する夫々の面(ボンディング面)にワイヤが接続されているので、互いに離間された状態になっている。このため、二つの分岐リードの間隔(離間寸法)に相当する分、二つの半導体チップの間隔が広がるので、樹脂封止体の厚さが増加し、半導体装置の厚さが増加する。

**【0008】**

また、二つの分岐リードの夫々は二つの半導体チップの間に存在しているので、一方の半導体チップとで生じる浮遊容量(チップ/リード間容量)及び他方の半導体チップとで生じる浮遊容量(チップ/リード間容量)が二つの分岐リードの夫々に付加される。このため、樹脂封止体の内外に亘って延在する1本のリードに付加される浮遊容量が増加するので、リードにおける信号の伝搬速度が低下し、半導体装置の電気特性が低下する。

30

**【0009】**

本発明の目的は、半導体装置の薄型化を図ることが可能な技術を提供することにある。

**【0010】**

本発明の他の目的は、半導体装置の電気特性の向上を図ることが可能な技術を提供することにある。

40

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

**【0011】****【課題を解決するための手段】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1)樹脂封止体と、前記樹脂封止体の内部に位置し、かつ表裏面のうちの表面(回路形成面)に外部端子が形成された二つの半導体チップと、前記樹脂封止体の内外に亘って延在するリードとを有し、前記リードは、少なくとも前記樹脂封止体の内部において二つに分岐され、前記一方の分岐リードは、前記一方の半導体チップの表面に固定され、かつそ

50

の表面の外部端子に電氣的に接続され、前記他方の分岐リードは、前記他方の半導体チップの表面に固定され、かつその表面の外部端子に電氣的に接続される半導体装置であって、前記二つの半導体チップの夫々は、夫々の裏面同志を向い合わせた状態で積層されている。

【0012】

前記一方の分岐リードは、前記一方の半導体チップの表面の外部端子に導電性のワイヤを介して電氣的に接続され、前記他方の分岐リードは、前記他方の半導体チップの表面の外部端子に導電性のワイヤを介して電氣的に接続されている。

【0013】

また、前記一方の分岐リードは、前記一方の半導体チップの表面に絶縁性フィルム又は絶縁性接着剤を介在して接着固定され、前記他方の分岐リードは、前記他方の半導体チップの表面に絶縁性フィルム又は絶縁性接着剤を介在して接着固定されている。

10

【0014】

(2) 前記手段(1)に記載の半導体装置において、前記二つの半導体チップの夫々の裏面は互いに接触している。

【0015】

(3) 前記手段(1)に記載の半導体装置において、前記一方の半導体チップの表面と対向する前記一方の分岐リードの一部分は、その他の部分に比べて厚さが薄くなっており、前記他方の半導体チップの表面と対向する前記他方の分岐リードの一部分は、その他の部分に比べて厚さが薄くなっている。

20

【0016】

(4) 樹脂封止体と、前記樹脂封止体の内部に位置し、表裏面のうちの表面に複数の外部端子が形成された二つの半導体チップと、前記樹脂封止体の内外に亘って延在する第一リード及び第二リードとを有し、前記二つの半導体チップの夫々は、夫々の裏面同志を向い合わせた状態で積層され、前記第一リードは、前記二つの半導体チップの夫々の外部端子と電氣的に接続され、前記第二リードは、前記二つの半導体チップのうちの何れか一方の半導体チップの外部端子と電氣的に接続される半導体装置であって、前記第一リードは、前記樹脂封止体の内部において二つに分岐され、前記一方の分岐リードは、前記二つの半導体チップのうちの一方の半導体チップの表面に固定されると共に、その表面に形成された外部端子に導電性のワイヤを介して電氣的に接続され、前記他方の分岐リードは、前記二つの半導体チップのうちの他方の半導体チップの表面に固定されると共に、その表面に形成された外部端子に導電性のワイヤを介して電氣的に接続され、前記第二リードは、前記樹脂封止体の内部において、前記二つの半導体チップのうちの何れか一方の半導体チップの表面に固定されると共に、その表面に形成された外部端子に導電性のワイヤを介して電氣的に接続されている。

30

【0017】

前記一方の分岐リードは、前記一方の半導体チップの表面に絶縁性フィルム又は絶縁性接着剤を介在して接着固定され、前記他方の分岐リードは、前記他方の半導体チップの表面に絶縁性フィルム又は絶縁性接着剤を介在して接着固定され、前記第二リードは、前記二つの半導体チップのうちの何れか一方の半導体チップの表面に絶縁性フィルム又は絶縁性接着剤を介在して接着固定されている。

40

【0018】

前記手段(1)によれば、二つの半導体チップの夫々は、夫々の裏面同志を向い合わせた状態で積層されていることから、二つの半導体チップの間には分岐リードが存在しないため、二つの半導体チップの間隔を狭くでき、これに相当する分、樹脂封止体の厚さを薄くできる。この結果、半導体装置の薄型化を図ることができる。

【0019】

また、二つの分岐リードの夫々は二つの半導体チップの間に存在しないため、一方の分岐

50

リードに付加される浮遊容量(チップ/リード間容量)のうち、他方の半導体チップとで生じる浮遊容量を実質的に排除でき、他方の分岐リードに付加される浮遊容量(チップ/リード間容量)のうち、一方の半導体チップとで生じる浮遊容量を実質的に排除できるので、樹脂封止体の内外に亘って延在する1本のリードに付加される浮遊容量を低減できる。この結果、リードにおける信号の伝搬速度が速くなるので、半導体装置の電気特性の向上を図ることができる。

【0020】

前記手段(2)によれば、二つの半導体チップの夫々の裏面は互いに接触していることから、二つの半導体チップの間隔がなくなるので、これに相当する分、樹脂封止体の厚さを薄くできる。この結果、半導体装置の薄型化を更に図ることができる。

10

【0021】

前記手段(3)によれば、一方の半導体チップの表面上における樹脂封止体の樹脂の肉厚及び他方の半導体チップの表面上における樹脂封止体の樹脂の肉厚を薄くできるので、これに相当する分、樹脂封止体の厚さを薄くできる。この結果、半導体装置の薄型化を更に図ることができる。

【0022】

前記手段(4)によれば、第二リードは、樹脂封止体の内部において、二つの半導体チップのうちの何れか一方の半導体チップの表面に固定されると共に、その表面に形成された外部端子に導電性のワイヤを介して電氣的に接続されていることから、第二リードに付加される浮遊容量(チップ/リード間容量)は、第一リードに付加される浮遊容量(チップ/リード間容量)よりも小さくなる。従って、第二リードにおける信号の伝搬速度が速くなるので、半導体装置の電気特性の向上を図ることができる。

20

【0023】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための図面において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0024】

(実施形態1)

本実施形態では、二方向リード配列構造であるT S O P (Thin Small Outline Package) 型の半導体装置に本発明を適用した例について説明する。

30

【0025】

図1は、本発明の実施形態1である半導体装置の樹脂封止体の上部を除去した状態の平面図であり、図2は前記半導体装置の樹脂封止体の下部を除去した状態の底面図であり、図3は図1に示すA-A線の位置で切った断面図である。

【0026】

図1、図2及び図3に示すように、本実施形態の半導体装置10は、二つの半導体チップ1を上下に積層し、この二つの半導体チップ1を一つの樹脂封止体8で封止した構成になっている。二つの半導体チップ1の夫々は、夫々の裏面同志を向い合わせた状態で積層されている。

40

【0027】

前記二つの半導体チップ1の夫々は同一の外形寸法で形成されている。また、二つの半導体チップ1の夫々の平面形状は、これに限定されないが、例えば長方形で形成されている。

【0028】

前記二つの半導体チップ1の夫々は、例えば、単結晶珪素からなる半導体基板及びその表裏面のうちの表面上に形成された多層配線層を主体とする構成になっている。この二つの半導体チップ1の夫々には、記憶回路システムとして、例えば64メガビットのDRAM (Dynamic Random Access Memory)が構成されている。

【0029】

50

前記二つの半導体チップ1のうち、一方の半導体チップ1Aの表面である回路形成面1A1の中央部には、長方形の長辺方向に沿って複数の外部端子(ボンディングパッド)BPが形成されている(図1参照)。この複数の外部端子BPの夫々は、半導体チップ1Aの多層配線層のうち、最上層の配線層に形成されている。最上層の配線層はその上層に形成された表面保護膜(最終保護膜)で被覆され、この表面保護膜には外部端子BPの表面を露出するボンディング開口が形成されている。

【0030】

前記二つの半導体チップ1のうち、他方の半導体チップ1Bの表面である回路形成面1B1の中央部には、長方形の長辺方向に沿って複数の外部端子BPが形成されている(図2参照)。この複数の外部端子BPの夫々は、半導体チップ1Bの多層配線層のうち、最上層の配線層に形成されている。最上層の配線層はその上層に形成された表面保護膜(最終保護膜)で被覆され、この表面保護膜には外部端子BPの表面を露出するボンディング開口が形成されている。

10

【0031】

前記一方の半導体チップ1Aに構成されたDRAMの回路パターンは、他方の半導体チップ1Bに構成されたDRAMの回路パターンと同一パターンで構成されている。また、一方の半導体チップ1Aの回路形成面1A1に形成された外部端子BPの配置パターンは、他方の半導体チップ1Bの回路形成面1B1に形成された外部端子BPの配置パターンと同一パターンで構成されている。即ち、二つの半導体チップ1の夫々は同一構造で構成されている。

20

【0032】

前記樹脂封止体8の平面形状は、これに限定されないが、例えば長方形で形成されている。この樹脂封止体8の互いに対向する二つの長辺の夫々の外側には、夫々の長辺に沿って複数のリード2が配列されている。複数のリード2の夫々は、樹脂封止体8の内外に亘って延在している。なお、図1に示す右側のリード群は図2に示す左側のリード群と対応し、図1に示す左側のリード群は図2に示す右側のリード群と対応する。

【0033】

前記複数のリード2の夫々には端子名が付されている。Vcc端子は電源電位(例えば5[V])に電位固定される電源電位端子である。Vss端子は基準電位(例えば0[V])に電位固定される基準電位端子である。IO/0A端子、IO/0B端子、IO/1A端子、IO/1B端子、IO/2A端子、IO/2B端子、IO/3A端子及びIO/3B端子はデータ入出力端子である。A0端子~A12端子はアドレス入力端子である。RAS端子はロウアドレスストロープ端子である。CAS端子はカラムアドレスストロープ端子である。WE端子はリード/ライトイネーブル端子である。OE端子は出力イネーブル端子である。NC端子は空き端子である。

30

【0034】

前記複数のリード2のうち、アドレス入力端子であるリード2、ロウアドレスストロープ端子であるリード2、カラムアドレスストロープ端子であるリード2、リード/ライトイネーブル端子であるリード2、出力イネーブル端子であるリード2の夫々は、樹脂封止体8の内部において上下(チップの積層方向)方向に分岐され、かつ折り曲げ加工が施された二つの分岐リード(3A, 4A)を有する構成になっている。一方の分岐リード3Aは、一方の半導体チップ1Aの回路形成面1A1に絶縁性フィルム6を介在して接着固定されると共に、その回路形成面1A1の外部端子BPに導電性のワイヤ7を介して電氣的に接続されている。他方の分岐リード4Aは、他方の半導体チップ1Bの回路形成面1B1に絶縁性フィルム6を介在して接着固定されると共に、その回路形成面1B1の外部端子BPに導電性のワイヤ7を介在して電氣的に接続されている。

40

【0035】

即ち、アドレス入力端子であるリード2、ロウアドレスストロープ端子であるリード2、カラムアドレスストロープ端子であるリード2、リード/ライトイネーブル端子であるリード2、出力イネーブル端子であるリード2の夫々は、二つの半導体チップ1の夫々の外

50

部端子BPに電氣的に接続されている。

【0036】

前記複数のリード2のうち、電源電位端子であるリード2、基準電位端子であるリード2の夫々は、樹脂封止体8の内部において上下方向(チップの積層方向)に分岐され、かつ折り曲げ加工が施された二つの分岐リード(3A, 4A)を有する構成になっている。

一方の分岐リード3Aは、半導体チップ1Aの回路形成面1A1上をその外部端子BPの配列方向に沿って延在し、他の分岐リード3Aの先端部と外部端子BPとの間に配置されたバスバーリード5と一体化されている。このバスバーリード5は、半導体チップ1Aの回路形成面1A1に絶縁性フィルム6を介在して接着固定された固定リードと一体化され、この固定リードは半導体チップ1Aの外部端子BPにワイヤ7を介して電氣的に接続されている。

10

他方の分岐リード4Aは、半導体チップ1Bの回路形成面1B1上をその外部端子BPの配列方向に沿って延在し、他の分岐リード4Aの先端部分と外部端子BPとの間に配置されたバスバーリード5と一体化されている。このバスバーリード5は半導体チップ1Bの回路形成面1B1に絶縁性フィルム6を介在して接着固定された固定リードと一体化され、この固定リードは半導体チップ1Bの外部端子BPにワイヤ7を介して電氣的に接続されている。

【0037】

即ち、電源電位端子であるリード2、基準電位端子であるリード2の夫々は、二つの半導体チップ1の夫々の外部端子BPと電氣的に接続されている。

20

また、本実施形態の半導体装置10は、半導体チップ1Aの回路形成面1A1上に分岐リード3A及びバスバーリード5を配置し、半導体チップ1Bの回路形成面1B1上に分岐リード4A及びバスバーリード5を配置したLOC(Lead On Chip)構造で構成されている。

【0038】

前記データ入出力端子であるリード2のうち、IO/0A端子、IO/1A端子、IO/2A端子、IO/3A端子である夫々のリード2は、樹脂封止体8の内部において折り曲げ加工が施された分岐リード3Aを有する構成になっている。この分岐リード3Aは、半導体チップ1Aの回路形成面1A1に絶縁性フィルム6を介在して接着固定されると共に、その回路形成面1A1の外部端子BPにワイヤ7を介して電氣的に接続されている。即ち、IO/0A端子、IO/1A端子、IO/2A端子、IO/3A端子である夫々のリード2は、半導体チップ1Bの外部端子BPと電氣的に接続されていない。

30

【0039】

前記データ入出力端子であるリード2のうち、IO/0B端子、IO/1B端子、IO/2B端子、IO/3B端子である夫々のリード2は、樹脂封止体8の内部において折り曲げ加工が施された分岐リード4Aを有する構成になっている。この分岐リード4Aは、半導体チップ1Bの回路形成面1Bに絶縁性フィルム6を介在して接着固定されると共に、その回路形成面1B1の外部端子BPに導電性のワイヤ7を介して電氣的に接続されている。即ち、IO/0B端子、IO/1B端子、IO/2B端子、IO/3B端子である夫々のリード2は、半導体チップ1Aの外部端子BPと電氣的に接続されていない。

40

【0040】

図3に示すように、前記一方の分岐リード3Aは、一方の半導体チップ1Aの回路形成面1A1の一辺を横切って一方の半導体チップ1Aの回路形成面1A上を延在する第一部分3A1と、この第一部分3A1から一方の半導体チップ1Aの裏面側に折れ曲がった第二部分3A2と、この第二部分3A2から一方の半導体チップ1Aの外側に向って折れ曲がった第三部分3A3とで構成されている。第一部分3A1は、絶縁性フィルム6を介在して半導体チップ1Aの回路形成面1A1に接着固定されている。第一部分3A1の先端部分は半導体チップ1Aの回路形成面1A1の中央部に形成された外部端子BPの近傍に配置され、第一部分3A1の先端部分にはワイヤ7が接続されている。

【0041】

50



前記他方の分岐リード4 Aは、他方の半導体チップ1 Bの回路形成面1 B 1の一辺を横切って他方の半導体チップ1 Bの回路形成面1 B 1上を延在する第一部分4 A 1と、この第一部分4 A 1から他方の半導体チップ1 Bの裏面側に折れ曲がった第二部分4 A 2と、この第二部分4 A 2から一方の分岐リード3 Aの第三部分3 A 3と重なるように折れ曲がった第三部分4 A 3とで構成されている。第一部分4 A 1は、絶縁性フィルム6を介在して半導体チップ1 Bの回路形成面1 B 1に接着固定されている。第一部分4 A 1の先端部分は半導体チップ1 Bの回路形成面1 B 1の中央部に形成された外部端子B Pの近傍に配置され、第一部分4 A 1の先端部分にはワイヤ7が接続されている。

【0042】

前記分岐リード3 Aの第三部分3 A 1は、樹脂封止体8からその外部に導出された外部リード3 Bと一体化されている。外部リード3 Bは面実装型形状として例えばガルウィング形状に成形されている。前記分岐リード4 Aの第三部分4 A 3は、その先端部Yが外部リード3 Bの根元部分3 B 1に接合され、電気的にかつ機械的に接続されている。即ち、二つの分岐リード(3 A, 4 A)の夫々は、別々の部材で構成されている。

10

【0043】

前記分岐リード4 Aの第三部分4 A 3の先端部と外部リード3 Bの根元部分3 B 1との接合は、これに限定されないが、例えば、接合強度を高める目的として、レーザによるシーム溶接で行なわれている。本実施形態において、シーム溶接は樹脂封止体8を形成した後に行っている。

【0044】

20

前記外部リード3 Bは、その根元部分3 B 1に連なるリード部分が他方の分岐リード4 A側に位置するように折り曲げられている。

【0045】

なお、絶縁性フィルム6としては、例えば、ポリイミド系樹脂からなる樹脂基材の両面(表面及び裏面)にポリイミド系樹脂からなる接着層が形成された絶縁性フィルムを用いている。また、導電性のワイヤ7としては、例えば金(Au)ワイヤを用いている。また、ワイヤ7の接続方法としては、例えば熱圧着に超音波振動を併用したボンディング法を用いている。

【0046】

前記半導体チップ1 Aの互いに対向する二つの短辺の夫々の外側には樹脂封止体8の内部に位置する支持リード9 Aが配置されている。また、前記半導体チップ1 Bの互いに対向する二つの短辺の夫々の外側には樹脂封止体8の内部に位置する支持リード9 Bが配置されている。この支持リード9 A、9 Bの夫々は、半導体装置10の製造プロセスにおいて、リードフレームの枠体に樹脂封止体8を支持するためのものである。

30

【0047】

前記樹脂封止体8は、低応力化を図る目的として、例えば、フェノール系硬化剤、シリコーンゴム及びフィラー等が添加されたビフェニル系の樹脂で形成されている。この樹脂封止体8は、大量生産に好適なトランスファモールディング法で形成されている。トランスファモールディング法は、ポット、ランナー、流入ゲート及びキャビティ等を備えたモールド金型を使用し、ポットからランナー及び流入ゲートを通してキャビティ内に樹脂を加圧注入して樹脂封止体を形成する方法である。

40

【0048】

前記半導体装置10において、一方の分岐リード3 Aは、一方の半導体チップ1 Aの回路形成面1 A 1に絶縁性フィルム6を介在して接着固定され、他方の分岐リード4 Aは、他方の半導体チップ1 Bの回路形成面1 B 1に絶縁性フィルム6を介在して接着固定されている。また、一方の半導体チップ1 A、他方の半導体チップ1 Bの夫々は、夫々の裏面同志を向い合わせた状態で積層されている。このことから、二つの半導体チップ1の間には分岐リード(3 A, 4 A)が存在しないため、二つの半導体チップ1の間隔を狭くでき、これに相当する分、樹脂封止体8の厚さを薄くすることができる。

【0049】

50

また、二つの分岐リード(3 A, 4 A)の夫々は二つの半導体チップ1の間には存在しないため、一方の分岐リード3 Aに付加される浮遊容量(チップ/リード間容量)のうち、他方の半導体チップ1 Bとで生じる浮遊容量を実質的に排除でき、他方の分岐リード4 Aに付加される浮遊容量(チップ/リード間容量)のうち、一方の半導体チップ1 Aとで生じる浮遊容量を実質的に排除できるので、樹脂封止体8の内部において分岐され、一方の分岐リード3 Aが一方の半導体チップ1 Aの回路形成面1 A 1に絶縁性フィルム6を介在して接着固定され、他方の分岐リード4 Aが他方の半導体チップ1 Bの回路形成面1 B 1に絶縁フィルム6を介在して接着固定されたリード2に付加される浮遊容量を低減できる。

【0050】

また、一方の半導体チップ1 A、他方の半導体チップ1 Bの夫々は、夫々の裏面同志を互いに接触させた状態で積層されている。このことから、二つの半導体チップ1の間隔がなくなるので、これに相当する分、樹脂封止体8の厚さを更に薄くすることができる。

【0051】

次に、前記半導体装置10の製造プロセスで用いられるリードフレームの構成について説明する。

【0052】

前記半導体装置10の製造は、図4(平面図)に示すリードフレームLF1及び図5(平面図)に示すリードフレームLF2を用いて行なわれる。

【0053】

前記リードフレームLF1は、図4に示すように、枠体12で周囲を規定された領域内において、複数のリード3、四つのバスバーリード5、二つの支持リード9 A等を配置している。複数のリード3の夫々は、二つのリード群に分割されている。一方のリード群のリード3は、半導体チップ(1 A)の一方の長辺と対向する枠体12の延在方向に沿って配列され、この枠体12と一体化されている。他方のリード群のリード3は、半導体チップ(1 A)の他方の長辺と対向する枠体12の延在方向に沿って配列され、この枠体12と一体化されている。4つのバスバーリード5の夫々は、半導体チップ(1 A)の長辺方向に沿って延在し、リード配列の初段、中段及び終段に配置されたリード3と一体化されている。二つの支持リード9 Aの夫々は、半導体チップ(1 A)の短辺と対向する夫々の枠体12と一体化されている。

【0054】

前記複数のリード3の夫々は、樹脂封止体(8)で封止される内部リードと樹脂封止体(8)の外部に導出される外部リード3 Bとで構成され、タイバー11を介して互いに連結されている。この複数のリード3のうち、大多数のリード3の内部リードは、分岐リード3 Aとして構成されている。分岐リード3 Aは、図3に示した構成と同様の構成、即ち第一部分3 A 1、第二部分(3 A 2)及び第三部分(3 A 3)を有する構成になっている。分岐リード3 Aは、第一部分3 A 1が半導体チップ(1 A)の回路形成面(1 A 1)を横切って半導体チップ(1 A)の回路形成面(1 A 1)上に位置し、第三部分(3 A 3)の裏面が半導体チップ(1 A)の裏面と同一平面に位置するように折り曲げられている。

【0055】

前記リードフレームLF1は、例えば、鉄(Fe)-ニッケル(Ni)系の合金又は銅(Cu)若しくは銅系の合金からなる平板材にエッチング加工又はプレス加工を施し、所定のリードパターンを形成した後、リード3の内部リード部分にプレス加工を施すことにより形成される。

【0056】

なお、分岐リード3 Aの第一部分3 A 1の裏面には絶縁性フィルム6が貼り付けられている。また、バスバーリード5には半導体チップ(1 A)の回路形成面に固定される固定リードが一体化され、この固定リードの裏面には絶縁性フィルム6が貼り付けられている。

【0057】

前記リードフレームLF2は、図5に示すように、枠体12で周囲を規定された領域内において、複数のリード4、4つのバスバーリード5、2つの支持リード9 B等を配置して

10

20

30

40

50

いる。複数本のリード4の夫々は、二つのリード群に分割されている。一方のリード群のリード4は、半導体チップ(1B)の一方の長辺と対向する枠体12の延在方向に沿って配列されている。他方のリード群のリード4は、半導体チップ(1B)の他方の長辺と対向する枠体12の延在方向に沿って配列されている。4つのバスバーリード5の夫々は、半導体チップ(1B)の長辺方向に沿って延在し、リード配列の初段、中段及び終段に配置されたリード4と一体化されている。二つの支持リード9Bの夫々は、半導体チップ(1B)の短辺と対向する夫々の枠体12と一体化されている。

**【0058】**

前記複数のリード4の夫々は、樹脂封止体(8)で封止される内部リードと樹脂封止体(8)の外部に導出される外部リードとで構成され、タイバー11を介して互いに連結されている。この複数のリード4の夫々はタイバー11を介して枠体12と一体化されている。

10

**【0059】**

前記複数のリード4の夫々の外部リードは、タイバー11から先の部分を除去した形状で形成され、前述のリード3の外部リード3Bに比べて短く構成されている。また、複数のリード4のうち、大多数のリード4は分岐リード4Aとして構成されている。分岐リード4Aは、図3に示した構成と同様の構成、即ち第一部分4A1、第二部分(4A2)及び第三部分(4A3)を有する構成になっている。分岐リード4Aは、第一部分4A1が半導体チップ(1B)の回路形成面(1B1)を横切って半導体チップ(1B)の回路形成面(1B1)上に位置し、第三部分(3B3)の裏面が半導体チップ(1B)の裏面と同一平面に位置するように折り曲げられている。

20

**【0060】**

前記リードフレームLF2は、例えば、鉄(Fe)-ニッケル(Ni)系の合金又は銅(Cu)若しくは銅系の合金からなる平板材にエッチング加工又はプレス加工を施し、所定のリードパターンを形成した後、リード4の内部リード部分にプレス加工を施すことにより形成される。

**【0061】**

なお、前記分岐リード4Aの第一部分4A1の裏面には絶縁性フィルム6が貼り付けられている。また、前記バスバーリード5には半導体チップ(1B)の回路形成面1Bに固定される固定リードが一体化され、この固定リードの裏面には絶縁性フィルム6が貼り付けられている。

30

**【0062】**

前記リードフレームLF1、LF2の夫々は、後で詳細に説明するが、半導体チップの外部端子とリードとを導電性のワイヤで電氣的に接続した後、夫々の裏面同志を重ね合わせた状態で使用される。従って、図4の左側のリード3は、そのタイバー近傍部分(重ね合わせ部分)が図5の右側のリード4のタイバー近傍部分(重ね合わせ部分)と重なるように配置され、図4の右側のリード3は、そのタイバー近傍部分(重ね合わせ部分)が図5の左側のリード4のタイバー近傍部分と重なるように配置されている。

**【0063】**

次に、前記半導体装置10の製造方法について、図6(断面図)、図7(要部断面図)及び図8(要部斜視図)を用いて説明する。

40

**【0064】**

まず、同一構造の二つの半導体チップ(1A, 1B)1を準備すると共に、図4に示すリードフレームLF1及び図5に示すリードフレームLF2を準備する。

**【0065】**

次に、前記リードフレームLF1に一方の半導体チップ1Aを固定すると共に、前記リードフレームLF2に他方の半導体チップ1Bを固定する。リードフレームLF1と半導体チップ1Aとの固定は、半導体チップ1Aの表裏面のうちの表面である回路形成面1A1に、絶縁性フィルム6を介在して、リード3の内部リードである分岐リード3Aの第一部分3A1、バスバーリード5に一体化された固定リードの夫々を接着固定することによって行われる。リードフレームLF2と半導体チップ1Bとの固定は、半導体チップ1Bの

50

表裏面のうちの表面である回路形成面1B1に、絶縁性フィルム6を介在して、リード4の内部リードである分岐リード4Aの第一部分4A1、バスバーリード5に一体化された固定リードの夫々を接着固定することによって行なわれる。

【0066】

この工程において、リードフレームLF1と半導体チップ1Aとの固定は、半導体チップ1Aの回路形成面1A1に分岐リード3Aの第一部分3A1及びバスバーリード5の固定リードを接着固定することによって行なわれるので、半導体チップ1Aは、リードフレームLF1に安定した状態で保持される。また、リードフレームLF2と半導体チップ1Bとの固定は、半導体チップ1Bの回路形成面1B1に分岐リード4Aの第一部分4A1及びバスバーリード5の固定リードを接着固定することによって行なわれるので、半導体チップ1BはリードフレームLF2に安定した状態で保持される。

10

【0067】

次に、前記リードフレームLF1において、半導体チップ1Aの外部端子BPと、分岐リード3Aの第一部分3A1の先端部分及びバスバーリード5の固定リードとを導電性のワイヤ7で電氣的に接続すると共に、前記リードフレームLF2において、半導体チップ1Bの外部端子BPと、分岐リード4Aの第一部分4A1の先端部分及びバスバーリード5の固定リードとを導電性のワイヤ7で電氣的に接続する。ワイヤ7としては例えば金(Au)ワイヤを用いる。また、ワイヤ7の接続方法としては例えば熱圧着に超音波振動を併用したボンディング法を用いる。

【0068】

この工程において、リードフレームLF1のリード3は、内部リードである分岐リード3Aの第一部分3A1が半導体チップ1Aの回路形成面1A1上に位置し、内部リードである分岐リード3Aの第三部分3A3の裏面が半導体チップ1Aの裏面と同一平面に位置するように折り曲げられているので、図6(A)に示すように、ヒートステージHSに半導体チップ1Aの裏面及び分岐リード3Aの第三部分3A3の裏面を直に接触させることができる。この結果、ヒートステージHSの熱が半導体チップ1A及び分岐リード3Aに有効に伝達されるので、半導体チップ1Aの外部端子BPとリードフレームLF1のリード3とのワイヤ7による接続を確実に行うことができる。

20

【0069】

また、この工程において、リードフレームLF2のリード4は、内部リードである分岐リード4Aの第一部分4A1が半導体チップ1Bの回路形成面1B1上に位置し、内部リードである分岐リード4Aの第三部分4A3の裏面が半導体チップ1Bの裏面と同一平面に位置するように折り曲げられているので、図6(B)に示すように、ヒートステージHSに半導体チップ1Bの裏面及び分岐リード3Bの第三部分3B3の裏面を直に接触させることができる。この結果、ヒートステージHSの熱が半導体チップ1B及び分岐リード3Bに有効に伝達されるので、半導体チップ1Bの外部端子BPとリードフレームLF2のリード4とのワイヤ7による接続を確実に行うことができる。

30

【0070】

また、この工程において、分岐リード3Aの第一部分3A1の先端部分は、半導体チップ1Aの回路形成面1A1の中央部に形成された外部端子BPの近傍に配置されているので、半導体チップの外側に配置されたリードの先端部分と半導体チップの回路形成面の中央部に形成された外部端子とをワイヤで接続する場合に比べて、ワイヤ7の長さを短くすることができる。

40

【0071】

また、この工程において、分岐リード4Aの第一部分4A1の先端部分は、半導体チップ1Bの回路形成面1B1の中央部に形成された外部端子BPの近傍に配置されているので、半導体チップの外側に配置されたリードの先端部分と半導体チップの回路形成面の中央部に形成された外部端子とをワイヤで電氣的に接続する場合に比べて、ワイヤ7の長さを短くすることができる。

【0072】

50

なお、半導体チップ1Aの外部端子BPと分岐リード3Aとのワイヤ7による接続は、バ  
スパーリード5を飛び越えて行なわれる。

また、半導体チップ1Bの外部端子BPと分岐リード4Aとのワイヤ7による接続は、バ  
スパーリード5を飛び越えて行なわれる。

また、半導体チップ1Aの外部端子BPと分岐リード3Aとの接続は、半導体チップ1B  
の外部端子BPと分岐リード4Aとの接続に対してワイヤ7が左右逆向きになるように逆  
ボンディングで行なわれる。

#### 【0073】

次に、前記一方の半導体チップ1A、他方の半導体チップ1Bの夫々の裏面同志が互いに  
向い合うように、リードフレームLF1、リードフレームLF2の夫々の裏面同志を重ね  
合わせる。本実施形態においては、一方の半導体チップ1A、他方の半導体チップ1Bの  
夫々の裏面を互いに接触させた状態にする。半導体チップ1A、半導体チップ1Bの夫々  
の裏面同志の接触は、分岐リード3A(リード3)、分岐リード4A(リード4)の夫々の  
弾性力によって保持される。また、本実施形態において、リード4の外部リードはリード  
3の外部リード3Bに比べて短く構成されているので、分岐リード4Aの第三部分4A3  
の先端部Yから外部リード3Bの裏面(合わせ面)が露出される。

10

#### 【0074】

次に、図7に示すように、前記リードフレームLF1、LF2の夫々を重ね合わせた状態  
で、リードフレームLF1、LF2の夫々をモールド金型20の上型20Aと下型20B  
との間に配置し、モールド金型20の上型20Aと下型20Bとで形成されるキャビティ  
21内に、半導体チップ1A、半導体チップ1B、分岐リード3A、分岐リード4A、支  
持リード9A、9B及びワイヤ7等を配置する。この工程において、分岐リード4Aの第  
三部分4A3の先端部Yは、キャビティ21の外側に位置する。

20

#### 【0075】

次に、前記モールド金型20のポットからランナー及び流入ゲートを通してキャビティ2  
1内に樹脂を加圧注入して樹脂封止体8を形成する。この工程において、半導体チップの  
外側に配置されたリードの先端部分と半導体チップの回路形成面の中央部に形成された外  
部端子とをワイヤで接続した場合に比べて、ワイヤ7の長さは短くなっているため、樹脂  
の加圧注入によって生じるワイヤ流れを抑制することができる。また、半導体チップ1A  
はリードフレームLF1に安定した状態で保持され、半導体チップ1Bはリードフレーム  
LF2に安定した状態で保持されているので、キャビティ21内に加圧注入された樹脂に  
よる二つの半導体チップ1の夫々の位置ずれを防止できる。

30

#### 【0076】

また、この工程において、樹脂封止体8により、二つのリードフレーム(LF1, LF2  
)の夫々は、夫々の裏面同志を重ね合わせた状態で保持される。

#### 【0077】

次に、前記モールド金型20からリードフレームLF1、LF2の夫々を取り出し、その  
後、図8に示すように、分岐リード4Aの第三部分4A3の先端部Yとそれから露出する  
外部リード3Bの根元部分とを接合する。これらの接合は例えばレーザを用いたシーム溶  
接にて行う。

40

#### 【0078】

次に、前記リード4に連結されたタイバー11及び前記リード3に連結されたタイバー1  
1を切断する。この時、リード4、即ち分岐リード4AはリードフレームLF2の枠体1  
2から分離される。

#### 【0079】

次に、メッキ処理を施し、その後、前記リードフレームLF1の枠体12からリード3を  
切断し、その後、リード3の外部リード3Bを面実装型形状として例えばガルウィング形  
状に成形する。外部リード3Bの成形は、その根元部分(3B1)に連なるリード部分が  
分岐リード4A側に位置するように折り曲げる。

#### 【0080】

50

次に、前記リードフレーム L F 1 の枠体 1 2 から支持リード 9 A を切断すると共に、リードフレーム L F 2 の枠体 1 2 から支持リード 9 B を切断する。これにより、樹脂封止体 8 の内部において上下方向に分岐された二つの分岐リード ( 3 A , 4 A ) を有し、樹脂封止体 8 の内外に亘って延在するリード 2 が形成されると共に、図 1、図 2 及び図 3 に示す半導体装置 1 0 が形成される。

【 0 0 8 1 】

このように構成された半導体装置 1 0 は、図 9 (平面図)に示すように、1つの回路システムを構成する電子装置 1 5 の構成部品として実装基板 1 6 に複数個実装される。

【 0 0 8 2 】

以上説明したように、本実施形態によれば以下の効果が得られる。

10

( 1 ) 二つの半導体チップ 1 の夫々は、夫々の裏面同志を向い合わせた状態で積層されていることから、二つの半導体チップ 1 の間には分岐リード ( 3 A , 4 A ) が存在しないため、二つの半導体チップ 1 の間隔を狭くでき、これに相当する分、樹脂封止体 8 の厚さを薄くできる。この結果、半導体装置 1 0 の薄型化を図ることができる。

【 0 0 8 3 】

また、二つの分岐リード ( 3 A , 4 A ) の夫々は二つの半導体チップ 1 の間に存在しないため、一方の分岐リード 3 A に付加される浮遊容量 (チップ/リード間容量)のうち、他方の半導体チップ 1 B とで生じる浮遊容量を実質的に排除でき、他方の分岐リード 4 A に付加される浮遊容量 (チップ/リード間容量)のうち、一方の半導体チップ 1 A とで生じる浮遊容量を実質的に排除できるので、樹脂封止体 8 の内において分岐され、一方の分岐リード 3 A が一方の半導体チップ 1 A の表面に絶縁性フィルム 6 を介在して接着固定され、他方の分岐リード 3 B が他方の半導体チップ 1 B の表面に絶縁フィルム 6 を介在して接着固定されたリード 2 に付加される浮遊容量を低減できる。この結果、リード 2 における信号の伝搬速度が速くなるので、半導体装置 1 0 の電気特性の向上を図ることができる。特に、表面の中央部に外部端子 B P が配置された半導体チップ 1 の場合、分岐リード、即ちリード 2 の先端部分を半導体チップ 1 の中央部の近傍まで引き伸ばさなければならず、半導体チップ 1 の表面とリード 2 との対向面積が増加するので、LOC 構造を採用する半導体装置 1 0 においては、二つの半導体チップ 1 の夫々の裏面を互いに向い合わせた状態で、二つの半導体チップ 1 の夫々を積層することは重要である。

20

【 0 0 8 4 】

( 2 ) 一方の半導体チップ 1 A、他方の半導体チップ 1 B の夫々は、夫々の裏面同志を互いに接触させた状態で積層されていることから、二つの半導体チップ 1 の間隔がなくなるので、これに相当する分、樹脂封止体 8 の厚さを更に薄くすることができる。この結果、半導体装置 1 0 の薄型化を更に図ることができる。

30

【 0 0 8 5 】

( 3 ) リード 2 は、樹脂封止体 8 の内部において上下方向に分岐された二つの分岐リード ( 3 A , 4 A ) を有し、一方の分岐リード 3 A は、一方の半導体チップ 1 A の回路形成面 1 A 1 の一边を横切ってその回路形成面 1 A 1 上を延在し、ワイヤ 7 が接続される第一部分 3 A 1 と、この第一部分 3 A 1 から一方の半導体チップ 1 A の裏面側に折れ曲がった第二部分 3 A 2 と、この第二部分 3 A 2 から一方の半導体チップ 1 A の外側に向って折れ曲がった第三部分 3 A 3 とで構成され、他方の分岐リード 4 A は、他方の半導体チップ 1 B の回路形成面 1 B 1 の一边を横切ってその回路形成面 1 B 1 上を延在し、ワイヤ 7 が接続される第一部分 3 B 1 と、この第一部分 3 B 1 から他方の半導体チップ 1 B の裏面側に折れ曲がった第二部分 3 B 2 と、この第二部分 3 B 2 から一方の分岐リード 3 A の第三部分 3 A 3 と重なるように折れ曲がった第三部分 3 B 3 とで構成され、一方の分岐リード 3 A の第三部分 3 A 3 は、樹脂封止体 8 からその外部に導出された外部リード 3 B と一体化され、他方の分岐リード 4 A の第三部分 4 A 3 は、その先端部 Y が外部リード 3 B の根元部分 3 B 1 に接合されていることから、裏面同志を向い合わせて積層された二つの半導体チップ 1 の夫々の外部端子 B P とリード 2 とを電氣的に接続することができる。

40

【 0 0 8 6 】

50

(4) 外部リード3Bは、その根元部分3B1に連なるリード部分が他方の分岐リード4A側に折り曲げられていることから、外部リード3Bの根元部分3B1に分岐リード4Aの第三部分4A3の先端部Yが接合された接合部の劣化を抑制することができる。

【0087】

(5) 一方の分岐リード3Aの第一部分3A1の先端部分は一方の半導体チップ1Aの回路形成面1A1の中央部に形成された外部端子BPの近傍に配置され、他方の分岐リード4Aの第一部分4A1の先端部分は他方の半導体チップ1Bの回路形成面1B1の中央部に形成された外部端子BPの近傍に配置されていることから、半導体チップの外側に配置されたリードの先端部分と半導体チップの回路形成面の中央部に形成された外部端子とをワイヤで接続する場合に比べて、ワイヤ7の長さを短くすることができるので、モールド

10

金型20のキャビティ21内に樹脂を加圧注入して樹脂封止体8を形成する際、樹脂の加圧注入によって生じるワイヤ流れを抑制することができる。この結果、隣接するワイヤ7同志の短絡を抑制することができるので、半導体装置10の製造における歩留まりを高めることができる。

【0088】

(6) 半導体装置10の製造プロセスにおいて、リードフレームLF1と半導体チップ1Aとの固定は、半導体チップ1Aの回路形成面1A1に分岐リード3Aの第一部分3A1及びバスバーリード5の固定リードを接着固定することによって行なわれるので、半導体チップ1Aは、リードフレームLF1に安定した状態で保持される。また、リードフレームLF2と半導体チップ1Bとの固定は、半導体チップ1Bの回路形成面1B1に分岐

20

リード4Aの第一部分4A1及びバスバーリード5の固定リードを接着固定することによって行なわれるので、半導体チップ1BはリードフレームLF2に安定した状態で保持される。この結果、ボンディング工程における半導体チップの位置ずれや、リードフレームの搬送時における半導体チップの脱落を抑制できるので、半導体装置10の製造における歩留まりを高めることができる。

【0089】

(7) 電子装置15の実装基板16に半導体装置10を実装することにより、実装基板16の面積を増加することなく、電子装置15の記憶容量を増加することができる。

【0090】

なお、本実施形態では、外部リード3Bの根元部分3B1と分岐リード4Aの第三部分4A3の先端部Yとを接合した例について説明したが、図10(断面図)に示すように、樹脂封止体8の内部において、分岐リード3Aの第三部分3A3と分岐リード4Aの第三部分4A3の先端部Yとを接合してもよい。この場合、ワイヤボンディング工程が終了した後であって、樹脂封止体8を形成する封止工程の前において、分岐リード3Aの第三部分3A3と分岐リード4Aの第三部分4A3とを重ね合わせた後、分岐リード4Aの第三部分4A3が分岐リード3Aの第三部分3A3よりも短くなるようにそのタイバー側の部分を切断し、その後、分岐リード3Aの第三部分3A3と分岐リード4Aの第三部分4A3の先端部Yとを接合する。このように、樹脂封止体8の内部において、分岐リード3Aの第三部分3A3と分岐リード4Aの第三部分4A3の先端部Yとを接合することにより、分岐リード4Aの第三部分4A3の先端部Yは樹脂封止体8の内部に位置するので、樹脂

30

40

封止体8から導出されたリード2と樹脂封止体8との界面領域を低減でき、水分パス経路の面積を低減できる。この結果、半導体装置20の耐湿性を高めることができる。

【0091】

また、本実施形態では、半導体チップ1A、半導体チップ1Bの夫々の表面に絶縁性フィルム6を介在して分岐リード3A、分岐リード4Aの夫々を接着固定した例について説明したが、分岐リード3A、分岐リード4Aの夫々の接着固定は絶縁性の接着剤で行ってもよい。この場合、半導体チップ1Aの表面と分岐リード3Aとの間の間隔及び半導体チップ1Bの表面と分岐リード4Aとの間の間隔が狭くなるので、これに相当する分、樹脂封止体8の厚さを薄くでき、半導体装置10の薄型化を更に図ることができる。

【0092】

50

また、本実施形態では、樹脂封止体 8 を形成した後、リードフレーム L F 1 の外部リード 3 B とリードフレーム L F 2 の分岐リード 4 A との接合を行った例について説明したが、これらの接合は、ワイヤボンディング工程が終了した後に行ってもよい。この場合、ワイヤボンディング工程後のリードフレームの搬送が容易になる。

【 0 0 9 3 】

また、本実施形態では、二つの半導体チップ 1 の夫々の裏面を互いに接触させた例について説明したが、二つの半導体チップ 1 の夫々の裏面は接着剤を介在して互いに接着固定してもよい。この場合、二つの半導体チップ 1 の夫々は互いに固定されるので、製造プロセスにおけるリードフレームの搬送が容易となる。

【 0 0 9 4 】

(実施形態 2)

図 1 1 は、本発明の実施形態 2 である半導体装置の樹脂封止体の上部を除去した状態の平面図であり、図 1 2 は前記半導体装置の樹脂封止体の下部を除去した状態の底面図であり、図 1 3 は図 1 1 に示す B - B 線の位置で切った断面図である。

【 0 0 9 5 】

図 1 1、図 1 2 及び図 1 3 に示すように、本実施形態の半導体装置 3 0 は、前述の実施形態 1 とほぼ同一の構成になっている。本実施形態において、前述の実施形態と異なる構成は、半導体チップ 1 A の回路形成面 1 A 1 と対向する分岐リード 3 A のチップ対向部分の厚さがその他の部分の厚さに比べて薄くなっている。また、分岐リード 3 A と一体化されたバスバーリード 5 の厚さが分岐リード 3 A のチップ対向部分と同様に薄くなっている。また、半導体チップ 1 B の回路形成面 1 B 1 と対向する分岐リード 4 B のチップ対向部分の厚さがその他の部分の厚さに比べて薄くなっている。また、分岐リード 4 A と一体化されたバスバーリード 5 の厚さが分岐リード 4 A のチップ対向部分と同様に薄くなっている。

【 0 0 9 6 】

更に、本実施形態において、前述の実施形態 1 と異なる構成は、半導体チップ 1 A の回路形成面 1 A 1 とバスバーリード 5 との間隔が半導体チップ 1 A の回路形成面 1 A 1 と分岐リード 3 A との間隔に比べて狭くなるように、バスバーリード 5 の位置がオフセットされている。また、半導体チップ 1 B の回路形成面 1 B 1 とバスバーリード 5 との間隔が半導体チップ 1 B の回路形成面 1 B 1 と分岐リード 4 A との間隔に比べて狭くなるように、バスバーリード 5 の位置がオフセットされている。

【 0 0 9 7 】

前記分岐リード 3 A のチップ対向部分の厚さ及びこの分岐リード 3 A に一体化されたバスバーリード 5 の厚さは、リードフレームの段階において、夫々の裏面側にハーフエッチング加工を施すことによって薄く制御される。図 1 4 は本実施形態の半導体装置 3 0 の製造プロセスで用いられるリードフレームの平面図であり、同図において、ハーフエッチング加工が施されたリードの部分に点々を付している。

【 0 0 9 8 】

前記分岐リード 4 A のチップ対向部分の厚さ及びこの分岐リード 4 A に一体化されたバスバーリード 5 の厚さは、リードフレームの段階において、夫々の裏面側にハーフエッチング加工を施すことによって薄く制御される。図 1 5 は本実施形態の半導体装置 3 0 の製造プロセスで用いられるリードフレームの平面図であり、同図において、ハーフエッチング加工が施されたリードの部分に点々を付している。

【 0 0 9 9 】

前記分岐リード 3 A に一体化されたバスバーリード 5 のオフセットは、分岐リード 3 A とバスバーリード 5 との一体化部分及びバスバーリード 5 とこのバスバーリード 5 に一体化された固定リードとの一体化部分に折り曲げ加工を施すことによって行なわれている。また、前記分岐リード 4 A に一体化されたバスバーリード 5 のオフセットは、分岐リード 4 A とバスバーリード 5 との一体化部分及びバスバーリード 5 とこのバスバーリード 5 に一体化された固定リードとの一体化部分に折り曲げ加工を施すことによって行なわれている

10

20

30

40

50



。これらの折り曲げ加工は、前述のハーフエッチング加工を施した後に行なわれる。

【0100】

なお、分岐リード3A、分岐リード4Aの夫々のハーフエッチング加工は、半導体チップ1Aの端部と分岐リード3Aとの短絡及び半導体チップ1Bの端部と分岐リード4Aとの短絡を防止するため、ハーフエッチングによって生じる段差部が半導体チップ1A、半導体チップ1Bの夫々の端部の外側に位置するように行う。

【0101】

このように、本実施形態の半導体装置30において、分岐リード3A、分岐リード4Aの夫々の裏面側にハーフエッチング加工を施し、半導体チップ1Aの回路形成面1A1と対向する分岐リード3Aのチップ対向部分の厚さをその他の部分の厚さに比べて薄くし、半導体チップ1Bの回路形成面1B1と対向する分岐リード4Aのチップ対向部分の厚さをその他の部分の厚さに比べて薄くすることにより、半導体チップ1Aの回路形成面1A1上における樹脂封止体8の肉厚及び半導体チップ1Bの回路形成面1B1上における樹脂封止体8の肉厚を薄くできるので、これに相当する分、樹脂封止体8の厚さを薄くすることができる。この結果、半導体装置30の薄型化を更に図ることができる。

10

【0102】

また、半導体チップ1Aの回路形成面1A1とバスバーリード5との間の間隔が半導体チップ1Aの回路形成面1A1と分岐リード3Aとの間の間隔に比べて狭くなるようにバスバーリード5の位置をオフセットし、半導体チップ1Bの回路形成面1B1とバスバーリード5との間の間隔が半導体チップ1Bの回路形成面1B1と分岐リード4Aとの間の間隔に比べて狭くなるようにバスバーリード5の位置をオフセットすることにより、夫々のバスバーリード5の表面(上面)の位置が低くなるので、これに相当する分、バスバーリード5を飛び越えるワイヤ7のループ高さを低くすることができ、樹脂封止体8の厚さを薄くすることができる。この結果、半導体装置30の薄型化を更に図ることができる。

20

【0103】

また、分岐リード3Aに一体化されたバスバーリード5、分岐リード4Aに一体化されたバスバーリード5の夫々の裏面(下面)にハーフエッチング加工を施し、夫々のバスバーリード5の厚さを薄くすることにより、夫々のバスバーリード5のオフセット量を増加することができ、夫々のバスバーリード5の表面の位置を更に低くすることができるので、これに相当する分、バスバーリード5を飛び越えるワイヤ7のループ高さを低くすることができ、半導体装置30の薄型化を更に図ることができる。

30

【0104】

なお、本実施形態では、分岐リード(3A、4A)、バスバーリード5の夫々の裏面側にハーフエッチング加工を施した例について説明したが、ハーフエッチング加工は、分岐リード(3A、4A)、バスバーリード5の夫々の表面側に施してもよい。

【0105】

また、本実施形態では、分岐リード(3A、4A)、バスバーリード5の夫々の裏面側にハーフエッチング加工を施した例について説明したが、これらのエッチング加工は、ハーフエッチング加工に限定する必要はない。

【0106】

(実施形態3)

図16は本発明の実施形態3である半導体装置の断面図であり、図17は前記半導体装置の要部斜視図である。

40

【0107】

図16及び図17に示すように、本実施形態の半導体装置40は、樹脂封止体8と、樹脂封止体8の内部に位置し、かつ表裏面のうちの表面である回路形成面に外部端子(BP)が配置された二つの半導体チップ1と、樹脂封止体8の内外に亘って延在するリード2とを有する構成になっている。リード2は、樹脂封止体8の内部において上下に分岐され、かつ折り曲げ加工が施された二つの分岐リード(3A、4A)を有する構成になっている。一方の分岐リード3Aは、一方の半導体チップ1Aの表面である回路形成面1A1に絶縁性

50

フィルム6を介在して接着固定されると共に、その回路形成面1A1の外部端子(BP)に電氣的に接続されている。他方の分岐リード4Aは、他方の半導体チップ1Bの回路形成面1B1に絶縁性フィルム6を介在して接着固定されると共に、その回路形成面1B1の外部端子(BP)に電氣的に接続されている。

【0108】

前記一方の分岐リード3A、他方の分岐リード4Aの夫々は、樹脂封止体8の内部において、上下方向に積層されている。

【0109】

前記一方の分岐リード3Aは、樹脂封止体8の外部に導出され、面実装型形状として例えばガルウィング形状に成形された外部リード3Bと一体化されている。他方の分岐リード4Aは、樹脂封止体8の外部に導出され、面実装型形状として例えばガルウィング形状に成形された外部リード4Bと一体化されている。この外部リード3B、外部リード4Bの夫々は、ガルウィング形状に折り曲げられた折り曲げ領域において、リード幅方向に並列に配置されている。このように、分岐リード3Aと一体化された外部リード3B、分岐リード4Aと一体化された外部リード4Bの夫々をリード幅方向に並列に配置してリード2の外部リードを構成することにより、半導体装置40を実装基板に実装する時の半田によって外部リード3B、外部リード4Bの夫々を接合することができるので、半導体装置40の製造プロセスにおいて、外部リード3Bと外部リード4Bとを接合する接合工程を廃止でき、これに相当する分、半導体装置40の製造工程数を低減することができる。

【0110】

前記半導体装置40は、図18(要部平面図)に示すリードフレームLF1及び図19(要部平面図)に示すリードフレームLF2を用いた製造プロセスで形成される。リードフレームLF1の外部リード3B、リードフレームLF2の外部リード4Bの夫々は、リードフレームLF1、LF2の夫々の裏面同志を重さね合わせた時、夫々が重さならないようにリード幅を狭くした構成になっている。このリードフレームLF1、LF2の夫々の裏面同志を重さね合わせ、折り曲げ領域において外部リード3B、外部リード4Bの夫々がリード幅方向に並列に配置されるように折り曲げ加工を施すことにより、リード幅方向に並列に配置された外部リード3B、外部リード4Bの夫々からなるリード2が形成される。

【0111】

本実施形態のリードフレームLF1は、前述の実施形態2と同様に、半導体チップ1Aの回路形成面1A1とバスバーリード5との間の間隔が半導体チップ1Aの回路形成面1A1と分岐リード3Aとの間の間隔に比べて狭くなるように、バスバーリード5の位置がオフセットされている。また、本実施形態のリードフレームLF2は、前述の実施形態2と同様に、半導体チップ1Bの回路形成面1B1とバスバーリード5との間の間隔が半導体チップ1Bの回路形成面1B1と分岐リード4Aとの間の間隔に比べて狭くなるように、バスバーリード5の位置がオフセットされている。

【0112】

なお、本実施形態では、前述の実施形態1と同様に、分岐リード3A、分岐リード4Aの夫々の厚さが一定となっているが、前述の実施形態2と同様に、分岐リード3A、分岐リード4Aの夫々の裏面側又は表面側にハーフエッチング加工を施し、半導体チップ1Aの回路形成面1A1と対向する分岐リード3Aのチップ対向部分の厚さをその他の部分の厚さに比べて薄くし、半導体チップ1Bの回路形成面1B1と対向する分岐リード4Aのチップ対向部分の厚さをその他の部分の厚さに比べて薄くしてもよい。また、バスバーリード5の裏面側又は表面側にハーフエッチング加工を施し、バスバーリード5の厚さを分岐リード(3A, 4A)のチップ対向部分と同様に薄くしてもよい。

【0113】

(実施形態4)

本実施形態では、二方向リード配列構造であるTSOP型の半導体装置に本発明を適用した例について説明する。

10

20

30

40

50

## 【0114】

図20は、本発明の実施形態4である半導体装置の樹脂封止体の上部を除去した状態の平面図であり、図21は前記半導体装置の樹脂封止体の下部を除去した状態の底面図であり、図22は図20に示すC-C線の位置で切った断面図であり、図23は、図19に示すD-D線の位置で切った断面図である。なお、図20及び図21において、図を見易くするため、絶縁性フィルム6の図示を省略している。

## 【0115】

図20、図21及び図22に示すように、本実施形態の半導体装置50は、二つの半導体チップ1を上下に積層し、この二つの半導体チップ1を一つの樹脂封止体8で封止した構成になっている。二つの半導体チップ1の夫々は、夫々の裏面同志を向い合わせた状態で積層されている。

10

## 【0116】

前記二つの半導体チップ1の夫々は同一の外形寸法で形成されている。また、二つの半導体チップ1の夫々の平面形状は、これに限定されないが、例えば長方形で形成されている。

## 【0117】

前記二つの半導体チップ1の夫々には、記憶回路システムとして、例えばクロック信号に同期して信号の入力又は出力が行なわれる64メガビットのシンクロナスDRAM(以下、単にSDRAMと言う)が構成されている。

## 【0118】

前記二つの半導体チップ1のうち、一方の半導体チップ1Aの表面である回路形成面1A1の中央部には、長方形の長辺に沿って複数の外部端子(ボンディングパッド)BPが形成されている。また、二つの半導体チップ1のうち、他方の半導体チップ1Bの表面である回路形成面1B1の中央部には、長方形の長辺に沿って複数の外部端子BPが形成されている。

20

## 【0119】

前記一方の半導体チップ1Aに構成されたSDRAMの回路パターンは、他方の半導体チップ1Bに構成されたSDRAMの回路パターンと同一パターンで構成されている。また、一方の半導体チップ1Aの回路形成面1A1に形成された外部端子BPの配置パターンは、他方の半導体チップ1Bの回路形成面1B1に形成された外部端子BPの配置パターンと同一パターンで構成されている。即ち、二つの半導体チップ1の夫々は同一構造で構成されている。

30

## 【0120】

前記樹脂封止体8の平面形状は、これに限定されないが、例えば長方形で形成されている。この樹脂封止体8の互いに対向する二つの長辺の夫々の外側には、夫々の長辺に沿って複数のリード51及び複数のリード52が配列されている。複数のリード51及び複数のリード52の夫々は、樹脂封止体8の内外に亘って延在している。なお、図20に示す右側のリード群は図21に示す左側のリード群と対応し、図20に示す左側のリード群は図21に示す右側のリード群と対応する。

## 【0121】

前記複数のリード51、複数のリード52の夫々には端子名が付されている。V<sub>cc</sub>端子及びV<sub>ccQ</sub>端子は電源電位(例えば5[V])に電位固定される電源電位端子である。V<sub>ss</sub>端子及びV<sub>ssQ</sub>端子は基準電位(例えば0[V])に電位固定される基準電位端子である。DQ0端子~DQ15端子はデータ入出力端子である。A0端子~A13端子はアドレス入力端子である。CS端子はチップセレクト端子である。RAS端子はロウアドレスストロープ端子である。CAS端子はコラムアドレスストロープ端子である。WE端子はリード/ライトイネーブル端子である。DQMU端子及びDQML端子は入出力マスク端子である。CLK端子はクロック入力端子である。CKE端子はクロックイネーブル端子である。NC端子は空き端子である。

40

## 【0122】

50

前記CLK端子であるリード51、CAS端子であるリード51の夫々は、図22に示すように、樹脂封止体8の内部において上下(チップの積層方向)方向に分岐され、かつ折り曲げ加工が施された二つの分岐リード(53A, 54A)を有する構成になっている。

【0123】

一方の分岐リード53Aは、一方の半導体チップ1Aの回路形成面1A1の一辺を横切って一方の半導体チップ1Aの回路形成面1A上を延在する第一部分53A1と、この第一部分53A1から一方の半導体チップ1Aの裏面側に折れ曲がった第二部分53A2と、この第二部分53A2から一方の半導体チップ1Aの外側に向かって折れ曲がった第三部分53A3とで構成されている。第一部分53A1は、絶縁性フィルム6を介在して半導体チップ1Aの回路形成面1A1に接着固定されている。第一部分53A1の先端部分は、半導体チップ1Aの回路形成面1A1の中央部に形成された外部端子(図20参照)BPの近傍に配置され、この半導体チップ1Aの外部端子BPに導電性のワイヤ7を介して電氣的に接続されている。

10

【0124】

他方の分岐リード54Aは、他方の半導体チップ1Bの回路形成面1B1の一辺を横切って他方の半導体チップ1Bの回路形成面1B1上を延在する第一部分54A1と、この第一部分54A1から他方の半導体チップ1Bの裏面側に折れ曲がった第二部分54A2と、この第二部分54A2から一方の分岐リード53Aの第三部分53A3と重なるように折れ曲がった第三部分54A3とで構成されている。第一部分54A1は、絶縁性フィルム6を介在して半導体チップ1Bの回路形成面1B1に接着固定されている。第一部分54A1の先端部分は、半導体チップ1Bの回路形成面1B1の中央部に形成された外部端子(図21参照)BPの近傍に配置され、この半導体チップ1Bの外部端子BPに導電性のワイヤ7を介して電氣的に接続されている。

20

【0125】

分岐リード53Aの第三部分53A1は、樹脂封止体8からその外部に導出された外部リード53Bと一体化されている。分岐リード54Aの第三部分54A3は、その先端部が外部リード53Bの根元部分53B1に接合され、電氣的にかつ機械的に接続されている。即ち、CLK端子であるリード51、CAS端子であるリード51の夫々は、二つの半導体チップ1の夫々の外部端子BPに電氣的に接続されている。

【0126】

なお、前記Vcc端子であるリード51、Vss端子であるリード51、A0端子~A15端子であるリード51、CS端子であるリード51、RAS端子であるリード51、WE端子であるリード51、CKE端子であるリード51の夫々は、CLK端子であるリード51と同様に構成され、二つの半導体チップ1の夫々の外部端子BPに電氣的に接続されている。

30

【0127】

前記DQ11端子であるリード52は、図23に示すように、樹脂封止体8の内部において上下(チップの積層方向)方向に分岐され、かつ折り曲げ加工が施された二つの分岐リード(55A, 56A)を有する構成になっている。

【0128】

一方の分岐リード55Aは、一方の半導体チップ1Aの回路形成面1A1の一辺を横切って一方の半導体チップ1Aの回路形成面1A上を延在する第一部分55A1と、この第一部分55A1から一方の半導体チップ1Aの裏面側に折れ曲がった第二部分55A2と、この第二部分55A2から一方の半導体チップ1Aの外側に向かって折れ曲がった第三部分55A3とで構成されている。第一部分55A1は、絶縁性フィルム6を介在して半導体チップ1Aの回路形成面1A1に接着固定されている。第一部分55A1の先端部分は、半導体チップ1Aの回路形成面1A1の中央部に形成された外部端子(図20参照)BPの近傍に配置され、この半導体チップ1Aの外部端子BPに導電性のワイヤ7を介して電氣的に接続されている。

40

【0129】

50

他方の分岐リード56Aは、図22に示すリード51の他方の分岐リード54Aと異なり、半導体チップ1Bの回路形成面1B1上を延在する第一部分が除去された形状で形成されている。即ち、分岐リード56Aは、主に、他方の半導体チップ1Bの回路形成面1B1側からその裏面側に亘って延在するリード部分56A2と、このリード56A2から一方の分岐リード55Aの第三部分55A3と重なるように折れ曲がったリード部分56A3とで構成されている。

【0130】

分岐リード55Aの第三部分55A1は、樹脂封止体8からその外部に導出された外部リード55Bと一体化されている。分岐リード56Aのリード部分56A3は、その先端部が外部リード55Bの根元部分55B1に接合され、電気的にかつ機械的に接続されている。即ち、DQ11端子であるリード52は、他方の半導体チップ1Bの外部端子BPに電気的に接続されていない。

10

【0131】

なお、前記DQ8端子～DQ10端子であるリード52、DQ12端子～DQ15端子であるリード52、DQMU端子であるリード52の夫々は、DQ11端子であるリード52と同様に構成され、他方の半導体チップ1Bの外部端子BPに電気的に接続されていない。また、前記VccQ端子及びVssQ端子のうち、図20において左側のリード配列に位置するVccQ端子であるリード52、VssQ端子であるリード52の夫々は、DQ11端子であるリード52と同様に構成され、他方の半導体チップ1Bの外部端子BPに電気的に接続されていない。

20

【0132】

前記DQ4端子であるリード52は、図23に示すように、樹脂封止体8の内部において上下(チップの積層方向)方向に分岐され、かつ折り曲げ加工が施された二つの分岐リード(57A, 58A)を有する構成になっている。

【0133】

一方の分岐リード57Aは、図22に示すリード51の一方の分岐リード53Aと異なり、半導体チップ1Aの回路形成面1A1上を延在する第一部分が除去された形状で形成されている。即ち、分岐リード57Aは、主に、一方の半導体チップ1Aの回路形成面1A1側からその裏面側に亘って延在するリード部分57A2と、このリード57A2から一方の半導体チップ1Aの外側に向って折れ曲がったリード部分57A3とで構成されている。

30

【0134】

他方の分岐リード58Aは、他方の半導体チップ1Bの回路形成面1B1の一辺を横切って他方の半導体チップ1Bの回路形成面1B上を延在する第一部分58A1と、この第一部分58A1から他方の半導体チップ1Bの裏面側に折れ曲がった第二部分58A2と、この第二部分58A2から一方の分岐リード57Aのリード部分57A3と重なるように折れ曲がった第三部分58A3とで構成されている。第一部分58A1は、絶縁性フィルム6を介して半導体チップ1Bの回路形成面1B1に接着固定されている。第一部分58A1の先端部分は、半導体チップ1Bの回路形成面1B1の中央部に形成された外部端子BPの近傍に配置され、この半導体チップ1Bの外部端子(図21参照)BPに導電性のワイヤ7を介して電気的に接続されている。

40

【0135】

分岐リード57Aのリード部分57A1は、樹脂封止体8からその外部に導出された外部リード57Bと一体化されている。分岐リード58Aの第三部分58A3は、その先端部が外部リード57Bの根元部分57B1に接合され、電気的にかつ機械的に接続されている。即ち、DQ4端子であるリード52は、一方の半導体チップ1Bの外部端子BPに電気的に接続されていない。

【0136】

なお、前記DQ0端子～DQ3端子であるリード52、DQ5端子～DQ7端子であるリード52、DQMU端子であるリード52の夫々は、DQ4端子であるリード52と同様

50

に構成され、一方の半導体チップ1Aの外部端子BPに電氣的に接続されていない。また、前記V<sub>ccQ</sub>端子及びV<sub>ssQ</sub>端子のうち、図19において右側のリード配列に位置するV<sub>ccQ</sub>端子であるリード52、V<sub>ssQ</sub>端子であるリード52の夫々は、DQ4端子であるリード52と同様に構成され、他方の半導体チップ1Bの外部端子BPに電氣的に接続されていない。

#### 【0137】

前記V<sub>cc</sub>端子であるリード51、V<sub>ss</sub>端子であるリード51の夫々の一方の分岐リード53Aは、半導体チップ1Aの回路形成面1A1上をその外部端子BPの配列方向に沿って延在し、他の分岐リード3Aの先端部と外部端子BPとの間に配置されたバスバーリード5と一体化されている。このバスバーリード5は、半導体チップ1Aの回路形成面1A1に絶縁性フィルム6を介して接着固定された固定リードと一体化され、この固定リードは半導体チップ1Aの外部端子BPにワイヤ7を介して電氣的に接続されている。

10

#### 【0138】

V<sub>cc</sub>端子であるリード51、V<sub>ss</sub>端子であるリード51の夫々の他方の分岐リード54Aは、半導体チップ1Bの回路形成面1B1上をその外部端子BPの配列方向に沿って延在し、他の分岐リード4Aの先端部分と外部端子BPとの間に配置されたバスバーリード5と一体化されている。このバスバーリード5は半導体チップ1Bの回路形成面1B1に絶縁性フィルム6を介して接着固定された固定リードと一体化され、この固定リードは半導体チップ1Bの外部端子BPにワイヤ7を介して電氣的に接続されている。

#### 【0139】

図24(ブロック図)に示すように、CLK端子、CKE端子、CS端子、RAS端子、CAS端子、WE端子及びA0端子～A13端子は、二つの半導体チップ(1A, 1B)の夫々に電氣的に接続され、DQMU端子及びDQ端子8～DQ端子15は一方の半導体チップ1Aに電氣的に接続され、DQML端子及びDQ0端子～DQ7端子は他方の半導体チップ1Bに電氣的に接続されている。即ち、本実施形態の半導体装置50は、二つの半導体チップ1に構成された夫々のSDRAMが同時に動作する。

20

#### 【0140】

前記半導体装置50において、二つの半導体チップ1の夫々の外部端子BPに電氣的に接続されるリード(CLK端子、CKE端子、CS端子、RAS端子、CAS端子、WE端子、A0～A13端子)51は樹脂封止体8の内部において上下方向に分岐された二つの分岐リードの夫々が二つの半導体チップ1の夫々の回路形成面上を延在し、夫々の回路形成面に接着固定されている。

30

一方、二つの半導体チップ1のうちの何れか一方の半導体チップ1の外部端子BPに電氣的に接続されるリード(DQMU端子、DQML端子、DQ0端子～DQ15端子)52は、二つの半導体チップ1のうちの何れか一方の半導体チップ1の回路形成面上を延在し、その回路形成面に接着固定されている。

このことから、リード52に付加される浮遊容量(チップ/リード間容量)は、リード51に付加される浮遊容量(チップ/リード間容量)よりも小さくなる。従って、リード52における信号の伝搬速度が速くなるので、半導体装置50の電気特性の向上を図ることができる。

40

#### 【0141】

特に、回路形成面の中央部に外部端子BPが配置された半導体チップ1の場合、リードの先端部分を半導体チップ1の中央部の近傍まで引き伸ばさなければならず、半導体チップ1の回路形成面とリードとの対向面積が増加するので、LOC構造を採用する半導体装置50においては、二つの半導体チップ1のうちの何れか一方の半導体チップ1の外部端子BPに電氣的に接続されるリードを一本のリードで形成することは重要である。

#### 【0142】

なお、本実施形態では、二つの半導体チップ1に構成された夫々のSDRAMが同時に動作するように半導体装置50を構成した例について説明したが、図25(ブロック図)に示すように、CS端子、RAS端子、CAS端子、WE端子、DQM端子、A0～A13端

50

子、DQ0端子～DQ15端子を共通にし、CLK端子、CLE端子を独立にしてもよい。この場合、二つの半導体チップ1に構成された夫々のSDRAMを独立に制御することが可能となるので、半導体装置50の発熱量を低減できると共に、半導体装置50を組み込んだシステム全体での低消費電力化を図ることが可能となる。

#### 【0143】

また、本実施形態では、図23に示すように、一方の半導体チップ1Aの外部端子BPと電氣的に接続されないリード52において、一方の分岐リード57Aをリード部分57A2及びリード部分57A3とで構成し、他方の半導体チップ1Bの外部端子BPと電氣的に接続されないリード52において、他方の分岐リード56Aをリード部分56A2及びリード部分56A3で構成した例について説明したが、図26に示すように、一方の半導体チップ1Aの外部端子BPと電氣的に接続されないリード52を、一部が樹脂封止体8の外部に導出されるリード部材59Aと一部が樹脂封止体8の内部に導入されるリード部材59Bとで構成し、他方の半導体チップ1Bの外部端子BPと電氣的に接続されないリード52を樹脂封止体8の内部に亘って延在する一本のリードで構成してもよい。この場合、リード52に付加される浮遊容量(チップ/リード間容量)は更に小さくなるので、半導体装置50の電気特性の向上を更に図ることができる。

#### 【0144】

(実施形態5)

図27は、本発明の実施形態5であるメモリモジュール(電子装置)の平面図であり、図28は、前記メモリモジュールの断面図である。

#### 【0145】

図27及び図28に示すように、メモリモジュール60は、配線基板61の表裏面のうちの表面側に二つの半導体装置63及び一つの半導体装置62を実装し、配線基板61の表裏面のうちの裏面側に二つの半導体装置63を実装した構成になっている。四つの半導体装置63の夫々には、記憶回路システムとして例えばSDRAMが搭載されている。一つの半導体装置62には、四つの半導体装置63の夫々の記憶回路システムを制御する制御回路システムが搭載されている。

#### 【0146】

前記四つの半導体装置63の夫々は、二つの半導体チップ1の夫々を夫々の裏面同志を向い合わせた状態で積層し、この二つの半導体チップ1を一つの樹脂封止体8で封止した構成になっている。この四つの半導体装置63は、基本的に前述の実施形態4の半導体装置50とほぼ同一の構成になっている。

#### 【0147】

前記四つの半導体装置63のうち、二つの半導体装置63Aは配線基板61の表面側に実装され、他の二つの半導体装置63Bは配線基板61の裏面側に実装されている。

#### 【0148】

前記半導体装置63Aは、図28に示すように、樹脂封止体8の互いに対向する二つの側面のうち、一方の側面8aからDQ11端子であるリード64Aが導出され、他方の側面8bからDQ4端子であるリード64Aが導出されている。一方、半導体装置63Bは、同図に示すように、樹脂封止体8の互いに対向する二つの側面のうち、一方の側面8aからDQ11端子であるリード64Bが導出され、他方の側面8bからDQ4端子であるリード64Bが導出されている。半導体装置63BのDQ4端子であるリード64Bは、半導体装置64AのDQ4端子であるリード64Aと向い合っており、半導体装置63BのDQ11端子であるリード64Bは半導体装置64AのDQ11端子であるリード64Aと向い合っている。通常、同一構造の半導体装置を配線基板の両面に実装した場合、異なる機能のリード同志が向い合うことになるが、ワイヤ7の接続を左右逆にすることにより、同一機能のリードを向い合わせた状態で、配線基板61の両面に半導体装置63を実装することが可能となる。

#### 【0149】

このように、同一機能のリードを向い合わせた状態で配線基板61の両面に半導体装置6

10

20

30

40

50

3を実装することが可能となることにより、配線基板61の配線層数を低減することができるので、メモリモジュール60の薄型化を図ることができる。

【0150】

また、同一容量のSDRAMが構成された二つの半導体チップ1を積層し、この二つの半導体チップ1を一つの樹脂封止体8で封止した半導体装置63を配線基板61に実装することにより、実装基板61の面積を増加することなく、メモリモジュール60の容量を倍にすることができる。

【0151】

なお、ワイヤ7の接続を左右逆にして同一機能のリードを向い合わせる場合は、回路形成面の中央部にその一辺に沿って複数の外部端子が形成された半導体チップ1を用いるのが有効である。

10

【0152】

また、同一機能のリードを向い合わせるには、リードの成形時に逆成形してリードの曲げ方向が異なる二種類の半導体装置を製造してもよい。

【0153】

以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0154】

例えば、本発明は、一方向リード配列構造であるSIP(Single In-line Package)型

20

【0155】

また、本発明は、二方向リード配列構造であるSOJ(Small Out-line J-leaded lead Package)型、SOP(Small Out-line Package)型等の半導体装置に適用できる。

【0156】

また、本発明は、四方向リード配列構造であるQFP(Quad Flatpack Package)型、QFJ(Quad Flatpack J-leaded Package)型等の半導体装置に適用できる。

【0157】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

30

半導体装置の薄型化を図ることができる。

また、半導体装置の電気特性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1である半導体装置の樹脂封止体の上部を除去した状態の平面図である。

【図2】前記半導体装置の樹脂封止体の下部を除去した状態の底面図である。

【図3】図1に示すA-A線の位置で切った断面図である。

【図4】前記半導体装置の製造プロセスで用いられるリードフレームの平面図である。

【図5】前記半導体装置の製造プロセスで用いられるリードフレームの平面図である。

40

【図6】前記半導体装置の製造方法を説明するための断面図である。

【図7】前記半導体装置の製造方法を説明するための要部断面図である。

【図8】前記半導体装置の製造方法を説明するための要部斜視図である。

【図9】前記半導体装置を実装した電子装置の平面図である。

【図10】本発明の実施形態1の変形例である半導体装置の断面図である。

【図11】本発明の実施形態2である半導体装置の樹脂封止体の上部を除去した状態の平面図である。

【図12】前記半導体装置の樹脂封止体の下部を除去した状態の底面図である。

【図13】図11に示すB-B線の位置で切った断面図である。

【図14】前記半導体装置の製造プロセスで用いられるリードフレームの平面図である。

50



【図15】前記半導体装置の製造プロセスで用いられるリードフレームの平面図である。

【図16】本発明の実施形態3である半導体装置の断面図である。

【図17】前記半導体装置の要部斜視図である。

【図18】前記半導体装置の製造プロセスで用いられるリードフレームの要部平面図である。

【図19】前記半導体装置の製造プロセスで用いられるリードフレームの要部平面図である。

【図20】本発明の実施形態4である半導体装置の樹脂封止体の上部を除去した状態の平面図である。

【図21】前記半導体装置の樹脂封止体の下部を除去した状態の底面図である。

10

【図22】図20に示すC-C線の位置で切った断面図である。

【図23】図20に示すD-D線の位置で切った断面図である。

【図24】前記半導体装置のブロック図である。

【図25】本発明の実施形態4の変形例である半導体装置のブロック図である。

【図26】本発明の実施形態4の変形例である半導体装置の断面図である。

【図27】本発明の実施形態5である電子装置の平面図である。

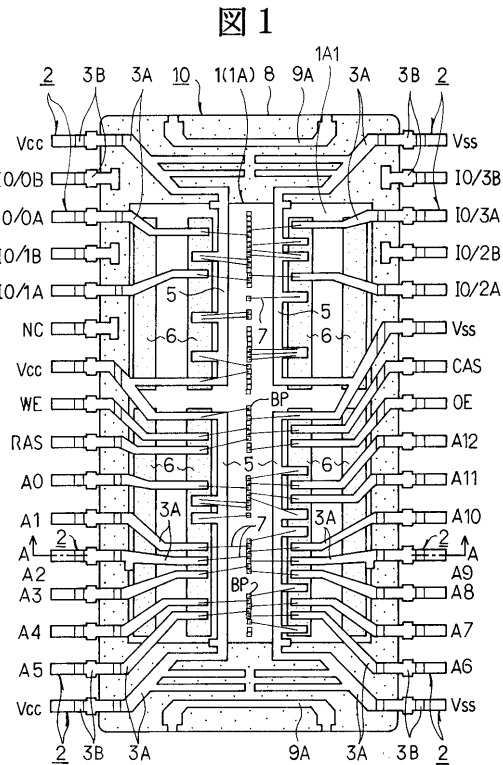
【図28】前記電子装置の断面図である。

【符号の説明】

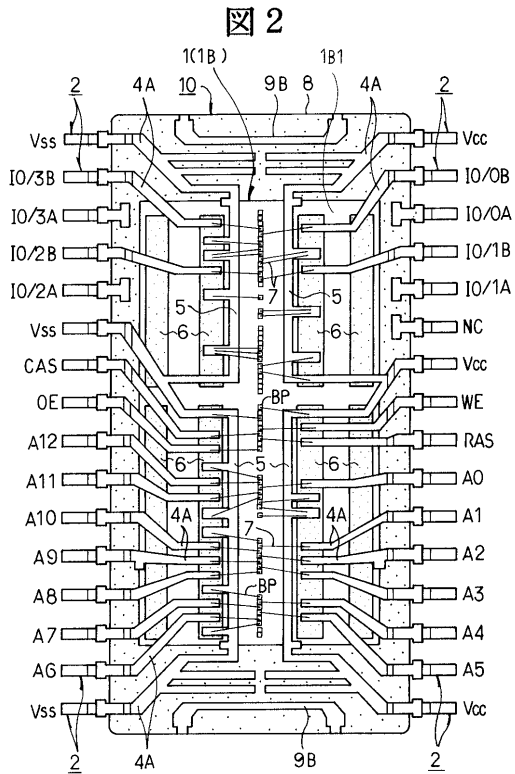
1 A , 1 B ... 半導体チップ、 2 , 3 , 4 ... リード、 3 A , 4 A ... 分岐リード、 3 B , 4 B ... 外部リード、 5 ... バスバーリード、 6 ... 絶縁性フィルム、 7 ... ワイヤ、 8 ... 樹脂封止体、 9 A , 9 B ... 支持リード、 10 , 30 , 40 ... 半導体装置、 11 ... タイバー、 12 ... 枠体、 15 ... 電子装置、 16 ... 実装基板、 20 A ... 上型、 20 B ... 下型、 21 ... キャビティ、 L F 1 , L F 2 ... リードフレーム。

20

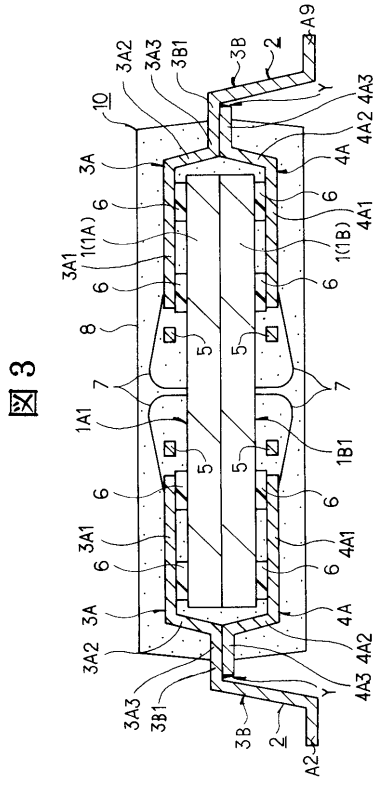
【図1】



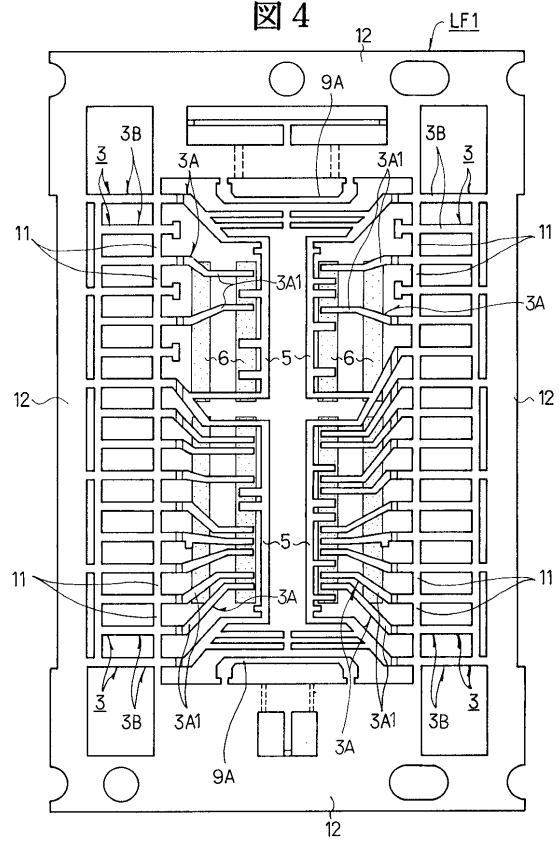
【図2】



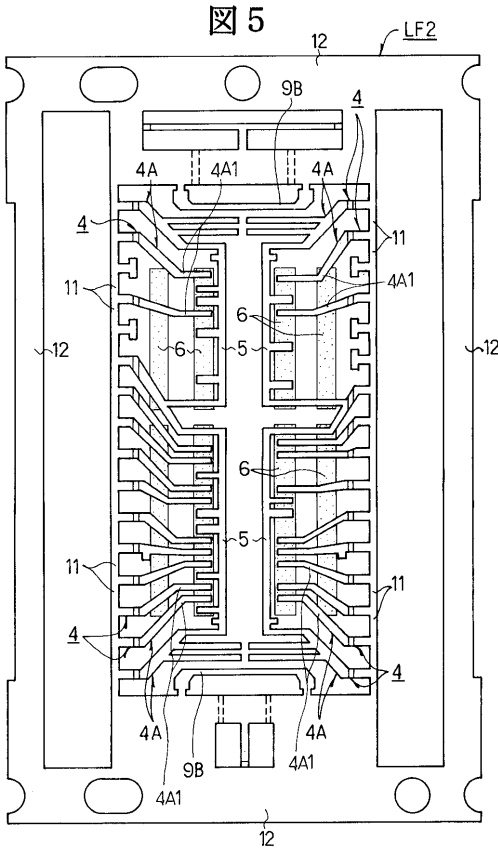
【 図 3 】



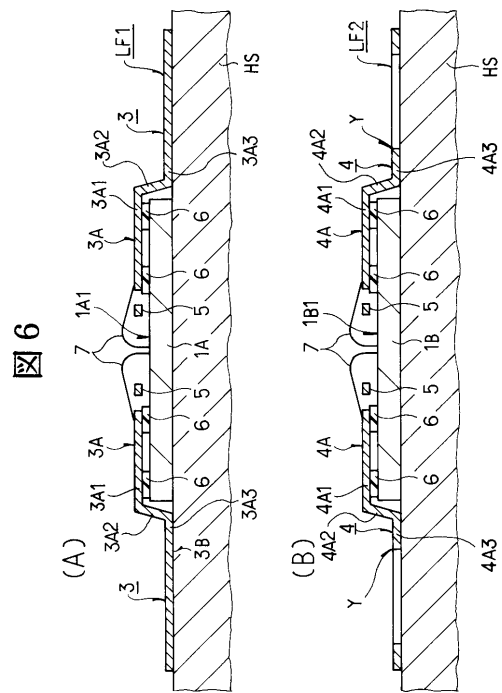
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

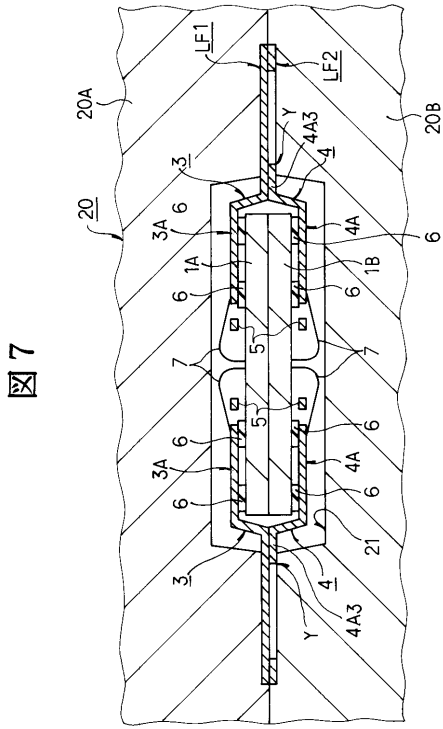


図 7

【 図 8 】

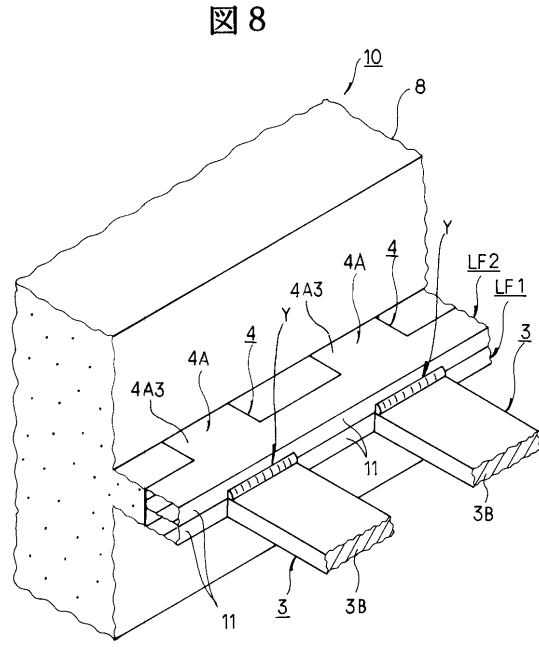


図 8

【 図 9 】

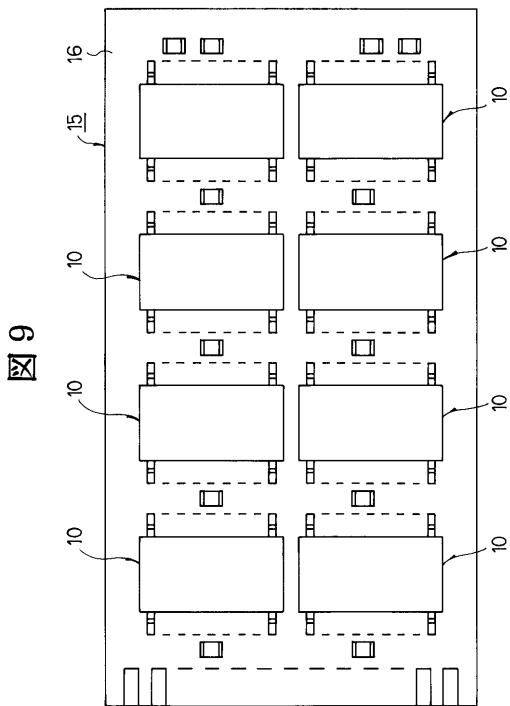


図 9

【 図 10 】

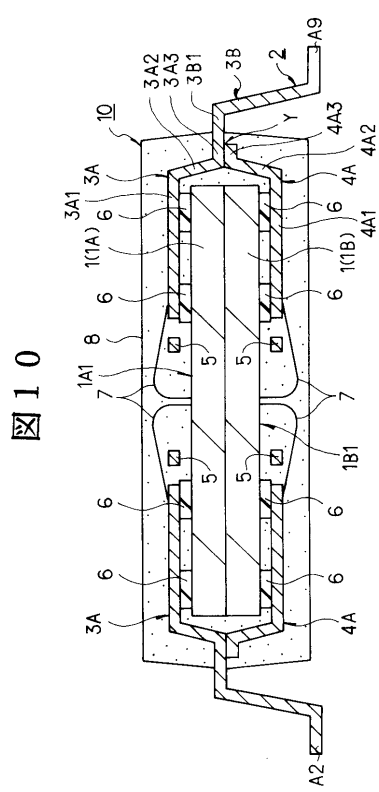
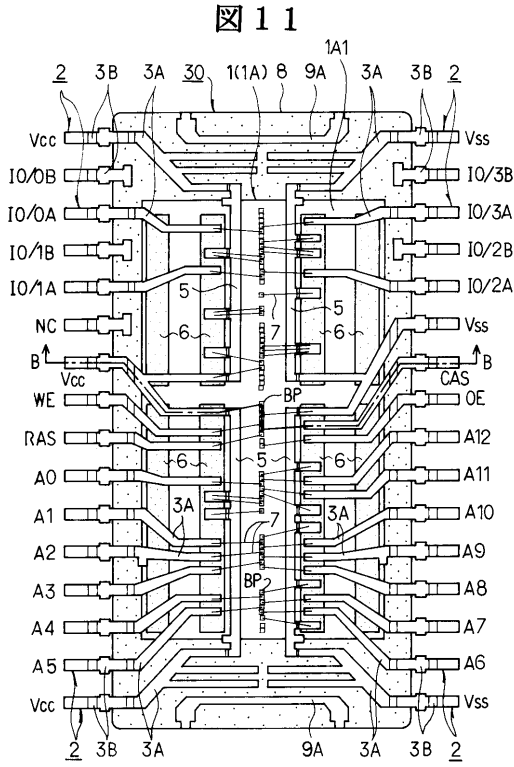
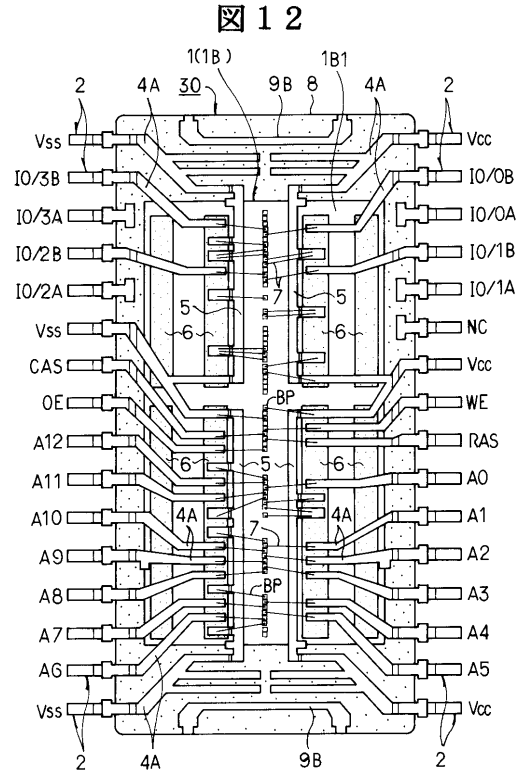


図 10

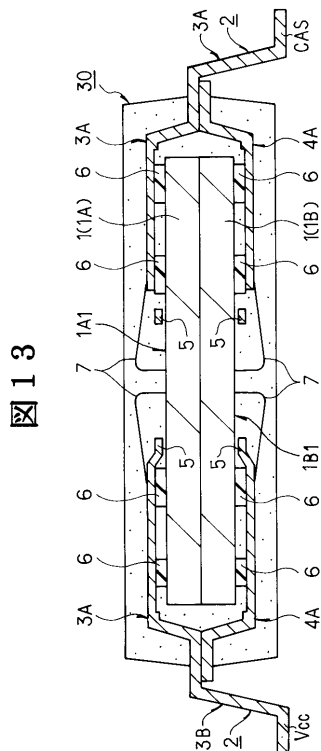
【 図 1 1 】



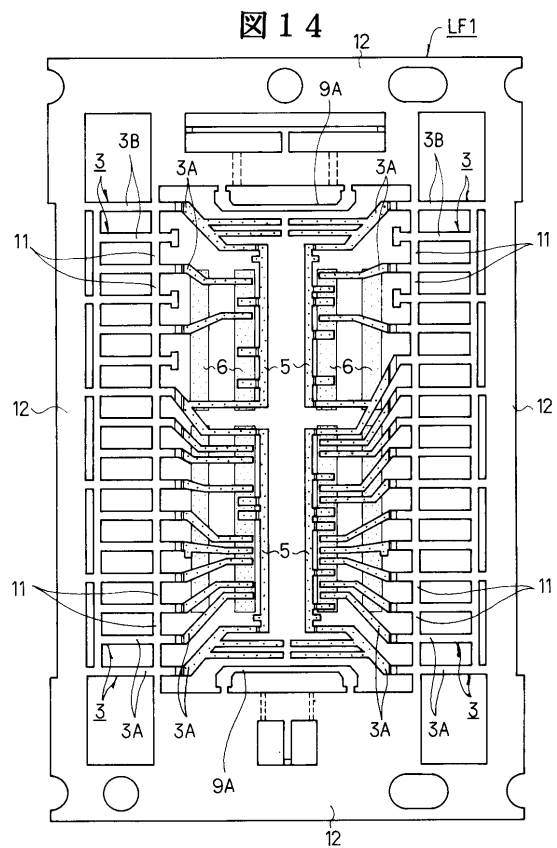
【 図 1 2 】



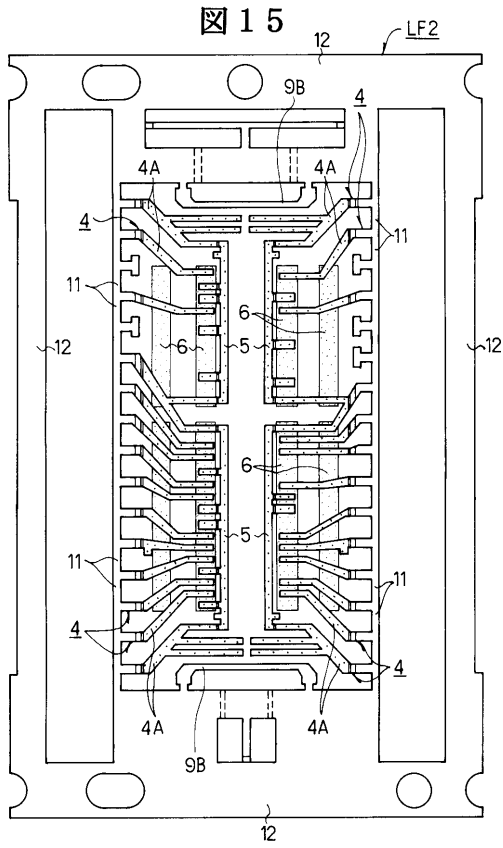
【 図 1 3 】



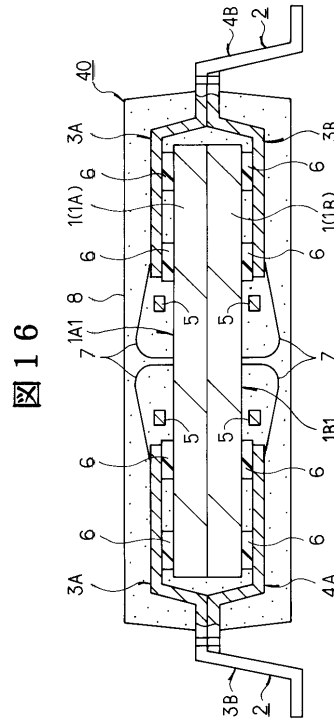
【 図 1 4 】



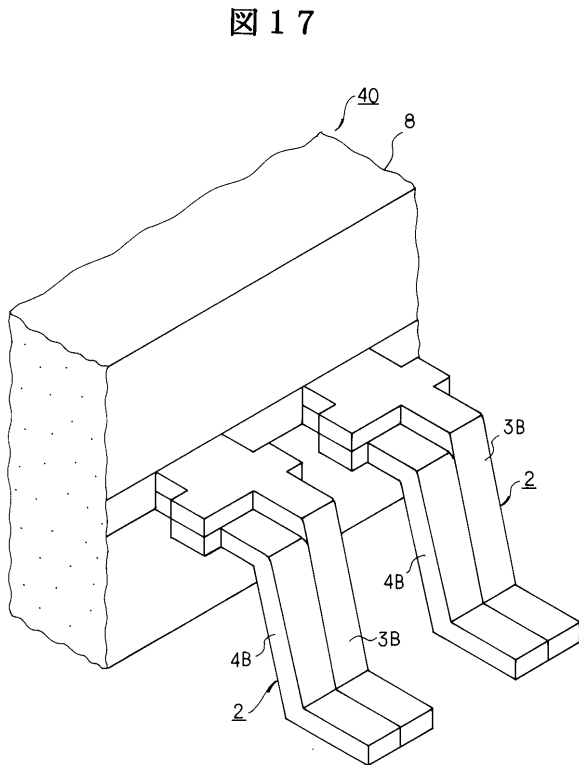
【 図 15 】



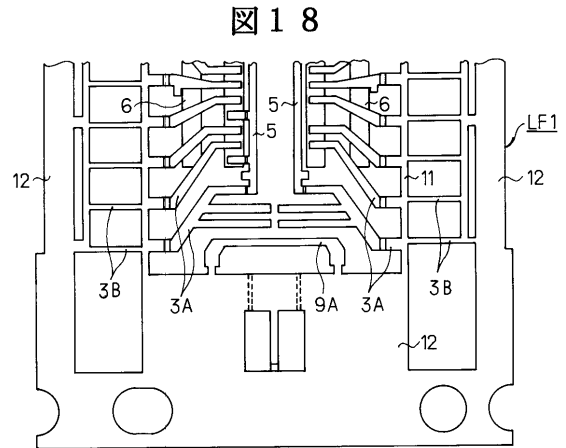
【 図 16 】



【 図 17 】

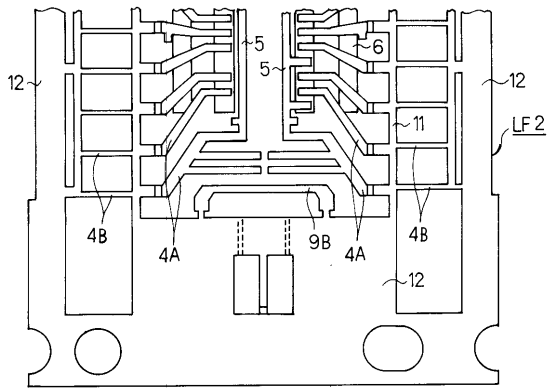


【 図 18 】



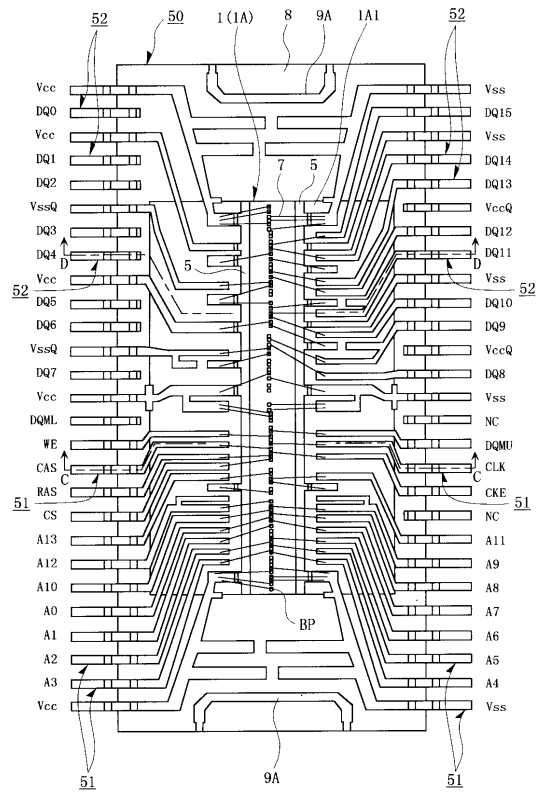
【 図 19 】

図 19



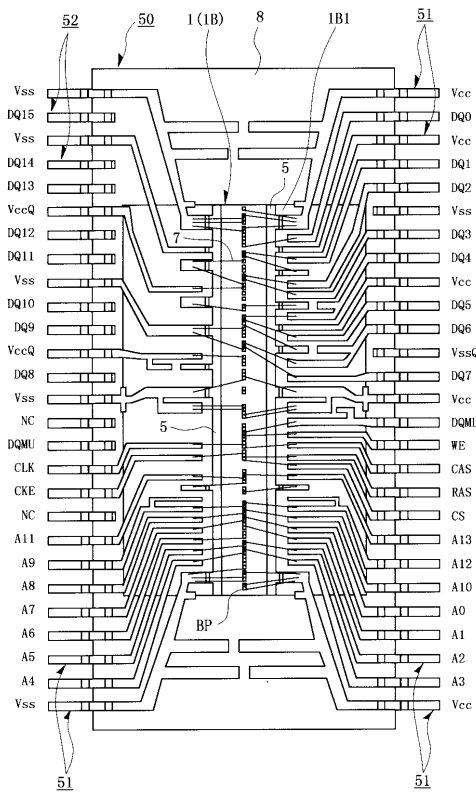
【 図 20 】

図 20



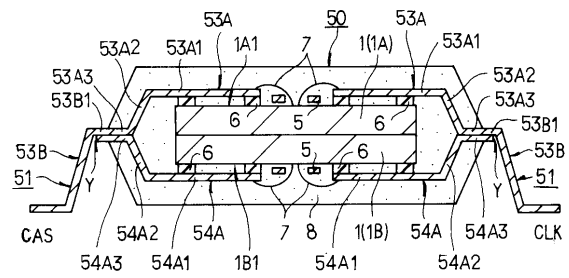
【 図 21 】

図 21



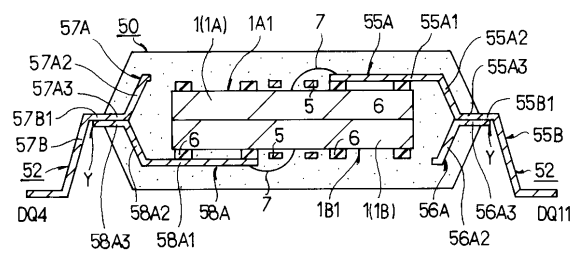
【 図 22 】

図 22



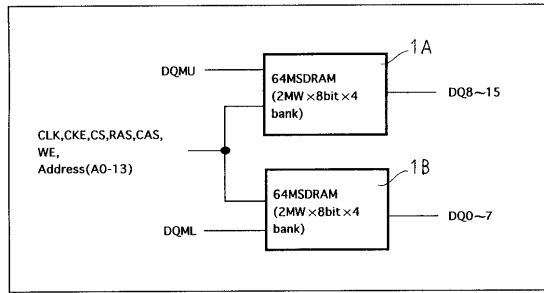
【 図 23 】

図 23



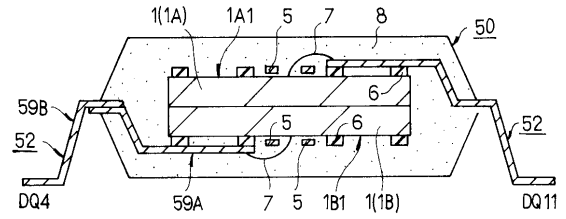
【 図 2 4 】

図 2 4



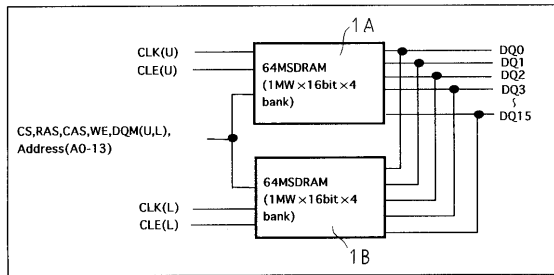
【 図 2 6 】

図 2 6



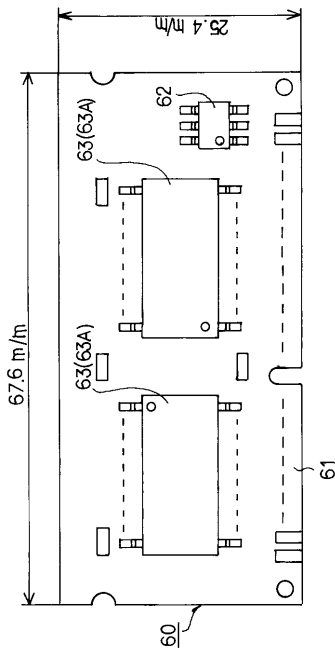
【 図 2 5 】

図 2 5



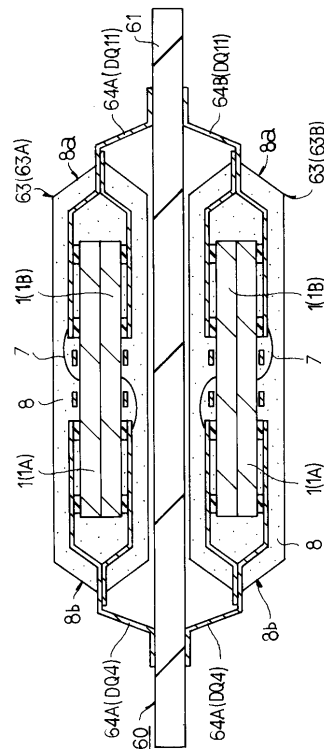
【 図 2 7 】

図 2 7



【 図 2 8 】

図 2 8



## フロントページの続き

- (72)発明者 和田 環  
東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 杉山 道昭  
東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 西沢 裕孝  
東京都小平市上水本町五丁目2番1号 株式会社日立製作所 半導体事業部内
- (72)発明者 菅野 利夫  
東京都小平市上水本町五丁目2番1号 株式会社日立製作所 半導体事業部内
- (72)発明者 高 橋 康  
東京都小平市上水本町五丁目2番1号 株式会社日立製作所 半導体事業部内
- (72)発明者 川村 昌靖  
東京都小平市上水本町五丁目2番1号 株式会社日立製作所 半導体事業部内

審査官 日比野 隆治

- (56)参考文献 特開平05-109801(JP,A)  
特開平02-246125(JP,A)  
特開平05-315540(JP,A)  
特開平05-218295(JP,A)  
特開平05-136332(JP,A)  
特開平07-058281(JP,A)  
特開平05-283606(JP,A)  
特開平05-109976(JP,A)  
特開昭56-137665(JP,A)  
国際公開第91/014282(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 25/065  
H01L 25/07  
H01L 25/18