

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-200601

(P2004-200601A)

(43) 公開日 平成16年7月15日(2004.7.15)

(51) Int.Cl.⁷

H01L 29/78

F I

H01L 29/78

301K

テーマコード (参考)

5F140

H01L 29/78

301W

H01L 29/78

301J

審査請求 有 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2002-370525 (P2002-370525)

(22) 出願日 平成14年12月20日 (2002.12.20)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(74) 代理人 100085501

弁理士 佐野 静夫

(72) 発明者 西川 英敏

京都市右京区西院溝崎町21番地 ローム

株式会社内

(72) 発明者 園田 雅彦

京都市右京区西院溝崎町21番地 ローム

株式会社内

Fターム(参考) 5F140 AA25 AA38 AB04 AB06 AB07

AB10 AC22 BA01 BD19 BF01

BF04 BF05 BF44 BF52 BH02

BH09 BH10 BH18 BH30 BH41

BH43 BH47 CB01 DA08

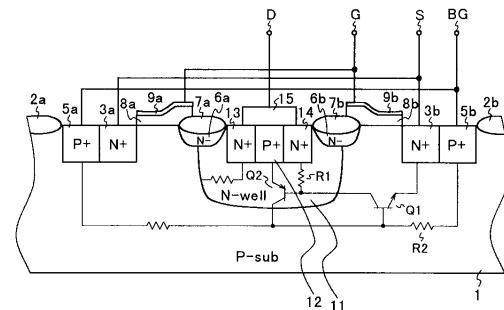
(54) 【発明の名称】 オープンドレイン用MOSFET及びこれを用いた半導体集積回路装置

(57) 【要約】

【課題】 静電耐圧が高いオープンドレイン用Nチャネル型MOSFETを提供する。

【解決手段】 Nウェル11からなるドレイン領域内に、高濃度P型不純物拡散層12と高濃度P型不純物拡散層12を挟む二つの高濃度N型不純物拡散層13、14とを設け、高濃度P型不純物拡散層12と二つの高濃度N型不純物拡散層13、14とがドレイン電極15に接続されるオープンドレイン用Nチャネル型MOSFET。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

N 型半導体層からなるドレイン領域内に、P 型不純物拡散層と該 P 型不純物拡散層を挟む二つの高濃度 N 型不純物拡散層とを設け、前記 P 型不純物拡散層と前記二つの高濃度 N 型不純物拡散層とがドレイン電極に接続されることを特徴とするオープンドレイン用 N チャネル型 MOSFET。

【請求項 2】

請求項 1 に記載のオープンドレイン用 N チャネル型 MOSFET のドレインを出力端子に接続する出力回路を有する半導体集積回路装置。

【請求項 3】

オープンドレイン用 N チャネル型 MOSFET のドレイン領域とソース領域との外周部の平面形状が、略円形又は四辺以上の略正多角形であり、ゲートが網状に配置されている請求項 2 に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、オープンドレイン用 MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) の構造及びこれを用いた半導体集積回路装置に関するものであり、特にオープンドレイン用 MOSFET の耐圧の向上に関するものである。

【0002】

【従来の技術】

半導体集積回路装置の出力回路として従来から図 4 に示すオープンドレイン方式出力回路が広く使用されている。入力端子 101 はオープンドレイン用 N チャネル型 MOSFET (以下、「NMOS」と称す) 102 のゲートに接続される。NMOS 102 のドレインは出力端子 103 に接続され、そのソースはグランドに接続される。そして、出力回路の入力端子 101 は、例えば半導体集積回路装置内の CMOS (Complementary Metal-Oxide-Semiconductor) ロジック回路から出力される信号を入力する。

【0003】

図 4 のオープンドレイン方式出力回路では、入力端子 101 にハイレベルの信号が与えられた場合は NMOS 102 がオンになって出力端子 103 がローレベルになるが、入力端子 101 にローレベルの信号が与えられた場合は NMOS 102 がオフになるため出力端子 103 が電氣的に浮いた状態 (ハイインピーダンス) になる。なお、ドレインに寄生のダイオード D_i が形成される。

【0004】

【特許文献 1】

特許第 3204168 号公報 (第 2 頁)

【0005】

【発明が解決しようとする課題】

ところで、不動作時 (NMOS 102 がオフのとき) に何らかの原因により異常な静電気が出力端子 103 に印加されることがある。図 4 のオープンドレイン方式出力回路では、負の静電気は寄生ダイオード D_i により逃がされるが、正の静電気を逃がすルートがないため、NMOS 102 のゲート及びドレイン - ソース間の耐圧を越える静電気が出力端子 103 に印加されると NMOS 102 のドレイン - ゲート間又はドレイン - ソース間が破壊されやすかった。

【0006】

NMOS 102 に用いている従来構造の NMOS の模式的断面図を図 5 に示す。従来構造の NMOS は、シリコン基板等の P 型半導体基板 1 において、フィールド酸化膜 (LOCOS) 2a と 2b との間の素子形成領域に形成される。

【0007】

P 型半導体基板 1 に高濃度 N 型不純物拡散領域 (ソース領域 3a、3b 及びドレイン領域

10

20

30

40

50

4) が形成される。また、フィールド酸化膜とソース領域との間に高濃度 P 型不純物拡散領域 5 a、5 b が形成される。また、ソース領域とドレイン領域との間のドレイン領域 4 に接した一部に低濃度 N 型不純物拡散領域 6 a、6 b が形成され、低濃度 N 型不純物拡散領域 6 a 上に L O C O S 7 a が形成され、低濃度 N 型不純物拡散領域 6 b 上に L O C O S 7 b が形成される。そして、ソース領域と低濃度 N 型不純物拡散領域との間のチャネル領域上にゲート絶縁膜 8 a、8 b が形成され、ゲート絶縁膜上にポリシリコン膜等のゲート電極 9 a、9 b が形成される。そして、ドレイン領域 4 にドレイン引き出し電極 D が接続され、ゲート電極 9 a、9 b にゲート引き出し電極 G が接続され、ソース領域 3 a、3 b にソース引き出し電極 S が接続され、高濃度 P 型不純物拡散領域 5 a、5 b のバックゲート引き出し電極 B G が接続される。また、低濃度領域 (N⁻、P - s u b) にそれぞれ寄生抵抗成分 R 1'、R 2' が形成される。なお、ドレイン及びソースの高濃度領域の寄生抵抗成分は寄生抵抗成分 R 1' に比べて小さいので、図示を省略する。

【0008】

ソース引き出し電極 S とバックゲート引き出し電極 B G とを同一電位にした場合における従来構造の M O S F E T の等価回路を図 6 に示す。なお、図 6 において図 5 と同一の部分には同一の符号を付す。ドレイン引き出し電極 D が、寄生抵抗 R 1' を介して、M O S F E T 1 6 のドレイン及び N P N 型寄生トランジスタ Q 1 のコレクタに接続される。寄生トランジスタ Q 1 のベースが、寄生抵抗 R 2' の一端に接続される。そして、M O S F E T 1 6 のソース、寄生トランジスタ Q 1 のエミッタ、及び寄生抵抗 R 2' の他端が、ソース引き出し電極 S とバックゲート引き出し電極 B G とに接続される。

【0009】

図 5 に示す従来構造の N M O S は、ドレイン引き出し電極 D に正の静電気が印加されても N M O S 1 6 及び寄生トランジスタ Q 1 がオフのままであるので (図 6 参照)、静電気の逃げるルートがない。このため、従来構造の N M O S では、静電耐圧が M I L 規格による測定で + 3 0 0 ~ + 6 0 0 V、E I A J 規格による測定で + 1 5 0 ~ + 2 5 0 V 程度しかない場合もあり、静電耐圧が十分ではなかった。

【0010】

なお、特許文献 1 ではトランジスタのオン耐圧低下を抑えることができる半導体集積回路に関する発明が開示されており、オープンドレイン用 M O S F E T の静電耐圧に関する開示はない。

【0011】

本発明は、上記の問題点に鑑み、静電耐圧が高いオープンドレイン用 N チャネル型 M O S F E T 及びこれを用いた半導体集積回路装置を提供することを目的とする。

【0012】

【課題を解決するための手段】

上記目的を達成するために、本発明に係るオープンドレイン用 N チャネル型 M O S F E T においては、N 型半導体層からなるドレイン領域内に、P 型不純物拡散層と該 P 型不純物拡散層を挟む二つの高濃度 N 型不純物拡散層とを設け、前記 P 型不純物拡散層と前記二つの高濃度 N 型不純物拡散層とがドレイン電極に接続されるようにする。

【0013】

また、本発明に係る半導体集積回路装置においては、上記構成のオープンドレイン用 N チャネル型 M O S F E T のドレインを出力端子に接続する出力回路を有する構成とする。さらに、上記構成のオープンドレイン用 N チャネル型 M O S F E T のドレイン領域とソース領域との外周部の平面形状を、略円形又は四辺以上の略正多角形にし、ゲートを網状に配置してもよい。

【0014】

【発明の実施の形態】

以下に本発明の一実施形態について図面を参照して説明する。本発明に係るオープンドレイン用 N チャネル型 M O S F E T の構成を図 1 に示す。なお、図 1 において図 5 と同一の部分には同一の符号を付す。

【 0 0 1 5 】

本発明に係るオープンドレイン用Nチャネル型MOSFETは、シリコン基板等のP型半導体基板1において、フィールド酸化膜2aと2bとの間の素子形成領域に形成される。なお、P型半導体基板をPウェルに置換しても構わない。

【 0 0 1 6 】

P型半導体基板1にN型ウェル11と高濃度N型不純物拡散領域であるソース領域3a、3bとが形成される。また、フィールド酸化膜とソース領域との間に高濃度P型不純物拡散領域5a、5bが形成される。また、Nウェル11に高濃度P型不純物拡散領域12と、高濃度P型不純物拡散領域12を挟む二つの高濃度N型不純物拡散領域13、14とが形成される。高濃度N型不純物拡散領域13、14の一部領域及び高濃度P型不純物拡散領域12の領域上にドレイン電極15が形成される。そして、Nウェル11内の高濃度N型不純物拡散領域に隣接する低濃度N型不純物拡散領域6a、6bがNウェル11及びP-sub領域に渡って形成される。低濃度N型不純物拡散領域6a上にLOCOS7aが形成され、低濃度N型不純物拡散領域6b上にLOCOS7bが形成される。そして、ソース領域と低濃度N型不純物拡散領域との間のチャンネル領域上にゲート絶縁膜8a、8bが形成され、ゲート絶縁膜上にアルミ膜やポリシリコン膜等のゲート電極9a、9bが形成される。そして、ドレイン電極14にドレイン引き出し電極Dが接続され、ゲート電極9a、9bにゲート引き出し電極Gが接続され、ソース領域3a、3bにソース引き出し電極Sが接続され、高濃度P型不純物拡散領域5a、5bのバックゲート引き出し電極BGが接続される。また、低濃度領域(N-well、P-sub)にそれぞれ寄生抵抗成分R1、R2が形成される。

【 0 0 1 7 】

ソース引き出し電極Sとバックゲート引き出し電極BGとを同一電位にした場合における本発明に係るオープンドレイン用Nチャネル型MOSFETの等価回路を図2に示す。なお、図2において図6と同一の部分には同一の符号を付す。

ドレイン引き出し電極Dが、寄生抵抗R1を介して、MOSFET16のドレイン、寄生トランジスタQ1のコレクタ、及びPNP型寄生トランジスタQ2のベースに接続される。また、ドレイン引き出し電極Dと寄生抵抗R1との接続ノードに寄生トランジスタQ2のエミッタに接続される。寄生トランジスタQ1のベースが、寄生抵抗R2の一端に接続される。また、寄生トランジスタQ1のベースと寄生抵抗R2との接続ノードに寄生トランジスタQ2のコレクタが接続される。そして、MOSFET16のソース、寄生トランジスタQ1のエミッタ、及び寄生抵抗R2の他端が、ソース引き出し電極Sとバックゲート引き出し電極BGとに接続される。

【 0 0 1 8 】

図1に示す本発明に係るオープンドレイン用Nチャネル型MOSFETは、ドレイン引き出し電極Dに正の静電気が印加されて、ドレイン引き出し電極D - ソース引き出し電極S間の電位差が大きくなっている場合のみ、寄生トランジスタQ2がオンになって、寄生トランジスタQ2に電流が流れ、静電気を逃がす経路がつけられる。このため、本発明に係るオープンドレイン用Nチャネル型MOSFETでは、静電耐圧がMIL規格による測定で $\pm 4000V$ 、EIAJ規格による測定で $\pm 400V$ 程度になり、図5の従来構造のMOSFETとは異なり十分な静電耐圧を得ることができる。

【 0 0 1 9 】

オープンドレイン方式出力回路(例えば図4に示す出力回路)を有する半導体集積回路装置において、図1のオープンドレイン用Nチャネル型MOSFETを用いるとよい。これにより、オープンドレイン用MOSFETの静電耐圧が向上するので、半導体集積回路装置の信頼性が向上する。

【 0 0 2 0 】

図1のオープンドレイン用Nチャネル型MOSFETはドレイン面積が大きくなるので、図1のオープンドレイン用Nチャネル型MOSFETを用いたオープンドレイン方式出力回路を複数備える半導体集積回路装置では、オープンドレイン用Nチャネル型MOSFET

Tのレイアウトを面積効率の低い図3(a)に示す概略平面図のレイアウトよりも、面積効率が低い図3(b)に示す概略平面図のレイアウトにすることが望ましい。図3(b)に示す概略平面図のレイアウトを採用することで、半導体集積回路装置の小型化・低コスト化を図ることができる。なお、図3において、20はドレイン配線、21はLOCOS、22はドレイン、23はコンタクト、24は高濃度P型拡散領域、25は高濃度N型拡散領域、26は高濃度P型拡散領域、27はソース・バックゲート配線、28はゲート配線を示している。図3(a)のレイアウトでは、ソース・コンタクト・ゲート間よりゲート・ドレイン間の距離を大きくしている。また、図3(a)のレイアウトでは、ドレインの高濃度P型拡散領域と高濃度N型拡散領域とを交互に配置している。また、図3(a)のレイアウトでは、バックゲートを最外周に配置している。一方、図3(b)のレイアウトでは、ドレインとソースをくし歯状に配置している。また、図3(b)のレイアウトでは、ドレインの形状(略正方形)とソースの形状(略正六角形)とが互いに異なるようにしている。このように異なる形状にすることで、より面積効率を高くすることができる。また、図3(b)のレイアウトでは、バックゲートをトランジスタ内に均一に配置している。また、図3(b)のレイアウトでは、ゲートを網状に配置している(ドレイン及びソースが網目部分に該当する)。

10

【0021】

【発明の効果】

上記で説明した通り、本発明に係るオープンドレイン用Nチャネル型MOSFETは、N型半導体層からなるドレイン領域内に、P型不純物拡散層と該P型不純物拡散層を挟む二つの高濃度N型不純物拡散層とを設け、前記P型不純物拡散層と前記二つの高濃度N型不純物拡散層とがドレイン電極に接続される構成としている。このような構成にすることにより、ドレイン・ソース間の電位差が大きくなっている場合のみオンになってドレインに印加される静電気を逃がす経路を形成する寄生トランジスタが生じるので、静電耐圧が向上する。

20

【0022】

また本発明によると、半導体集積回路装置が上記構成のオープンドレイン用Nチャネル型MOSFETのドレインを出力端子に接続する出力回路を有するので、オープンドレイン用MOSFETが静電破壊され難い半導体集積回路装置を実現することができる。これにより、半導体集積回路装置の信頼性が向上する。

30

【0023】

また本発明によると、オープンドレイン用MOSFETのドレイン領域とソース領域との外周部の平面形状を略円形又は四辺以上の略正多角形にし、ゲートを網状に配置するので、面積効率を高めることができる。これにより、半導体集積回路装置の小型化・低コスト化を図ることができる。

【図面の簡単な説明】

【図1】本発明に係るオープンドレイン用Nチャネル型MOSFETの構成を示す図である。

【図2】図1の本発明に係るオープンドレイン用Nチャネル型MOSFETの等価回路を示す

40

【図3】オープンドレイン用MOSFETのレイアウトを示す図である。

【図4】オープンドレイン方式出力回路の構成を示す図である。

【図5】従来構造のMOSFETの模式的断面図を示す図である。

【図6】図5の従来構造のMOSFETの等価回路を示す図である。

【符号の説明】

11 Nウェル

12 高濃度P型不純物拡散領域

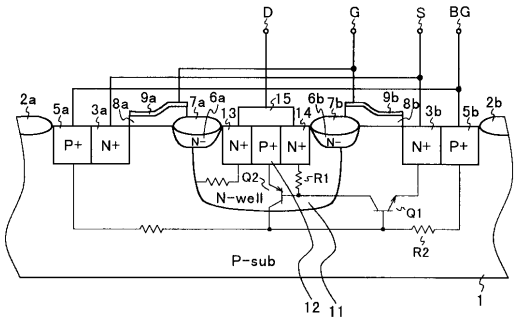
13、14 高濃度N型不純物拡散領域

15 ドレイン電極

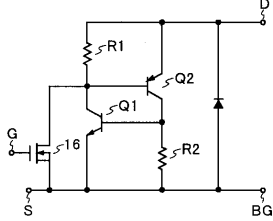
Q2 寄生トランジスタ

50

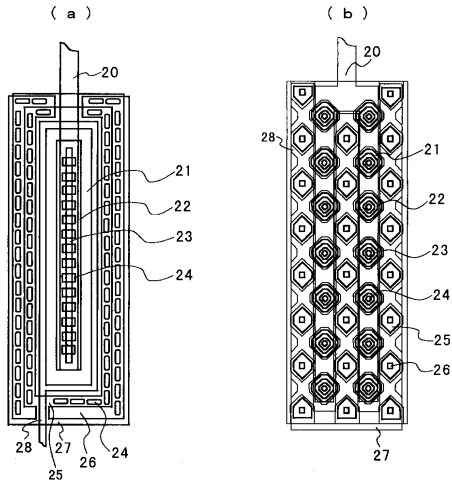
【図 1】



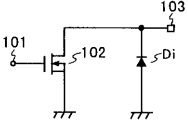
【図 2】



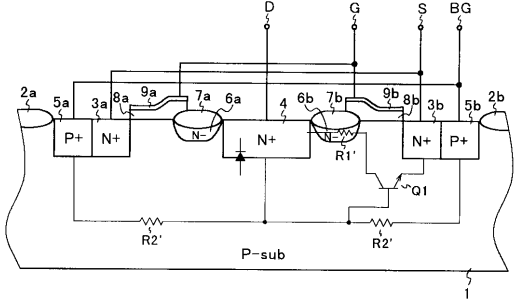
【図 3】



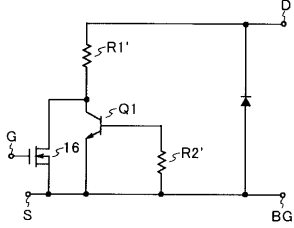
【図 4】



【図 5】



【図 6】



【手続補正書】

【提出日】平成15年12月1日(2003.12.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

図5に示す従来構造のNMOSは、ドレイン引き出し電極Dに正の静電気が印加されてもNMOS16及び寄生トランジスタQ1がオフのままであるので(図6参照)、静電気の逃げるルートがない。このため、従来構造のNMOSでは、静電耐圧がHBM(Human Body Model)条件による測定で+300~+600V、MM(Machine Model)条件による測定で+150~+250V程度しかない場合もあり、静電耐圧が十分ではなかった。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

図1に示す本発明に係るオープンドレイン用Nチャネル型MOSFETは、ドレイン引き出し電極Dに正の静電気が印加されて、ドレイン引き出し電極D-ソース引き出し電極S間の電位差が大きくなっている場合のみ、寄生トランジスタQ2がオンになって、寄生トランジスタQ2に電流が流れ、静電気を逃がす経路がつけられる。このため、本発明に係るオープンドレイン用Nチャネル型MOSFETでは、静電耐圧がHBM条件による測定で±4000V、MM条件による測定で±400V程度になり、図5の従来構造のMOSFETとは異なり十分な静電耐圧を得ることができる。

【手続補正3】

【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正の内容】

【図6】

