



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I629861 B

(45)公告日：中華民國 107 (2018) 年 07 月 11 日

(21)申請案號：103140104

(22)申請日：中華民國 103 (2014) 年 11 月 19 日

(51)Int. Cl. : H02M1/42 (2007.01)

H02M3/155 (2006.01)

H01L27/02 (2006.01)

(30)優先權：2014/01/31 世界智慧財產權組織 PCT/JP2014/052286

(71)申請人：日商瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION
(JP)

日本國東京都江東區豐洲三丁目 2 番 24 號

(72)發明人：近藤大介 KONDO, DAISUKE (JP)；立野孝治 TATENO, KOJI (JP)；木下由美
KISHITA, YUMI (JP)；宇野友彰 UNO, TOMOAKI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 201021194A

TW 201230679A

US 2013/0049137A1

WO 00/25365A2

審查人員：莊程傑

申請專利範圍項數：25 項 圖式數：41 共 133 頁

(54)名稱

半導體積體電路裝置及電源系統

(57)摘要

本發明之半導體積體電路裝置包含：第 1 電壓端子；第 2 電壓端子；輸出端子；高端 MOSFET，其連接於第 1 電壓端子與輸出端子之間；低端 MOSFET，其連接於輸出端子與第 2 電壓端子之間，且具有第 1 及第 2 閘極電極；驅動電路，其將高端 MOSFET 與低端 MOSFET 相輔地導通/斷開；及第 2 閘極電極控制電路，其形成供給於低端 MOSFET 之第 2 閘極電極之第 2 閘極控制信號。第 2 閘極電極控制電路包含電壓形成電路，其將相對於低端 MOSFET 之源極之電壓為負的電壓供給於低端 MOSFET 之第 2 閘極電極。

指定代表圖：

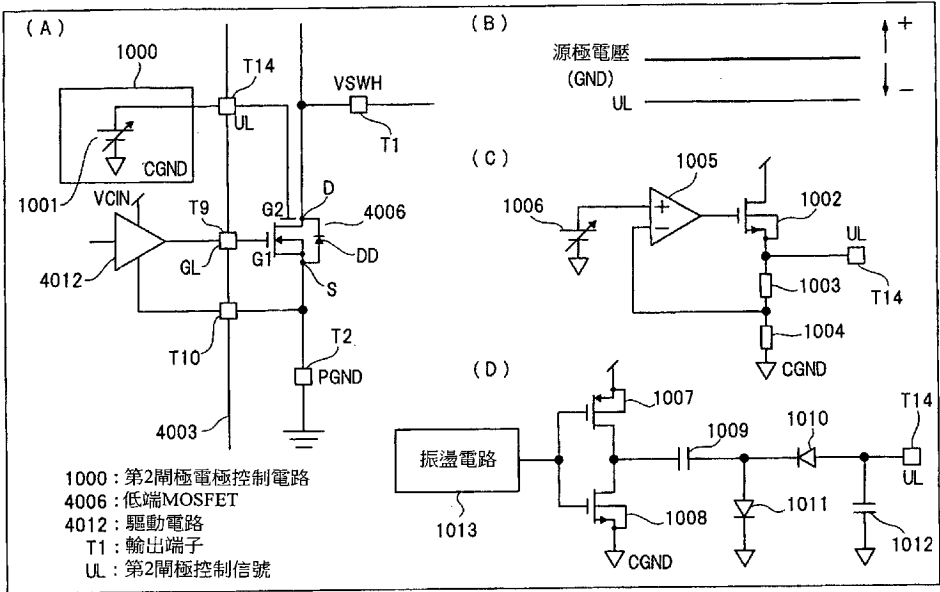


圖1

- 符號簡單說明：
- 1000 . . . 第 2 閘極電極控制電路
 - 1001 . . . 第 2 閘極電極控制電路
 - 1002 . . . N 通道型 MOSFET
 - 1003 . . . 電阻元件
 - 1004 . . . 電阻元件
 - 1005 . . . 差動放大電路
 - 1006 . . . 可變電壓源
 - 1007 . . . P 通道型 MOSFET
 - 1008 . . . N 通道型 MOSFET
 - 1009 . . . 電容元件
 - 1010 . . . 二極體元件
 - 1011 . . . 二極體元件
 - 1012 . . . 電容元件
 - 1013 . . . 振盪電路
 - 4003 . . . 驅動器
 - 4006 . . . 低端 MOSFET
 - 4012 . . . 驅動電路
 - CGND . . . 接地電壓
 - D . . . 汲極
 - DD . . . 二極體
 - G1 . . . 第 1 閘極電極
 - G2 . . . 第 2 閘極電極
 - GL . . . 驅動信號
 - GND . . . 接地電壓

- PGND . . . 接地電壓
- S . . . 源極
- T1 . . . 輸出端子
- T2 . . . 電壓端子
- T9 . . . 輸出端子
- T10 . . . 電壓端子
- T14 . . . 控制端子
- UL . . . 第 2 閘極控制信號
- VCIN . . . 電源電壓
- VSWH . . . 輸出信號

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體積體電路裝置及電源系統

【技術領域】

本發明係關於半導體積體電路裝置及電源系統，例如係關於在轉換電壓時所使用之半導體積體電路裝置及使用該半導體積體電路裝置之電源系統。

【先前技術】

將具有特定之電壓值之直流電壓轉換為電壓值不同於該特定電壓值之直流電壓之電源系統已知有所謂DC/DC轉換器。DC/DC轉換器被用在各種電子裝置中。至於電子裝置，可舉電腦為一例。電腦中，由DC/DC轉換器形成例如對微處理器(以下稱作CPU)供電之電源電壓。

如DC/DC轉換器般之電源系統具有使流動於線圈與線圈之間之電流之方向產生週期性變化之複數個開關元件。複數個開關元件各者係由如電場效應型電晶體(以下稱作MOSFET)般之電晶體構成。關於DC/DC轉換器所使用之MOSFET之構造，已提案有各種構造。專利文獻1及專利文獻2中揭示有此種MOSFET構造之一例。專利文獻1中例如於其第1圖D示出一種將第1閘極電極10與第2閘極電極12沿縱向積層而得之MOSFET之構造。且，同樣地，專利文獻2中亦於例如圖4K中示出一種將閘極電極26(以下稱作第1閘極電極)與閘極電極30(以下稱作第2閘極電極)沿縱向積層而得之MOSFET之構造。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本特開昭63-296282號公報

[專利文獻2]國際公開WO00/25365號公報

【發明內容】

[發明所欲解決之問題]

如專利文獻1及2所揭示，例如如專利文獻1所教示，藉由沿縱向積層第1閘極電極與第2閘極電極，可維持高積體化，且可減少第2閘極電極與MOSFET之汲極區域間之電容。藉此可改善該MOSFET之高頻特性。藉由改善高頻特性，可降低DC/DC轉換器之損耗，從而可提高效率。因DC/DC轉換器之效率提高與例如使用DC/DC轉換器之電子裝置之消耗電力之降低有關，故具有舉足輕重之地位。

本發明人於提出本案發明之前，對使用如此之具有第1及第2閘極電極之MOSFET之DC/DC轉換器進行探討。在探討時，首先對專利文獻1及2進行探討。

專利文獻1揭示將該MOSFET之第1閘極電極設為特定之正電壓而對第2閘極電極供給輸入信號。另一方面，專利文獻2揭示將第1閘極電極連接於該MOSFET之源極。根據本案發明人之探討，發現若將供給於第1閘極電極之電壓相對於供給於該MOSFET之源極之電壓而轉換為正電壓或負電壓，則該MOSFET之特性(導通電阻值、電容值)將產生變化。本發明係基於該發現之見解而完成者。

本發明之目的在於提供一種可提高效率之電源系統及其所使用之半導體積體電路裝置。

其他目的與新穎之特徵可自本說明書之記述及隨附圖式予以明瞭。

[解決問題之技術手段]

本案說明書中揭示複數種用於解決問題之手段。此處，關於代表性之解決手段，僅針對電源系統所使用之半導體積體電路裝置之觀

點及具代表性之電源系統之觀點加以闡述。另，以下說明中，對使用N通道型MOSFET作為MOSFET之情形進行說明。毋庸贅言，亦可使用P通道型MOSTEF作為MOSTET，於該情況下，僅需改變電壓之電位關係即可。

<半導體積體電路裝置之觀點>

(1)半導體積體電路裝置包含：第1電壓端子、第2電壓端子、輸出端子、連接於第1電壓端子與輸出端子之間之第1MOSFET、及連接於第2電壓端子與輸出端子之間之第2MOSFET。此處，第1MOSFET具有第1輸出電極、汲極、及源極；第2MOSFET具有第1輸入電極、汲極、源極、及配置於較第1輸入電極更靠近汲極側之第2輸入電極。

對第1MOSFET及第2MOSFET各者之第1輸入電極供給使該第1MOSFET與第2MOSFET相輔地導通/斷開之輸入信號。藉此，自第1電壓端子及第2電壓端子對輸出端子交替地供給電流。

另一方面，對第2MOSFET之配置於較第1輸入電極更靠近汲極側之第2輸入電極供給相對於該第2MOSFET之源極之電壓為負的電壓。藉此，可進一步減少產生於第1輸入電極與汲極之間之寄生電容。藉由寄生電容之減少，可縮短第2MOSFET自斷開朝導通或自導通朝斷開之轉換時之過渡時間。雖第1MOSFET與第2MOSFET係相輔地導通/斷開，但在進行自導通朝斷開或自斷開朝導通之轉換之過渡時間內，電流流動於第1電壓端子與第2電壓端子之間、第1電壓端子與輸出端子之間或第2電壓端子與輸出端子之間。藉由縮短該過渡時間，可降低半導體積體電路裝置之損耗(消耗電力)。

(2)一實施形態中，第2MOSFET之第2輸入電極與第1輸入電極係由分別埋設於經積層之第1半導體區域與第3半導體區域之第2金屬層與第1金屬層形成。此處，第1半導體區域形成第2MOSFET之汲極，第3半導體區域形成第2MOSFET之源極。藉此，第2輸入電極配置於

相較於第1輸入電極更靠近第2MOSFET之汲極側。且由於進行積層而可實現高積體化。該情形時，在介隔於第1半導體區域與第3半導體區域之間之第2半導體區域形成有第2MOSFET之通道。

(3)一實施形態中，半導體積體電路裝置包含選擇電路，其選擇性地對第2MOSFET之第2輸入電極供給相對於第2MOSFET之源極之電壓為正的電壓與為負的電壓。藉由對第2MOSFET之第2輸入電極供給相對於源極之電壓為正之電壓，而可謀求降低第2MOSFET導通時之導通電阻。藉由降低第2MOSFET之導通電阻，可謀求降低該第2MOSFET之損耗。

藉由由選擇電路選擇供給於第2輸入電極之電壓之極性(以源極之電壓為基準)，可選擇藉由縮短過渡時間而降低損耗與藉由降低導通電阻而降低損耗。

(4)一實施形態中，選擇電路係與第2MOSFET根據供給於其第1輸入電極之輸入信號而導通/斷開之時序同步地選擇供給於第2輸入電極之電壓之極性。藉此，可配合第2MOSFET之導通/斷開而進行藉由縮短過渡時間而降低損耗與藉由降低導通電阻而降低損耗。

(5)一實施形態中，半導體積體電路裝置包含檢測電路，其檢測流動於輸出端子之電流是否超過特定之電流值。選擇電路對來自檢測電路之檢測信號作出響應而變更供給於第2輸入電極之電壓之極性。藉此，可根據耦接於輸出端子之負荷所要求之負荷電流之值，選擇藉由縮短過渡時間而降低損耗與藉由降低導通電阻而降低損耗。換言之，係根據負荷電流之大小選擇恰當的用於低損失化之電壓極性。結果，可實現與負荷電流之大小相應之低損失化。

負荷電流係根據當時之負荷狀態而變化。因此，可根據負荷選擇恰當之低損失化之方法(縮短過渡時間與降低導通電阻)。

(6)再者，一實施形態中，半導體積體電路裝置包含：第1電壓端

子、第2電壓端子、輸出端子、耦接於第1電壓端子與輸出端子之間之第1MOSFET、及耦接於輸出端子與第2電壓端子之間之第2MOSFET。此處，第1MOSFET及第2MOSFET各者具有第1輸入電極、汲極、源極、及配置於較第1輸入電極更靠近汲極側之第2輸入電極。

第1MOSFET與第2MOSFET係根據輸入信號而相輔地導通/斷開。藉由其相輔地導通/斷開，自第1電壓端子及第2電壓端子交替地對輸出端子供給電流。流動於輸出端子之電流值根據耦接於輸出端子之負荷所要求之負荷電流而變化。

半導體積體電路裝置進而包含：檢測電路，其檢測流動於輸出端子之電流值；及控制電路，其對來自該檢測電路之檢測信號作出響應，而對第1MOSFET及第2MOSFET各者之第2輸入電極供給不同之電壓。

藉此，根據負荷電流之值，藉由第1MOSFET及第2MOSFET各者之過渡時間之縮短化實現損耗降低，藉由降低導通電阻或抑制導通電阻之增加而實現損耗降低或抑制增加。結果，可根據負荷謀求半導體積體電路裝置之低損失化，從而可謀求效率之提高。

再者，一實施形態中，於流動於輸出端子之電流超過特定之電流值時，控制電路對第1MOSFET及第2MOSFET各者之第2閘極電極供給相對於各者之源極之電壓為正極性之電壓。另一方面，於流動於輸出端子之電流未超過特定之電流值時，對第1MOSFET及第2MOSFET各者之第2閘極電極供給相對於各者之源極之電壓為負極性之電壓。藉此，根據流動於輸出端子之輸出電流(負荷電流)之電流值，謀求過渡時間縮短所致之低損失化與導通電阻之降低所致之低損失化。

<代表性之電源系統之觀點>

在與電源系統有關之複數個實施形態中，電源系統包含：半導體積體電路裝置、及線圈元件。線圈元件之一端耦接於半導體積體電路裝置之輸出端子，自輸出端予供給至線圈端子之電流之方向呈週期性變化。

在與電源系統有關之各個實施形態中，半導體積體電路裝置具有之前已於〈半導體積體電路裝置之觀點〉中闡述之用於解決問題之方法(1)至(6)之任一手段。因該用於解決問題之手段(1)至(6)之任一者可謀求半導體積體電路裝置之低損失化，故可謀求電源系統之低損失化，從而可謀求效率之提高。

尤其是，使用用於解決問題之手段(5)或(6)所具有之半導體積體電路裝置之電源系統中，可將由電源系統供電之裝置(例如CPU)視為負荷。負荷所要求之電流(負荷電流)將根據視為負荷之裝置之動作狀況而變化。

根據本案發明人之研究可得出以下結論：半導體積體電路裝置之損耗中緣於過渡時間而產生之損耗與緣於導通電阻而產生之損耗之比例在負荷較重(重負荷)且負荷電流較高之情形時，與在負荷較輕(輕負荷)且負荷電流相對較低之情形時有所不同。根據本案發明人之探討，隨著負荷電流變高，緣於導通電阻而產生之損耗之比例隨之變高。

用於解決問題之手段(5)或(6)中，利用檢測電路檢測負荷電流，選擇電路(手段(5))或控制電路(手段(6))對檢測信號作出響應而選擇供給於MOSFET(手段(5)中為第2MOSFET、手段(6)中為第1MOSFET及第2MOSFET)之第2輸入電極之電壓。於負荷電流超過特定之電流值時，選擇電路或控制電路選擇供給於該MOSFET之第2輸入電極之電壓較該MOSFET之源極之電壓更為正極性之電壓。藉此降低重負荷時所產生之損耗。另一方面，輕負荷時，選擇電路或控制電路選擇較

MOSFET之源極之電壓更為負極性之電壓，並將其供給於該MOSFET之第2輸入電極。藉此，可降低輕負荷時之損耗。

如此，根據成為負荷之裝置之狀態，藉當時能有效降低之項目(過渡時間縮短所致之損耗降低、導通電阻降低所致之損耗)而謀求損耗降低。結果，可根據負荷降低電源系統之損耗。

另，如根據上述說明所理解般，上述第1輸入電極例如與專利文獻1之第2閘極電極對應，上述第2輸入電極係與第1閘極電極對應。且，以下說明中，過渡時間所致之損耗亦稱為轉換損耗，導通電阻所致之損耗亦稱為導通損耗。

[發明之效果]

根據一實施形態，可提供一種可提高效率之電源系統及其所使用之半導體積體電路裝置。

【圖式簡單說明】

圖1(A)至(D)係表示實施形態1之半導體積體電路裝置之重要部分電路之電路圖及電壓波形圖。

圖2(A)及(B)係表示實施形態2之半導體積體電路裝置之重要部分構成之方塊圖及電路圖。

圖3(A)至(D)係表示實施形態2之半導體積體電路裝置之動作之波形圖。

圖4(A)至(D)係說明實施形態2之半導體積體電路裝置之動作之說明圖。

圖5係表示實施形態3之半導體積體電路裝置之重要部分構成之方塊圖。

圖6(A)及(B)係表示實施形態3之半導體積體電路裝置之動作之波形圖。

圖7係表示實施形態4之半導體積體電路裝置之重要部分構成之

方塊圖。

圖8(A)至(D)係說明實施形態4之半導體積體電路裝置之動作之波形圖。

圖9(A)至(F)係用於說明實施形態4之半導體積體電路裝置之動作之說明圖。

圖10係表示實施形態4之半導體積體電路裝置之特性之特性圖。

圖11(A)至(F)係用於說明實施形態1之半導體積體電路裝置之動作之說明圖。

圖12(A)至(F)係用於說明實施形態1之半導體積體電路裝置之動作之說明圖。

圖13係表示實施形態1之半導體積體電路裝置之特性之特性圖。

圖14(A)至(F)係用於說明實施形態2之半導體積體電路裝置之動作之說明圖。

圖15係表示實施形態2之半導體積體電路裝置之特性之特性圖。

圖16(A)及(B)係表示實施形態5之半導體積體電路裝置之重要部分構成之方塊圖及波形圖。

圖17(A)至(E)係用於說明實施形態5之半導體積體電路裝置之動作之說明圖。

圖18係表示實施形態5之半導體積體電路裝置之特性之特性圖。

圖19(A)及(B)係實施形態6之半導體積體電路裝置之重要部分構成及動作波形圖。

圖20(A)至(E)係用於說明實施形態6之半導體積體電路裝置之動作之說明圖。

圖21係表示實施形態6之半導體積體電路裝置之特性之特性圖。

圖22(A)及(B)係表示實施形態7之半導體積體電路裝置之重要部分構成之方塊圖及波形圖。

圖23(A)至(E)係用於說明實施形態7之半導體積體電路裝置之動作之說明圖。

圖24係表示實施形態7之半導體積體電路裝置之特性之特性圖。

圖25係表示實施形態8之半導體積體電路裝置之重要部分之波形之波形圖。

圖26係表示實施形態8之半導體積體電路裝置之特性之特性圖。

圖27係表示實施形態9之半導體積體電路裝置之構成之方塊圖。

圖28係表示實施形態9之半導體積體電路裝置之變化例2之方塊圖。

圖29係表示實施形態9之半導體積體電路裝置之變化例3之方塊圖。

圖30係表示實施形態10之半導體積體電路裝置之構成之方塊圖。

圖31係表示實施形態10之半導體積體電路裝置之重要部分構成之電路圖。

圖32(A)至(E)係表示實施形態10之半導體積體電路裝置之動作之波形圖。

圖33係表示實施形態11之半導體積體電路裝置之構成之方塊圖。

圖34係表示實施形態11之半導體積體電路裝置之重要部分構成之電路圖。

圖35(A)至(E)係表示實施形態11之半導體積體電路裝置之動作之波形圖。

圖36(A)及(B)係表示半導體積體電路裝置、封裝及電源系統之關係之示意圖及俯視圖。

圖37(A)及(B)係表示具有第1閘極電極及第2閘極電極之MOSFET之俯視圖及剖面圖。

圖38係用於說明半導體積體電路裝置之損耗之說明圖。

圖39(A)及(B)係用於說明MOSFET之損耗之說明圖。

圖40係表示實施形態之半導體積體電路裝置及電源系統之構成之方塊圖。

圖41(A)至(G)係表示實施形態之半導體積體電路裝置之動作之波形圖。

【實施方式】

以下，基於圖式詳細說明本發明之實施形態。另，用於說明實施形態之所有圖式中，對相同之部分原則上附加相同之符號，其之重複說明原則上省略。

＜電源系統及電源系統所使用之半導體積體電路裝置之概要＞

以下依次說明複數個實施形態，在各實施形態中，對於共通之電源系統及其所使用之半導體電路裝置，首先說明其構成與動作之概要。

圖40係表示電源系統之構成之方塊圖。同圖中，4000係電源系統，4001係耦接於電源系統4000之負荷。因負荷4001可等效地視為電流源，故在同圖中以電流源之記號表示之，但如之前所說明般，例如CPU相當於負荷。電源系統4000雖未特別限定，但其包含控制用半導體積體電路裝置4007、線圈元件4008、平滑用電容器4009、布托(BOOT)用電容器4010、及密封成一個封裝4002之複數個半導體晶片4003~4006。

在本實施形態中，密封成一個封裝4002之複數個半導體晶片係高端MOSFET4005、低端MOSFET4006、及驅動高端MOSFET4005及低端MOSFET4006之驅動器4003。即，高端MOSFET4005、低端MOSFET4006及驅動器4003分別形成於不同之半導體晶片上。雖該等3個半導體晶片將於後利用圖36(A)及圖36(B)進行說明，其等被密封

成1個封裝。因以封裝為單位例如安裝於印刷基板等，故在本案說明書中，將該封裝4002稱作半導體積體電路裝置。因此，在以下說明中，以4002為半導體積體電路裝置進行說明。另，該實施形態中，相較於供給於MOSFET4006之源極之電壓，供給於MOSFET4005之汲極之電壓者電位更高。因此，將MOSFET4005稱作高端MOSFET、MOSFET4006稱作低端MOSFET。

圖40中，T1~T6各者係設置於半導體積體電路裝置4002之端子。雖於半導體積體電路裝置4002設置有複數個端子，但圖40中僅示出端子T1~T6以為主要端子。例如，傳送來自控制用半導體積體電路裝置4007之輸入信號之端子在圖40中省略。端子T1係輸出半導體積體電路裝置4002之輸出信號VSWH之輸出端子，端子T2係對低端MOSFET4006供給接地電壓PGND之電壓端子，端子T3係對驅動器供給接地電壓CGND之電壓端子。且，端子T4係對控制電路4004供給電源電壓VCIN之電壓端子，端子T5係將與輸出信號VSWH之電壓匹配之電源電壓BOOT供給驅動器之電壓端子，端子T6係對高端MOSFET4005供給輸入電壓VIN之電壓端子。

如上所述，高端MOSFET4005及低端MOSFET4006各者為N通道型MOSFET，雖將於後利用圖37(A)及(B)進行說明，但其等具有相當於第1輸入電極之第1閘極電極G1、相當於第2輸入電極之第2閘極電極G2、源極S及汲極D。第2輸入電極(第2閘極電極)G2配置於相較於第1輸入電極(第1閘極電極)G1更靠近汲極D側，MOSFET係根據供給於第1閘極電極G1之電壓而導通或斷開(導通/斷開)。即，由於為N通道型MOSFET，故藉由將超過相對於源極S之電壓為正之特定之電壓(閾值電壓)之電壓供給於第1閘極電極G1而導通。另一方面，若將相對於源極S之電壓為閾值電壓以下之電壓供給於第1閘極電極G1則MOSFET斷開。

雖於後將在複數個實施形態中加以說明，但係對高端MOSFET4005及低端MOSFET4006各者之第2輸入電極(第2閘極電極)G2供給以源極S之電壓為基準為正極性之電壓或負極性之電壓。此處由於說明電源系統及半導體積體電路裝置之概要，故並不於此作過多說明。且，圖40中將高端MOSFET4005及低端MOSFET4006中形成有該等MOSFET之半導體區域與相當於汲極之半導體區域之間所形成之寄生二極體表示為DD。且，該等MOSFET之後閘極連接於源極。因高端MOSFET4005及低端MOSFET4006各者之第2閘極電極G2之連接端於後將在每一實施形態中加以說明，故圖40中並未明示第2閘極電極G2之連接端。

高端MOSFET4005中，其源極・汲極之路徑串列連接於電壓端子T6與輸出端子T1之間，第1閘極電極G1連接於驅動器4003之輸出端子T7。且，低端MOSFET4006中，其源極・汲極路徑串列連接於輸出端子T1與電壓端子T2之間，第1閘極電極G1連接於驅動器4003之輸出端子T9。實施形態中，對電壓端子T2供給接地電壓PGND，對電壓端子T6供給相對於接地電壓PGND更高之正電壓作為輸入電壓VIN。因此，此處，設高端MOSFET4005之汲極D連接於電壓端子T6，源極S連接於輸出端子T1。同樣地，設低端MOSFET4006之汲極D連接於輸出端子T1，源極S連接於高壓端子T2。

高端MOSFET4005將自驅動器4003之輸出端子T7輸出之輸出信號(驅動信號)GH作為輸入信號給予第1閘極電極G1。且，低端MOSFET4006將自驅動器4003之輸出端子T9輸出之輸出信號(驅動信號)GL作為輸入信號給予第1閘極電極G1。驅動器4003改變驅動信號GH、GL之電壓以使高端MOSFET4005與低端MOSFET4006相輔地導通/斷開。藉由高端MOSFET4005及低端MOSFET4006根據該驅動信號GH、GL而相輔地導通/斷開，相應地電壓端子VIN或電壓端子PGND

亦經由高端MOSFET4005或低端MOSFET4006之源極・汲極路徑而電性連接於輸出端子T1。

藉由高端MOSFET4005之導通，自輸入電壓VIN經由輸出端子T1朝線圈元件4008之一端之方向供給電流。反之，若低端MOSFET4006導通，則自線圈元件4008之一端朝輸出端子T1之方向供給電流，供給於電壓端子T2。藉由高端MOSFET4005與低端MOSFET4006相輔地重複導通/斷開而對線圈元件4008之一端供給週期性交替變化之電流，催生反電動勢，於線圈元件4008之另一端形成有與輸入電壓VIN電壓值不同之輸出電壓Vout，其經平滑用電容器4009平滑後供給於負荷4001。

另一方面，形成於線圈元件4008之一端之電壓被供給於布托用電容元件4010。布托用電容元件4010根據線圈元件4008之一端之電壓之週期性變化，形成具有比輸出端子T1之電壓值更高之電壓值的電壓BOOT，並將其供給於電壓端子T5。

驅動器4003具備驅動電路4011、4012及控制電路4004。驅動電路4011係以來自電壓端子T8之電壓為基準電壓，以來自電壓端子T5之電壓BOOT為電源電壓，輸出遵循於來自控制電路4004之輸出信號f之信號作為驅動信號GH。此處，因電壓端子T8連接於高端MOSFET4005之源極S，故驅動電路4011輸出以高端MOSFET4005之源極S之電壓，換言之即輸出端子T1之電壓為基準之驅動信號GH。因此，驅動信號GH之電壓例如在基準電壓(電壓端子T8之電壓)與電壓BOOT之間變動。

另一方面，驅動電路4012係以電壓端子T10之電壓為基準電壓，以供給於電壓端子T4之電源電壓VCIN為電源電壓而動作。此處，因電壓端子T10連接於電壓端子T2，故驅動電路4012係以接地電壓PGND與電壓VCIN為電源電壓，將遵循於來自控制電路4004之輸出信

號c之驅動信號GL經由輸出端子T9朝低端MOSFET4006之第1閘極電極G1輸出。

控制電路4004係以供給於電壓端子T3之接地電壓CGND、供給於電壓端子T4之電壓VCIN及供給於電壓端子T5之電壓BOOT為動作電源而動作。控制電路4004具有控制端子T11、T12，根據自控制用半導體積體電路裝置4007供給於控制端子T11之脈衝寬度控制信號PWM(輸入信號a)而形成輸出信號f及c。對控制端子T12供給指示是否使控制電路4004動作之控制信號DISBL#。圖40中，經由電阻元件4022對控制端子T12供給電源電壓VCIN。因電源電壓VCIN為高位準，故控制信號DISBL#成為高位準，控制電路4004根據供給於控制端子T11之脈衝寬度控制信號PWM而形成輸出信號g及c。另一方面，控制信號DISBL#設為低位準之情形時，控制電路4004成為非動作狀態。藉此，可利用控制信號DISBL#將電源系統4000控制在動作狀態或非動作狀態。

供給於控制電路4004之電壓端子T3之接地電壓CGND係與供給於與低端MOSFET4006之源極S連接之電壓端子T2之接地電壓PGND實質相同之電壓(接地電壓GND)。本實施形態中，藉由使對控制電路4004供給接地電壓之電壓端子T3與對低端MOSFET4006之源極S供給接地電壓之電壓端子T2電性分離，而可例如防止低端MOSFET4006動作時引發之接地電壓PGND之變動傳遞至控制電路4004。且，供給於電壓端子T5之電壓BOOT之電壓值設為較供給於電壓端子T4之電源電壓VCIN更高。控制電路4004係構成為使控制電路4004之輸出信號f之高位準成為電壓BOOT之電壓。藉此，將具有較電源電壓VCIN更高之電壓，即電壓BOOT之輸出信號f輸入至驅動電路4011。

另，雖未特別限定，但輸入電壓VIN為例如12V，驅動器4003用之電源電壓VCIN為例如5V。

本實施形態中，驅動電路4011及4012各者係作為緩衝電路發揮作用。因此，驅動電路4012將來自控制電路4004之輸出信號c供給於低端MOSFET4006之第1閘極電極G1。此處，供給於低端MOSFET4006之第1閘極電極G1之驅動信號GL之電壓係在電源電壓VCIN與接地電壓之間轉換。

另一方面，驅動電路4011將來自控制電路4004之輸出信號f供給於高端MOSFET4005之第1閘極電極G1。對驅動電路4011供給電壓BOOT作為電源電壓，輸出信號f之高位準之電壓成為電壓BOOT。因此，供給於高端MOSFET4005之第1閘極電極G1之驅動信號GH之電壓係在電壓BOOT與電壓端子T8之電壓VSWH(高端MOSFET之源極之電壓)之間轉換。如此，藉由增大供給於高端MOSFET4005之第1閘極電極G1之驅動信號GH之電壓，可降低高端MOSFET4005之閾值電壓所致之損耗。

自電源系統4000之輸出端子T13輸出之輸出電壓Vout被供給於控制用半導體積體電路裝置4007。控制用半導體積體電路裝置4007根據輸出電壓Vout之電壓值生成脈衝寬度控制信號PWM(輸入信號a)。即，形成具有與輸出電壓Vout之電壓值相應之脈衝寬度(例如成為高位準之期間)的脈衝寬度控制信號PWM。

本實施形態之控制電路4004具有位準轉換器(level shifter) 4013及4014、輸入邏輯電路4018、“及”電路(AND circuit) 4016及4017、“或非”電路(NOR circuit) 4014、逆變器電路4020、低電壓檢測電路4021、及防重疊電路4015。此處，對於位準轉換器4013供給上述電壓BOOT，自位準轉換器4013輸出之輸出信號f之高位準成為電壓BOOT之電壓值。另，雖未特別限定，但於防重疊電路4015設置有將輸出信號f之高位準之電壓值轉換為恰當之值之電壓轉換電路。

如根據圖40所理解般，“及”電路4016係具有1個反相輸入端子與2

個非反相輸入端子之3輸入“及”電路；“及”電路4017係具有2個反相輸入端子與1個非反相輸入端子之3輸入“及”電路。此處，反相輸入端子係指將供給於其端子之信號反相後供給於“及”電路之端子；非反相端子係指將供給其端子之信號直接供給於“及”電路之端子。另，本實施形態中，逆變器4020具有滯後功能以防止雜訊干擾下之誤動作。

輸入邏輯電路4018雖具有複數種功能，但其說明於此處省略。自控制用半導體積體電路裝置4007輸出之脈衝寬度控制信號PWM(輸入信號a)係經由控制端子T11而輸入至輸入邏輯電路4018。輸入邏輯電路4018之輸出信號b被供給於“及”電路4017之反相輸入端子與“及”電路4016之非反相輸入端子。對“及”電路4016、4017各者之非反相輸入端子供給“或非”電路4019之輸出信號。經由轉換器4019對該“或非”電路4019之一輸入端子供給控制信號DISBL#，經由低電壓檢測電路4021對另一輸入端子供給電源電壓VCIN。

對低電壓檢測電路4021輸入電源電壓VCIN，當電源電壓VCIN低於特定之電壓值時，形成高位準之輸出信號並將其供給於“或非”電路4019。藉此，於將控制信號DISBL#設為低位準，或電源電壓VCIN低於特定之電壓值之情形時，“或非”電路4019形成低位準之輸出信號。藉由“或非”電路4019之輸出信號成為低位準，“及”電路4016、4017各者不將輸入邏輯電路4018之輸出信號b或/及防重疊電路4015之輸出信號d、g朝其輸出傳送。結果，控制電路4004成為非動作狀態。相對於此，於電源電壓VCIN超過特定之電壓值並供給高位準之控制信號DISBL#之情形時，“或非”電路4019之輸出信號成為高位準。結果，藉由“及”電路4016、4017各者將輸入邏輯電路4018之輸出信號b或/及防重疊電路4015之輸出信號d、g朝其輸出傳送，而使控制電路4004成為動作狀態。

對“及”電路4016之反相輸入端子供給防重疊電路4015之輸出信號

d，對“及”電路4017之反相輸入端予供給防重疊電路4015之輸出信號g。“及”電路4016之輸出信號e係經由位準轉換器4013，作為控制電路4004之輸出信號f而輸入至驅動電路4011。且，該輸出信號f輸入至防重疊電路4015。另一方面，“及”電路4017之輸出信號c係作為控制電路4004之輸出信號而輸入至驅動電路4012。且，輸出信號c被位準轉換器4014位準轉換為所需之電壓值後供給於防重疊電路4015。

防重疊電路4015係用於防止高端MOSFET4005與低端MOSFET4006同時成為導通狀態之電路。為防止高端MOSFET4005與低端MOSFET4006同時成為導通狀態，其接收輸出信號c及f而形成同為高位準但時間上不重合之輸出信號d及g。如此之電路例如可使用複數個邏輯電路及延遲電路而構成。

接著，利用圖41(A)~圖41(G)說明圖40所示之電源系統之動作。圖41(A)~圖41(G)係上述信號(輸出信號及控制信號)a~g之波形圖。該等圖中，橫軸表示時間、縱軸表示電壓。

圖41(A)係自控制用半導體積體電路裝置4007輸出之脈衝寬度控制信號PWM(同圖中記作a)之波形圖。該圖中，雖為說明起見而僅示出一個成為高位準之期間(脈衝寬度)，但成為高位準之期間(脈衝寬度)係週期性出現。本實施形態中，控制用半導體積體電路裝置4007係以根據電源系統4000之輸出電壓Vout之電壓值變更脈衝寬度控制信號PWM之脈衝寬度(成為高位準之期間)，以使輸出電壓Vout之電壓值成為特定值之方式進行控制。採用所謂PWM控制方式。

圖41(A)中，脈衝寬度控制信號PWM(a)於時刻t1自低位準朝高位準變化。輸入邏輯電路4018響應脈衝寬度控制信號PWM之該變化，而於特定之延遲時間後之時刻t2，使輸出信號b自低位準朝高位準變化(圖41(B))。“及”電路4017根據供給於反相輸入端子之輸出信號b朝高位準變化，而於時刻t2使輸出信號c朝低位準變化(圖41(C))。驅動電

路4012響應輸出信號c朝低位準變化而形成低位準之驅動信號GL，並將其供給於低端MOSFET4006之第1閘極電極G1。因驅動電路4012發揮作為緩衝器之功能，故驅動信號GL與輸出信號c相互間同步。因此，圖41(C)中，可視為顯現驅動信號GL之波形，圖41(C)中，以(GL)表示表示驅動信號GL之符號GL。

防重疊電路4015經由位準轉換器4014受理輸出信號c之變化(自高位準朝低位準之變化)。防重疊電路4015若受理該變化，則於特定延遲時間後之時刻t3，使輸出信號d自高位準朝低位準變化(圖41(D))。因輸出信號d被供給於“及”電路4016之反相輸入端子，故藉由輸出信號d朝低位準變化，“及”電路4016於時刻t3使其輸出信號e自低位準朝高位準變化(圖41(E))。

藉由“及”電路4016之輸出信號e自低位準朝高位準變化，位準轉換器4013對此作出響應而形成高位準之輸出信號f。因將電壓BOOT作為動作電壓供給於位準轉換器4013，故輸出信號f之高位準成為電壓BOOT之電壓值。該輸出信號f經由發揮作為緩衝器之功能之驅動電路4011而供給於高端MOSFET4005之第1閘極電極G1。驅動電路4011將電壓BOOT與電壓端子T8之電壓VSWH作為動作電壓。因此，自驅動電路4011供給於高端MOSFET4005之第1閘極電極G1之驅動信號GH之高位準之電壓值成為電壓BOOT，驅動信號GH之低位準之電壓值成為電壓VSWH。因輸出信號f與驅動信號GH同步，故圖41(F)中顯示輸出信號f與驅動信號GH於時刻t4朝高位準(電壓BOOT)變化。

若輸出信號f朝高位準變化，則防重疊電路4015於特定時間後之時刻t5，使輸出信號g自低位準朝高位準變化(圖41(G))。

如上所述，藉由脈衝寬度控制信號PWM(圖41中為a)自低位準朝高位準變化，而於時刻t2，驅動電路4012之驅動信號GL自高位準朝低位準變化。另一方面，於時刻t2後之時刻t4，驅動電路4011之驅動信

號GH自低位準(VSWH)朝高位準(BOOT)變化。藉此，於時刻t2，低端MOSFET4006開始朝斷開狀態轉換，於時刻t4，高端MOSFET4005開始朝導通狀態轉換。結果，輸入電壓VIN經由高端MOSFET4005而供給於輸出端子T1，並供給於線圈元件4008之一端及布托電容4010之一端。換言之，自電壓端子T6經由輸出端子T1對線圈元件4008之一端供給電流。

接著，於時刻t6，脈衝寬度控制信號PWM(圖41(A)中為a)自高位準朝低位準變化(圖41(A))。輸入邏輯電路4018對該變化作出響應而於特定時間後之時刻t7，使其輸出信號b自高位準朝低位準變化(圖41(b))。藉由輸出信號b朝低位準變化，“及”電路4016之輸出信號e於時刻t7朝低位準變化(圖41(e))。

若輸出信號e朝低位準變化，則位準轉換器4013使其輸出信號f自高位準(電壓BOOT)朝低位準變化。驅動電路4011對位準轉換器4013之輸出信號f之變化作出響應而使驅動信號GH自高位準(BOOT)朝低位準(VSWH)變化(圖41(F)之時刻t8)。

若輸出信號f自高位準朝低位準變化，則防重疊電路4015對該朝低位準之變化作出響應而於特定時間後之時刻t9，使其輸出信號g自高位準朝低位準變化(圖41(G))。藉此，對“及”電路4017之2個反相輸入端子均供給低位準，“及”電路4017之輸出信號c自低位準朝高位準變化(圖41(C)之時刻t9)。該輸出信號c藉由驅動電路4012加以緩衝後作為驅動信號GL供給於低端MOSFET4006之第1閘極電極G1。

若輸出信號c於時刻t9自低位準朝高位準變化，則防重疊電路4015於自輸出信號c朝高位準之變化後經過特定時間後，使輸出信號d自低位準朝高位準變化(圖41(D)之時刻t10)。

時刻t10之後成為時刻t1之前之狀態，其後，藉由脈衝寬度控制信號PWM再次成為高位準而重複進行上述動作。

如上所述，於時刻 t_8 ，供給於高端MOSFET4005之第1閘極G1之驅動信號GH朝低位準(VSWH)轉換，於時刻 t_8 之後之時刻 t_9 ，供給於低端MOSFET4006之第1閘極電極G1之驅動信號GL朝低位準轉換。即，可防止出現高端MOSFET4005與低端MOSFET4006同時成為導通狀態之期間。

另一方面，於時刻 t_9 ，藉由使驅動信號GL成為高位準(VCIN)，低端MOSFET4006朝導通狀態轉換。藉此，輸出端子T1經由低端MOSFET4006而連接於電壓端子T2。換言之，電流經由輸出端子T1自線圈元件4008之一端朝電壓端子T2之方向流動。

藉由對線圈元件4008交替地供給電流，而使線圈元件4008內產生逆起電壓，於線圈元件4008之另一端產生與輸入電壓VIN電壓值不同之輸出電壓Vout。

控制用半導體積體電路裝置4007根據輸出電壓Vout之電壓值控制脈衝寬度控制信號PWM之脈衝寬度以使產生之輸出電壓Vout之電壓值成為特定值。

< 高端MOSFET及低端MOSFET之構造 >

接著，說明上述高端MOSFET4005及低端MOSFET4006之構造。高端MOSFET4005與低端MOSFET4006雖尺寸不同，但彼此具有相同之構造。此處，以低端MOSFET4006之構造為例進行說明。

圖37(A)係表示低端MOSFET4006之半導體晶片之佈局的示意性俯視圖。且，圖37(B)係表示自圖37(A)之B-B觀察時之低端MOSFET4006之剖面的示意性剖面圖。圖37(A)中，3700表示半導體晶片。本實施形態中，雖未特別限定，但設2個MOSFET形成於半導體晶片3700，2個MOSFET各者之源極S、汲極D、第1閘極電極G1、及第2閘極電極G2相互連接而構成1個低端MOSFET4006。

圖37(A)中，3701係上述2個MOSFET各者之源極電極，3702係2

個MOSFET各者之第2閘極電極G2，3703係低端MOSFET4006之第1閘極電極G1之連接焊墊。另，低端MOSFET4006之汲極電極係半導體晶片3700之背面。源極電極3701係以覆蓋第2閘極電極3702之一部分區域之方式形成。利用未被源極電極3701覆蓋之第2閘極電極3702之區域對第2閘極電極3702供給驅動信號GL。

圖37(B)中，3704係N⁻型(第1導電型)之半導體區域，係發揮作為低端MOSFET4006之汲極D之功能的半導體區域。3705係P⁻型(第2導電型)之半導體區域，係形成有MOSFET之通道的半導體區域。且，3706係N⁺型(第1導電型)之半導體區域，係發揮作為MOSFET之源極S之功能的半導體區域。對半導體區域3704之主表面積層半導體區域3705，進而對半導體區域3705之主表面積層半導體區域3706。如同圖所示，於半導體區域3704、3705及3706形成有槽。於半導體區域3704之槽內隔著絕緣層3707而形成有金屬層3708。於半導體區域3704、3705之槽內，隔著絕緣層3707以與金屬層3708重疊之方式形成有金屬層3709。金屬層3709構成上述第1閘極電極G1，金屬層3708構成上述第2閘極電極G2。

隔在發揮作為第1閘極電極G1之功能之金屬層3709與半導體區域3705之間之部分的絕緣層3707可理解為低端MOSFET4006之閘極絕緣膜。本實施形態中，於槽之縱向，構成第1閘極電極G1之金屬層3709設為與發揮作為源極S之功能之半導體區域3706、及發揮作為汲極D之功能之半導體區域3704之一部分區域重疊。且，發揮作為第2閘極電極G2之功能之金屬層3708係於槽之縱向埋設於發揮作為汲極D之功能之半導體區域3704。換言之，於槽之縱向，第2閘極電極G2配置於相較於第1閘極電極G1更靠近汲極D側。

再者，圖37(B)中，3701係源極電極，並與發揮作為源極S之功能之半導體區域3706電性連接。另，源極電極3701亦與形成有通道之半

導體區域3705電性連接。藉此，源極S與低端MOSFET4006之後閘極電性連接於源極電極3701。發揮作為第1閘極電極G1之功能之金屬層3709係連接於圖37(A)所示之連接焊墊3703。且，3710係表示設置於半導體晶片3700之背面之汲極電極。

圖37(B)中， C_{rss} 表示形成於第1閘極電極G1與汲極D之間之第1閘極・汲極間電容。藉由使供給於第2閘極電極G2之電壓相對於源極S成為負電壓，而可利用第2閘極電極使空乏層大幅延伸，從而可減少第1閘極・汲極間電容 C_{rss} 。且，藉由使供給於第2閘極電極G2之電壓相對於源極S成為正電壓，可減低與第2閘極電極G2對應之汲極區域之電阻值，從而可降低使低端MOSFET4006成為導通狀態時之導通電阻。

同樣地，高端MOSFET4005亦可藉由變更供給於第2閘極電極G2之電壓之極性(以源極之電壓為基準)而減少第1閘極・汲極間電容 C_{rss} ，並可降低導通電阻。其後雖以圖36(B)表示，但為使來自線圈元件4008之電流朝接地電壓PGND流動以降低輸出端子T1之電壓，低端MOSFET4006(圖40)尺寸設為較高端MOSFET4005更大。因此，在減低低端MOSFET4006之第1閘極・汲極間電容 C_{rss} 及導通電阻上尤其有效。

(實施形態1)

圖1(A)係表示實施形態1之半導體積體電路裝置4002之重要部分構成之電路圖。圖1(B)係表示圖1(A)所示之半導體積體電路裝置4002之電壓波形之波形圖。

圖1(A)示出圖40所示之半導體積體電路裝置4002之低端MOSFET4006與驅動電路4012。因圖1(A)未示出之部分為與圖40所示之半導體積體電路裝置4002相同之構成，故省略說明。

如以圖40所說明般，低端MOSFET4006之第1閘極電極G1連接於

驅動器4003之輸出端子T9，其源極及後閘極連接於電壓端子T2，其汲極連接於半導體積體電路裝置4002之輸出端子T1。且，驅動器4003具有驅動低端MOSFET4006之驅動電路4012，將來自驅動電路之驅動信號GL經由輸出端子T9而供給於低端MOSFET4006之第1閘極電極G1。

實施形態1中，驅動器4003包含控制端子T14與連接於控制端子T14之第2閘極電極控制電路1000。控制端子T14連接於低端MOSFET4006之第2閘極電極G2，將由第2閘極電極控制電路1000形成之第2閘極控制信號UL經由控制端子T14供給於低端MOSFET4006之第2閘極電極G2。第2閘極電極控制電路1000在圖1(A)中具有作為例示之可變電壓源1001。可變電壓源1001產生相對於接地電壓CGND為正的電壓。且設為產生之電壓之值可變。接地電壓CGND係與接地電壓PGND實質相同之接地電壓GND。因此，第2閘極電極控制電路1000相對於低端MOSFET4006之源極具有正極性，並形成其電壓值變動之第2閘極控制信號UL。

以源極之電壓(接地電壓PGND)為基準，將正的電壓作為第2閘極控制信號UL供給於低端MOSFET4006之第2閘極電極G1，故低端MOSFET4006成為導通狀態時可減低導通電阻。藉由減低導通電阻，可減少低端MOSFET4006成為導通狀態時之損耗(消耗電力)，從而可謀求半導體積體電路裝置4002之低損失化。且，本實施形態1中，因可變更供給於第2閘極電極G2之電壓值，故亦可調整導通電阻之值。

第2閘極電極控制電路1000之一例顯示於圖1(C)及圖1(D)。圖1(C)係表示形成具有正極性之電壓之第2閘極控制信號UL之第2閘極電極控制電路1000之一例的電路圖。且，圖1(D)係表示形成具有負極性之電壓之第2閘極控制信號UL之第2閘極電極控制電路1000之一例的電路圖。圖1(B)係表示由圖1(D)所示之第2閘極電極控制電路1000

形成之第2閘極控制信號UL之電壓波形的波形圖。另，本實施形態中，由於是相對於低端MOSFET4006之源極S之電壓即接地電壓GND之電壓，故正極性之電壓意指正電壓，負極性之電壓意指負電壓。

首先，對形成具有正極性之電壓之第2閘極控制信號UL之第2閘極電極控制電路1000進行說明。圖1(C)中，1002為N通道型MOSFET，1003及1004各者為電阻元件，1005為差動放大電路，1006為可變電壓源。

電阻元件1003與1004串列連接於控制端子T14與接地電壓CGND之間，自電阻元件1003與1004之間之連接節點擷取分壓電壓。擷取之分壓電壓被供給至差動放大電路1005之反相輸入(-)，來自可變電壓源1006之可變電壓被供給於差動放大電路1005之非反相輸入(+)。差動放大電路1005之輸出信號供給於MOSFET1002之閘極，該MOSFET1002之汲極被供給電源電壓VCIN且後閘極與汲極連接於控制端子T14。差動放大電路1005控制MOSFET1002以減低由電阻元件1003與電阻元件1004之間之電阻比決定之分壓電壓與來自可變電壓源1006之可變電壓間之電壓差。藉此，形成與來自可變電壓源1006之可變電壓對應之電壓作為第2閘極控制信號UL，並將其供給於低端MOSFET4006之第2閘極電極G2。此處，藉由變更可變電壓源1006之可變電壓之值，可調整低端MOSFET4006之導通電阻之值。

接著，利用圖1(D)及圖1(B)說明形成具有負極性之電壓之第2閘極控制信號UL之第2閘極電極控制電路1000。圖1(D)中，第2閘極電極控制電路1000具有P通道型MOSFET1007、N通道型MOSFET1008、振盪電路1013、電容元件1009及1012、以及二極體元件1010及1011。

P通道型MOSFET1007與N通道型MOSFET1008其各自之源極、汲極路徑串列連接於電源電壓VCIN與接地電壓CGND之間。且，對其各自之閘極電極供給來自振盪電路1013之振盪輸出。即，由P通道型

MOSFET1007與N通道型MOSFET1008構成CMOS型轉換器，對該轉換器輸入振盪電路1013之振盪輸出。轉換器之輸出(MOSFET1007與MOSFET1008之連接節點)係經由電容元件1009而連接於二極體元件1010之陰極與二極體元件1011之陽極，二極體元件1010之陽極連接於電容元件1012之一端與控制端子T14。此處，二極體元件1011之陰極與電容元件1012之另一端連接於接地電壓CGND。

轉換器(MOSFET1007、1008)根據振盪電路1013之振盪輸出對電容元件1009進行週期性充電/放電。即，藉由MOSFET1007之導通，由該MOSFET1007、電容元件1009及二極體元件1011構成充電路徑對電容元件1009進行充電。另一方面，藉由MOSFET1008之導通，由該MOSFET1008、電容元件1009、二極體元件1010及電容元件1012構成放電路徑。構成放電路徑時，於電容元件1009與1012之間進行電荷分散，控制端子T14之電壓相較於接地電壓CGND成為負電壓(負極性之電壓)。將該負極性之電壓作為第2閘極控制信號UL供給於低端MOSFET4006之第2閘極電極G2。

圖1(B)中示出低端MOSFET4006之源極之電壓(同圖中記為源極電壓(GND))與第2閘極控制信號UL之電壓波形。同圖中，橫軸表示時間，縱軸表示電壓。低端MOSFET4006之源極S及後閘極連接於被供給接地電壓PGND之電壓端子T2。因此，低端MOSFET4006之源極S之電壓成為接地電壓PGND(同圖中記為GND)。相對於此，圖1(D)所示之第2閘極電極控制電路1000形成相對於接地電壓CGND為負極性之電壓。因接地電壓PGND與接地電壓CGND皆為接地電壓(GND)，故，如圖1(B)所示，由圖1(D)之第2閘極電極控制電路1000形成之第2閘極控制信號UL成為較低端MOSFET4006之源極S之電壓更低之電壓。換言之，以源極S之電壓為基準之情形時其成為負極性之電壓。

藉由對低端MOSFET4006之第2閘極電極G2供給相對於其源極S

之電壓為負極性之電壓，可減少第1閘極・汲極間電容 C_{rss} ，從而可縮短低端MOSFET4006自導通朝斷開或自斷開朝導通轉換時之過渡時間(以下亦稱作轉換時間)。藉由縮短會消耗電力之轉換時間，可降低低端MOSFET4006之消耗電力(損耗)，可進而謀求半導體積體電路裝置4002之低損失化。

(實施形態2)

實施形態1中，由第2閘極電極控制電路1000形成具有相對於源極S之電壓為正極性之電壓或負極性之電壓的第2閘極控制信號UL。實施形態1之情形時，於低端MOSFET4006根據供給於其第1閘極電極G1之驅動信號GL而進行轉換時、及處於導通狀態或斷開狀態任一者時，皆對第2閘極電極G2穩定供給具有正極性或負極性之電壓之第2閘極控制信號UL。

然而，根據本案發明人之研究，可明確的是，將具有負極性之電壓之第2閘極控制信號UL供給於第2閘極電極G2之情形時，雖第1閘極・汲極間電容 C_{rss} 有所減少，但MOSFET之導通電阻卻增加。同樣地，可明確的是，將具有正極性之電壓之第2閘極控制信號UL供給於第2閘極電極G2之情形時，雖MOSFET之導通電阻有所降低，但第1閘極・汲極間電容 C_{rss} 卻因而增加。因此，若將具有正極性或負極性之電壓之第2閘極控制信號UL穩定供給MOSFET之第2閘極電極G2，則會產生損耗增加。

因此，本案發明人對因MOSFET之導通電阻產生之損耗即導通損耗，與MOSFET自導通至斷開或自斷開至導通時產生之損耗即切換損耗進行探討。探討係以電源系統4000所使用之半導體積體電路裝置4002為對象，對半導體積體電路裝置4002中之損耗之種類及比例進行探討。

首先，對半導體積體電路裝置4002中之損耗加以歸類。圖38係

表示半導體積體電路裝置4002中之損耗之特性圖。圖38顯示有3個測定結果。首先，於圖38之中央示出表示流動於輸出端子T1(圖40)之輸出電流(負荷電流) $I_{out}(A)$ 與半導體積體電路裝置4002之效率(%)之關係之特性圖表。該特性圖表中，橫軸表示輸出電流，縱軸表示半導體積體電路裝置4002之輸入電力與輸出電力之比(輸出電力/輸入電力)。隨著電源系統4000之負荷4001增加而自輕負荷朝重負荷之變化，使得負荷電流(輸出電流) I_{out} 增大。此係由於隨著成為重負荷，負荷所要求之電流亦增加之故。

如自圖38之特性圖表所理解般，效率係於負荷電流 I_{out} 相對較低時提高，並隨負荷電流 I_{out} 之增加而下降。此處，負荷電流(輸出電流) I_{out} 為特定之電流值 i_2 以下時認為係輕負荷時，負荷電流(輸出電流) I_{out} 超過特定之電流值 i_2 時認為係重負荷時。如此認為時，求得輕負荷時與重負荷時之損耗類別與比例。在圖38之左側，以「輕負荷時之損耗明細」表示輕負荷時，即負荷電流 I_{out} 為特定之電流值 i_2 以下之電流值 i_1 時之損耗類別與比例。同樣地，在圖38之右側，以「重負荷時之損耗明細」表示重負荷時，即負荷電流 I_{out} 為超過特定之電流值 i_2 之電流值 i_3 時之損耗類別與比例。

此處，「輕負荷時之損耗明細」及「重負荷時之損耗明細」各者係用累加式之棒狀表示。累加之項表示損耗類別，此處，將損耗類別設為切換損耗(以下亦稱為SW損)、導通損耗(以下亦稱為導通損)及其他。接著，對損耗類別進行說明。

首先，以其他表示之損耗係表示半導體積體電路裝置4002內之邏輯電路例如驅動器4003中之損耗。SW損及導通損係高端MOSFET4005及低端MOSFET4006之損耗，利用圖39(A)及圖39(B)進行說明。圖39(A)及圖39(B)係用於說明SW損及導通損之說明圖。

在圖39(A)之上側示意性示出低端MOSFET4006(高端

MOSFET4005)自斷開朝導通轉換時之源極・汲極間電壓VDS之變化、汲極電流IDS之變化及損耗P。且，在圖39(A)之下側以特性圖表之形式示出供給於第2閘極電極G2之第2閘極控制信號UL之電壓與第1閘極・汲極間電容Crss之關係。該特性圖表中，橫軸表示第2閘極控制信號UL之電壓(同圖中記作UL電壓)，縱軸表示第1閘極・汲極間電容Crss之電容值。

SW損耗即切換損耗P係於低端MOSFET(高端MOSFET)自斷開朝導通(或自導通朝斷開)轉換時所產生之損耗。轉換時，如圖39(A)之上側所示，存在源極・汲極間電壓VDS具有有限值之期間與汲極電流IDS具有有限值之期間，在時間上該等期間重疊。在該重疊之期間，電力被消耗而成為切換損耗P。因此，切換損耗P係與電壓(VDS)與電流(IDS)之積成比例。另一方面，轉換所需之時間取決於附隨於MOSFET之第1閘極電極之電容。作為該附隨之電容，存在有第1閘極・汲極間電容Crss。如在圖39(A)之下側示出之特性圖表所示，該第1閘極・汲極間電容Crss可藉由降低供給於第2閘極電極G2之第2閘極控制信號UL之電壓值使其成為負極性而減少。

藉由減少第1閘極・汲極間電容Crss，可加快源極・汲極間電壓VDS與汲極電流IDS之變化，從而可謀求轉換所需時間之縮短化，可謀求降低切換損耗P。

如圖39(B)之上側所示，導通損耗係與低端MOSFET(高端MOSFET)之導通電阻(Ron)與汲極電流IDS之平方(IDS^2)之積成比例之損耗。於圖39(B)之下側示出表示第2閘極控制信號UL之電壓(UL電壓)與導通電阻之關係之特性圖表。該特性圖表中，橫軸表示第2閘極控制信號UL之電壓，縱軸表示低端MOSFET(高端MOSFET)之導通電阻值。如根據圖39(B)之下側示出之特性圖表所理解般，藉由使供給於第2閘極電極G2之第2閘極控制信號之電壓(UL電壓)自負極性之電

壓朝正極性之電壓變化，低端MOSFET(高端MOSFET)之導通電阻 R_{on} 減少。

返回圖38進行對輕負荷時之損耗明細及重負荷時之損耗明細之說明。如根據圖38之左側示出之「輕負荷時之損耗明細」所理解般，輕負荷時「SW損耗」之比例高於「導通損」及「其他」之損耗。相對於此，如根據圖38之右側示出之「重負荷時之損耗明細」所理解般，重負荷時「導通損」之比例高於「SW損」及「其他」之損耗，且隨著負荷加重，「導通損」於半導體積體電路裝置之損耗所佔之比例隨之增大。即，半導體積體電路裝置之損耗中之導通損耗與切換損耗之比例係隨負荷而變化。重負荷時，導通損耗之比例變高，輕負荷時，切換損耗之比例變高。

接下來所要闡述之實施形態2之半導體積體電路裝置中，可謀求減低上述切換損耗與導通損耗兩者。

圖2(A)係表示實施形態2之半導體積體電路裝置4002之驅動器4003之重要部分構成之方塊圖。示出第2閘極電極控制電路1000作為重要部分。圖1(A)所示之第2閘極電極控制電路1000之構成在該實施形態2中變更為圖2(A)所示之構成。圖2(A)中示出驅動器4003之控制端子T14與第2閘極電極控制電路1000，圖1(A)所示之低端MOSFET4006及驅動電路4012則省略。當然，圖2(A)所示之第2閘極電極控制電路1000係設置於圖40所示之驅動器4003。

圖2(A)中，第2閘極電極控制電路1000包含：正電壓調節器2000、負電壓調節器2001、位準轉換器2003、選擇電路2002、及第2閘極電極驅動控制電路2004。正電壓調節器2000生成相對於接地電壓PGND為正的電壓 V_{pos} ，負電壓調節器2001生成相對於接地電壓PGND為負的電壓 V_{neg} 。所生成之正電壓 V_{pos} 及負電壓 V_{neg} 被供給於位準轉換器2003及選擇電路2002。

第2閘極電極驅動控制電路2004接收自驅動電路4012(圖40)輸出之驅動信號GL而形成與驅動信號GL同步之控制信號，並將其供給於位準轉換器2003。位準轉換器2003接收由第2閘極電極驅動控制電路2004形成之控制信號，而將接收到之控制信號之高位準及低位準轉換為與正電壓 V_{pos} 及負電壓 V_{neg} 相匹配之電壓，將電壓轉換後之控制信號供給於選擇電路2002。

選擇電路2002根據所供給之控制信號之電壓(高位準/低位準)，選擇正電壓 V_{pos} 及負電壓 V_{neg} 中之任一者，並將選擇之電壓(正電壓 V_{pos} 或負電壓 V_{neg})作為第2閘極控制信號UL輸出至端子T14。如圖1(A)所示，端子T14連接於低端MOSFET4006之第2閘極電極G2。此處，自位準轉換器2003供給於選擇電路2002之控制信號係與自驅動電路4012輸出之驅動信號GL保持同步。因此，供給於低端MOSFET4006之第2閘極電極G2之第2閘極控制信號UL之電壓係與使低端MOSFET4006導通/斷開之驅動信號GL同步而成為負電壓 V_{neg} 或正電壓 V_{pos} 。

圖2(B)中示出上述選擇電路2002、位準轉換器2003及第2閘極電極驅動控制電路2004之電路構成例。第2閘極電極驅動控制電路2004具有並列連接於電源電壓 V_{CIN} 與接地電壓 $CGND$ 之間之3個轉換器，轉換器係由P通道型MOSFET2009(2008、2007)與N通道型MOSFET2015(2014、2013)構成之CMOS型之轉換器。轉換器之輸入連接於前段之轉換器之輸出，而為級聯連接，對初段之轉換器(2009、2015)供給來自驅動電路4012(圖40)之驅動信號GL，將最末段之轉換器之輸出供給於位準轉換器2003。藉此，圖2(B)所示之第2閘極電極驅動控制電路2004係將對驅動信號GL進行相位反相後所得之信號作為控制信號供給於位準轉換器2003。

位準轉換器2003具有接收來自第2閘極電極驅動控制電路2004之

控制信號之N通道型MOSFET2012與負荷元件2016，N通道型MOSFET2012之汲極係經由負荷元件2016而連接於正電壓 V_{pos} 。圖2(B)所示之例中，N通道型MOSFET2012之源極連接於接地電壓CGND。藉此，自負荷元件2016與N通道型MOSFET2012之間之連接節點輸出在正電壓 V_{pos} 與接地電壓CGND之間變化之控制信號。即，自位準轉換器2003輸出電壓轉換後之控制信號。圖2(B)中，雖N通道型MOSFET2012之源極連接於接地電壓CGND，但亦可將其連接於負電壓 V_{neg} 。

選擇電路2002具有並列連接於正電壓 V_{pos} 與負電壓 V_{neg} 之間之2個轉換器，轉換器係由N通道型MOSFET2011(2010)與P通道型MOSFET2006(2005)構成之COMS型之轉換器。轉換器之輸入連接於前段之轉換器之輸出，為級聯連接。對初段之轉換器(2011、2006)之輸入供給來自位準轉換器2003之控制信號，最末段之轉換器(2010、2005)之輸出連接於控制端子T14。選擇電路2002之各轉換器將正電壓 V_{pos} 及負電壓 V_{neg} 作為電源電壓而動作。因此，最末段之轉換器係根據來自位準轉換器2003之控制信號選擇正電壓 V_{pos} 或負電壓 V_{neg} 後將其輸出至控制端子T14。

正電壓調節器2000及負電壓調節器2001可採用各種構成。例如，亦可使用圖1(C)及(D)所示之電路。

圖3(A)至(D)係具有圖2(A)及(B)所示之第2閘極電極控制電路1000之半導體積體電路裝置4002之動作波形圖。接著，利用圖1(A)、圖2(A)、圖3(A)至(D)、及圖40說明實施形態2之半導體積體電路裝置4002之動作。

圖3(A)至(D)中，橫軸表示時間，縱軸表示電壓。且，期間(a)表示高端MOSFET4005導通而低端MOSFET4006斷開之期間；期間(b)表示高端MOSFET4005斷開而低端MOSFET4006導通之期間。如之前利

用圖40及圖41所說明般，高端MOSFET4005及低端MOSFET4006係根據驅動信號GH及GL而相輔地導通/斷開。

圖3(A)表示半導體積體電路裝置4002之輸出端子T1之輸出電壓VSWH之波形；圖3(B)表示來自驅動電路4011(圖40)之驅動信號GH之波形；圖3(C)表示來自驅動電路4012(圖40)之驅動信號GL之波形。且，圖3(D)表示自圖2(A)所示之第2閘極電極控制電路1000輸出之第2閘極控制信號UL之波形。

如根據圖2(A)及(B)之說明所理解般，第2閘極控制信號UL之電壓係與驅動信號GL同步而在正電壓Vpos與負電壓Vneg之間轉換。低端MOSFET4006之源極S連接於接地電壓之電壓端子T2(圖1(A)、圖40)。因此，如圖3(D)所示，第2閘極控制信號UL之電壓係成為以低端MOSFET4006之源極S之電壓(源極電壓(GND))為基準，而為正極性之電壓(正電壓Vpos)或負極性之電壓(負電壓Vneg)。該實施形態2中，如自圖2(B)所理解般，若供給於低端MOSFET4006之第1閘極電極G1之驅動信號GL朝高位準變化，則第2閘極電極控制電路1000與該變化同步而輸出正電壓Vpos作為第2閘極控制信號UL。另一方面，若驅動信號GL朝低位準變化，則第2閘極電極控制電路1000與該變化同步而輸出負電壓Vneg作為第2閘極控制信號UL。

首先，於時刻t1，驅動電路4012之輸出即驅動信號GL自高位準朝低位準變化。因該驅動信號GL被供給於低端MOSFET4006之第1閘極電極G1，故低端MOSFET4006自導通朝斷開轉換。另一方面，藉由驅動信號GL朝低位準變化，自第2閘極電極控制電路1000輸出之第2閘極控制信號UL之電壓係於時刻t1朝負電壓Vneg變化。因第2閘極電極控制信號UL被供給於低端MOSFET4006之第2閘極電極G2，故藉由第2閘極電極控制信號UL朝負電壓Vneg變化，可減少低端MOSFET4006之第1閘極・汲極間電容Crss。藉此，低端MOSFET4006

可儘快進行自導通朝斷開之轉換，從而可縮短轉換時間。

為防止高端MOSFET4005與低端MOSFET4006皆成為導通狀態，於經過特定時間(空載期間)後之時刻 t_2 ，驅動電路4011之輸出信號即驅動信號GH自低位準朝高位準變化。因驅動信號GH被供給於高端MOSFET4005之第1閘極電極G1，故高端MOSFET4005自斷開朝導通變化。藉此，輸出端子T1之輸出電壓VSWH之電壓上昇。

空載期間(自時刻 t_1 至時刻 t_2)，雖高端MOSFET4005及低端MOSFET4006皆斷開，但輸出端子T14之電壓VSWH降低。原因之一為低端MOSFET4006自導通朝斷開轉換時所產生之轉換損耗。該實施形態2中，因可縮短轉換時間，故可減低切換損耗。

接著，於時刻 t_3 ，驅動信號GH自高位準朝低位準變化。藉此，高端MOSFET4005自導通朝斷開轉換。於自時刻 t_3 經過相當於空載期間之時間後之時刻 t_4 ，驅動信號GL自低位準朝高位準變化。藉由該驅動信號GL之變化，低端MOSFET4006自斷開朝導通轉換。且，藉由該驅動信號之變化，第2閘極電極控制電路1000使其輸出信號即第2閘極電極控制信號UL之電壓朝正電壓 V_{pos} 變化。

因高端MOSFET4005斷開，低端MOSFET4006導通，故輸出端子T14之輸出電壓VSWH降低。利用高位準之驅動信號GL使低端MOSFET4006導通時，具有正電壓 V_{pos} 之第2閘極電極控制信號UL被供給於低端MOSFET4006之第2閘極電極G2。藉此，可減低低端MOSFE4006之導通電阻，從而可降低低端MOSFET4006之導通損耗。

於時刻 t_5 ，驅動信號GL再次自高位準朝低位準變化。其後重複進行上述時刻 $t_1 \sim t_4$ 之動作。

實施形態2中，於低端MOSFET4006因供給於第1閘極電極G1之驅動信號GL而導通時，自根據該驅動信號GL而動作之第2閘極電極控制電路1000對第2閘極電極G2供給正電壓 V_{pos} 。且，於低端

MOSFET4006因供給於第1閘極電極G1之驅動信號GL而斷開時，自根據該驅動信號GL而動作之第2閘極電極控制電路1000對第2閘極電極G2供給負電壓Vneg。藉此，於低端MOSFET4006導通時，可謀求減低該MOSFET之導通電阻所致之導通損耗，於低端MOSFET4006進行斷開/導通(導通/斷開)之切換時，可謀求切換損耗減低。

圖4(A)至(D)係用於說明導通損耗減低之說明圖。圖4(D)中示出上述低端MOSFET4006之電路。低端MOSFET4006其源極S連接於接地電壓PGND(GND)，其汲極D連接於控制端子T14。同圖中， R_{on} 表示該MOSFET4006導通時之導通電阻； I_{SD} 表示流動於導通之該MOSFET4006之源極・汲極電流。因可認為低端MOSFET4006導通時自接地電壓對線圈元件4008(圖40)之一端供給電流，故此處示出源極・汲極電流 I_{SD} 而非汲極電流 I_{DS} 。

圖4(A)中，與圖3(A)同樣地，示出輸出端子T1之輸出電壓VSWH之波形。圖4(B)中示出圖4(A)之低端MOSFET4006導通期間之輸出電壓VSWH之放大波形。且，圖4(C)中示出低端MOSFET4006導通期間之源極・汲極電流 I_{SD} 之波形。

圖4(B)中，虛線係對低端MOSFET4006之第2閘極電極G2施加負電壓時之輸出電壓VSWH之波形，實線表示對低端MOSFET4006之第2閘極電極G2施加正電壓時之輸出電壓VSWH之波形。若對第2閘極電極G2施加負電壓，則導通電阻變大。相對於此，如實施形態，若對第2閘極電極G2施加正電壓，則導通電阻變小。導通電阻引起之電壓如周知般係根據電阻(R_{on})與電流(源極・汲極電流 I_{SD})之積求取。因此，藉由縮小導通電阻，可謀求導通損耗之減低。且可防止出現低端MOSFET導通時輸出電壓VSWH過低之情形。

(實施形態3)

圖5係表示實施形態3之半導體積體電路裝置4002之第2閘極電極

控制電路1000之構成之方塊圖。該實施形態3適用實施形態2中所闡述之基於本案發明人探討之見解。即，半導體積體電路裝置之「導通損耗」與「切換損耗」之比例係根據負荷而變化，隨著成為重負荷，「導通損耗」之比例變高。基於該見解謀求降低比例較高之損耗，從而謀求有效降低半導體積體電路裝置之損耗。

與實施形態1及2同樣地，實施形態3中，於驅動器4003(圖40)設置有第2閘極電極控制電路1000與控制端子T14。與實施形態2同樣地，該控制端子T14係連接於低端MOSFET4006(圖1、圖40)之第2閘極電極G2。關於其他構成及其動作，因與以圖40所說明者相同，故此處予以省略。

圖5中，第2閘極電極控制電路1000包含：負荷電流檢測電路5000、第2閘極電極驅動控制電路5001、正電壓調節器5002、負電壓調節器5003、及開關5004及5005。與實施形態2同樣地，該第2閘極電極控制電路1000係形成具有以接地電壓GND為基準而為正極性之電壓或負極性之電壓之第2閘極電極控制信號UL，並將其經由控制端子T14供給於低端MOSFET4006之第2閘極電極G2。

正電壓調節器5002接收自第2閘極電極驅動控制電路5001輸出之控制信號5006，作為使該正電壓調節器5002動作/不動作之ON/OFF信號。控制信號5006指令使正電壓調節器5002動作之情形時，正電壓調節器5002形成相對於接地電壓為正的電壓 V_{pos} 。另一方面，控制信號5006指令使正電壓調節器5002非動作之情形時，正電壓調節器5002成為不動作。

負電壓調節器5003亦與正電壓調節器5002同樣地接收自第2閘極電極驅動控制電路5001輸出之控制信號5007，作為使該負電壓調節器5003動作/不動作之ON/OFF信號。控制信號5007指令使負電壓調節器5003動作之情形時，負電壓調節器5003形成相對於接地電壓為負的電

壓 V_{neg} 。另一方面，控制信號5007指令使負電壓調節器5003不動作之情形時，負電壓調節器5003成為不動作。

開關5004係根據控制信號5006而導通/斷開。藉由開關5004之導通，對控制端子T14供給由正電壓調節器5002形成之正電壓 V_{pos} 。開關5004之導通/斷開係與正電壓調節器5002之動作/不動作同步。即，利用控制信號5006使正電壓調節器5002動作時，開關5004成為導通狀態，利用控制信號5006使正電壓調節器5002不動作時，開關5004成為斷開狀態。

與開關5004同樣地，開關5005亦根據控制信號5007而導通/斷開。藉由開關5005之導通，對控制端子T14供給由負電壓調節器5003形成之負電壓 V_{neg} 。開關5005之導通/斷開係與負電壓調節器5003之動作/不動作同步。即，利用控制信號5007使負電壓調節器5003動作時，開關5005成為導通狀態，利用控制信號5007使負電壓調節器5003不動作時，開關5005成為斷開狀態。

第2閘極電極驅動控制電路5001係自負荷電流檢測電路5000接收檢測信號，根據檢測信號之例如電壓，生成控制信號5006及控制信號5007，而使正電壓調節器5002或負電壓調節器5003動作。繼而令與動作之調節器(正電壓調節器5002或負電壓調節器5003)對應之開關(開關5004或開關5005)成為導通狀態。藉此，第2閘極電極控制電路1000係根據來自負荷電流檢測電路5000之檢測信號，對端子T14輸出具有正電壓 V_{pos} 及負電壓 V_{neg} 中之任一電壓之第2閘極電極控制信號UL。

圖6(A)及(B)係表示圖5所示之第2閘極電極控制電路1000之動作之波形圖。在圖6(A)及(B)中，橫軸表示時間。圖6(A)示出流動於半導體積體電路裝置4002之輸出端子T1之負荷電流 I_{out} 之波形，同圖之縱軸表示電流值。且，圖6(B)示出自圖5所示之第2閘極電極控制電路1000輸出之第2閘極電極控制信號UL之電壓波形，同圖之縱軸表示電

壓值。

如圖38中所說明般，負荷電流 I_{out} 之值係依據連接於電源系統4000(圖40)之輸出端子T13之負荷4001為重負荷抑或輕負荷而變。即，隨著成為重負荷，負荷電流 I_{out} 之電流值變高。

圖5所示之負荷電流檢測電路5000雖未特別限定，但其接受流動於輸出端子T1之負荷電流 I_{out} ，形成表示負荷電流 I_{out} 之電流值是否超過特定電流值(圖38之例中為電流 i_2)之檢測信號，並將其供給於第2閘極電極驅動控制電路5001。第2閘極電極驅動控制電路5001係於檢測信號表示超過特定電流值之情形時，使正電壓調節器5002動作，而使開關5004成為導通狀態。此時，負電壓調節器5003不動作，開關5005成為斷開狀態。藉此，於負荷電流 I_{out} 超過特定之電流值之情形時，將具有正電壓 V_{pos} 之第2閘極控制信號UL供給於低端MOSFET4005之第2閘極電極G2。

另一方面，負荷電流 I_{out} 為特定之電流值以下之情形時，第2閘極電極驅動控制電路5001使正電壓調節器5002不動作，而使開關5004成為斷開狀態。此時，使負電壓調節器5003動作，開關5005成為導通狀態。藉此，負荷電流 I_{out} 為特定之電流值以下之情形時，將具有負電壓 V_{neg} 之第2閘極控制信號UL供給於低端MOSFET4005之第2閘極電極。

因開關5004及5005係根據來自負荷電流檢測電路5000之檢測信號而輸出正電壓 V_{pos} 或負電壓 V_{neg} 作為第2閘極控制信號UL，故可將其視為選擇電路。

若以圖6(A)及(B)為例說明實施形態3，則於期間(a)，負荷電流 I_{out} 為特定之電流值(例如圖38之 i_2)以下。因此，自第2閘極電極控制電路1000輸出之第2閘極電極控制信號UL之電壓成為負電壓 V_{neg} 。另一方面，於期間(b)，負荷電流 I_{out} 超過特定之值。因此，自第2閘極

電極控制電路1000輸出之第2閘極電極控制信號UL之電壓成為正電壓Vpos。

負荷電流Iout較低之情形為輕負荷時，負荷電流Iout較高之情形為重負荷時。該實施形態3中，輕負荷時(期間(a))，藉由將負電壓Vneg供給於低端MOSFET之第2閘極電極G2，可謀求降低切換損耗。另一方面，重負荷時(期間(b))，正電壓Vpos被供給於低端MOSFET之第2閘極電極G2。因此，重負荷時謀求降低低端MOSFET之導通損耗。如以圖38所說明般，重負荷時導通損耗之比例高，輕負荷時切換損耗之比例高。根據實施形態3，重負荷時可謀求降低此時比例較高之導通損耗，輕負荷時可謀求降低此時比例較高之切換損耗。因此，可根據負荷狀況恰當謀求損耗降低。

另，關於負荷電流檢測電路5000之構成，可考慮各種構成。

(實施形態4)

圖7係表示實施形態4之半導體積體電路裝置4002之構成之方塊圖。該實施形態4亦可適用實施形態2中所闡述之基於本案發明人之探討見解。

實施形態4中，對已利用圖40說明之驅動器4003追加控制端子T14、負荷電流檢測比較器7000、4週期檢測電路7001、類比開關7003、轉換器7002、正電壓調節器2000及負電壓調節器2001。此處，因正電壓調節器2000及負電壓調節器2001已在圖2(A)中說明，故省略其說明。

圖40所示之驅動器4003具有複數個端子。圖7中示出複數個端子中已在圖40中說明之端子(電壓端子T8、輸出端子T9、電壓端子T10)。且如上述複數個實施形態中所闡述者同樣地，驅動器4003具有控制端子T14。低端MOSFET4006之第1閘極電極G1連接於輸出端子T9，經由輸出端子T9對第1閘極電極G1供給來自驅動電路4012之驅動

信號GL。電壓端子T10連接於低端MOSFET4006之源極S，進而連接於接地電壓PGND。電壓端子T8連接於低端MOSFET4006之汲極D。

該實施形態4中，電壓端子T8與電壓端子T10連接於負荷電路檢測比較器7000。如圖40所示，電壓端子T8亦連接於半導體積體電路裝置4002之輸出端子。因此，電壓端子T8之電壓VSWH係依存於半導體積體電路裝置4002之輸出而變化。

負荷電流檢測比較器7000包含具有反相輸入端子(-)與非反相輸入端子(+)之比較器7004與偏移電路7005。比較器7004之非反相輸入端子(+)連接於電壓端子T10，反相輸入端子(-)係經由偏移電路7005而連接於電壓端子T8。因可考慮各種構成作為偏移電路7005之構成，故在圖7中以電池記號表示。該負荷電流檢測比較器7000係於低端MOSFET4006為導通狀態時，對電壓端子T10之電壓PGND與電壓端子T8之電壓VSWH加以比較。

若藉由自驅動電路4012經由輸出端子T9供給至第1閘極電極G1之驅動信號GL使低端MOSFET4006成為導通狀態，則自接地電壓PGND朝線圈元件4018(圖40)之一端供給電流ISD。因該電流ISD之流動，發生電壓下降，電壓端子T8之電壓VSWH降低。對比較器7004之反相輸入端子(-)供給對該電壓端子T8之降低後電壓(VSWH)加上偏移電路7005之偏移電壓後所得之電壓(以下，稱作電壓VSWH+offset)。另一方面，因對比較器7004之非反相輸入端子(+)供給接地電壓PGND(GND)，故比較器7004判斷電壓VSWH+offset相對於接地電壓PGND為高或低，形成將判定結果作為高位準/低位準之電壓之輸出信號，並將其作為負荷電流檢測比較器7000之輸出信號而輸出。

負荷電流檢測比較器7000之輸出信號被供給於4週期檢測電路7001。4週期檢測電路7001具有計算器7007與RS型正反器7006。計算器7007係按照特定之週期計算來自負荷電流檢測比較器7000之輸出信

號。負荷電流檢測比較器7000例如於電壓VSWH+offset高於接地電壓PGND時，形成高位準之輸出信號，於電壓VSWH+offset低於接地電壓PGND時，形成低位準之輸出信號。計算器7007係於負荷電流檢測比較器7000之輸出信號連續為4週期以上之高位準時，輸出4次信號(圖中記作4次)。另一方面，自負荷電流檢測比較器7000供給連續小於4週期之高位準之輸出信號時，輸出Reset信號(圖中記作Reset)。

4週期檢測電路7001之RS型正反器7006其設置端子接收4次信號，重設端子接收Reset信號。因此，若供給4次信號，則RS型正反器7006自其輸出端子Q輸出設置狀態之輸出信號(例如高位準)，若供給Reset信號，則自其輸出端子Q輸出重設狀態之輸出信號(低位準)。該RS型正反器7006之輸出信號成為4週期檢測電路7001之輸出。

4週期檢測電路7001之輸出信號被用作類比開關7003之選擇信號。類比開關7003具有：相互間源極・汲極路徑並列連接之N通道型MOSFET7008與P通道型MOSFET7009、及相互間源極・汲極路徑並列連接之N通道型MOSFET7010與P通道型MOSFET7011。此處，N通道型MOSFET7008與P通道型MOSFET7009之源極・汲極路徑連接於正電壓調節器2000與控制端子T14之間。且，N通道型MOSFET7010與P通道型MOSFET7011之源極・汲極路徑連接於負電壓調節器2001與控制端子T14之間。

上述4週期檢測電路7001之輸出信號被供給於上述P通道型MOSFET7011之閘極電極與N通道型MOSFET7008之閘極電極。且，上述4週期檢測電路7001之輸出信號係由反相器7002進行相位反相後供給於上述P通道型MOSFET7009之閘極電極及N通道型MOSFET7010之閘極電極。藉此，根據4週期檢測電路7001之輸出信號，由N通道型MOSFET7008與P通道型MOSFET7009構成之第1類比開關，與由N通道型MOSFET7010與P通道型MOSFET7011構成之第2類比開關相輔

地導通/斷開。藉由第1類比開關之導通，將正電壓 V_{pos} 經由該第1類比開關供給於控制端子T14。另一方面，藉由第2類比開關之導通，將負電壓 V_{neg} 經由該類比開關供給於控制端子T14。

接著，利用圖8所示之動作波形說明該實施形態4之半導體積體電路裝置4002之動作，若闡述動作之概略則如下。即，由負荷電流檢測比較器7000執行對負荷電流ISD之電流值是否超過特定值之檢測。4週期檢測電路7001基於來自負荷電流檢測比較器7000之檢測信號，執行負荷電流ISD是否連續4週期以上超過特定之值之判斷。根據該判定結果而將正電壓 V_{pos} 或負電壓 V_{neg} 供給於低端MOSFET4006之第2閘極電極G2。藉此，重負荷時謀求降低導通損耗，輕負荷時謀求降低切換損耗。

圖8(A)至(D)係表示圖7所示之半導體積體電路裝置4002之動作之波形圖。同圖中，橫軸表示時間。且，圖8(A)、(C)及(D)各者之縱軸表示電壓值，圖8(B)之縱軸表示電流值。

圖8(A)表示供給於低端MOSFET4006之第1閘極電極G1之驅動信號GL之波形；圖8(B)表示低端MOSFET4006之源極・汲極電流ISD(負荷電流)之電流波形。如之前所說明般，源極・汲極電流ISD其電流值隨負荷加重而變高。

再者，圖8(C)示出供給於比較器7004之反相輸入端子(-)及非反相輸入端子(+)之電壓波形；圖8(D)示出4週期檢測輸出電路7001之輸出信號(RS型正反器7006之輸出信號Q)。

自驅動電路4012輸出之驅動信號GL係週期性地成為高位準，而使低端MOSFET4005週期性地導通。藉由低端MOSFET4006之導通，源極・汲極電流ISD作為負荷電流經由該低端MOSFET而供給至線圈元件4008。若流動有源極・汲極電流ISD，則連接於輸出端子T1(圖40)之電壓端子T8之電壓 V_{SWH} 降低。對該電壓 V_{SWH} 加上偏移電壓

offset而形成之電壓 $V_{SWH}+offset$ (同圖中記為 $V_{SWH}+offset$)亦因源極・汲極電流 I_{SD} 之流動而下降。

於時刻 t_1 前之時刻，負荷減輕，負荷電流(源極・汲極電流 I_{SD})之電流值變小。因此，電壓 V_{SWH} 成為較接地電壓 $PGND$ 更高之電壓值，自比較器7004對4週期檢測電路7001供給低位準之檢測信號。計算法器7007因比較器7004之輸出信號為低位準而非連續之4週期以上之高位準，故而未形成4次信號。結果，RS型正反器7006之輸出信號 Q 成為低位準。因低位準之輸出信號 Q ，第2類比開關(MOSFET10、11)成為導通狀態，第1類比開關(MOSFET8、9)成為斷開狀態。

藉此，對低端MOSFET4006之第2閘極電極 G_2 供給具有負電壓 V_{neg} 之第2閘極電極控制信號 UL 。即，輕負荷時，將具有負電壓 V_{neg} 之第2閘極電極控制信號 UL 供給於低端MOSFET4006之第2閘極電極 G_2 ，而謀求降低低端MOSFET4006之切換損耗。

於時刻 t_1 ，若負荷增加，則流動於低端MOSFET4006之源極・汲極電流 I_{SD} 之電流值變高。藉此，低端MOSFET4006導通時之電壓端子 T_8 之電壓 V_{SWH} 比於時刻 t_1 前之時刻的電壓值更低。結果，比較器7004之反相輸入端子(-)之電壓 $V_{SWH}+offset$ 比接地電壓 $PGND$ 更低，比較器7004形成高位準之檢測信號。如圖8(B)及(C)所示，若源極・汲極電流 I_{SD} 之電流值連續4週期皆較高，則電壓 $V_{SWH}+offset$ 連續4週期低於接地電壓 $PGND$ 。而於該連續之週期之第4週期，比較器7004形成4次信號。正反器7006對該4次信號作出響應而朝設置狀態變更，正反器7006之輸出信號 Q 成為高位準(時刻 t_2)。

藉由輸出信號 Q 成為高位準，第1類比開關(MOSFET7008、7009)成為導通狀態，從而將正電壓 V_{pos} 供給於控制端子 T_{14} 。換言之，自控制端子 T_{14} 將具有正電壓 V_{pos} 之第2閘極電極控制信號 UL 供給於低端MOSFET4006之第2閘極電極 G_2 。

藉此，若負荷增加且負荷電流之電流值變高，亦即成為重負荷時，則藉由對低端MOSFET4006之第2閘極電極G2供給正電壓 V_{pos} ，可謀求降低低端MOSFET4006之導通損耗。

時刻 t_3 中，若自重負荷朝輕負荷變化，則負荷電流之電流值變小，低端MOSFET4006導通時之電壓端子T8之電壓 V_{SWH} 下降。結果，比較器7004之輸出成為低位準，RS型正反器7006被重設，其輸出信號Q於時刻 t_4 成為低位準。藉此，藉由將具有負電壓 V_{neg} 之第2閘極電極控制信號UL再度供給於第2閘極電極G2，可謀求降低低端MOSFET4006之切換損耗。

如上所述，根據該實施形態4，進行重負荷與輕負荷檢測，為重負荷時，將具有正電壓 V_{pos} 之第2閘極電極控制信號UL供給於低端MOSFET4006之第2閘極電極G2，以謀求降低導通損耗。另一方面，為輕負荷時，將具有負電壓 V_{neg} 之第2閘極電極控制信號UL供給於低端MOSFET4006之第2閘極電極G2，以謀求降低切換損耗。

再者，根據實施形態4，於負荷電流連續4週期以上較高時，則判定為重負荷。因此，可避免在負荷電流因雜訊而急遽變化時誤判為重負荷。另，4週期係一例，並非限定於該週期數。當然，負荷電流檢測比較器7000、4週期檢測電路7001及類比開關7003各者之構成亦可進行各種變形。

之前所說明之實施形態2中，與供給於低端MOSFET4006之第1閘極電極G1之驅動信號GL同步地使供給於低端MOSFET4006之第2閘極電極G2之第2閘極電極控制信號UL之電壓在正電壓 V_{pos} 與負電壓 V_{neg} 之間變動。即，與低端MOSFET4006之導通/斷開同步地變更供給於第2閘極電極G2之電壓之極性。相對於此，實施形態3及4中，乃根據負荷電流而變更供給於低端MOSFET4006之第2閘極電極之第2閘極電極控制信號UL之電壓之極性。

圖9(A)至圖9(F)係用於說明實施形態3及4之第2閘極電極控制信號UL之變化與輕負荷及重負荷之關係之說明圖。

圖9(A)至圖9(E)中，橫軸表示時間。圖9(A)表示半導體積體電路裝置4002之輸出端子T1之輸出電流 I_{out} 之波形。此處，輸出電流 I_{out} 包含來自高端MOSFET4005之電流與來自低端MOSFET之電流(源極・汲極電流 I_{SD})。圖9(B)示出自驅動電路4013輸出而供給於高端MOSFET4005之第1閘極電極G1之驅動信號GH之波形；圖9(C)示出自驅動電路4012輸出而供給於低端MOSFET4006之第1閘極電極G1之驅動信號GL之波形；圖9(D)示出輸出端子T1(T8)之輸出電壓(電壓) V_{SWH} 之波形。且，圖9(E)示出低端MOSFET4006之源極S之電壓、與供給於低端MOSFET4006之第2閘極電極G2之第2閘極電極控制信號UL之波形。另，因低端MOSFET4006之源極S連接於接地電壓PGND，故其電壓成為接地電壓(GND)。

圖9(F)係以累加棒狀圖表表示輕負荷時之損耗與重負荷時之損耗。

圖9中，以時刻 t_1 為界，於時刻 t_1 之前之時刻(同圖中為左側)負荷較輕，輸出電流 I_{out} 之電流值低。因此，圖9中，以「輕負荷」表示。相對於此，於時刻 t_1 之後之時刻(同圖中為右側)，負荷加重，輸出電流 I_{out} 之電流值變高。該狀態在同圖中以「重負荷」表示。如已利用圖40等說明般，高端MOSFET4005及低端MOSFET根據驅動信號GH及GL而交替地導通/斷開，藉此輸出端子T1(端子T8)之輸出電壓(電壓) V_{SWH} 之電壓值亦產生變化。

實施形態3及4中，第2閘極電極控制信號UL之電壓之極性並未與低端MOSFET4006之導通/斷開同步地變化，而係根據負荷電流(源極・汲極電流 I_{SD})之電流值而使第2閘極電極控制信號UL之電壓之極性變化。且，第2閘極電極控制信號UL之電壓之極性(以低端

MOSFET4006之源極S之電壓為基準)係於輕負荷時成為負極性，於重負荷時成為正極性。藉此，如圖9(E)所示，在實施形態3及4中，於輕負荷且低端MOSFET4006重複複數次地導通/斷開之期間，對第2閘極電極G2穩定供給負極性之電壓。同樣地，於重負荷且低端MOSFET4006重複複數次地導通/斷開之期間，對第2閘極電極G2穩定供給正極性之電壓。

輕負荷時，因對低端MOSFET4006之第2閘極電極G2穩定供給負極性之電壓，故可降低第1閘極・汲極間電容 C_{rss} ，可減低切換損耗(同圖中記為「電容減低・SW損減低」)。然而，亦存在因對第2閘極電極G2供給負極性之電壓，而導致低端MOSFET4006之導通電阻增加，以致導通損耗增加之可能性(同圖中記為「導通電阻增加・導通損增加」)。

然而，如根據以圖38所闡述者而理解般，輕負荷時切換損耗之比例高於導通損耗之比例。因此，圖9(F)中，如較時刻 t_1 更靠左之左側所示，輕負荷時，藉由將負極性之電壓供給於第2閘極電極G2，可減少切換損耗，從而可降低輕負荷時之整體損耗。另，圖9(F)之輕負荷(於時刻 t_1 之前)時，箭頭之左側示出第2閘極電極G2連接於低端MOSFET4006之源極S時之損耗明細；箭頭之右側示出如在實施形態3及4中所闡述般對第2閘極電極G2供給負極性之電壓之情形時之損耗明細。

重負荷時，對低端MOSFET4006之第2閘極電極G2穩定供給正極性之電壓。藉此，可降低低端MOSFET4006之導通電阻，從而可減低導通損耗(同圖中記作「導通電阻減低・導通損減低」)。然而，亦存在因對第2閘極電極G2供給正極性之電壓，而導致第1閘極・汲極間電容 C_{rss} 增加之可能性，而存在切換損耗增加之可能性(同圖中記作「電容增加・SW損增加」)。

然而，如圖38所示，重負荷時導通損耗之比例高於切換損耗之比例。因此，圖9(F)中，如較時刻 t_1 更靠右之右側所示，重負荷時，藉由將正極性之電壓供給於第2閘極電極G2，可減少導通損耗，可降低重負荷時之整體損耗。另，圖9(F)之重負荷(於時刻 t_1 之後)時，箭頭之左側示出使第2閘極電極G2連接於低端MOSFET4006之源極S時之損耗明細；箭頭之右側示出如在實施形態3及4中所闡述般對第2閘極電極G2供給正極性之電壓之情形時之損耗明細。

圖10係表示輸出電流 I_{out} 與半導體積體電路裝置4002之效率之關係之特性圖。圖10中，橫軸表示輸出電流 I_{out} 之電流值，縱軸表示效率。同圖中，虛線表示使第2閘極電極G2連接於低端MOSFET之源極S之情形(U-S短路)；實線係如在實施形態3及4中所說明般，表示基於負荷電流使供給於第2閘極電極G2之電壓在正極性與負極性之間切換之情形。如實施形態3及4般，藉由基於負荷電流進行切換，使輕負荷及重負荷之一部分之效率提高，從而可謀求整體損耗之減低。

另，圖8及圖9中，為易於了解圖式，驅動信號GL(GH)之脈衝寬度(高位準之期間)在輕負荷及重負荷中係以相同之寬度描繪。然而，希望理解的是驅動信號GL(GH)之脈衝寬度係隨負荷之增減而變化。且，如圖9所示，相較於輕負荷時，重負荷時輸出電壓 V_{SWH} 之振動波形起伏變大。

此處，即使對於實施形態1及2，仍對輕負荷時與重負荷時之損耗予以說明。

圖11(A)至圖11(F)係用於說明實施形態1中對低端MOSFET4006之第2閘極電極G2供給負極性之電壓之情形時之輕負荷及重負荷之損耗的說明圖。且，圖12(A)至圖12(F)係用於說明實施形態1中對低端MOSFET4006之第2閘極電極G2供給正極性之電壓之情形時之輕負荷及重負荷之損耗的說明圖。

圖11(A)至圖11(F)分別與圖9(A)至圖9(F)對應。且，圖12(A)至圖12(F)亦分別與圖9(A)至圖9(F)對應。因此，此處主要對其不同之處進行說明。

實施形態1中如之前所說明般，將負極性之電壓或正極性之電壓穩定供給於低端MOSFET4006之第2閘極電極G2。因此，如圖11(E)及圖12(E)所示，第2閘極電極控制信號UL無論是在輕負荷時還是重負荷時，均穩定成為負電壓或正電壓。

如根據圖11(F)所理解般，藉由將負極性之電壓供給於第2閘極電極G2，於輕負荷時，可謀求減低切換損耗，從而可減低輕負荷時之損耗。另一方面，如根據圖12(F)所理解般，藉由將正極性之電壓供給於第2閘極電極G2，可降低導通損耗，從而可減低重負荷時之損耗。

圖13係表示實施形態1之半導體積體電路裝置4002之輸出電流 I_{out} 及其效率之特性圖。因該圖係與圖10類似，故主要就其與圖10之不同之處進行說明。圖13中，虛線表示低端MOSFET4006之第2閘極電極G2連接於該MOSFET4006之源極S之情形。相對於此，實線表示將負極性之電壓供給於第2閘極電極G2之情形，一點鏈線表示將正極性之電壓供給於第2閘極電極G2之情形。如此，藉由將負極性之電壓供給於第2閘極電極G2，而提高輕負荷時之效率。另一方面，藉由將正極性之電壓供給於第2閘極電極G2，可提高重負荷時之效率。

另，將第2閘極電極G2連接於該MOSFET之源極S係基於專利文獻2中教示者。

接著，對於實施形態2，說明輕負荷時之損耗與重負荷時之損耗。圖14(A)至圖14(F)係用於說明實施形態2中對低端MOSFET4006之第2閘極電極G2與該MOSFET之驅動同步地供給正極性或負極性之電壓之情形時，輕負荷及重負荷之損耗的說明圖。因圖14(A)至圖14(F)

分別與圖9(A)至圖9(F)對應，故主要對其不同之處進行說明。

如在實施形態2中所說明般，供給於低端MOSFET4006之第2閘極電極G2之第2閘極電極控制信號UL係與供給於該MOSFET之第1閘極電極G1之驅動信號GL同步變化。即，如圖14(E)所示，第2閘極電極控制信號UL係於利用驅動信號GL導通低端MOSFET4006時，成為正極性之電壓，而於使低端MOSFET4006斷開時，成為負極性之電壓。藉此，使低端MOSFET4006導通時，可減少該MOSFET之導通電阻。另一方面，使低端MOSFET4006斷開時，可減少第1閘極・汲極間電容 C_{rss} 。

因可減少導通電阻，故無論是輕負荷時還是重負荷時，均可降低低端MOSFET4006導通時之導通損耗(圖中記為「導通電阻減低・導通損耗減低」)。另一方面，由於可減低第1閘極・汲極間電容 C_{rss} ，故無論是輕負荷時還是重負荷時，均可降低低端MOSFET4006之切換損耗(同圖中，記為「電容減低・SW損減低」)。結果，如圖14(F)所示，藉由可於輕負荷時與重負荷時降低導通損耗與切換損耗兩者，故可降低整體損耗。

圖15係表示半導體積體電路裝置之效率與其輸出電流 I_{out} 之關係之特性圖。同圖係與圖10類似。其與圖10之不同之處在於實線表示根據實施形態2驅動第2閘極電極G2之情形(圖中記為正負驅動)之特性。如根據圖10所理解般，相較於第2閘極電極G2連接於源極S之情形(虛線)，根據該實施形態2，無論是輕負荷時還是重負荷時其效率均提高，損耗減低。

圖2所示之實施形態2中，利用選擇電路2002選擇正極性之電壓 V_{pos} 與負極性之電壓 V_{neg} 。藉由構成選擇電路2002與提高MOSFET之耐壓，可將絕對值更大之電壓 V_{pos} 及電壓 V_{neg} 供給於第2閘極電極。藉由利用絕對值更大之電壓 V_{pos} 及 V_{neg} ，可提高圖15所示之效率。

(實施形態5)

實施形態1至4係以低端MOSFET4006為對象說明供給於第2閘極電極G2之第2閘極電極控制信號UL。而將要說明之實施形態5至8係以高端MOSFET4005為對象說明供給於第2閘極電極G2之第2閘極電極控制信號UH。

圖16(A)係表示實施形態5之半導體積體電路裝置4002之構成之電路圖；圖16(B)係表示實施形態5之半導體積體電路裝置4002之波形之波形圖。圖16(A)中僅示出圖40所示之構成中之高端MOSFET4005及輸出供給於高端MOSFET4005之第1閘極電極G1之驅動信號GH之驅動電路4011。因其餘構成與圖40相同，故此處省略。該實施形態5中，於驅動器4003設置控制端子T15。於驅動器4003設置經由該控制端子T15對高端MOSFET4005之第2閘極電極G2供給第2閘極控制信號UH之第2閘極電極控制電路1600。

第2閘極電極控制電路1600具有可變電壓源1601，其形成具有特定電壓之第2閘極控制信號UH，並將其經由控制端子T15供給於高端MOSFET4005之第2閘極電極G2。特定電壓例如設為2V，自第2閘極電極控制電路1600將具有2V之電壓值之第2閘極信號UH經由控制端子T15供給於高端MOSFET4005之第2閘極電極G2。當然，自驅動電路4011對高端MOSFET4005之第1閘極電極G1供給驅動信號GH，根據驅動信號GH，對高端MOSFET4005進行導通/斷開控制。

半導體積體電路裝置4002之輸出端子T1、驅動器4003之電壓端子T8、及高端MOSFET4005之源極S彼此連接。如以圖40所闡述般，高端MOSFET4005及低端MOSFET4006係交替地導通/斷開。因此，輸出端子T1、電壓端子T8及高端MOSFET4005之源極S之電壓之電壓值係隨時間變化。換言之，藉由高端MOSFET4005及低端MOSFET4006之導通/斷開，高端MOSFET4005之源極S之電壓之值產生變化。

藉由高端MOSFET4005與低端MOSFET4006相輔地導通/斷開，使電壓端子T8之電壓VSWH大致在接地電壓($GND=0V$)與電壓VIN之間變化。將該電壓振幅例如設為12V，如上所述，將第2控制信號UH之電壓值設為2V之情形時，於高端MOSFET4005即將導通之前，因低端MOSFET4006之導通而使電壓端子T8幾近成為接地電壓，故對高端MOSFET4005之第2閘極電極G2供給相對於源極S(電壓端子T8)為正極性之電壓即2V。相對於此，於高端MOSFET4005即將斷開之前，因高端MOSFET4005之導通而使該MOSFET之源極S(電壓端子T8)之電壓為12V，故對高端MOSFET4005之第2閘極電極G2供給相對於該MOSFET之源極S之電壓為負極性之電壓即-10V。

圖16(B)中示出高端MOSFET4005之源極S(電壓端子T8)之電壓VSWH(源極電壓(VSWH))之波形與第2控制信號UH之波形。圖16(B)中，橫軸為時間，縱軸為電壓值。圖16(B)中，以期間(a)表示高端MOSFET4005導通時，以期間(b)表示高端MOSFET4005斷開時。另，存在源極S之電壓(源極電壓)VSWH低於接地電壓(0V)之期間，其表示因線圈元件4008(圖40)之逆起電力而產生之變化。

根據該實施形態5，於高端MOSFET4005斷開時(期間(b))，藉由對高端MOSFET4005之第2閘極電極G2供給相對於其源極S之源極電壓(VWSH)為負極性之電壓，可減低高端MOSFET4005之第1閘極・汲極間電容Crss。結果，可謀求切換損耗之減低。

圖17(A)至圖17(E)係用於說明實施形態5中自第2閘極電極控制電路1600對高端MOSFET4005之第2閘極電極G2供給具有特定電壓之第2閘極控制信號UH之情形時，輕負荷及重負荷之損耗的說明圖。自圖17(A)至圖17(C)及圖17(E)係分別與圖9(A)至圖9(C)及圖9(F)對應。圖17(D)係與圖9(D)及圖9(E)類似；圖17(D)中示出高端MOSFET4005之源極S(電壓端子T8)之電壓(源極電壓)VSWH之波形，與第2閘極控制

信號UH之波形。主要對其與圖9之不同之處進行說明。

如以圖16(A)及(B)所說明般，該實施形態5中，由第2閘極電極控制電路1600形成正的特定電壓並將其穩定供給於高端MOSFET4005之第2閘極電極G2。藉此，高端MOSFET4005斷開時，對第2閘極電極G2供給相對於其源極為負極性之電壓。由於穩定性供給，故無論是輕負荷時還是重負荷時，均可減低高端MOSFET4005自導通朝斷開變化時之切換損耗(同圖中記為「(Turn Off)電容減低・SW損減低」)。

藉由該切換損耗之減低，如圖17(E)所示，輕負荷時可減低整體損耗。如以圖38所說明般，此係由於低負荷時切換損耗之比例較高之故。另一方面，高端MOSFET4005導通時，存在第1閘極・汲極間電容Crss增加之可能性。且，高端MOSFET4005導通期間，如根據圖17(D)所理解般，因供給於第2閘極電極G2之電壓相對於源極之電壓成為負極性，故在該期間導通電阻有可能增加。

圖18係表示實施形態5之半導體積體電路裝置4002之效率與其輸出電流Iout之關係之特性圖。圖18係與之前所說明之圖10類似，其不同之處在於以實線(恆定電壓)表示實施形態5之半導體積體電路裝置4002之輸出電流Iout與效率之關係。根據該圖18同樣可知輕負荷時可謀求效率之提高，並減低損耗。

(實施形態6)

圖19(A)係表示實施形態6之半導體積體電路裝置4002之構成之電路圖；圖19(B)係表示圖19(A)所示之半導體積體電路裝置4002之波形之波形圖。因圖19(A)所示之構成係與實施形態5中所說明之圖16(A)之構成類似，故主要就其不同之處進行說明。

與圖16(A)所示之構成之不同處在於第2閘極電極控制電路1600之構成不同。即，圖19(A)中第2閘極電極控制電路1600具有直接連接於電壓端子T8與接地電壓CGND之間之電阻元件1900與1901。高端

MOSFET4005之源極之電壓(源極電壓) V_{SWH} 藉由電阻元件1900與1901而被分壓。分壓所得之電壓自電阻元件1900與1901之間之連接節點擷取，並作為第2閘極控制信號UH而自第2閘極電極控制電路1600供給於控制端子T15。控制端子T15係連接於高端MOSFET4005之第2閘極電極G2。因此，將與高端MOSFET4005之源極S之電壓 V_{SWH} 匹配之電壓作為第2閘極控制信號UH供給於高端MOSFET4005之第2閘極電極G2。

圖19(B)示出圖19(A)之高端MOSFET4005之源極S之源極電壓(電壓端子T8之電壓) V_{SWH} 之波形，與經過分壓而形成之第2閘極控制信號UH之波形。圖19(B)中，期間(a)表示高端MOSFET4005自斷開朝導通變化之期間；期間(b)表示高端MOSFET4005自導通朝斷開變化之期間。因第2閘極控制信號UH係藉由對高端MOSFET4005之源極之電壓進行分壓而形成，故其電壓值將追隨該源極之電壓 V_{SWH} 之變化而變化。

因此，使高端MOSFET4005自斷開變導通時(期間(a))，對高端MOSFET4005之第2閘極電極G2供給與該MOSFET4005之源極之電壓 V_{SWH} 同樣地上昇之電壓。藉此，當高端MOSFET4005自斷開朝導通變化時，可減低第2閘極電極G2之電壓與高端MOSFET之源極之電壓之間之電壓差，從而可抑制第1閘極・汲極間電容 C_{rss} 之增加。另一方面，使高端MOSFET4005自導通變斷開時(期間(b))，因第2閘極控制信號UH之電壓為其源極電壓 V_{SWH} 之分壓電壓，故供給於第2閘極電極G2之電壓較源極電壓 V_{SWH} 更低，相對於源極電壓 V_{SWH} 成為負極性之電壓。藉此，於高端MSOFET4005自導通朝斷開轉換之際，可減低第1閘極・汲極間電容 C_{rss} ，從而可與實施形態5同樣地減低切換損耗。

根據該實施形態6，可抑制高端MOSFET4005自斷開變導通時之

第1閘極電極・汲極間電容 C_{rss} 之增加，且於高端MOSFET4005自導通變斷開時，可謀求第1閘極・汲極間電容 C_{rss} 之減低。因此，相較於實施形態5，可謀求進一步減低高端MOSFET之切換損耗。

圖20(A)至圖20(E)係用於就實施形態6中所揭示之半導體積體電路裝置4002說明輕負荷及重負荷之損耗的說明圖。圖20(A)至圖20(E)分別與圖17(A)至圖17(E)對應。因此，此處主要就其不同之處進行說明。

主要係圖20(D)所示之波形與圖17(D)所示之波形不同。實施形態6中，供給於高端MOSFET4005之第2閘極電極G2之第2閘極信號UH之電壓係追隨高端MOSFET4005之源極之電壓VSWH之變化而變化。且，第2閘極控制信號UH之電壓振幅與高端MOSFET4005之源極之電壓(源極電壓VSWH)相比較小。

藉此，於高端MOSFET4005自導通朝斷開變化之際，將相對於源極電壓為負極性之電壓供給於第2閘極電極G2，則切換損耗減低(圖20(D)中記為「(Turn Off)電容減低・SW損減低」)。且，因供給於第2閘極電極G2之電壓追隨於源極電壓VSWH，故於高端MOSFET4005自斷開朝導通變化之際，可減低第2閘極電極G2與源極電壓VSWH之間之電壓差，從而可抑制第1閘極・汲極間電容 C_{rss} 之增加(圖20(D)中記為「(Turn On)無電容變動」)。其發生在輕負荷時與重負荷時兩者。因此，無論是輕負荷時還是重負荷時，均可減低高端MOSFET4005之切換損耗(參照圖20(E))。

圖21係表示實施形態6之半導體積體電路裝置4002之效率與其輸出電流 I_{out} 之關係之特性圖。圖21係與之前說明之圖18類似，其不同之處在於以一點鏈線(恆定電壓)表示實施形態5之半導體積體電路裝置4002之輸出電流 I_{out} 與效率之關係，以實線(VSWH分壓)表示實施形態6之半導體積體電路裝置4002之輸出電流 I_{out} 與效率之關係。如

根據圖21所理解般，可於輸出電流 I_{out} 之電流值較小時亦即輕負荷時謀求效率之提高，並減低損耗。

(實施形態7)

圖22(A)係表示實施形態7之半導體積體電路裝置4002之構成之電路圖；圖22(B)係表示圖22(A)所示之半導體積體電路裝置4002之波形之波形圖。因圖22(A)所示之構成係與實施形態6中所說明之圖19(A)之構成類似，故主要就其不同之處進行說明。

與圖19(A)所示構成之差異在於第2閘極電極控制電路1600之構成不同。即，圖19(A)中，第2閘極電極控制電路1600藉由電阻元件1900與電阻元件1901形成分壓電壓，並將形成之分壓電壓作為第2閘極控制信號UH。相對於此，該實施形態7之第2閘極電極控制電路1600包含：連接於電壓端子T8與控制端子T15之間之電阻元件2200、連接於控制端子T18與接地電壓CGND之間之可變電阻元件2201、及用於變更可變電阻元件2201之電阻值之高端電壓控制電路2203及負荷電流檢測電路2202。

負荷電流檢測電路2202檢測流動於半導體積體電路裝置4002之輸出端子T1之輸出電流 I_{out} 的電流值是否超過特定之電流值，並將表示是否超過特定之電流值之檢測信號供給至高端電壓控制電路2203。高端電壓控制電路2203根據所供給之檢測信號變更可變電阻元件2201之電阻值。電阻元件2200與可變電阻元件2201係串列連接於輸出端子T8與接地電壓CGND之間，連接節點連接於控制端子T15。藉此，藉由電阻元件2200與可變電阻元件2201對高端MOSFET4005之源極S之電壓(源極電壓) V_{SWH} 進行分壓，並將具有經由分壓而形成之分壓電壓之第2閘極控制信號UH經由控制端子T15而供給於高端MOSFET4005之第2閘極電極G2。此處，可變電阻元件2201之電阻值係由高端電壓控制電路2203依據負荷電流檢測電路2202之檢測信號而

變更。即，供給於高端MOSFET4005之第2閘極電極G2之電壓之值係根據負荷電流之值而變化。

該實施形態7中，於輸出電流(負荷電流) I_{out} 之電流值超過特定之電流值時，即負荷電流檢測電路2202之輸出超過特定之值時，高端電壓控制電路2203增大可變電阻元件2201之電阻值。換言之，可變電阻元件2201之電阻值於負荷電流 I_{out} 之電流值為特定之電流值以下時，設為第1電阻值，於負荷電流值 I_{out} 之電流值超過特定之電流值時，設為較第1電阻值更高之第2電阻值。藉此，於負荷電流 I_{out} 之電流值超過特定之電流值時，將相較於特定之電流值以下時更高之電壓作為第2閘極控制信號UH供給於高端MOSFET4005之第2閘極電極G2。即，於負荷電流 I_{out} 超過特定之電流值時，將接近高端MOSFET4005之源極電壓VSWH之電壓供給於高端MOSFET4005之第2閘極電極G2。

此處，特定之電流值設為劃分輕負荷與重負荷之負荷電流之值。例如，若以圖38為例，則將電流值 i_2 設為特定之電流值。藉此，即使為重負荷時且高端MOSFET4005導通時，對其高端MOSFET4005之第2閘極電極G2供給具有接近源極電壓VSWH之電壓值之第2閘極控制信號UH。藉此，可抑制高端MOSFET4005導通時之導通電阻之增加。

圖22(B)示出圖22(A)之高端MOSFET4005之源極S之源極電壓(電壓端子T8之電壓)VSWH之波形、與藉由可變電阻元件2201與電阻元件(固定電阻元件)2200分壓而形成之第2閘極控制信號UH之波形。因圖22(B)所示之波形係與圖19(B)所示之波形類似，故主要就其不同之處進行說明。圖22(B)中，期間(a)表示高端MOSFET4005自斷開朝導通變化之期間，期間(b)表示高端MOSFET4005自導通朝斷開變化之期間。該期間(a)及(b)之動作係與圖19(B)相同。即，第2閘極控制信號

UH之電壓值係追隨該源極之電壓VSWH之變化而變化。

因此，於高端MOSFET4005自斷開朝導通變化時(期間(a))，可減低第2閘極電極G2之電壓與高端MOSFET之源極之電壓之間之電壓差，從而可抑制第1閘極・汲極間電容Crss之增加。另一方面，於使高端MOSFET4005自導通變斷開時(期間(b))，因第2閘極控制信號UH之電壓為其源極電壓VSWH之分壓電壓，故供給於第2閘極電極G2之電壓較源極電壓VSWH更低，而成為負極性之電壓。藉此，於高端MOSFET4005自導通朝斷開轉換之際，可減低第1閘極・汲極間電容Crss，並可減低切換損耗。

該實施形態7中，於負荷電流Iout超過特定值之情形時，藉由高端電壓控制電路2203增加可變電阻元件2201之電阻值。藉此，高端MOSFET4005導通時，供給於第2閘極電極G2之電壓接近其源極電壓VSWH。藉此抑制高端MOSFET4005之導通電阻之增加，而抑制導通損耗之增加，相較於實施形態5及6，可謀求進一步減低高端MOSFET之導通損耗。即，根據該實施形態7，尤其可於導通損耗之比例較高之重負荷時，抑制導通損耗之增加。

圖23(A)至圖23(E)係用於就實施形態7中所揭示之半導體積體電路裝置4002說明輕負荷及重負荷之損耗之說明圖。圖23(A)至圖23(E)分別與圖20(A)至圖20(E)對應。因此，此處主要說明其不同之處。

主要係圖23(D)所示之波形之重負荷時之波形與圖20(D)所示之波形不同。實施形態7中，高端電壓控制電路2203係根據來自負荷電流檢測電路2202之檢測信號而辨識負荷電流Iout之電流值已超過特定之值，並提高可變電阻元件2201之電阻值。負荷電流Iout之電流值為特定值以下時亦即輕負荷時，高端電壓控制電路2203不提高可變電阻元件2201之電阻值。因此，輕負荷時，與實施形態6同樣地，可謀求減低高端MOSFET4005之切換損耗(參照圖23(E)之輕負荷)。

相對於此，重負荷時，供給於高端MOSFET4005之第2閘極電極G2之第2閘極控制信號UH之電壓係與高端MOSFET4005之源極電壓VSWH之變化同樣地變化，直至電壓值達到接近源極電壓VSWH之電壓值。換言之，重負荷時，高端MOSFET4005之第2閘極電極G2成為在電壓方面類似於與源極S短路之狀態的狀態(圖23(D)中記為「US短路(U-S短路)類似」)。藉此，重負荷時，可抑制高端MOSFET4005之導通電阻之增加，從而可抑制導通損耗之增加。結果，根據實施形態7，可減低於輕負荷時比例變高之切換損耗，抑制於重負荷時比例變高之導通損耗之增加。

圖24係表示實施形態7之半導體積體電路裝置4002之效率與其輸出電流Iout之關係之特性圖。圖24係與之前說明之圖21類似，其不同之處在於以一點虛線(VSWH分壓)表示實施形態6之半導體積體電路裝置4002之輸出電流Iout與效率之關係，以實線(分壓+分壓比控制)表示實施形態7之半導體積體電路裝置4002之輸出電流Iout與效率之關係。如根據圖24所理解般，相較於實施形態6，輸出電流Iout之電流值較大時亦即重負荷時，可謀求效率之提高，並減低損耗。

圖22中，連接於控制端子T15與接地電壓CGND之間之電阻元件設為可變電阻元件。然而，亦可將連接於控制端子T15與接地電壓CGND之間之電阻元件設為固定電阻元件，將連接於輸出端子T8與控制端子T15之間之電阻元件設為可變電阻元件，由高端電壓控制電路2203控制其電阻值。該情形時，重負荷時，係控制為使可變電阻元件之電阻值變小。且，亦可將電阻元件2200與2201兩者設為可變電阻元件，由高端電壓控制電路2203控制其等之電阻值。

進而，可變電阻元件之電阻值亦可並非在第1電阻值與第2電阻值之2階段變動，而在3階段以上變動。或者，以自負荷電流檢測電路2202輸出其值根據負荷電流而連續變化之檢測信號之方式，高端電壓

控制電路2003根據該檢測信號使可變電阻元件之電阻值連續地變化。

(實施形態8)

圖25係表示由實施形態8之半導體積體電路裝置4002所包含之第2閘極電極控制電路1600形成之第2閘極控制信號UH之波形的波形圖。由實施形態8之第2閘極電極控制電路1600形成之第2閘極控制信號UH例如經由圖22所示之控制端子T15而供給於高端MOSFET4005之第2閘極電極G2。

圖25中，橫軸表示時間，縱軸表示電壓。利用供給於高端MOSFET4005之第1閘極電極G1之驅動信號GH使高端MOSFET4005成為斷開狀態時，實施形態8之第2閘極電極控制電路1600對高端MOSFET4005之第2閘極電極G2供給具有相對於高端MOSFET4005之源極S之源極電壓(輸出端子T8)VSWH為負極性之電壓V1的第2閘極控制信號UH。

於時刻t1，於即將利用驅動信號GH使高端MOSFET4005自斷開朝導通變更之前，第2閘極電極控制電路1600使第2閘極控制信號UH之電壓值自電壓V1朝電壓V2變化。將此時之電壓值V2設為相較於高端MOSFET4005成為導通狀態時之高端MOSFET4005之源極電壓VSWH為高電壓。

其後，於時刻t2，於即將利用驅動信號GH使高端MOSFET4005自導通狀態朝斷開變更之前，第2閘極電極控制電路1600使第2閘極控制信號UH之電壓值自電壓V2朝電壓V3變化。此處，電壓V3設定為相對於此時之高端MOSFET之源極電壓VSWH之電壓值具有負極性之電壓值。雖未特別限定，但第2閘極電極控制電路1600於使第2閘極控制信號UH之電壓值變更為電壓V3之後繼而朝電壓值V1變化。

藉由如此地依次變更第2閘極控制信號UH之電壓值，於高端MOSFET4005自斷開狀態朝導通轉換之際(時刻t1)，對第2閘極電極G2

供給相對於源極電壓 V_{SWH} 為負極性之電壓。同樣地，於高端 MOSFET4005 自導通狀態朝斷開轉換之際(時刻 t_2)，亦對第2閘極電極 G2 供給相對於此時之高端 MOSFET4005 之源極電壓 V_{SWH} 為負極性之電壓。因此，於使高端 MOSFET4005 自斷開狀態朝導通轉換時及自導通狀態朝斷開轉換時，可減低高端 MOSFET4005 之第1閘極・汲極間電容 C_{rss} ，從而可減低切換損耗。

再者，於高端 MOSFET4005 為導通狀態之期間(時刻 t_1 與時刻 t_2 之間)，藉由對第2閘極電極 G2 供給相對於源極電壓 V_{SWH} 為正極性之電壓，可減低高端 MOSFET4005 之導通電阻，從而可謀求導通損耗之減低。藉此，可減低切換損耗與導通損耗兩者。

形成進行如圖25所示之電壓變化之第2閘極控制信號 UH 的第2閘極電極控制電路 1600 例如可由形成電壓 V1 之負電壓產生電路、形成電壓 V2 之正電壓產生電路、及接收來自以圖40所說明之驅動器 4004 之控制信號 f 之邏輯電路實現。例如，基於控制信號 f，於變化前掌握供給於高端 MOSFET4005 之第1閘極電極 G1 之驅動信號 GH 之朝高位準之變化，而使第2閘極控制信號 UH 之電壓值朝電壓 V2 變更。同樣地，基於控制信號 f，於其變化前掌握驅動信號 GH 之朝低位準之變化，使第2閘極控制信號 UH 之電壓值自電壓 V2 朝電壓 V3 變更即可。另，電壓 V3 例如可由電壓 V2 而生成。且，電壓 V3 可藉由預先測定而求得，亦可測定輸出端子 T8 之電壓。

圖26係表示實施形態8之半導體積體電路裝置4002之效率與其輸出電流 I_{out} 之關係之特性圖。圖26係與之前說明之圖24類似，其不同之處在於以一點虛線(分壓+分壓比控制)表示實施形態7之半導體積體電路裝置4002之輸出電流 I_{out} 與效率之關係，以實線(實施形態8)表示實施形態8之半導體積體電路裝置4002之輸出電流 I_{out} 與效率之關係。根據實施形態8，因切換損耗與導通損耗兩者皆減低，故如由圖

26所理解般，無論輸出電流 I_{out} 之電流值小或大，亦即無論是輕負荷時還是重負荷時，皆可謀求效率之提高，且減低損耗。

(實施形態9)

圖27係表示實施形態9之半導體積體電路裝置4002之構成之方塊圖。同圖中所揭示之半導體積體電路裝置4002係與之前以圖40說明之半導體積體電路裝置4002類似，故對彼此相同之要素附加相同之符號。此處，僅主要對其不同之部分進行說明。

該實施形態9中，驅動器4003相對於圖40所示之驅動器4003具有：負荷電流檢測電路2700、第2閘極電極控制電路2701、控制端子T14、及控制端子T15。

負荷電流檢測電路2700係經由驅動器4003之電壓端子T10而連接於半導體積體電路裝置4002之電壓端子T2，經由驅動器4003之電壓端子T8而連接於半導體積體電路裝置4002之輸出端子T1。負荷電流檢測電路2700相當於已在複數個實施形態中說明之負荷電流檢測電路(包含負荷電流檢測比較器7000(圖7))。例如，負荷電流檢測電路2700相當於已在實施形態3或實施形態7中說明之負荷電流檢測電路5000(圖5)或2202(圖22)。負荷電流檢測電路2700檢測流動於半導體積體電路裝置4002之輸出端子T1之輸出電流 I_{out} 作為負荷電流，檢測輸出電流 I_{out} 是否超過特定之電流值(例如圖38之電流 i_2)，並將檢測信號供給於第2閘極電極控制電路2701。

第2閘極電極控制電路2701係根據來自負荷電流檢測電路2700之檢測信號而形成第2閘極控制信號UH與第2閘極控制信號UL。形成之第2閘極控制信號UH被用在控制高端MOSFET4005之第2閘極電極G2，第2閘極控制信號UL被用在控制低端MOSFET4006之第2閘極電極G2。因此，第2閘極控制信號UH係經由控制端子T15供給於高端MOSFET4005之第2閘極電極G2，第2閘極控制信號UL經由控制端子

T14供給於低端MOSFET4006之第2閘極電極G2。

該第2閘極電極控制電路2701係於來自負荷電流檢測電路2700之檢測信號表示透過輸出端子T1而流動之輸出電流 I_{out} 為如超過特定之電流值之值時，形成具有相對於高端MOSFET4005之源極S之電壓 V_{SWH} 為正電壓之第2閘極控制信號UH。且，該情形時，第2閘極電極控制電路2701形成具有相對於低端MOSFET4006之源極S之電壓PGND為正電壓之第2閘極控制信號UL。

另一方面，將表示輸出電流 I_{out} 為特定之電流值以下之檢測信號供給於第2閘極電極控制電路2701之情形時，第2閘極電極控制電路2701形成具有相對於高端MOSFET4005之源極S之電壓 V_{SWH} 為負極性之電壓的第2閘極控制信號UH，形成具有相對於低端MOSFET4006之源極S之電壓PGND為負極性之電壓的第2閘極控制信號UL。

藉由CPU等之負荷自輕負荷朝重負荷變化，負荷電流(輸出電流) I_{out} 之電流值變高。該實施形態中，將電流 i_2 設為劃分輕負荷與重負荷之負荷電流之電流值。藉此，重負荷時，對高端MOSFET4005之第2閘極電極G2穩定供給較其源極S之電壓更高之(正極性之)電壓。同樣地，對低端MOSFET4006之第2閘極電極G2穩定供給較其源極S之電壓更高之(正極性之)電壓。藉由供給於第2閘極電極G2之電壓相對於源極之電壓成為正極性，而降低高端MOSFET4005及低端MOSFET4006成為導通狀態時之導通電阻。結果，可減低重負荷時之高端MOSFET4005及低端MOSFET4006各自之導通損耗。

另一方面，負荷電流 I_{out} 為特定之電流值(i_2)以下之情形時(輕負荷時)，對高端MOSFET4005之第2閘極電極G2穩定供給相對於其源極S之電壓為負極性之電壓，並亦對低端MOSFET4006之第2閘極電極G2穩定供給相對於其源極S之電壓為負極性之電壓。藉此，輕負荷時，減低高端MOSFET4005及低端MOSFET4006各者之第1閘極電極・汲

極間電容 C_{rss} ，並減低切換損耗。

第2閘極電極控制電路2701雖未特別限制，但可由正電壓調節器、負電壓調節器及4個開關構成。此處，正電壓調節器例如形成已以圖5說明之正電壓 V_{pos} 、與已以圖25說明之正電壓 $V2$ 。且，負電壓調節器形成已以圖5說明之負電壓 V_{neg} 、與已以圖25說明之電壓 $V1$ 。4個開關係以2個為一對而分作2對。如圖5之開關5004、5005，對其中1對開關各者之一端供給正電壓 V_{pos} 與負電壓 V_{neg} ，自該其中1對開關之另一端輸出第2閘極控制信號 UL 。同樣地，對另1對開關各者之一端供給正電壓 $V2$ 與負電壓 $V1$ ，自該另1對開關之另一端輸出第2閘極控制信號 UH 。藉由來自負荷電流檢測電路2700之檢測信號是否超過特定之值而控制2對開關，選擇供給於高端MOSFET4005及低端MOSFET4006各者之第2閘極電極 $G2$ 之電壓。

即，重負荷時，使被供給正電壓 V_{pos} 、 $V2$ 之開關成為導通狀態，輕負荷時，使被供給負電壓 V_{neg} 、 $V1$ 之開關成為導通狀態。當然，於使被供給正電壓 V_{pos} 、 $V2$ (負電壓 V_{neg} 、 $V1$)之開關成為導通狀態時，使被供給負電壓 V_{neg} 、 $V1$ (正電壓 V_{pos} 、 $V2$)之開關成為斷開狀態。

根據該實施形態9，可根據負荷而進行導通損耗之減低與切換損耗之減低。亦即，重負荷時，可由高端MOSFET4005及低端MOSFET4006兩者削減此時比例較高之導通損耗，輕負荷時，可由MOSFET雙方削減此時比例較高之切換損耗。換言之，可根據當時之負荷進行恰當之損耗減低，故無論負荷如何變化，均可謀求損耗之削減。

<變化例1>

上述圖27之說明中，設重負荷時對高端MOSFET4005之第2閘極電極 $G2$ 穩定供給較其源極 S 之電壓更高之電壓。然而，亦可將實施形

態7之構成適當應用於圖27之高端MOSFET4005。該情形時，對圖27之低端MOSFET4006適當採用實施形態3中所說明之構成即可。

該情形時，圖27所示之負荷電流檢測電路2700例如包含圖5所示之負荷電流檢測電路5000與圖22所示之負荷檢測電路2202。且，圖27所示之第2閘極電極控制電路2701包含圖5所示之第2閘極電極驅動控制電路5001、正電壓調節器5002、負電壓調節器5003、開關5004及5005、及圖22(A)所示之高端電壓控制電路2203、電阻元件2200、及可變電阻元件2201。

根據該變化例1，重負荷時，高端MOSFET4005之第2閘極電極G2之電壓係追隨該高端MOSFET之源極S之電壓而變化。因此，可削減用於形成供給於高端MOSFET4005之第2閘極電極G2之正電壓V2及負電壓V1之電壓調節器。

<變化例2>

圖28係表示實施形態9之變化例之半導體積體電路裝置4002之構成之方塊圖。圖28所示之構成係與圖27所示之構成類似。此處，主要說明其不同之部分。

圖28中，2802表示不具有第2閘極電極G2之MOSFET。如此之MOSFET2802例如已知溝槽型之MOSFET，例如，圖37(B)中為未於N型半導體層3704形成絕緣層與相當於第2閘極電極G2之金屬層3708之MOSFET(以下，稱作1閘極電極MOSFET)。且，圖28中，2800為負荷電流檢測電路，2801為第2閘極電極控制電路。

負荷電流檢測電路2800檢測流動於輸出端子T1之輸出電流(負荷電流) I_{out} ，並將表示負荷電流 I_{out} 是否超過特定之電流值之檢測信號供給於第2閘極電極控制電路2801。第2閘極電極控制電路2801根據檢測信號形成第2閘極控制信號UL，將其經由控制端子T14供給於低端MOSFET4006之第2閘極電極G2。圖28所示之半導體積體電路裝置

4002中，因低端MOSFET由1閘極電極MOSFET2802構成，故未形成高端MOSFET用之第2閘極控制信號UH。

負荷電流檢測電路2800及第2閘極電極控制電路2801可適當採用實施形態3及4中所說明之構成。

適用實施形態3之情形時，將已以圖5說明之第2閘極電極驅動控制電路5001、正電壓調節器5002、負電壓調節器5003、及開關5004及5005視為圖28之第2閘極電極控制電路2801。且，將圖5中所說明之負荷電流檢測電路5000視為圖28之負荷電流檢測電路2800。

適用實施形態4之情形時，將圖7之負荷電流檢測比較器7000視為圖28之負荷電流檢測電路2800。且，將已以圖7說明之4週期檢測電路7001、類比開關7003、轉換器7002、正電壓調節器2000及負電壓調節器2001視為圖28之第2閘極電極控制電路2801。

即使該變化例2中，仍可根據當時之負荷狀況減低低端MOSFET4006之損耗，從而謀求半導體積體電路裝置4002及電源系統之低消耗電力化。

<變化例3>

圖29係表示實施形態9之變化例之半導體積體電路裝置4002之構成之方塊圖。圖29所示之構成係與圖27所示之構成類似。此處，主要說明其不同之部分。

圖29中，2902係不具有第2閘極電極G2之1閘極電極MOSFET。再者，圖29中，2900係負荷電流檢測電路，2901係第2閘極電極控制電路。

負荷電流檢測電路2900設為與變化例2中所闡述之負荷電流檢測電路2800相同之構成，其檢測流動於輸出端子T1之輸出電流(負荷電流) I_{out} ，將表示負荷電流是否超過特定之電流值之檢測信號供給於第2閘極電極控制電路2901。第2閘極電極控制電路2901根據檢測信號形

成第2閘極控制信號UH，並將其經由控制端子T15而供給於高端MOSFET4005之第2閘極電極G2。圖29所示之半導體積體電路裝置4002中，因低端MOSFET由1閘極電極MOSFET2902構成，故未形成低端MOSFET用之第2閘極控制信號UL。

負荷電流檢測電路2900及第2閘極電極控制電路2901可適當採用實施形態7或實施形態9中所說明之構成。

適用實施形態7之時，將圖22(A)所示之負荷電流檢測電路2202視為圖29之負荷電流檢測電路2900。且，將圖22(A)所示之高端電壓控制電路2203、固定電阻元件2200及可變電阻元件2201視為第2閘極電極控制電路2901。

適用實施形態9之情形時，電壓V1於輕負荷時供給於高端MOSFET4005之第2閘極電極G2，電壓V2於重負荷時供給於高端MOSFET4005之第2閘極電極G2。

即使該變化例3中，仍可根據當時之負荷狀況，減低高端MOSFET4005之損耗，從而謀求半導體積體電路裝置4002及電源系統之低消耗電力化。

(實施形態10)

圖30係表示實施形態10之半導體積體電路裝置4002之構成之方塊圖。圖30所示之構成係與圖40所示之半導體積體電路裝置4002之構成類似。因對相同之構成部分附加相同之符號，故主要說明其不同之部分。

實施形態10之半導體積體電路裝置4002具有端子T16，端子T16連接有低端MOSFET4006之第2閘極電極G2。如之前所說明般，半導體積體電路裝置4002係密封有複數個半導體晶片之封裝。因此，端子T16相當於設置於封裝之外部端子。設置於封裝之端子(外部端子)T16與接地電壓PGND之間連接有電阻元件3000。該情形時，電阻元件

3000係設置於封裝之外部。

圖31係著眼於圖30所示之半導體積體電路裝置4002中之高端MOSFET4005及低端MOSFET4006之電路圖。圖31中，因著眼於高端MOSFET4005與低端MOSFET4006，故驅動器4003之構成省略。且，圖31中亦等效明示寄生電阻、寄生電容、及寄生電感。

圖31中，高端MOSFET4005及低端MOSFET4006設為彼此相同之構成。低端MOSFET4006(高端MOSFET4005)具有：形成於第1閘極電極G1與源極S之間之寄生電容 C_{gs} 、形成於第2閘極電極G2與汲極D之間之寄生電容 C_{ed} 、形成於源極S與汲極D之間之寄生電容 C_{ds} 、及藉由後閘極與源極S之連接而形成之寄生二極體DD。高端MOSFET4005及低端MOSFET4006各者之第1閘極電極G1係連接於驅動器4003，藉由來自驅動器4003之驅動信號GH及GL而驅動。

高端MOSFET4005之汲極D係連接於配線L1，自端子(外部端子)T6經由配線L1供給輸入電壓VIN。為了穩定化而對該配線L1連接電容元件Cin。且，該配線L1附隨有寄生之電感LP1。高端MOSFET4005之汲極係經由寄生電感LP3而連接於切換節點Ns，切換節點Ns連接於低端MOSFET4006之汲極D。低端MOSFET4006之源極S係經由寄生之電感LP2而連接於接地電壓PGND。切換節點Ns係連接於線圈元件4008之一端，線圈元件4008之另一端係連接於平滑用電容4009。同圖中，例示有CPU作為負荷4001。

該實施形態10中，高端MOSFET4005之第2閘極電極G2雖未特別限定，但其係連接於接地電壓PGND。且，低端MOSFET4006之第2閘極電極G2係經由端子T16(圖30)，經由設置於封裝之外部之電阻元件3000而連接於接地電壓PGND。該實施形態10中，由形成於低端MOSFET4006之第2閘極電極G2與該MOSFET4006之汲極D之間之寄生電容 C_{ed} 與外掛之電阻元件3000構成減振電路。利用該減振電路抑制

切換節點Ns之電壓之振動波形。

圖32(A)至圖32(E)係表示圖31所示之構成之動作之波形圖。以下，利用圖31及圖32(A)至圖32(E)對動作進行說明。

圖32中，橫軸表示時間。圖32(A)表示低端MOSFET4006之第1閘極電極G1・源極間之電壓變化(Lo-Side V_{gs})；圖32(B)表示高端MOSFET4005之第1閘極電極G1・源極間之電壓變化(Hi-Side V_{gs})。換言之，圖32(A)及圖32(B)示出來自驅動器4003之驅動信號GL、GH之電壓變化。圖32(C)表示流動於低端MOSFET4006之寄生二極體DD(本體二極體)之電流(Body Diode Forwarding Current：本體二極體電流)。圖32(E)示出藉由設置外掛之電阻元件3000而構成減振電路之情形時之切換節點Ns之電壓。且，圖32(D)示出未構成減振電路之情形時之切換節點Ns之電壓。

若低端MOSFET4006之第1閘極電極G1・源極間電壓 V_{gs} 如圖32(A)地降低，則在線圈元件4008之作用下，電流自接地電壓PGND經由低端MOSFET4006之二極體DD而流動(圖32(C))。接著，如圖32(B)所示，若高端MOSFET4005之第1閘極電極G1・源極間電壓 V_{gs} 上升，則根據該上升之變化率(dv/dt)，因寄生電感所致之切換節點Ns之電壓引起振動波形起伏(圖32(D))。藉由使外掛電阻元件3000連接於端子T16，於低端MOSFET4006之第2閘極電極G2連接有電阻元件3000，寄生電容 C_{ed} 與外掛電阻元件3000串列連接於接地電壓PGND與切換節點Ns之間，而作為抑制切換節點Ns之振動波形起伏之減振電路予以動作。藉此，如圖32(E)所示，切換節點Ns之振動波形起伏相較於圖32(D)得到抑制。即，可抑制高端MOSFET4005導通之際之振動波形起伏，可形成雜訊受抑制之輸出電壓 V_{out} 。

根據該實施形態10，藉由調整外掛之電阻元件3000之電阻值，可調整受到抑制之振動波形起伏之量。因此，期望電阻元件3000係於

封裝之外部連接於半導體積體電路裝置4002即封裝之端子T16。

(實施形態11)

圖33係表示實施形態11之半導體積體電路裝置4002之構成之方塊圖。因圖33所示之構成係與圖40所示之半導體積體電路裝置4002之構成類似，故主要說明其不同之處。

圖33中，高端MOSFET4005之第2閘極電極G2係於半導體積體電路裝置4002之內部連接於接地電壓PGND。接下來將利用圖34及圖35進行說明，如此，可減低高端MOSFET4005導通時之雜訊。

圖34係著眼於圖33所示之半導體積體電路裝置4002中之高端MOSFET4005及低端MOSFET4006之電路圖。圖34中，因著眼於高端MOSFET4005與低端MOSFET4006，故驅動器4003之構成省略。圖34所示之電路係與圖31所示之電路類似。圖31與圖34之不同處在於圖34中低端MOSFET4006之第2閘極電極G2未經由電阻元件3000而連接於接地電壓PGND、及高端MOSFET4005之第2閘極電極G2於封裝內連接於接地電壓PGND。除此以外，因已在實施形態10中予以說明，故省略。另，雖未特別限定，該實施形態11中，低端MOSFET4006之第2閘極電極G2亦於封裝之內部連接於接地電壓PGND。

圖35(A)至圖35(E)係表示圖34所示之電路之動作之波形圖。圖35中，橫軸表示時間。且，圖35(A)至圖35(C)各者係與圖32(A)至圖32(C)各者相同。圖35(D)係表示流動於高端MOSFET4005之源極・汲極路徑之電流(Hi-Side Id)之波形。且，圖35(E)示出將輸入電壓VIN供給於高端MOSFET4005之汲極D之配線L1之電壓波形(Vin Ripple Voltage)。雖已在圖31中予以說明，但該配線L1連接有寄生電感LP1，且亦連接有用於穩定化之電容Cin。

該實施形態11中，高端MOSFET4005之第2閘極電極G2於半導體積體電路裝置4002之內部連接於接地電壓PGND。藉此，傳送輸入電

壓VIN之配線L1與接地電壓之間連接有寄生於第2閘極電極G2・汲極間之寄生電容Ced。該寄生電容Ced係經由寄生電感LP1而與穩定化用之電容元件Cin並列連接。

如圖35(B)所示，高端MOSFET4005之第1閘極電極G1・源極間電壓上升，於高端MOSFET4005自斷開朝導通轉換之過程中，輸入電壓VIN與接地電壓PGND之間流動有突入電流。該突入電流在高端MOSFET4005之汲極電流Id中以峰值之形式顯現(圖35(D))。藉由汲極電流Id之該變化，在寄生電感LP1之作用下，配線L1之電壓產生振動(圖35(E))。雖可利用穩定化用之電容元件Cin謀求配線L1之電壓之穩定化，然仍於配線L1之高端MOSFET4005之汲極D附近產生電壓之波紋。根據該實施形態11，高端MOSFET4005之汲極D係藉由寄生電容Ced而交流地連接於半導體積體電路裝置4002內之接地電壓PGND。利用該寄生電容Ced可吸收高端MOSFET4005之汲極D之附近之高端MOSFET4005朝導通轉換之際所產生之電壓振動(波紋)，從而可抑制雜訊之產生。

此處，重新說明半導體積體電路裝置4002、封裝及電源系統4000之相互關係。圖36(A)係說明半導體積體電路裝置4002、封裝及電源系統4000之關係之方塊圖。電源系統4000包含：控制用半導體積體電路裝置4007、半導體積體電路裝置4002、線圈元件4008及平滑用電容元件4009。此處，半導體積體電路裝置4002在實施形態中包含3個半導體晶片。該等半導體晶片被密封成1個封裝。因此，本案說明書中，半導體積體電路裝置4002係指內設有半導體晶片(實施例中為3個半導體晶片)之封裝(同圖中記作4002P)。

若延續實施形態進行說明，則3個半導體晶片係形成有高端MOSFET4005之半導體晶片4005C、形成有低端MOSFET4006之半導體晶片4006C、及形成有驅動器4003之半導體晶片4003C。另，同圖

中，為避免圖式複雜化，而功能性示出驅動電路4011及4012作為驅動器4003之構成。驅動器4003之具體一例係如圖40所示，圖36(A)中，為了功能性地明示使高端MOSFET4005與低端MOSFET4006相輔地導通/斷開之情形，而對驅動電路4011以緩衝器表示、驅動電路4012以轉換器表示。且，供給於驅動用之半導體晶片4003C之電壓VCIN及接地電壓CGND則省略。

接著，說明內設有半導體晶片之封裝4002P之構成。圖36(B)係表示封裝4002P之構成之俯視圖。圖36(B)中，複數個P各者係導線架之外部端子，同圖中，被虛線包圍之區域3600由樹脂等密封。複數個外部端子P中之特定之外部端子設為圖40中所說明之半導體積體電路裝置4002之端子T1至T6。圖36(B)中，以VSWH(T1)、PGND(T2)及VIN(T6)表示與端子T1、T2及T6對應之外部端子P。

圖36(B)中，3603表示搭載形成有高端MOSFET4005之半導體晶片4005C之接頭，3604表示搭載形成有低端MOSFET4006之半導體晶片4006C之接頭，3605表示搭載形成驅動器4003之半導體晶片4003C之接頭。各半導體晶片4003C、4005C及4006C各者之端子(焊墊)係藉由引線或銅板而電性連接於特定之外部端子P或半導體晶片。圖36(B)中，作為例示而示出高端MOSFET4005之源極S之焊墊S、第1閘極電極G1之焊墊G、第2閘極電極G2之焊墊U、低端MOSFET4006之源極S之焊墊S、及第1閘極電極G1之焊墊G。

雖未特別限定，但於高端MOSFET4005及低端MOSFET4006各者之源極・汲極路徑流動有較大值之電流。因此，高端MOSFET4005之源極S及低端MOSFET4006之源極S係藉由銅板3601、3602而連接於特定之部分。例如，低端MOSFET4006之源極S係藉由銅板3602而連接於接收接地電壓PGND之複數個外部端子P(T2)。實施形態中，相較於高端MOSFET4005，擴大低端MOSFET之尺寸，以可使接地電壓

PGND與輸出端子T1之間流動較高電流。

實施形態11中，高端MOSFET4005之第2閘極電極G2於半導體積體電路裝置4002內連接於接地電壓PGND。圖36(B)中，高端MOSFET4005之第2閘極電極G2係與焊墊U對應。因此，如圖36(B)所示，高端MOSFET4005之焊墊U係於以虛線3600表示之封裝內藉由引線3606而連接於被供給接地電壓PGND之外部端子P。

再者，實施形態10之情形中，連接有低端MOSFET4006之第2閘極電極G2之焊墊係連接於特定之外部端子P，於以虛線3600表示之封裝之外部，該外部端子P連接有電阻元件3000。

本發明並非限定於上述實施形態，而係包含各種變化例。上述實施形態1至11係為通俗淺顯地說明本發明而詳細說明者，本發明未必限制於具備已說明之所有構成者。且，可將一實施形態之構成之一部置換為另一實施形態之構成。且，亦可對一實施形態之構成追加另一實施形態之構成。且，亦可針對各實施形態之構成之一部進行其他構成之追加、削減或置換。

例如，亦可對實施形態10之構成追加實施形態11之構成。實施形態1至實施形態4及實施形態9之變化例2適用於低端MOSFET。因此，亦可對實施形態1至4、9之變化例2之構成追加實施形態11之構成。實施形態5至實施形態8及實施形態9之變化例1之構成適用於高端MOSFET。因此，亦可對實施形態5至8、9之變化例1之構成追加實施形態10之構成。

進而，實施形態1及2、10中，高端MOSFET亦可為1閘極電極MOSFET。且，實施形態4至6、11中，低端MOSFET亦可為1閘極電極MOSFET。

進而，實施形態中，雖已說明高端MOSFET及低端MOSFET為N通道型MOSFET之情形，但毋庸贅言的是其亦可為P通道型

MOSFET。

本案說明書中揭示有複數個發明，雖其中之若干發明已然揭示於申請專利範圍內，但亦揭示有其以外之發明，以下列記其具代表性者。

(A)一種半導體積體電路裝置，其具有：第1電壓端子、被供給電壓值較供給於上述第1電壓端子之電壓更低之電壓之第2電壓端子、及輸出端子，且其週期性地變更供給於與上述輸出端子耦接之線圈元件之電流之方向；

半導體積體電路裝置包含：

第1MOSFET，其具有第1輸入電極、汲極、及源極，且連接於上述第1電壓端子與上述輸出端子之間，根據供給於上述第1輸入電極之第1輸入信號而電性連接上述第1電壓端子與上述輸出端子間；

第2MOSFET，其具有第1輸入電極、汲極、源極、及配置於較上述第1輸入電極更靠近上述汲極側之第2輸入電極，且連接於上述第2電壓端子與上述輸出端子之間，且根據供給於上述第1輸入電極之第2輸入信號而電性連接上述第2電壓端子與上述輸出端子間；

驅動電路，其耦接於上述第1MOSFET及上述第2MOSFET各者之第1輸入電極，且以使上述第1MOSFET與上述第2MOSFET相輔地導通/斷開之方式，形成上述第1輸入信號及上述第2輸入信號；及

外部端子，其耦接上述第2MOSFET之第2輸入電極；

上述第1MOSFET、第2MOSFET及上述驅動電路係密封成一個封裝，上述外部端子設置於上述封裝，於上述外部端子與特定之電壓之間連接有電阻元件。

(B)如(A)之半導體積體電路裝置，其中

上述第2MSOFET具有：第1導電型之第1半導體區域、積層於上述第1半導體區域之第2導電型之第2半導體區域、及積層於上述第2半

導體區域之第1導電型之第3半導體區域；

上述第2MOSFET之汲極係由上述第1半導體區域形成，上述第2MOSFET之源極係由上述第3半導體區域形成，上述第2MOSFET之第1輸入電極係由隔著絕緣層而埋設於上述第2半導體區域之第1金屬層形成，上述第2MOSFET之第2輸入電極係由隔著絕緣層而埋設於上述第1半導體區域之第2金屬層形成。

(C)一種半導體積體電路裝置，具有：第1電壓端子、被供給電壓值較供給於上述第1電壓端子之電壓更低之電壓之第2電壓端子、及輸出端子，且週期性地變更供給於與上述輸出端子耦接之線圈元件之電流之方向；

半導體積體電路裝置包含：

第1MOSFET，其具有第1輸入電極、汲極、源極、及配置於較上述第1輸入電極更靠近上述汲極側之第2輸入電極，且連接於上述第1電壓端子與上述輸出端子之間，根據供給於上述第1輸入電極之第1輸入信號而電性連接上述第1電壓端子與上述輸出端子間；

第2MOSFET，其具有第1輸入電極、汲極、及源極，且連接於上述第2電壓端子與上述輸出端子之間，且根據供給於上述第1輸入電極之第2輸入信號而電性連接上述第2電壓端子與上述輸出端子間；及

驅動電路，其耦接於上述第1MOSFET及上述第2MOSFET各者之第1輸入電極，且以使上述第1MOSFET與上述第2MOSFET相輔地導通/斷開之方式，形成上述第1輸入信號及上述第2輸入信號；

上述第1MOSFET、第2MOSFET及上述驅動電路係密封成一個封裝，上述第1MOSFET之第2輸入電極係於上述封裝內連接於上述第2電壓端子。

(D)如(C)中之半導體積體電路裝置，其中

上述第1MSOFET具有：第1導電型之第1半導體區域、積層於上

述第1半導體區域之第2導電型之第2半導體區域、及積層於上述第2半導體區域之第1導電型之第3半導體區域；

上述第1MOSFET之汲極係由上述第1半導體區域形成，上述第1MOSFET之源極係由上述第3半導體區域形成，上述第1MOSFET之第1輸入電極係由隔著絕緣層而埋設於上述第2半導體區域之第1金屬層形成，上述第1MOSFET之第2輸入電極係由隔著絕緣層而埋設於上述第1半導體區域之第2金屬層形成。

(E)一種半導體積體電路裝置，其包含

第1電壓端子，其被供給第1電壓；

第2電壓端子，其被供給電壓值與上述第1電壓不同之第2電壓；

輸出端子；

第1MOSFET，其具有第1輸入電極、汲極、及源極，且連接於上述第1電壓端子與上述輸出端子之間，並根據供給於上述第1輸入電極之第1輸入信號而電性連接上述第1電壓端子與上述輸出端子間；

第2MOSFET，其具有第1輸入電極、汲極、源極、及配置於較上述第1輸入電極更靠近上述汲極側之第2輸入電極，且連接於上述第2電壓端子與上述輸出端子之間，並根據供給於上述第1輸入電極之第2輸入信號而電性連接上述第2電壓端子與上述輸出端子間；

驅動電路，其耦接於上述第1MOSFET及上述第2MOSFET各者之第1輸入電極，且以使上述第1MOSFET與上述第2MOSFET相輔地導通/斷開方式，形成上述第1輸入信號及上述第2輸入信號；

檢測電路，其檢測流動於上述輸出端子之電流；及

控制電路，其將依據上述檢測電路之檢測信號之控制信號供給於上述第2MOSFET之上述第2輸入電極。

(F)一種半導體積體電路裝置，其包含

第1電壓端子，其被供給第1電壓；

第2電壓端子，其被供給與上述第1電壓電壓值不同之第2電壓；
輸出端子；

第1MOSFET，其具有第1輸入電極、汲極、及源極，且連接於上述第1電壓端子與上述輸出端子之間，並根據供給於上述第1輸入電極之第1輸入信號而電性連接上述第1電壓端子與上述輸出端子之間；

第2MOSFET，其具有第1輸入電極、汲極、源極、及配置於較上述第1輸入電極更靠近上述汲極側之第2輸入電極，且連接於上述第2電壓端子與上述輸出端子之間，並根據供給於上述第1輸入電極之第2輸入信號而電性連接上述第2電壓端子與上述輸出端子之間；

驅動電路，其耦接於上述第1MOSFET及上述第2MOSFET各者之第1輸入電極，且以使上述第1MOSFET與上述第2MOSFET相輔地導通/斷開之方式，形成上述第1輸入信號及上述第2輸入信號；及

控制電路，其係與上述第2MOSFET之導通/斷開同步地變更供給於上述第2MOSFET之第2閘極電極之電壓。

【符號說明】

26	閘極電極
30	閘極電極
1000	第2閘極電極控制電路
1001	第2閘極電極控制電路
1002	N通道型MOSFET
1003	電阻元件
1004	電阻元件
1005	差動放大電路
1006	可變電壓源
1007	P通道型MOSFET
1008	N通道型MOSFET

1009	電容元件
1010	二極體元件
1011	二極體元件
1012	電容元件
1013	振盪電路
1600	第2閘極電極控制電路
1601	可變電壓源
2000	正電壓調節器
2001	負電壓調節器
2002	選擇電路
2003	位準轉換器
2004	第2閘極驅動控制電路
2005	P通道型MOSFET
2006	P通道型MOSFET
2007	P通道型MOSFET
2008	P通道型MOSFET
2009	P通道型MOSFET
2010	N通道型MOSFET
2011	N通道MOSFET
2012	N通道型MOSFET
2013	N通道型MOSFET
2014	N通道型MOSFET
2015	N通道型MOSFET
2016	負荷元件
2200	電阻元件
2201	可變電阻元件

2202	負荷電流檢測電路
2203	高端電壓控制電路
2700	負荷電流檢測電路
2701	第2閘極電極控制電路
2800	負荷電流檢測電路
2801	第2閘極電極控制電路
2900	負荷電流檢測電路
2901	第2閘極電極控制電路
3000	電阻元件
3103	連接焊墊
3600	區域
3601	銅板
3602	銅板
3603	接頭
3604	接頭
3605	接頭
3700	半導體晶片
3701	源極電極
3702	第2閘極電極
3704	半導體區域
3705	半導體區域
3706	半導體區域
3707	絕緣層
3708	金屬層
3709	金屬層
3710	汲極電極

4000	電源系統
4001	負荷
4002	半導體積體電路裝置
4003	驅動器
4004	控制電路
4005	高端MOSFET
4006	低端MOSFET
4007	控制用半導體積體電路裝置
4008	平滑用電容器
4009	布托用電容器
4010	布托用電容元件
4011	驅動電路
4012	驅動電路
4013	位準轉換器
4014	位準轉換器
4015	防重疊電路
4016	“及”電路
4017	“及”電路
4018	輸入邏輯電路
4019	“或非”電路
4020	轉換器電路
4021	低電壓檢測電路
4022	電阻元件
5000	負荷電流檢測電路
5001	第2閘極電極驅動控制電路
5002	正電壓調節器

5003	負電壓調節器
5004	開關
5005	開關
5006	控制信號
5007	控制信號
7000	負荷電流檢測比較器
7001	4週期檢測電路
7002	轉換器
7003	類比開關
7005	偏移電路
7006	RS型正反器
7007	計算器
7008	N通道型MOSFET
7009	P通道型MOSFET
7010	N通道型MOSFET
7011	P通道型MOSFET
b	輸出信號
BOOT	電源電壓
c	輸出信號
Cds	寄生電容
Ced	寄生電容
CGND	接地電壓
Cgs	寄生電容
Cin	電容
Crss	第1閘極・汲極間電容
D	汲極

DD	二極體
DISBL#	控制信號
e	輸出信號
f	輸出信號
g	輸出信號
G1	第1閘極電極
G2	第2閘極電極
GH	驅動信號
GL	驅動信號
GND	接地電壓
Id	汲極電流
ISD	源極・汲極電流
L1	配線
Lp1	電感
Lp3	寄生電感
Ns	轉換節點
P	外部端子
PGND	接地電壓
PWM	脈衝寬度信號(輸入信號a)
Ron	導通電阻
S	源極
T1	輸出端子
T2	電壓端子
T3	電壓端子
T4	控制端子
T5	電壓端子

T6	電壓端子
T7	輸出端子
T9	輸出端子
T10	電壓端子
T11	控制端子
T12	控制端子
T13	輸出端子
T14	控制端子
T15	控制端子
T16	端子
UH	第2閘極控制信號
UL	第2閘極控制信號
VCIN	電源電壓
ViN	輸入電壓
Vneg	負電壓
Vout	輸出電壓
Vpos	正電壓
VSWH	輸出信號

發明摘要

※ 申請案號：

※ 申請日：

※IPC 分類：H01L

【發明名稱】

半導體積體電路裝置及電源系統

【中文】

本發明之半導體積體電路裝置包含：第1電壓端子；第2電壓端子；輸出端子；高端MOSFET，其連接於第1電壓端子與輸出端子之間；低端MOSFET，其連接於輸出端子與第2電壓端子之間，且具有第1及第2閘極電極；驅動電路，其將高端MOSFET與低端MOSFET相輔地導通/斷開；及第2閘極電極控制電路，其形成供給於低端MOSFET之第2閘極電極之第2閘極控制信號。第2閘極電極控制電路包含電壓形成電路，其將相對於低端MOSFET之源極之電壓為負的電壓供給於低端MOSFET之第2閘極電極。

【英文】

無

圖式

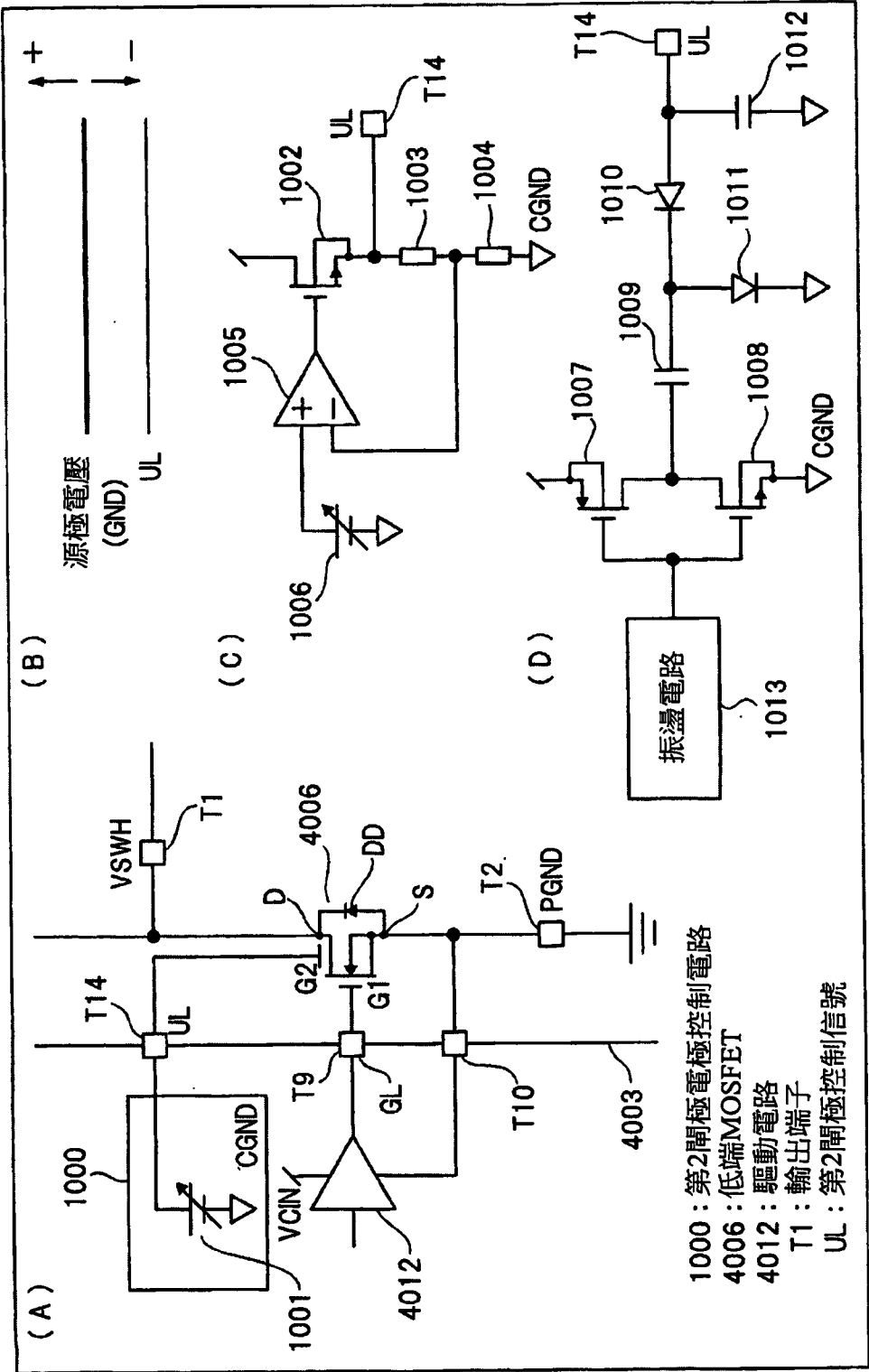


圖1

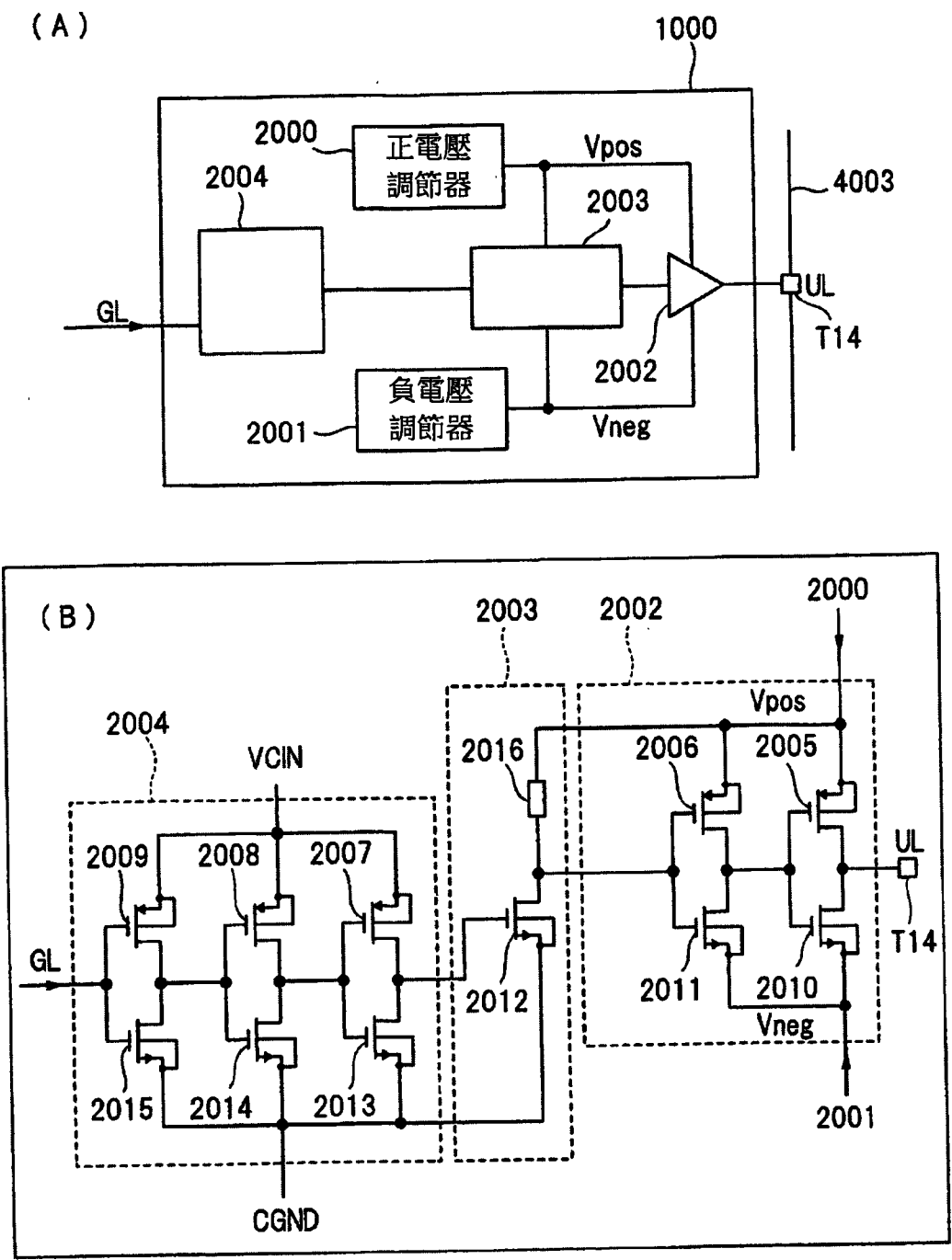


圖2

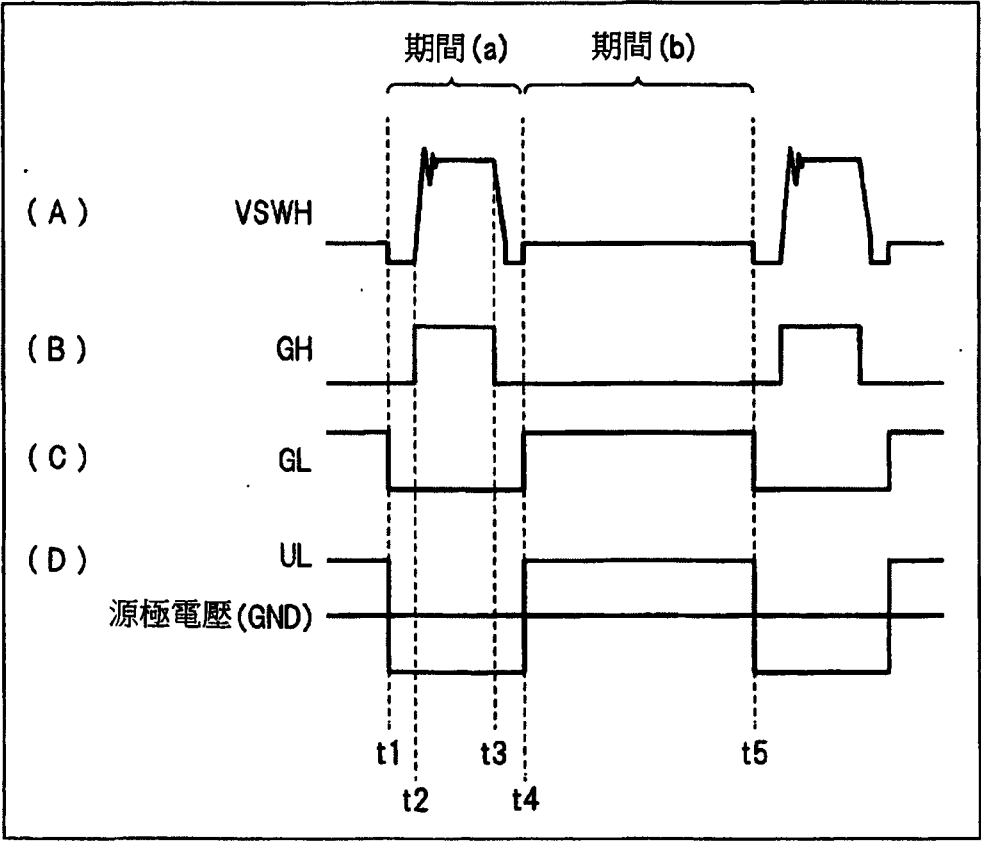


圖3

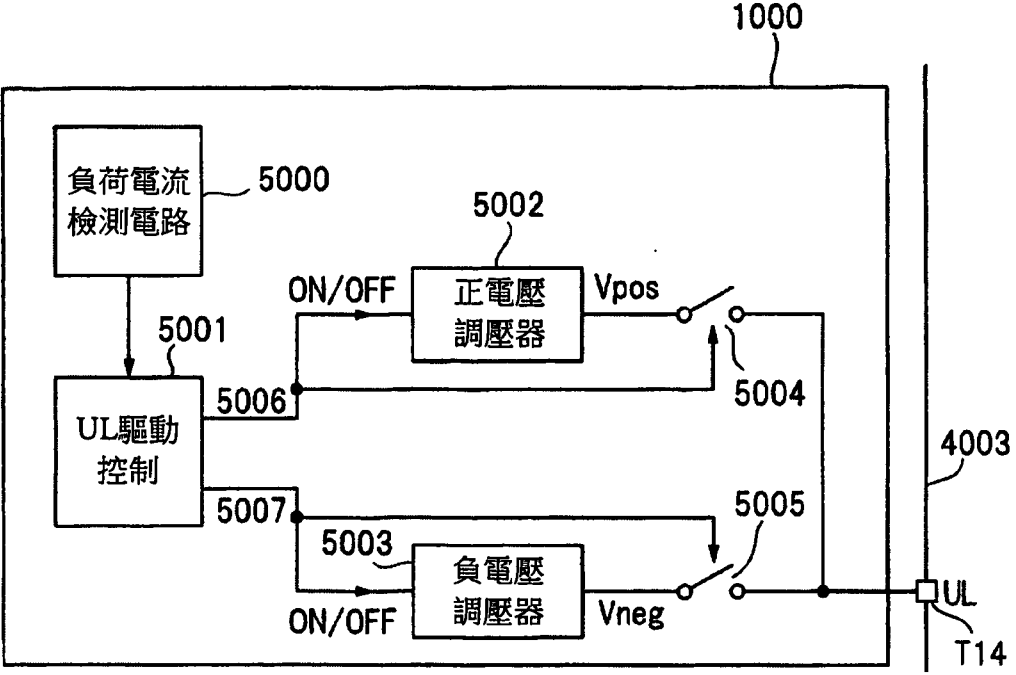


圖5

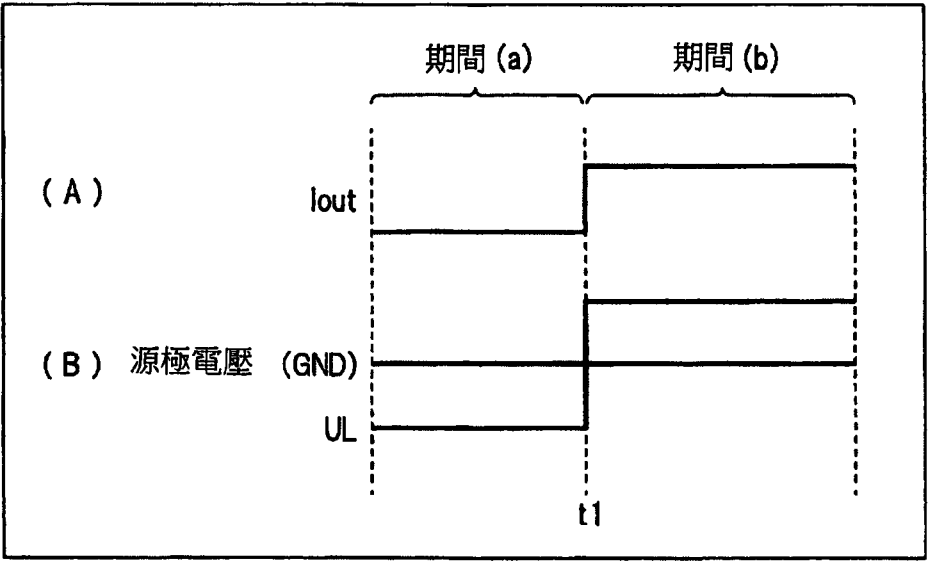


圖6

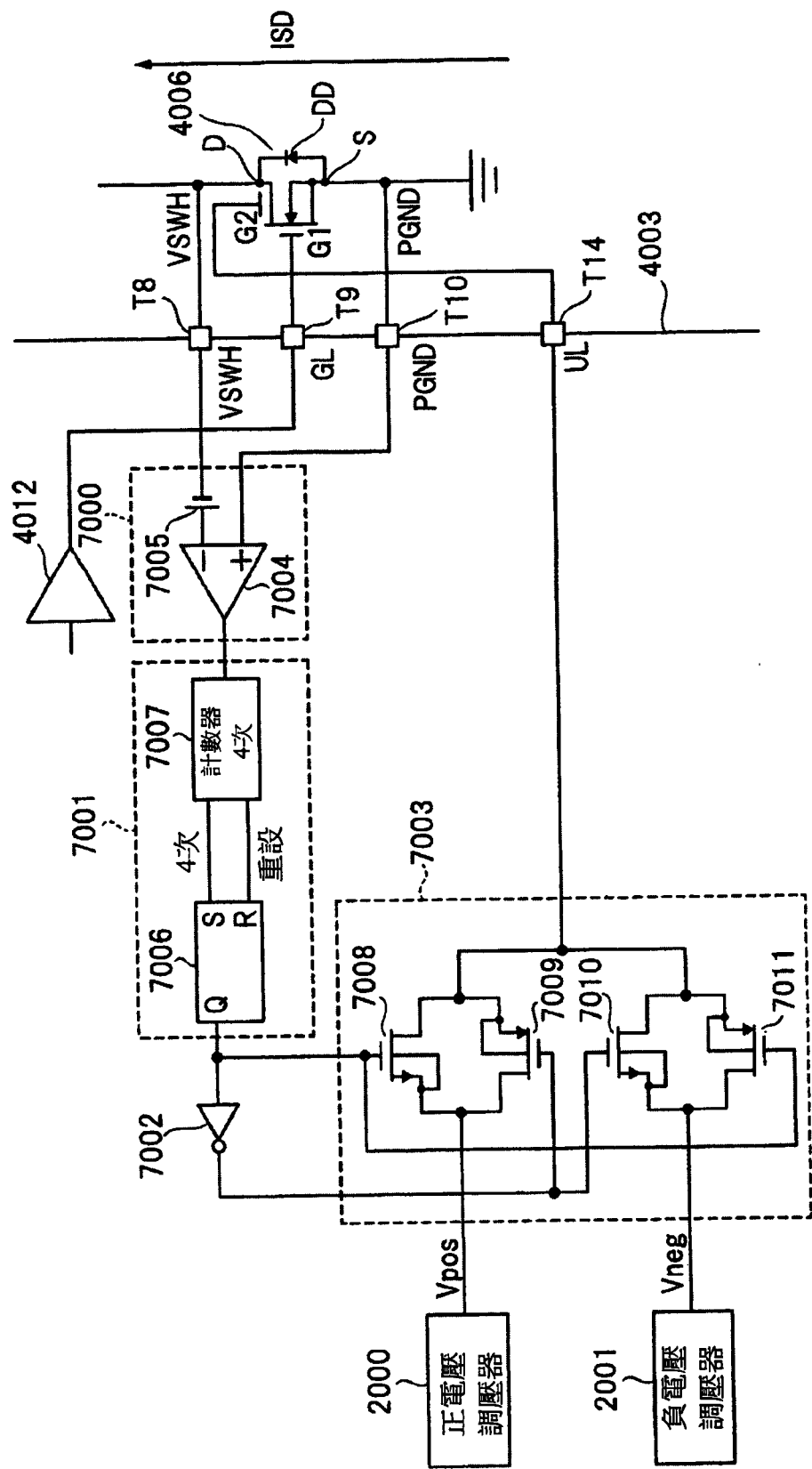


圖 7



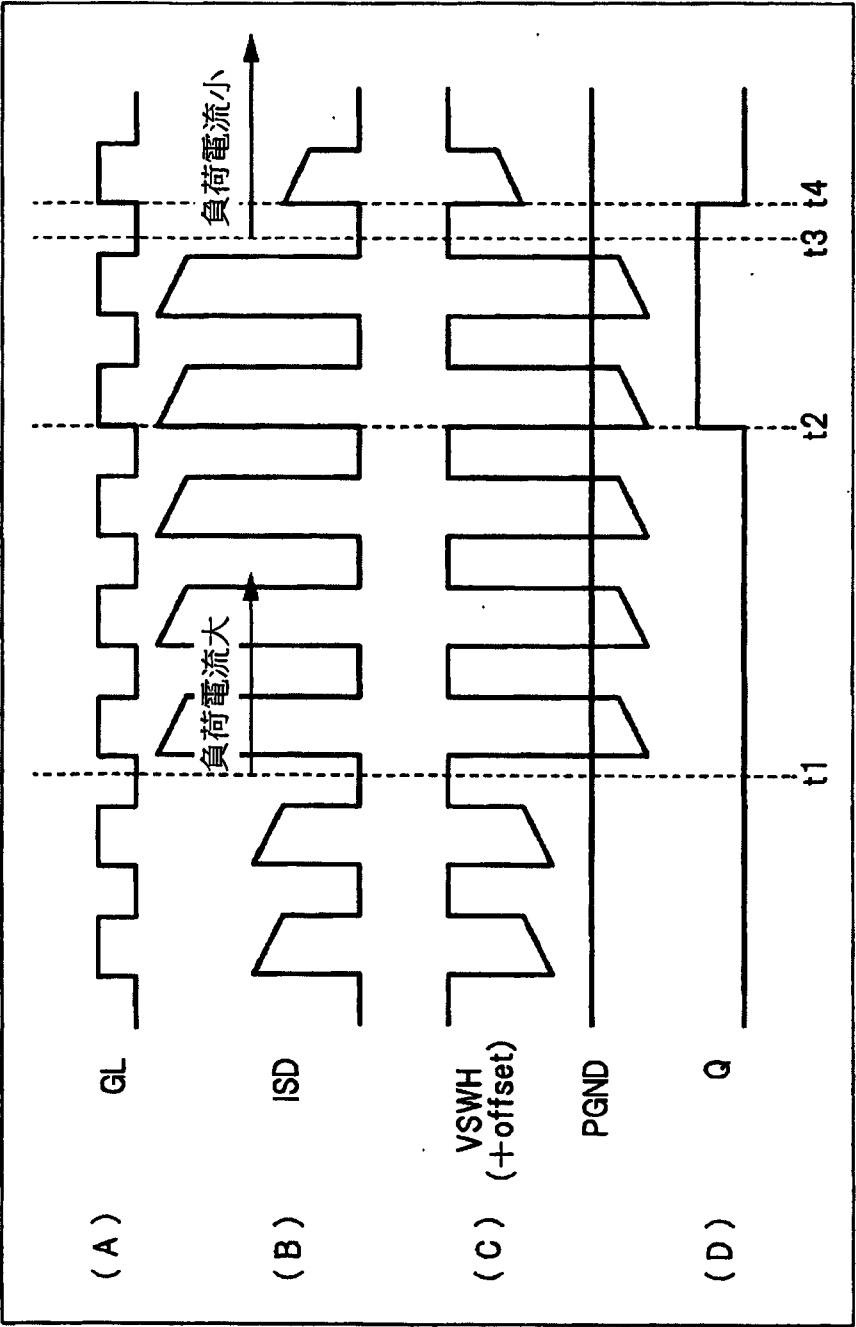


圖8

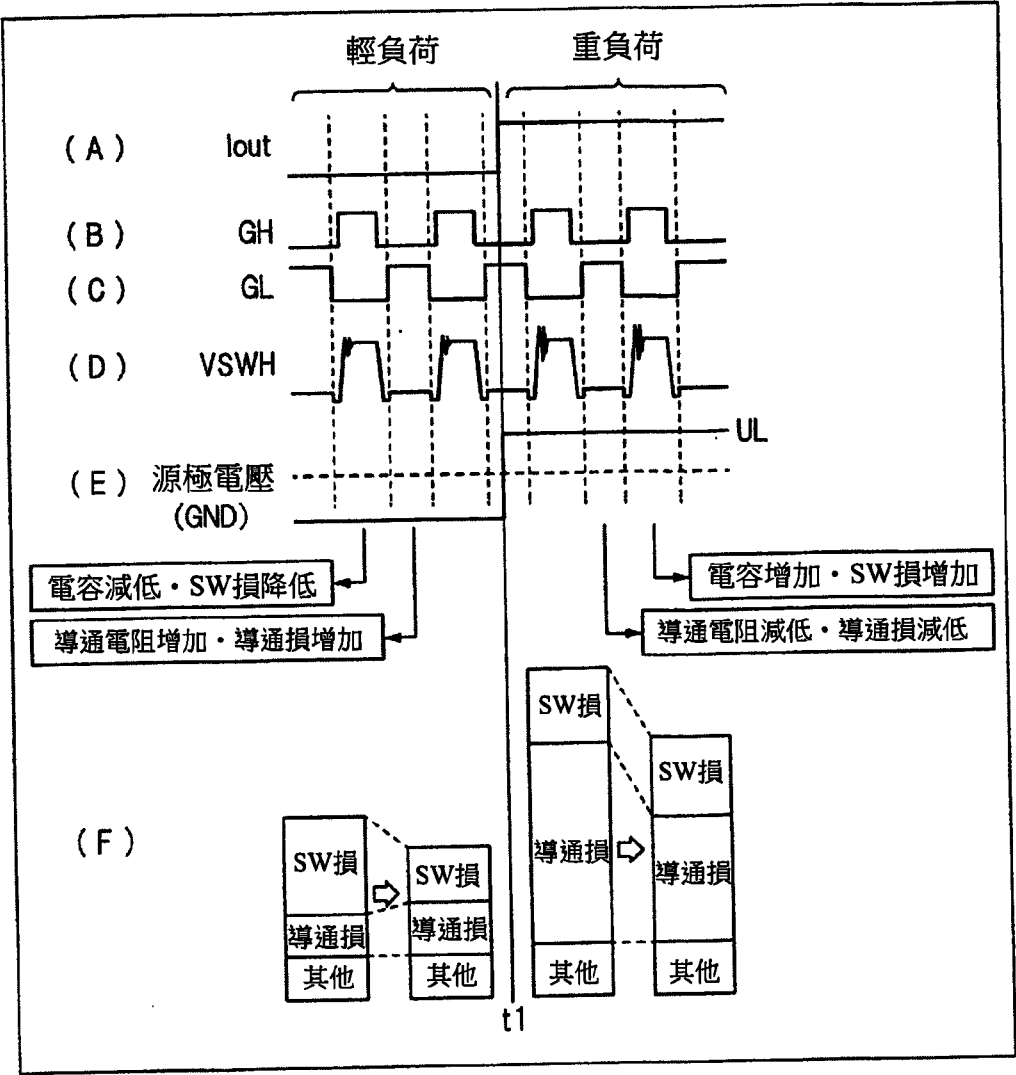


圖9

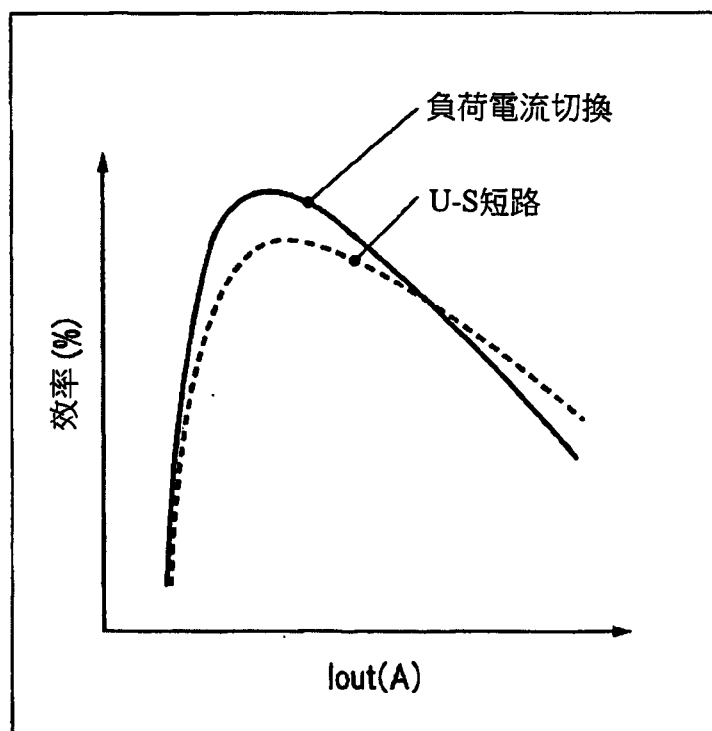


圖10

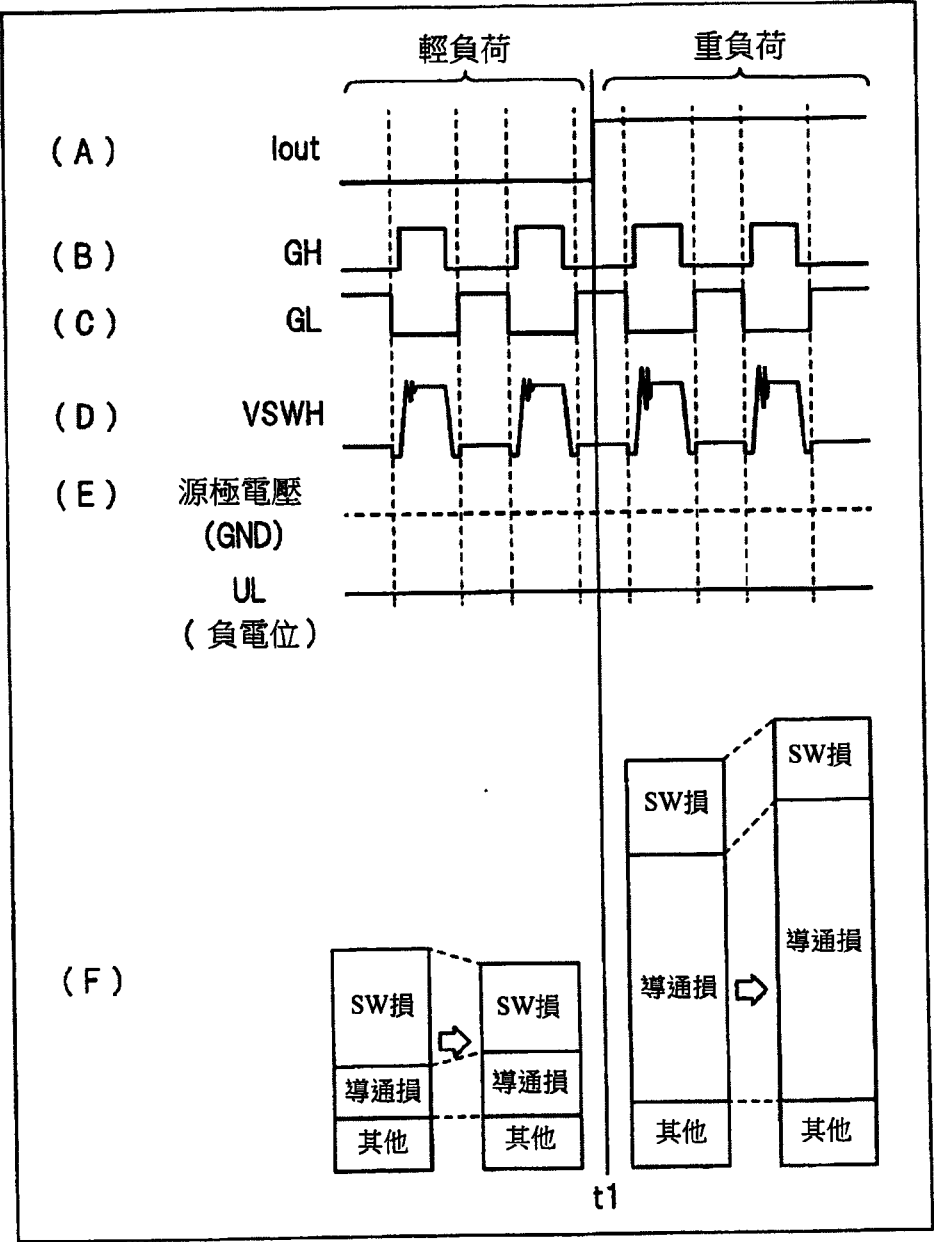


圖11

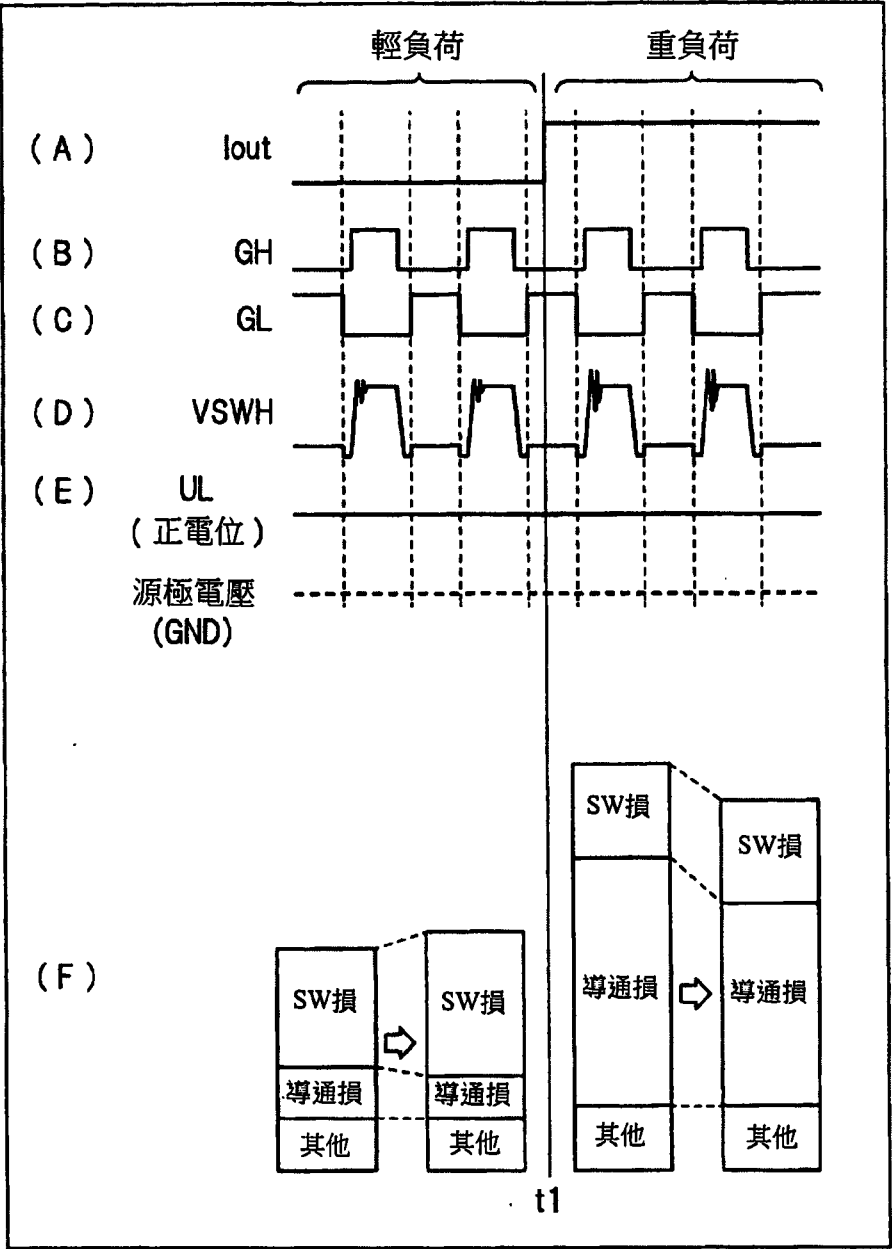


圖12

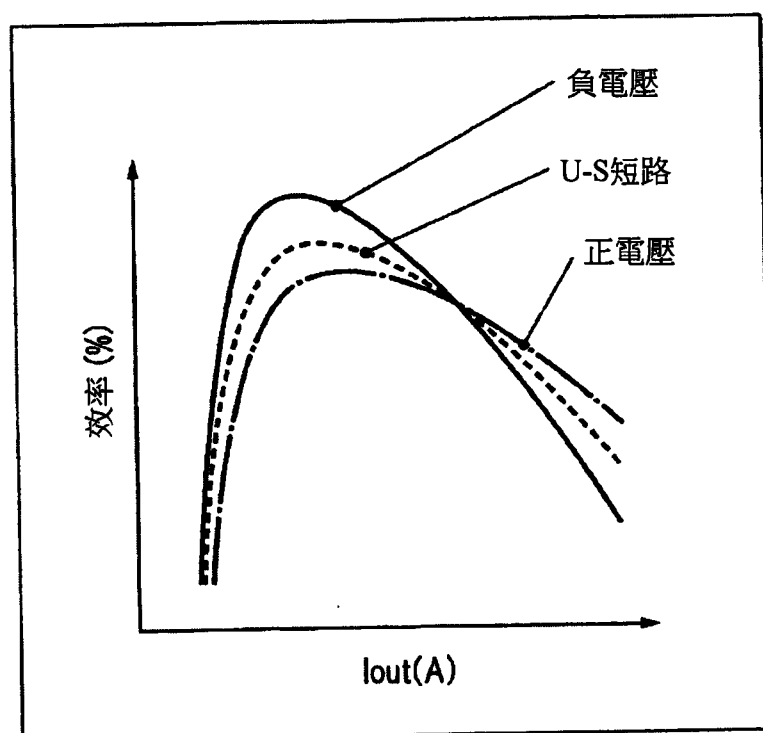


圖13

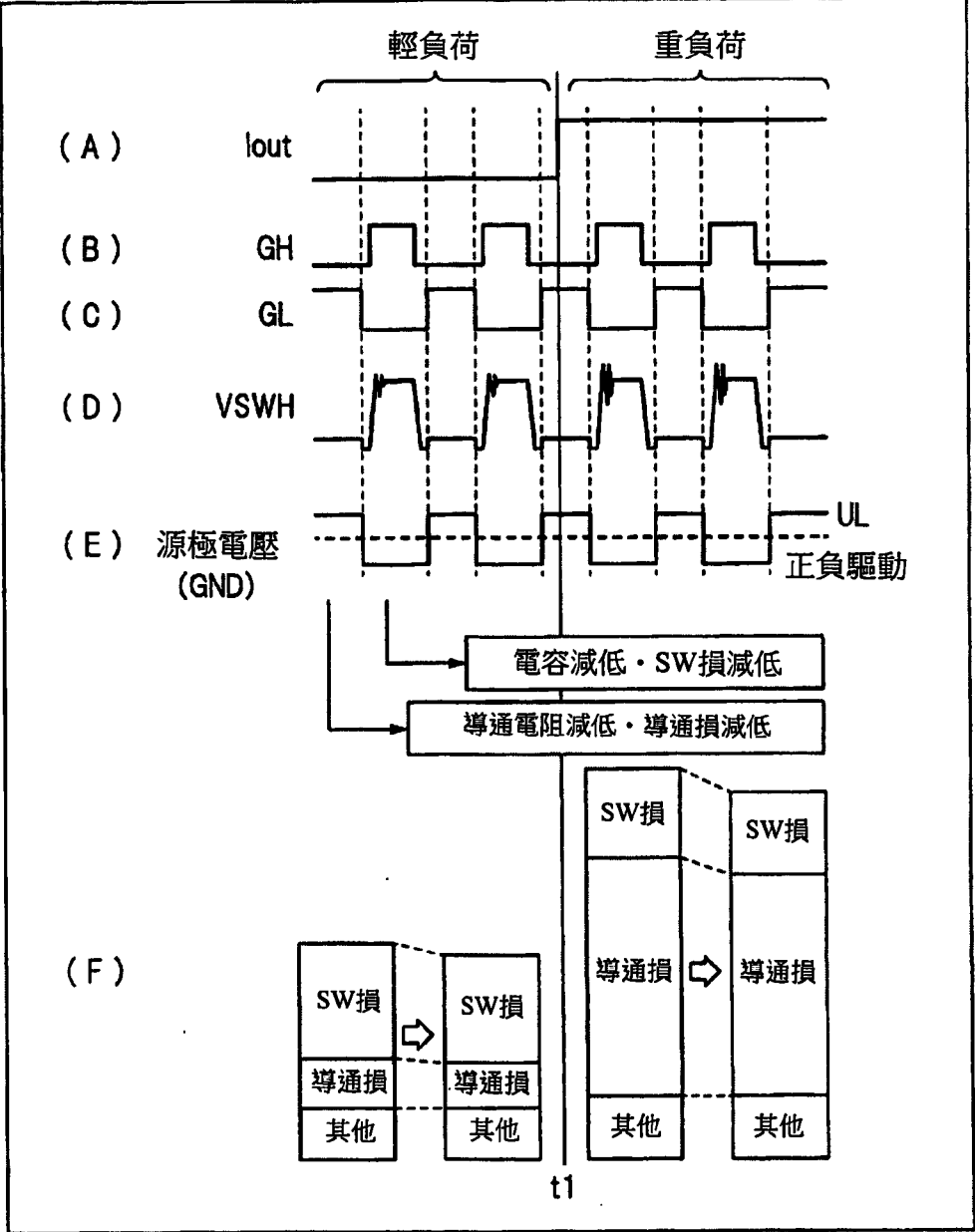


圖14

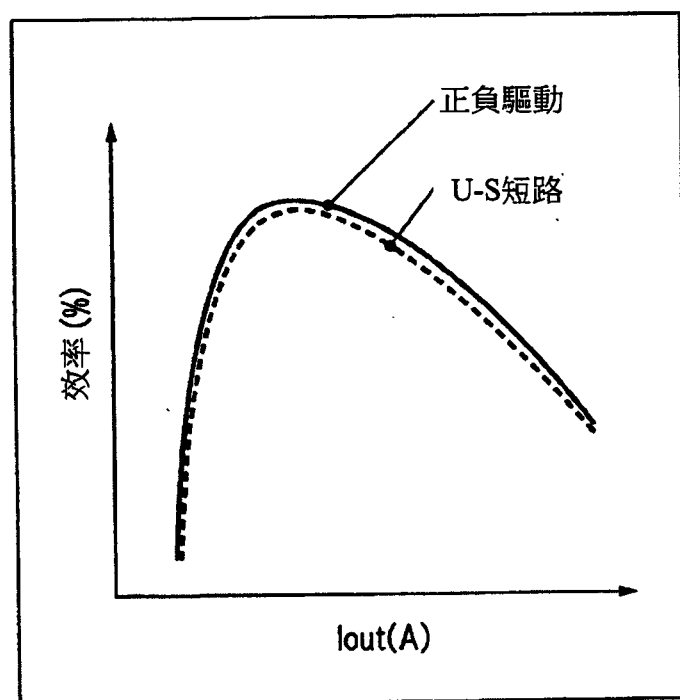
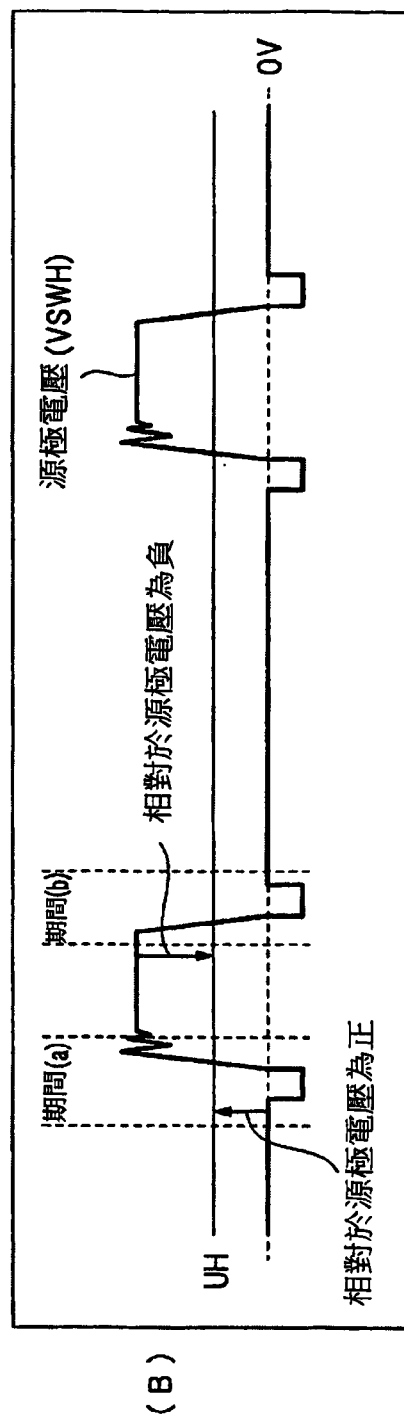


圖15



- 15 -

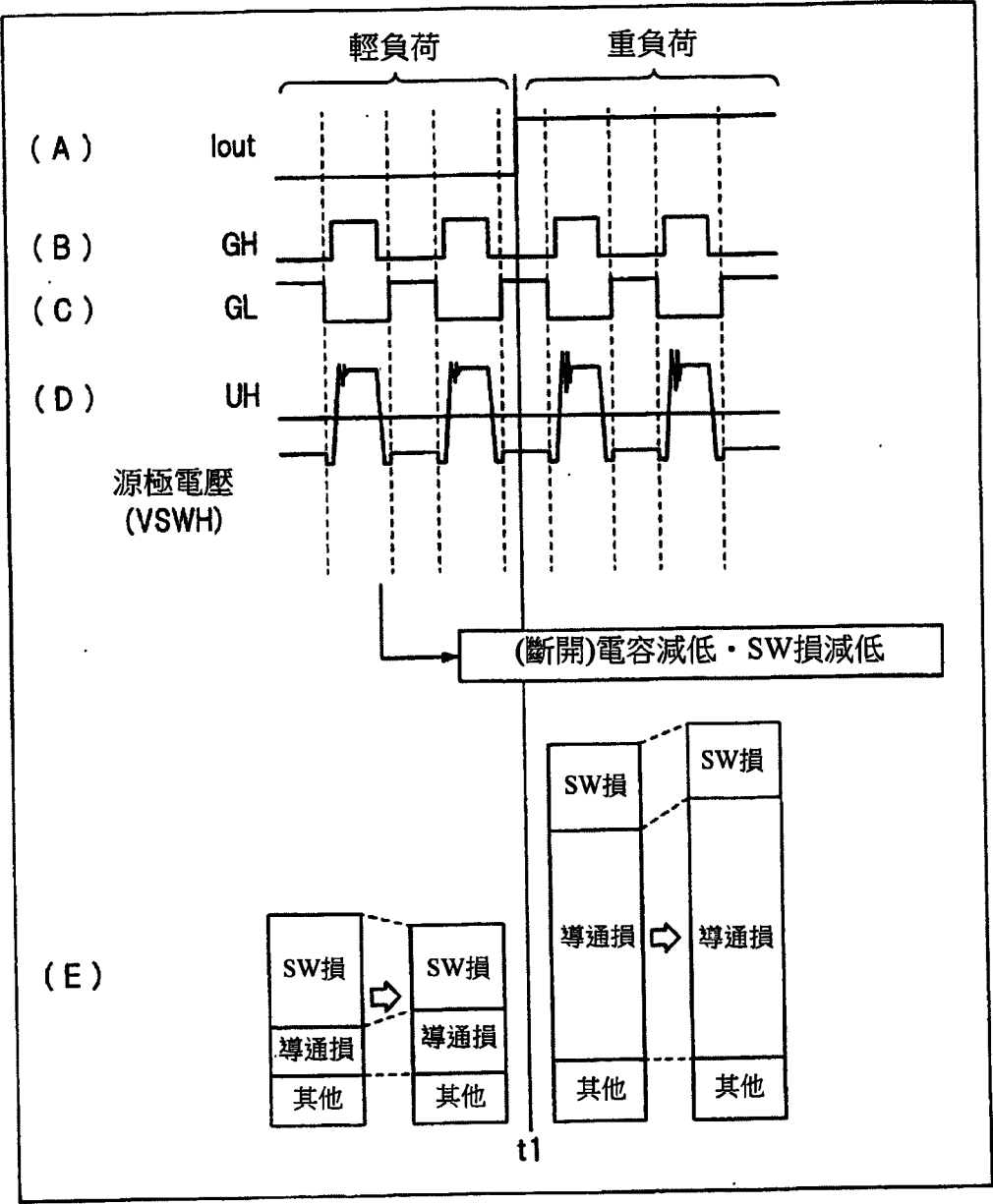


圖17

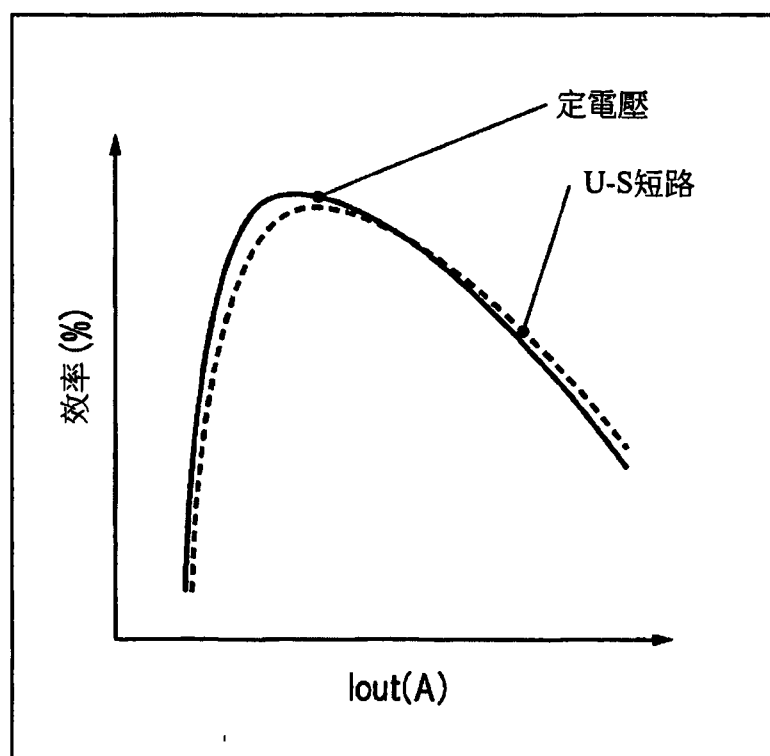


圖18



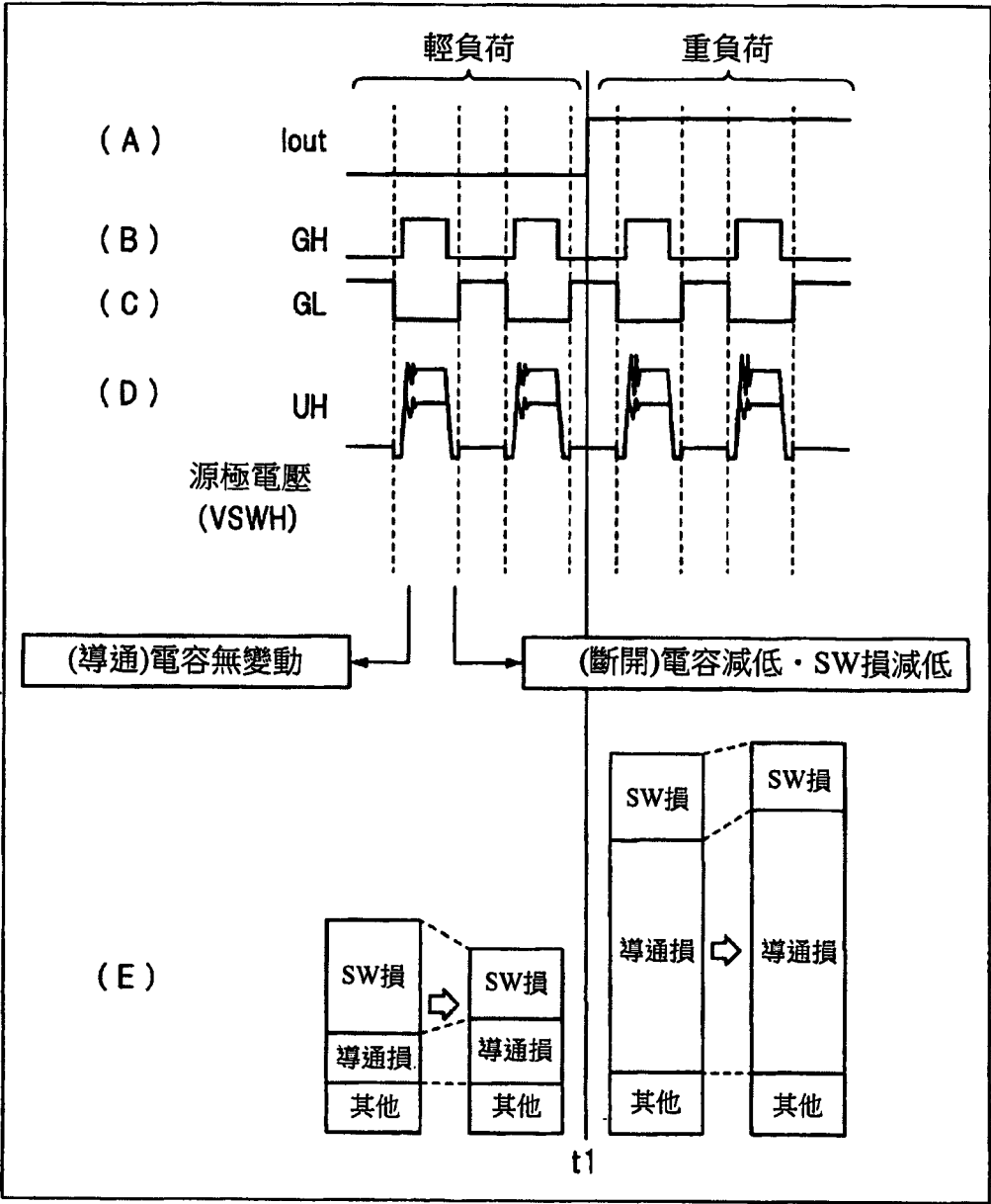


圖20

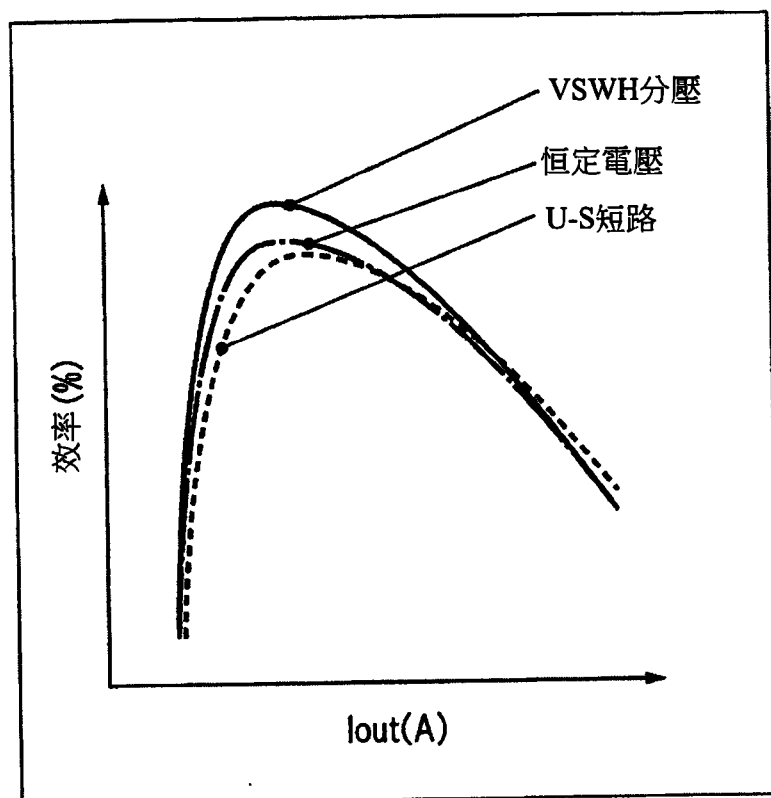


圖21



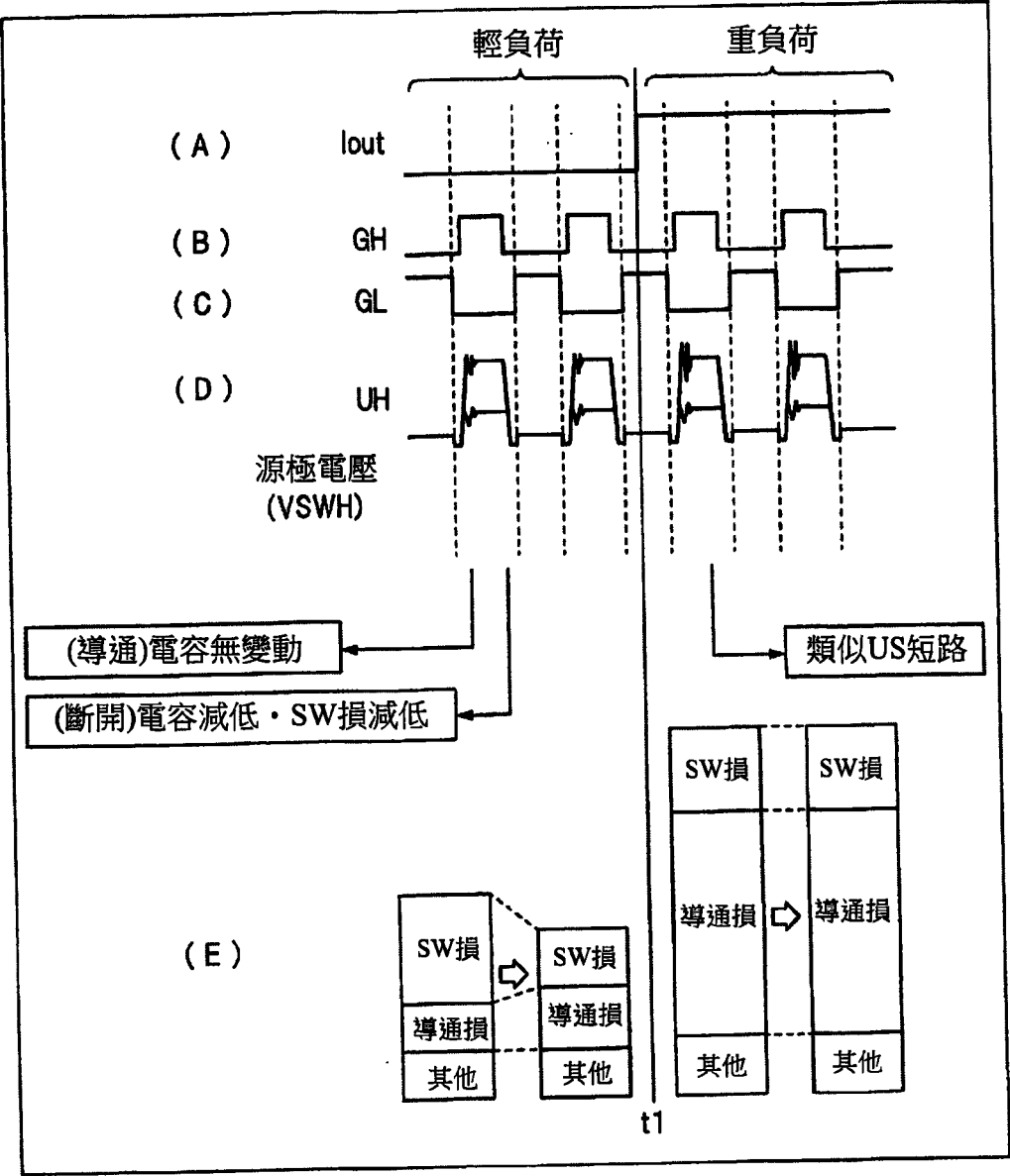


圖23

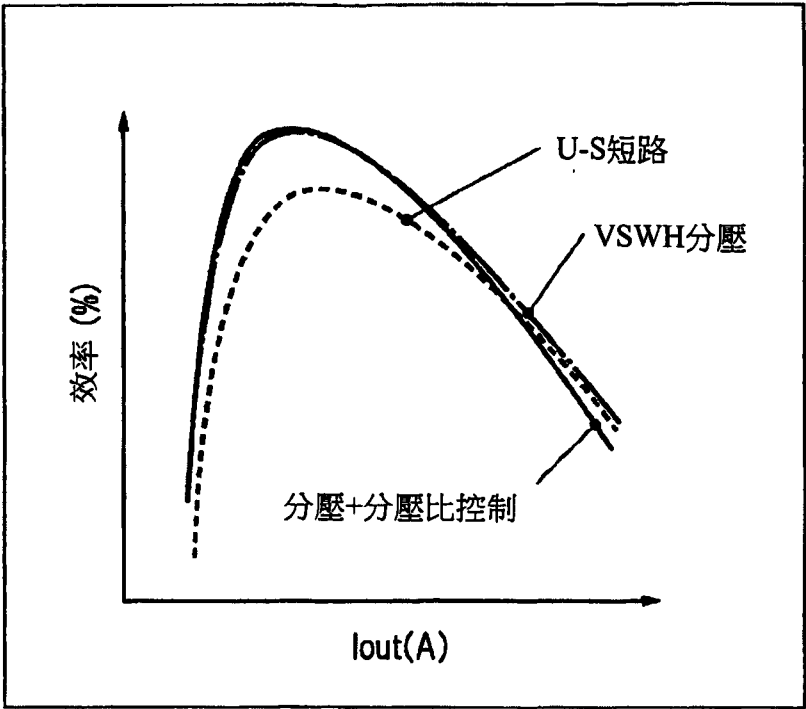


圖24

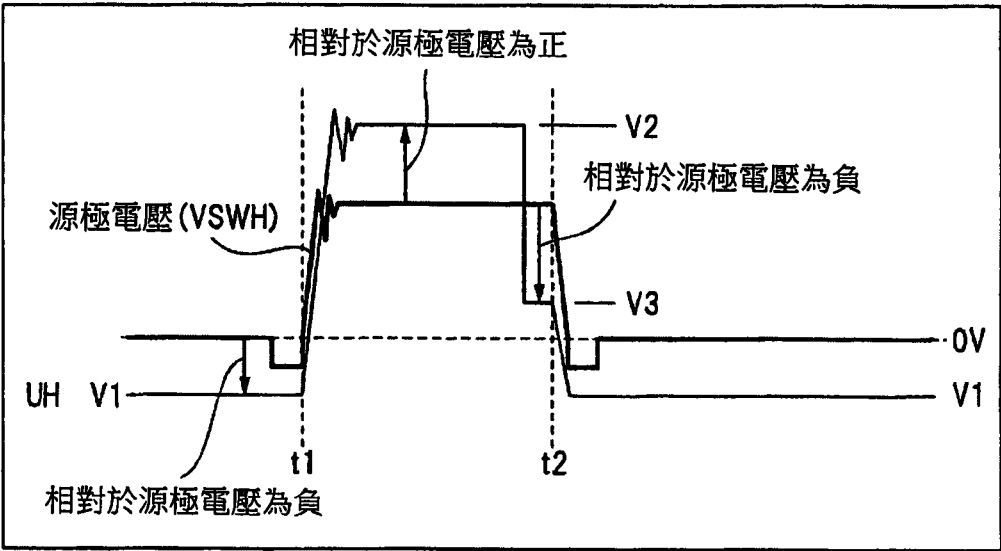


圖25

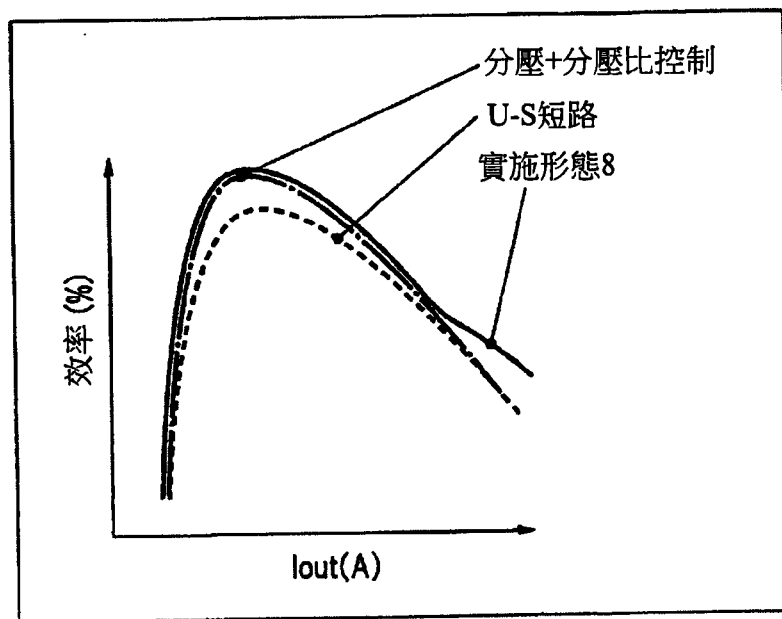


圖26

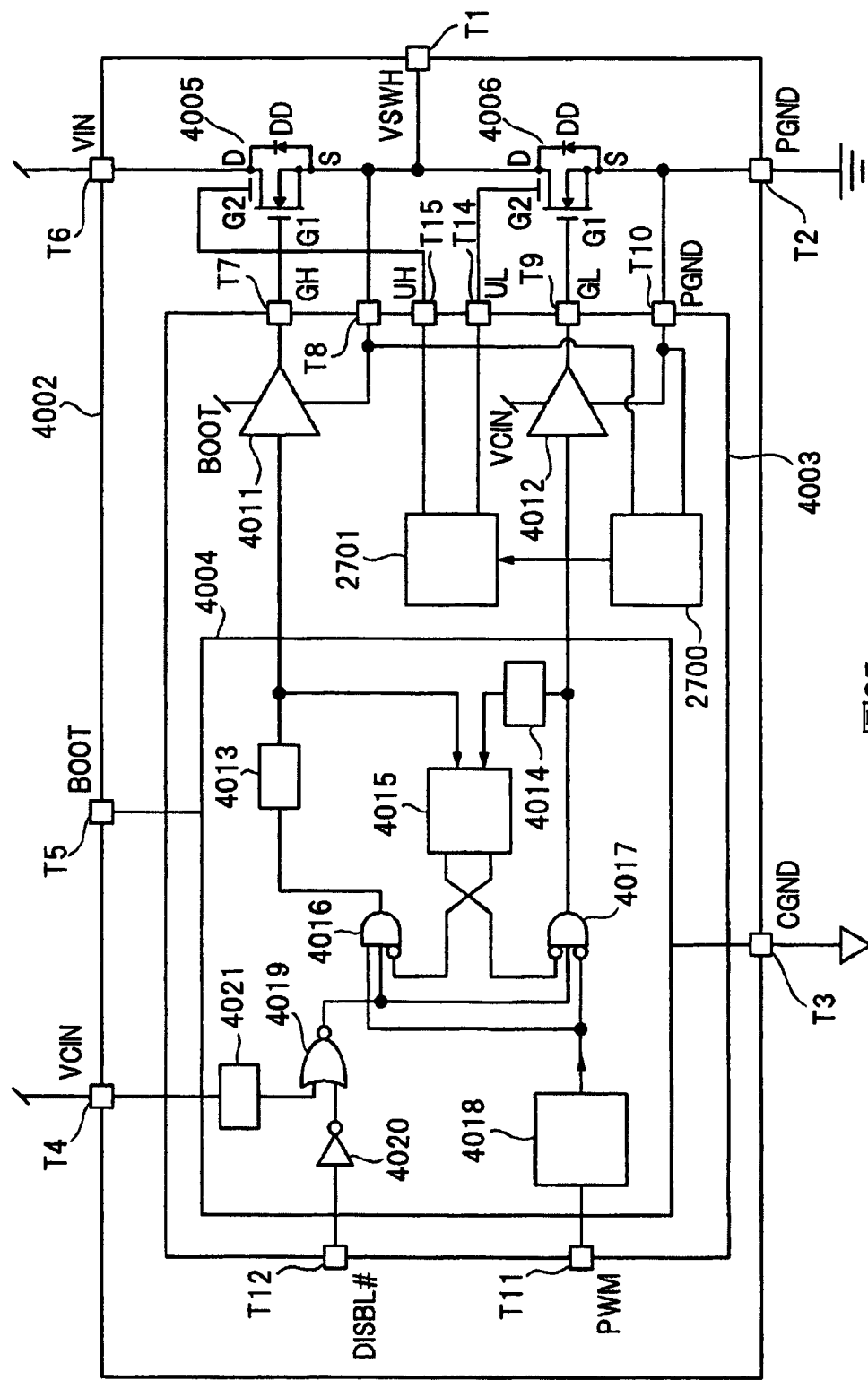
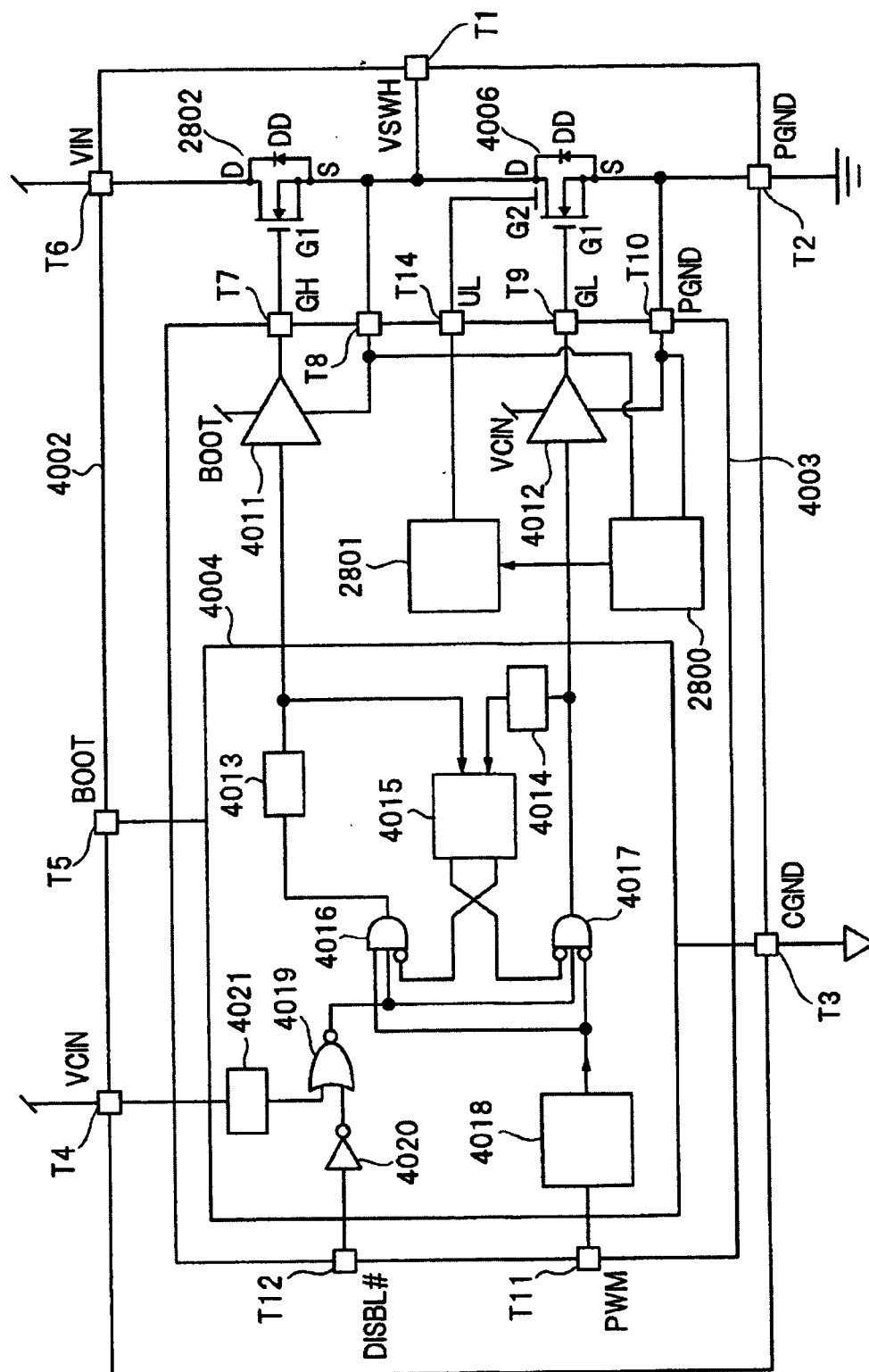
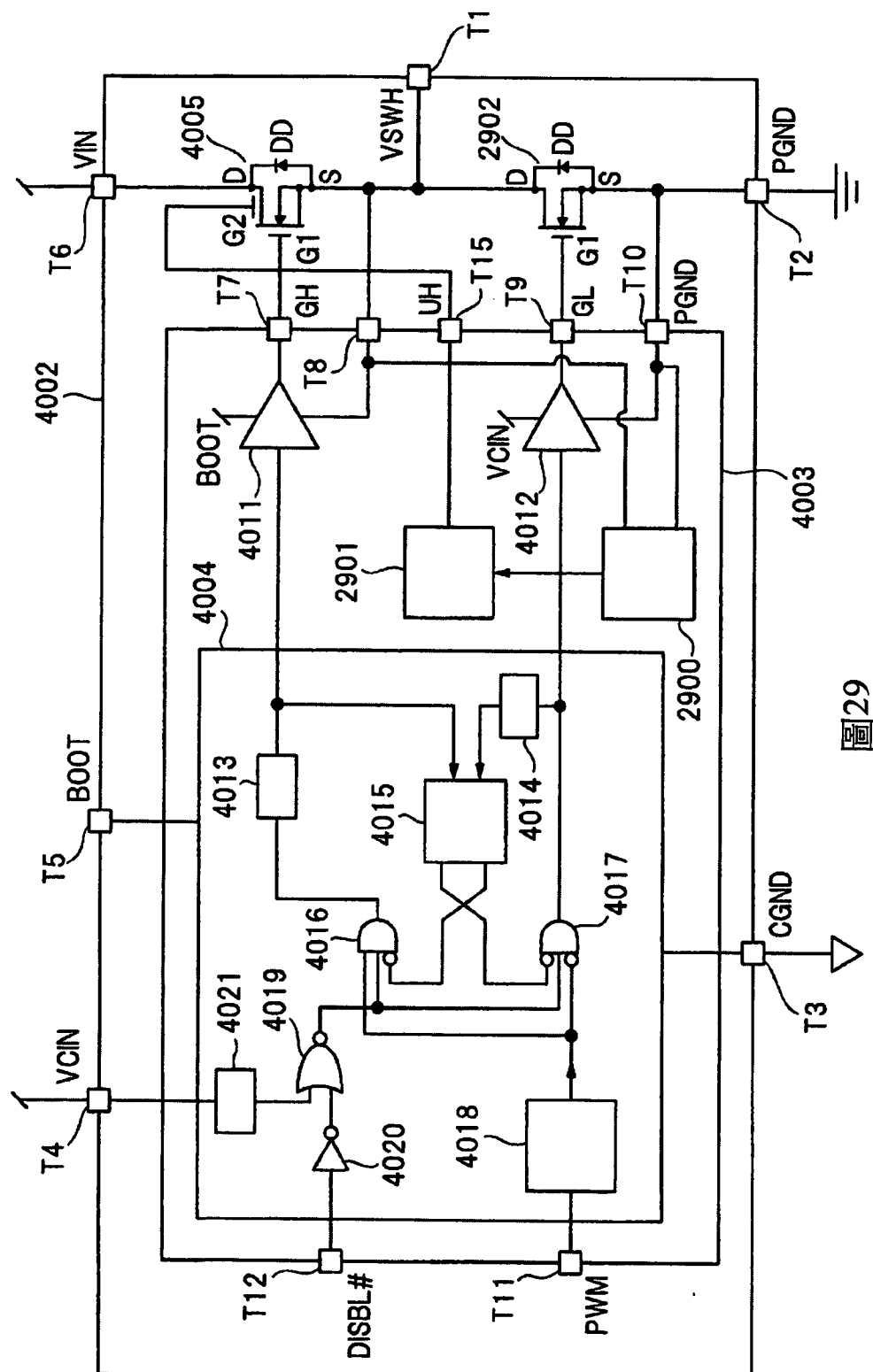


圖 27





29

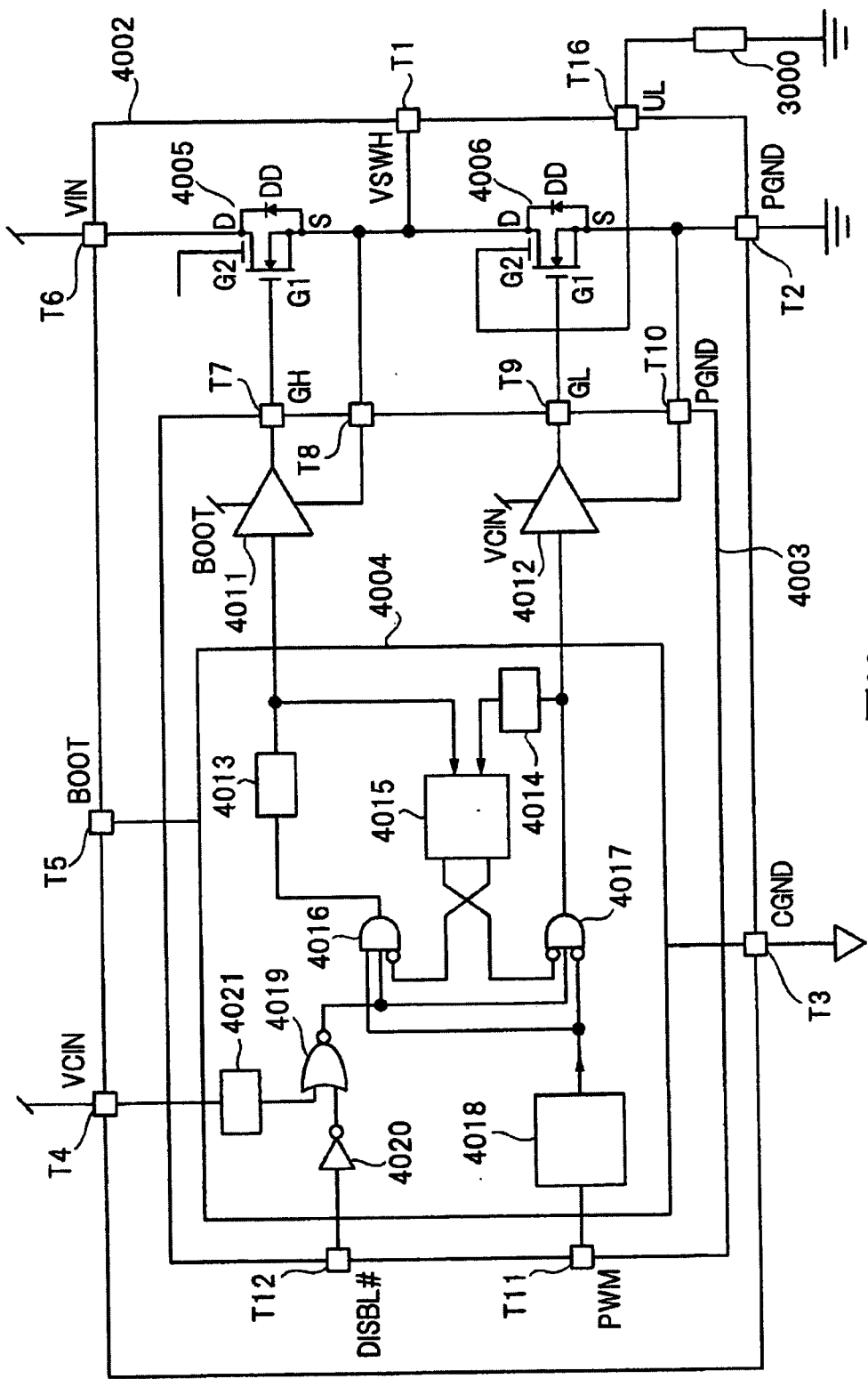


圖30



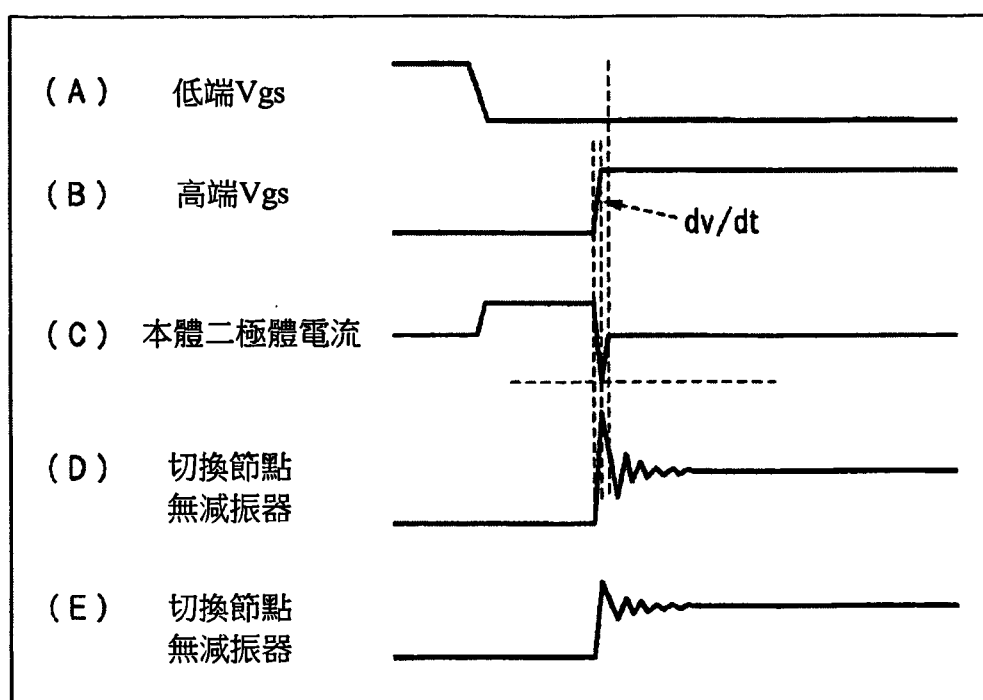


圖32

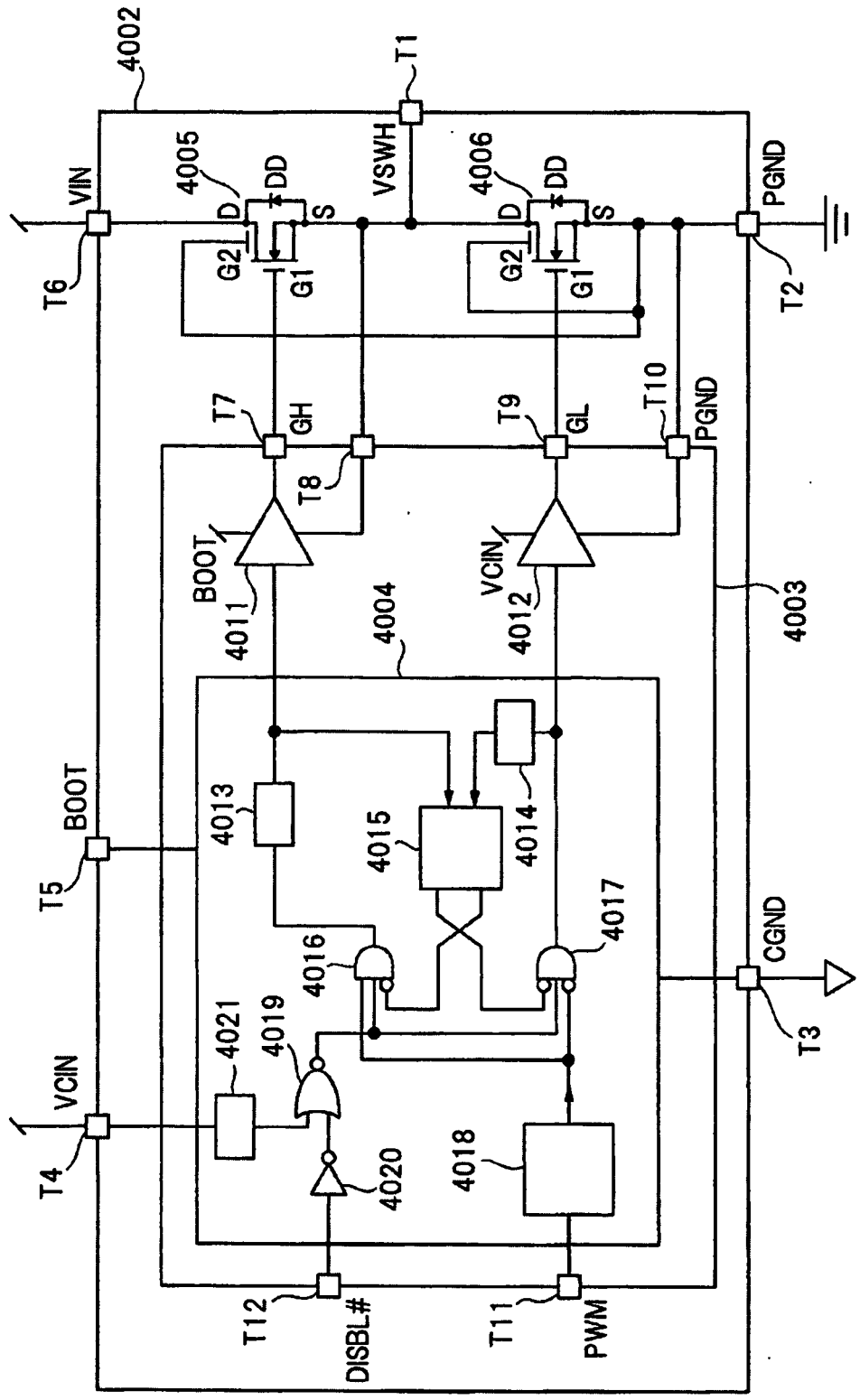


圖 33

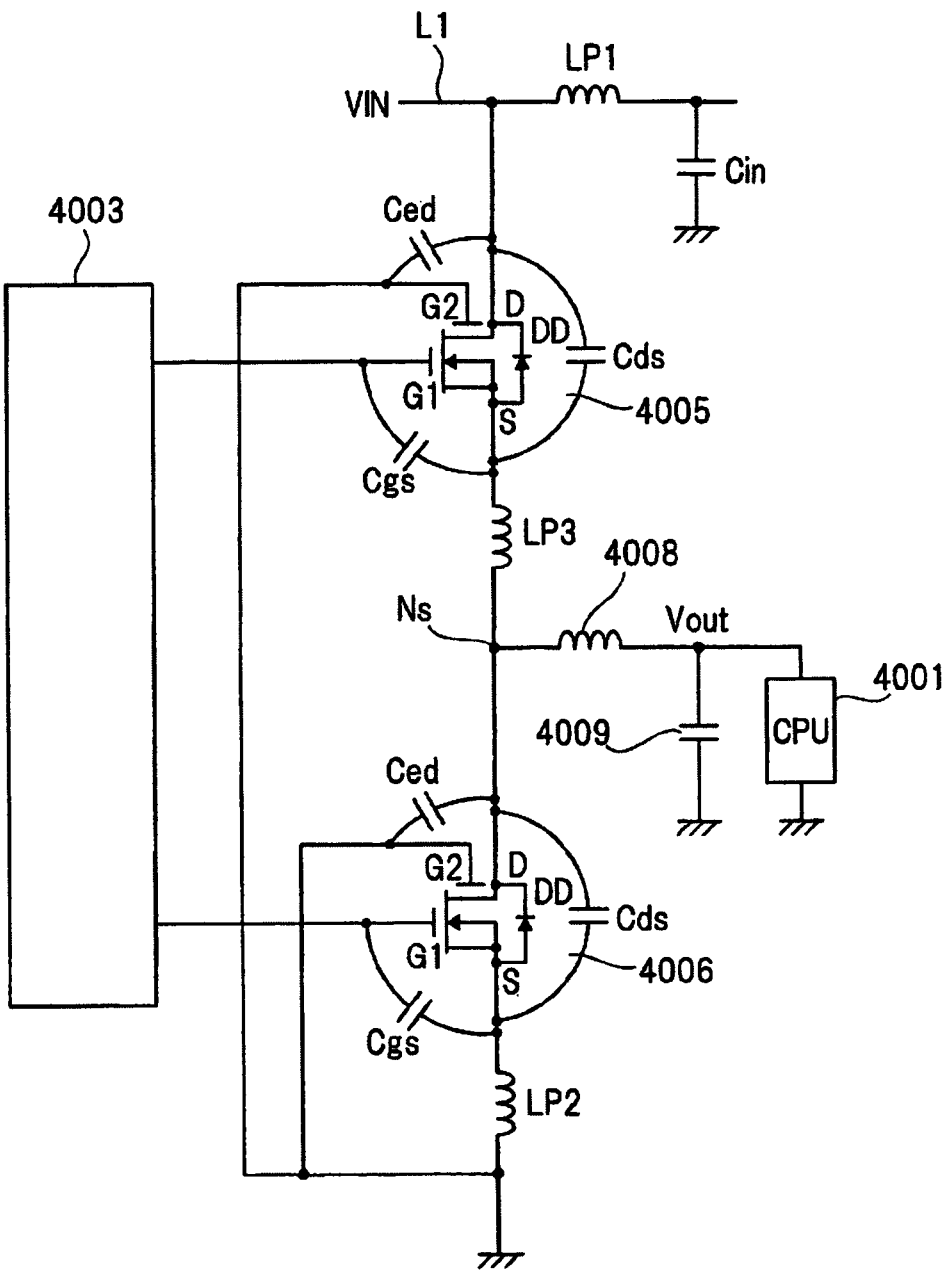


圖34

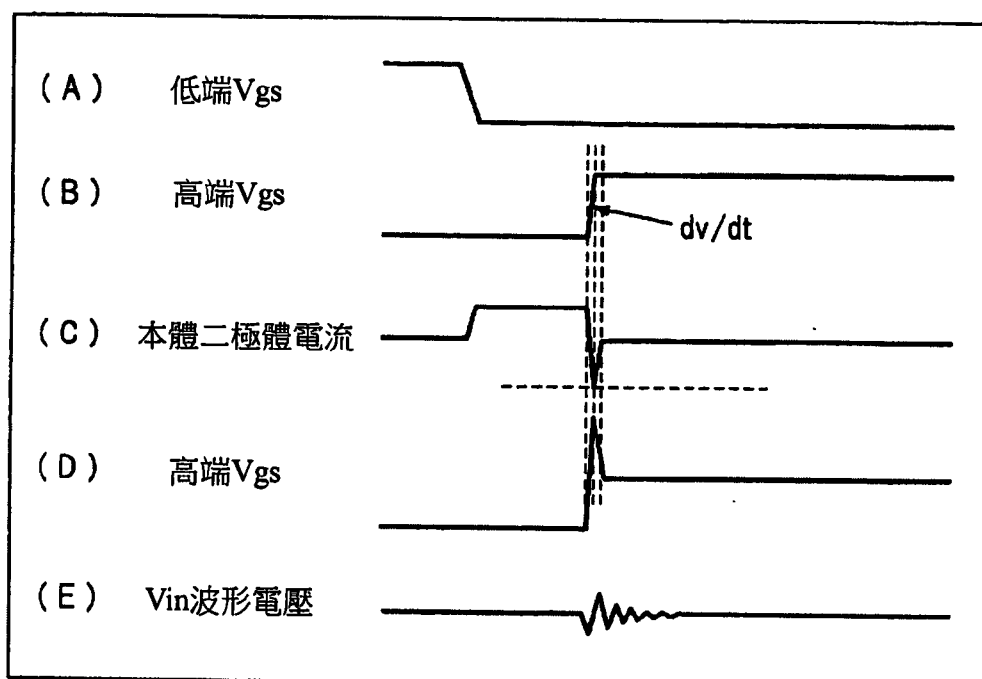
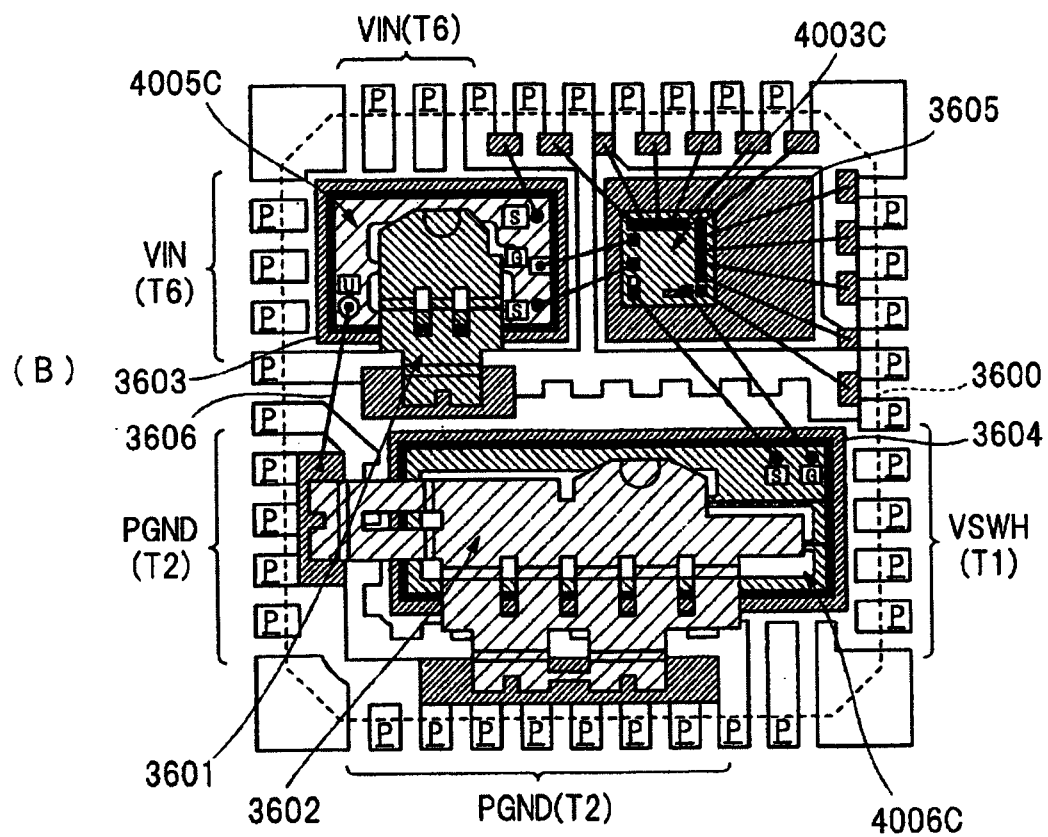
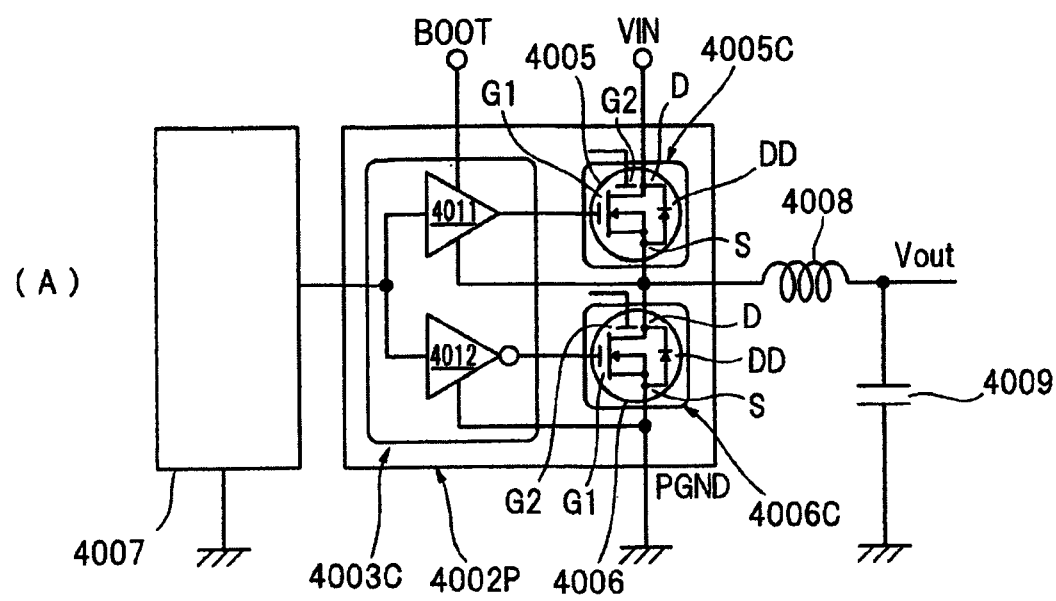
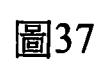


圖35





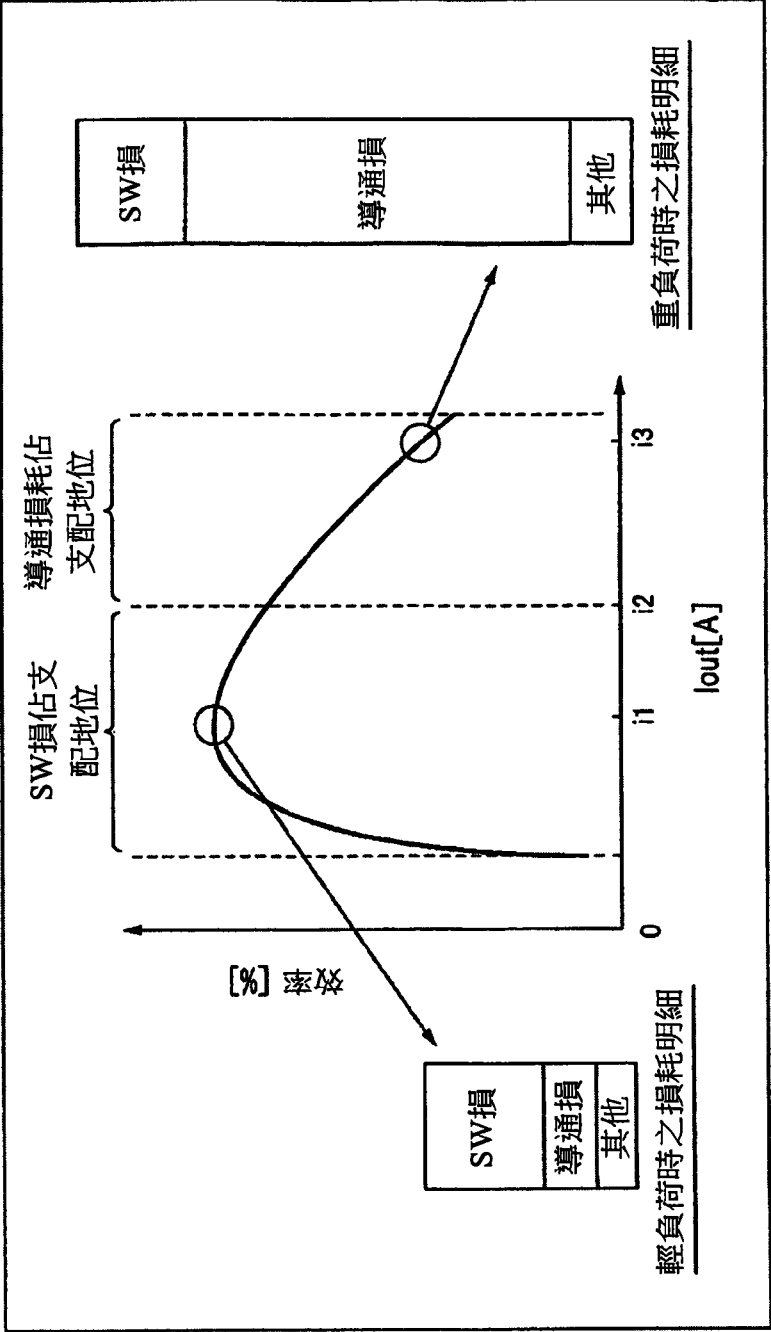


圖38

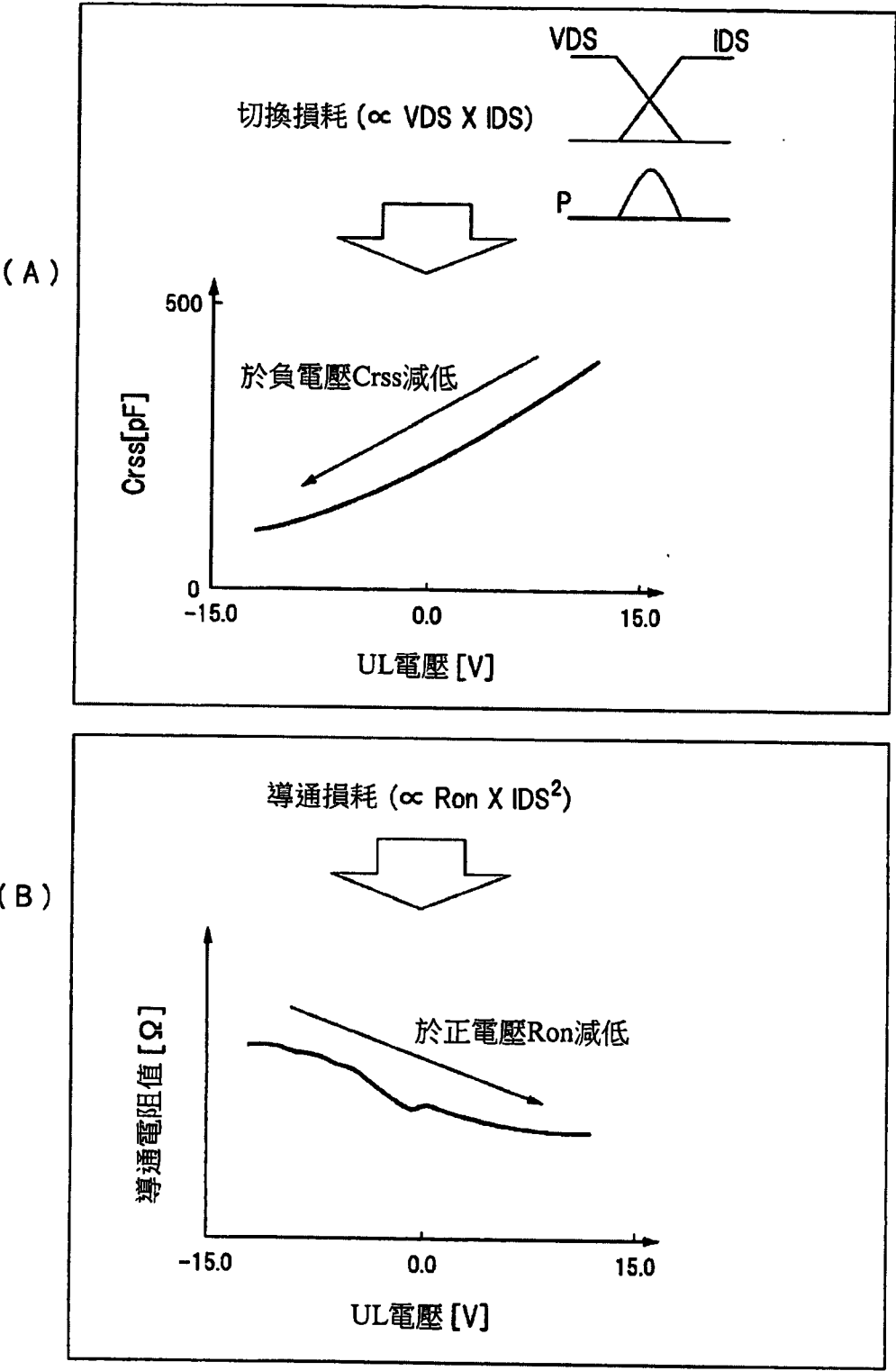


圖39

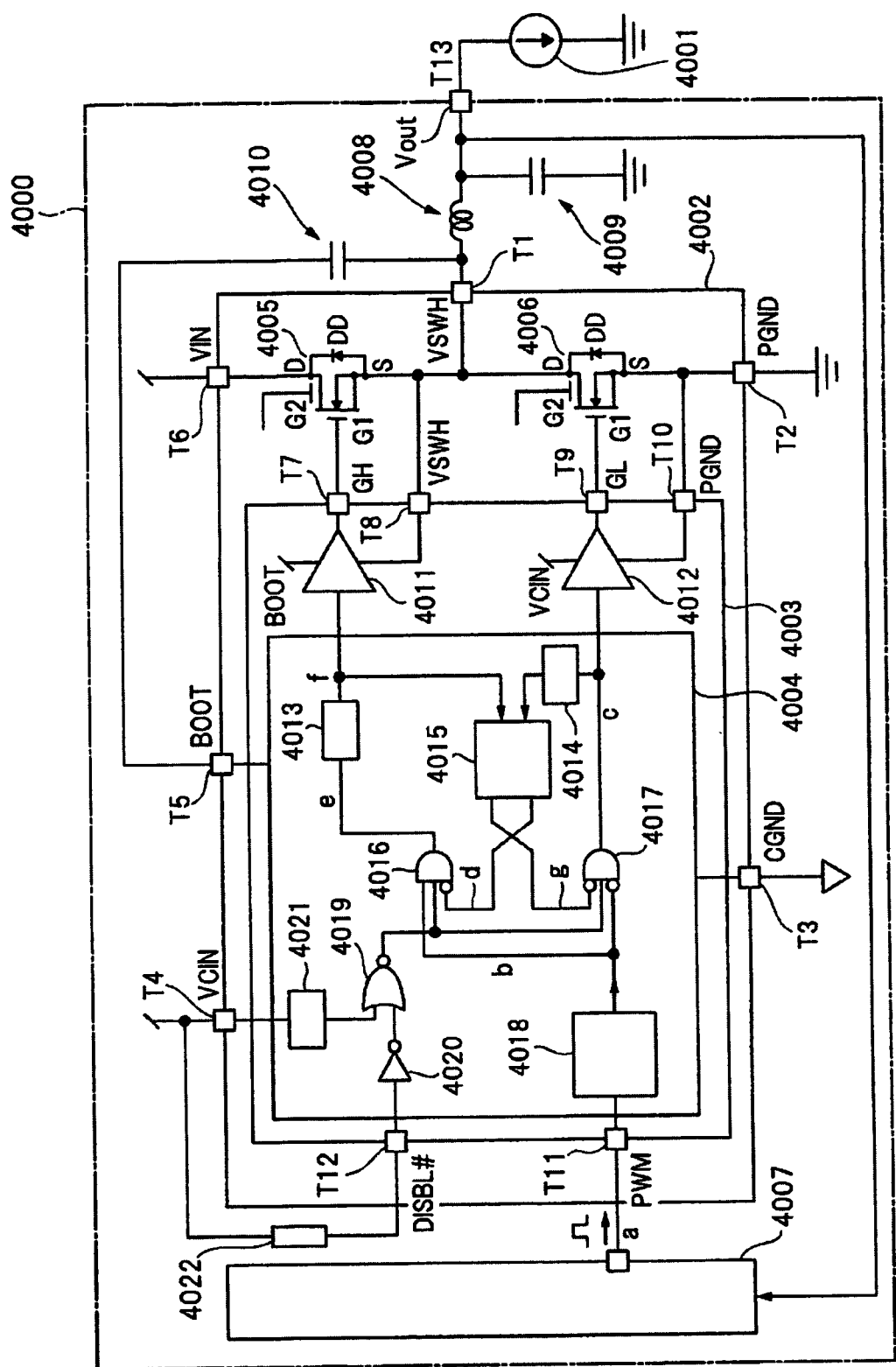


圖40



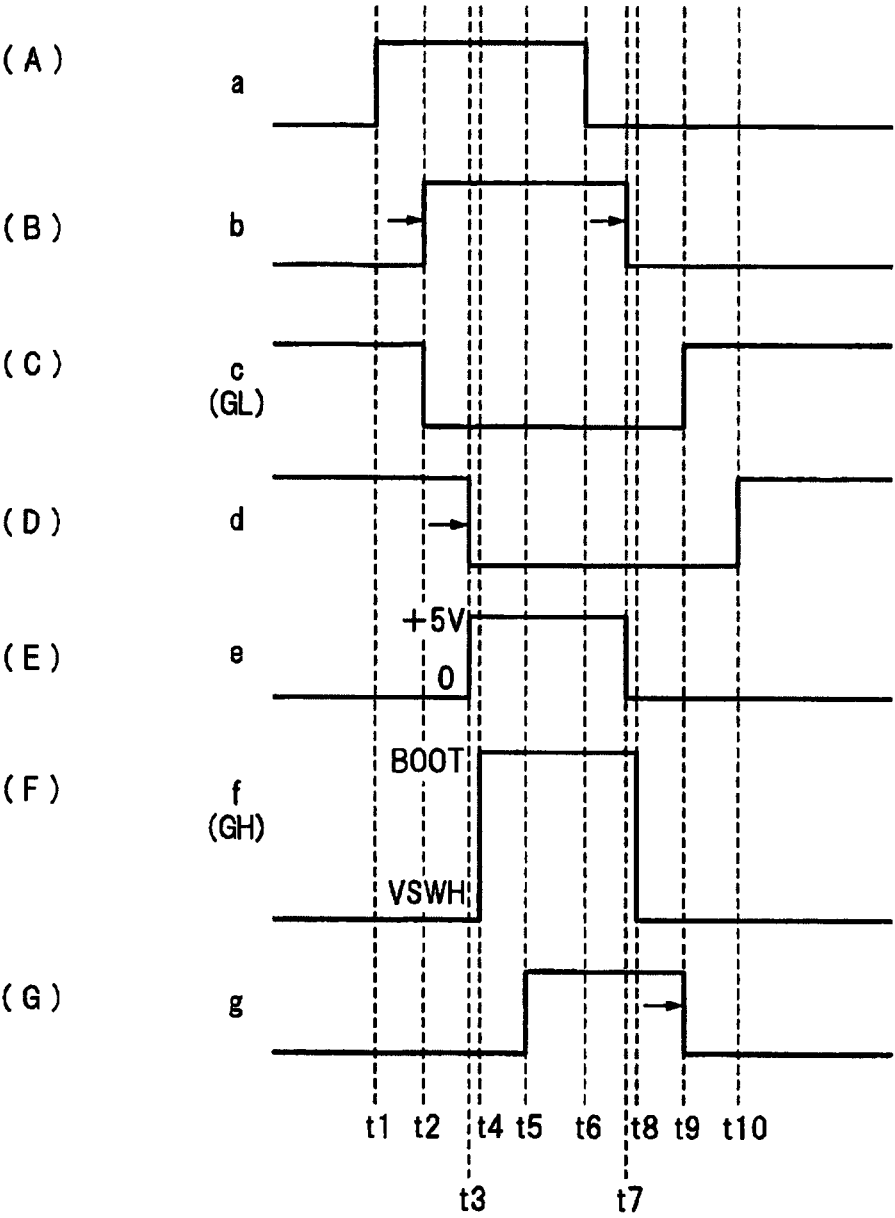


圖41

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

1000	第2閘極電極控制電路
1001	第2閘極電極控制電路
1002	N通道型MOSFET
1003	電阻元件
1004	電阻元件
1005	差動放大電路
1006	可變電壓源
1007	P通道型MOSFET
1008	N通道型MOSFET
1009	電容元件
1010	二極體元件
1011	二極體元件
1012	電容元件
1013	振盪電路
4003	驅動器
4006	低端MOSFET
4012	驅動電路
CGND	接地電壓
D	汲極
DD	二極體
G1	第1閘極電極
G2	第2閘極電極
GL	驅動信號

GND	接地電壓
PGND	接地電壓
S	源極
T1	輸出端子
T2	電壓端子
T9	輸出端子
T10	電壓端子
T14	控制端子
UL	第2閘極控制信號
VCIN	電源電壓
VSWH	輸出信號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種半導體積體電路裝置，其包含

第1電壓端子，其被供給第1電壓；

第2電壓端子，其被供給電壓值與上述第1電壓不同之第2電壓；

輸出端子；

第1MOSFET，其具有第1輸入電極、汲極、及源極，且連接於上述第1電壓端子與上述輸出端子之間，並根據供給於上述第1輸入電極之第1輸入信號而電性連接上述第1電壓端子與上述輸出端子間；

第2MOSFET，其具有第1輸入電極、汲極、源極、及配置於較上述第1輸入電極更靠近上述汲極側之第2輸入電極，且連接於上述第2電壓端子與上述輸出端子之間，並根據供給於上述第1輸入電極之第2輸入信號而電性連接上述第2電壓端子與上述輸出端子間；

驅動電路，其耦接於上述第1MOSFET及上述第2MOSFET各者之第1輸入電極，且以使上述第1MOSFET與上述第2MOSFET相輔地導通/斷開之方式，形成上述第1輸入信號及上述第2輸入信號；及

第1電壓形成電路，其耦接於上述第2MOSFET之第2輸入電極，將相對於上述第2MOSFET之源極之電壓為負的電壓供給於上述第2輸入電極。

2. 如請求項1之半導體積體電路裝置，其中

上述第2MOSFET具有：第1導電型之第1半導體區域、積層於上述第1半導體區域之第2導電型之第2半導體區域、及積層於上

述第2半導體區域之第1導電型之第3半導體區域；且

上述第2MOSFET之汲極係由上述第1半導體區域構成，上述第2MOSFET之源極係由上述第3半導體區域構成，上述第2MOSFET之第1輸入電極係由隔著絕緣層而埋設於上述第2半導體區域之第1金屬層構成，上述第2MOSFET之第2輸入電極係由隔著絕緣層而埋設於上述第1半導體區域之第2金屬層構成。

3. 如請求項2之半導體積體電路裝置，其中

上述第1電壓之電壓值高於上述第2電壓之電壓值；且

上述第2MOSFET之源極之電壓係上述第2電壓。

4. 如請求項2之半導體積體電路裝置，其中

上述第2電壓之電壓值高於上述第1電壓之電壓值；且

上述第2MOSFET之源極之電壓係上述輸出端子之電壓。

5. 如請求項2之半導體積體電路裝置，其中

上述半導體積體電路裝置包含：

第2電壓形成電路，其形成相對於上述第2MOSFET之源極之電壓為正的電壓；及

選擇電路，其選擇上述第1電壓形成電路所形成之負電壓與上述第2電壓形成電路所形成之正電壓，並供給於上述第2MOSFET之第2輸入電極。

6. 如請求項5之半導體積體電路裝置，其中

上述選擇電路係與上述驅動電路之上述第2MOSFET之導通/斷開同步而選擇供給於上述第2MOSFET之第2輸入電極之電壓。

7. 如請求項5之半導體積體電路裝置，其中

上述半導體積體電路裝置包含檢測電路，其檢測流動於上述輸出端子之電流是否超過特定之電流值；且

上述選擇電路對來自上述檢測電路之檢測信號作出響應而選

擇供給於上述第2MOSFET之第2輸入電極之電壓。

8. 如請求項7之半導體積體電路裝置，其中

上述選擇電路於流動於上述輸出端子之電流較上述特定之電流值更低時，將上述負電壓供給於上述第2MOSFET之第2輸入電極。

9. 一種半導體積體電路裝置，其包含：

第1電壓端子，其被供給第1電壓；

第2電壓端子，其被供給電壓值與上述第1電壓不同之第2電壓；

輸出端子；

第1MOSFET，其具有第1輸入電極、汲極、源極、及配置於較上述第1輸入電極更靠近上述汲極側之第2輸入電極，且連接於上述第1電壓端子與上述輸出端子之間，並根據供給於上述第1輸入電極之第1輸入信號而電性連接上述第1電壓端子與上述輸出端子間；

第2MOSFET，其具有第1輸入電極、汲極、源極、及配置於較上述第1輸入電極更靠近上述汲極側之第2輸入電極，且連接於上述第2電壓端子與上述輸出端子之間，並根據供給於上述第1輸入電極之第2輸入信號而電性連接上述第2電壓端子與上述輸出端子間；

驅動電路，其耦接於上述第1MOSFET及上述第2MOSFET各者之第1輸入電極，且以使上述第1MOSFET與上述第2MOSFET相輔地導通/斷開之方式，形成上述第1輸入信號及上述第2輸入信號；

檢測電路，其檢測流動於上述輸出端子之電流是否超過特定之電流值；及

控制電路，其耦接於上述第1MOSFET之第2輸入電極及第2MOSFET之第2輸入電極，根據流動於上述輸出端子之電流是否超過上述特定之電流值而對上述第1MOSFET及上述第2MOSFET各者之第2輸入電極供給不同電壓值之電壓。

10. 如請求項9之半導體積體電路裝置，其中

上述控制電路於流動於上述輸出端子之電流超過上述特定之電流值時，對上述第1MOSFET及上述第2MOSFET各者之第2輸入電極供給相對於各者之MOSFET之源極之電壓具有正的電壓值之電壓，於流動於上述輸出端子之電流未超過上述特定之電流值時，對上述第1MOSFET及上述第2MOSFET各者之第2輸入電極供給相對於各者之MOSFET之源極之電壓具有負的電壓值之電壓。

11. 如請求項10之半導體積體電路裝置，其中

上述第1MOSFET及上述第2MOSFET各者具有：第1導電型之第1半導體區域、積層於上述第1半導體區域之第2導電型之第2半導體區域、及積層於上述第2半導體區域之第1導電型之第3半導體區域；

上述第1MOSFET之汲極係由上述第1半導體區域形成，上述第1MOSFET之源極係由上述第3半導體區域形成，上述第1MOSFET之第1輸入電極係由隔著絕緣層而埋設於上述第2半導體區域之第1金屬層形成，上述第2MOSFET之第2輸入電極係由隔著絕緣層而埋設於上述第1半導體區域之第2金屬層形成；且

上述第2MOSFET之汲極係由上述第1半導體區域形成，上述第2MOSFET之源極係由上述第3半導體區域形成，上述第2MOSFET之第1輸入電極係由隔著絕緣層而埋設於上述第2半導體區域之第3金屬層形成，上述第2MOSFET之第2輸入電極係由

隔著絕緣層而埋設於上述第1半導體區域之第4金屬層形成。

12. 如請求項11之半導體積體電路裝置，其中

上述驅動電路、上述電壓形成電路及上述控制電路形成於1個第1半導體晶片上，上述第1MOSFET形成於與上述第1半導體晶片不同之第2半導體晶片上，上述第2MSOFET形成於不同於上述第1半導體晶片及上述第2半導體晶片之第3半導體晶片上，上述第1半導體晶片、上述第2半導體晶片及上述第3半導體晶片被密封成1個封裝。

13. 一種電源系統，其包含：半導體積體電路裝置，其具有第1電壓端子、第2電壓端子、及輸出端子；及線圈元件，其一端連接於上述輸出端子，接收其流動方向呈週期性變化之電流；

上述半導體積體電路裝置包含：

第1MOSFET，其具有第1輸入電極、汲極、及源極，且連接於上述第1電壓端子與上述輸出端子之間，並根據供給於上述第1輸入電極之輸入信號而導通/斷開；

第2MOSFET，其具有第1輸入電極、汲極、源極、及配置於較上述第1輸入電極更靠近上述汲極側之第2輸入電極，且連接於上述第2電壓端子與上述輸出端子之間，並根據供給於上述第1輸入電極之輸入信號，與上述第1MOSFET相輔地導通/斷開；及

第1電壓形成電路，其耦接於上述第2MOSFET之第2輸入電極，將相對於上述第2MOSFET之源極之電壓為負的電壓供給於上述第2輸入電極。

14. 如請求項13之電源系統，其中

上述第2MOSFET具有：第1導電型之第1半導體區域、積層於上述第1半導體區域之第2導電型之第2半導體區域、及積層於上述第2半導體區域之第1導電型之第3半導體區域；且

上述第2MOSFET之汲極係由上述第1半導體區域形成，上述第2MOSFET之源極係由上述第3半導體區域形成，上述第2MOSFET之第1輸入電極係由隔著絕緣層而埋設於上述第2半導體區域之第1金屬層形成，上述第2MOSFET之第2輸入電極係由隔著絕緣層而埋設於上述第1半導體區域之第2金屬層形成。

15. 如請求項14之電源系統，其中

上述半導體積體電路裝置包含

第2電壓形成電路，其形成相對於上述第2MOSFET之源極之電壓為正的電壓；

選擇電路，其選擇上述第1電壓形成電路所形成之負電壓與上述第2電壓形成電路所形成之正電壓，並供給於上述第2MOSFET之第2輸入電極；

檢測電路，其檢測流動於上述輸出端子之上述電流是否超過特定之電流值；且

上述選擇電路對來自上述檢測電路之檢測信號作出響應而選擇供給於上述第2MOSFET之第2輸入電極之電壓。

16. 如請求項15之電源系統，其中

於流動於上述輸出端子之上述電流超過特定之電流值時，上述選擇電路將上述正電壓供給於上述第2MOSFET之第2閘極電極，於流動於上述輸出端子之上述電流未超過上述特定之電流值時，上述選擇電路將上述負電壓供給於上述第2MOSFET之第2閘極電極。

17. 一種電源系統，其包含：半導體積體電路裝置，其具有第1電壓端子、第2電壓端子、及輸出端子；及線圈元件，其一端連接於上述輸出端子，而接收其流動方向呈週期性變化之電流；

上述半導體積體電路裝置包含：

第1MOSFET，其具有第1輸入電極、汲極、源極、及配置於較上述第1輸入電極更靠近上述汲極側之第2輸入電極，且連接於上述第1電壓端子與上述輸出端子之間，並根據供給於上述第1輸入電極之輸入信號而導通/斷開；

第2MOSFET，其具有第1輸入電極、汲極、源極、及配置於較上述第1輸入電極更靠近上述汲極側之第2輸入電極，且連接於上述第2電壓端子與上述輸出端子之間，並根據供給於上述第1輸入電極之輸入信號而導通/斷開；

檢測電路，其檢測流動於上述輸出端子之電流是否超過特定之電流值；及

控制電路，其耦接於上述檢測電路、上述第1MOSFET之第2輸入電極及第2MOSFET之第2輸入電極，根據流動於上述輸出端子之電流是否超過上述特定之電流值，而對上述第1MOSFET及上述第2MOSFET各者之第2輸入電極供給不同電壓值之電壓。

18. 如請求項17之電源系統，其中

上述控制電路於流動於上述輸出端子之電流超過上述特定之電流值時，對上述第1MOSFET及上述第2MOSFET各者之第2輸入電極供給具有相對於各者之MOSFET之源極之電壓為正的電壓值之電壓，於流動於上述輸出端子之電流未超過上述特定之電流值時，對上述第1MOSFET及上述第2MOSFET各者之第2輸入電極供給具有相對於各者之MOSFET之源極之電壓為負的電壓值之電壓。

19. 如請求項18之電源系統，其中

上述第1MSOFET及上述第2MOSFET各者具有：第1導電型之第1半導體區域、積層於上述第1半導體區域之第2導電型之第2半導體區域、及積層於上述第2半導體區域之第1導電型之第3半

導體區域；

上述第1MOSFET之汲極係由上述第1半導體區域形成，上述第1MOSFET之源極係由上述第3半導體區域形成，上述第1MOSFET之第1輸入電極係由隔著絕緣層而埋設於上述第2半導體區域之第1金屬層形成，上述第2MOSFET之第2輸入電極係由隔著絕緣層而埋設於上述第1半導體區域之第2金屬層形成；且

上述第2MOSFET之汲極係由上述第1半導體區域形成，上述第2MOSFET之源極係由上述第3半導體區域形成，上述第2MOSFET之第1輸入電極係由隔著絕緣層而埋設於上述第2半導體區域之第3金屬層形成，上述第2MOSFET之第2輸入電極係由隔著絕緣層而埋設於上述第1半導體區域之第4金屬層形成。

20. 如請求項19之電源系統，其中

上述驅動電路、上述電壓形成電路及上述控制電路形成於1個第1半導體晶片上，上述第1MOSFET形成於與上述第1半導體晶片不同之第2半導體晶片上，上述第2MSOFET形成於不同於上述第1半導體晶片及上述第2半導體晶片之第3半導體晶片上，上述第1半導體晶片、上述第2半導體晶片及上述第3半導體晶片被密封成1個封裝。

21. 一種半導體積體電路裝置，其包含：

第1電壓端子，其被供給第1電壓；

輸出端子；

第1MOSFET，其包含：第1輸入電極、汲極、源極、及位於較上述第1輸入電極更靠近上述汲極之第2輸入電極，且該第1MOSFET係連接於上述第1電壓端子與上述輸出端子之間，並根據供給至上述第1輸入電極之第1輸入信號而電性連接上述第1電壓端子至上述輸出端子；

驅動電路，其連接於上述第1MOSFET之第1輸入電極，且以使上述第1MOSFET導通/斷開之方式，形成上述第1輸入信號；

第1電壓形成電路，其連接於上述第1MOSFET之上述第2輸入電極，且將相對於上述第1MOSFET之上述源極之電壓，極性上為負的負電壓供給至上述第2輸入電極。

22. 一種半導體積體電路裝置，其包含：

第1電壓端子，其被供給第1電壓；

輸出端子；

第1MOSFET，其包含：汲極；源極；第1輸入電極，其構成為使形成上述源極與上述汲極間之電流路徑；及第2輸入電極，其位於較上述第1輸入電極更靠近上述汲極，並對準於上述電流路徑旁(aligned beside the current path)；上述第1輸入電極部分地與上述汲極重疊，並藉由絕緣材料與上述汲極及上述第2輸入電極絕緣；上述第1MOSFET係連接於上述第1電壓端子與上述輸出端子之間，並根據供給至上述第1輸入電極之第1輸入信號而電性連接上述第1電壓端子至上述輸出端子；

驅動電路，其連接於上述第1MOSFET之各別的第1輸入電極，且以使上述第1MOSFET導通/斷開之方式，形成上述第1輸入信號；

檢測電路，其檢測流動於上述輸出端子之電流來判斷該電流之值是否超過特定之電流值；及

控制電路，其連接於上述檢測電路且連接於上述第1MOSFET之上述第2輸入電極，且根據流動於上述輸出端子之電流是否超過上述特定之電流值而對上述第1MOSFET之上述第2輸入電極供給不同電壓值之電壓。

23. 如請求項22之半導體積體電路裝置，其中

上述控制電路係：於流動於上述輸出端子之電流之值超過上述特定之電流值時，對上述第1MOSFET之上述第2輸入電極，供給相對於上述第1MOSFET之上述源極之電壓具有正的電壓值之正電壓，且於流動於上述輸出端子之上述電流之上述值未超過上述特定之電流值時，對上述第1MOSFET之上述第2輸入電極，供給相對於上述第1MOSFET之上述源極之電壓具有負的電壓值之負電壓。

24. 如請求項22之半導體積體電路裝置，其中

上述第1MOSFET具有：第1導電型之第1半導體區域、重疊(overlaid)於上述第1半導體區域上之第2導電型之第2半導體區域、及重疊於上述第2半導體區域上之第1導電型之第3半導體區域；

上述第1MOSFET之上述汲極係由上述第1半導體區域形成，上述第1MOSFET之上述源極係由上述第3半導體區域形成，上述第1MOSFET之上述第1輸入電極係由埋設(embedded)於上述第2半導體區域中之第1導電材料形成，上述第1MOSFET之上述第2輸入電極係由埋設於上述第1半導體區域中之第2導電材料形成。

25. 如請求項22之半導體積體電路裝置，其中

上述驅動電路及上述控制電路係形成於1個第1半導體晶片，上述第1MOSFET係形成於與上述第1半導體晶片不同之第2半導體晶片；且

上述第1半導體晶片及上述第2半導體晶片係被密封於1個封裝(one package)中。