

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2006 年 2 月 9 日 (09.02.2006)

PCT

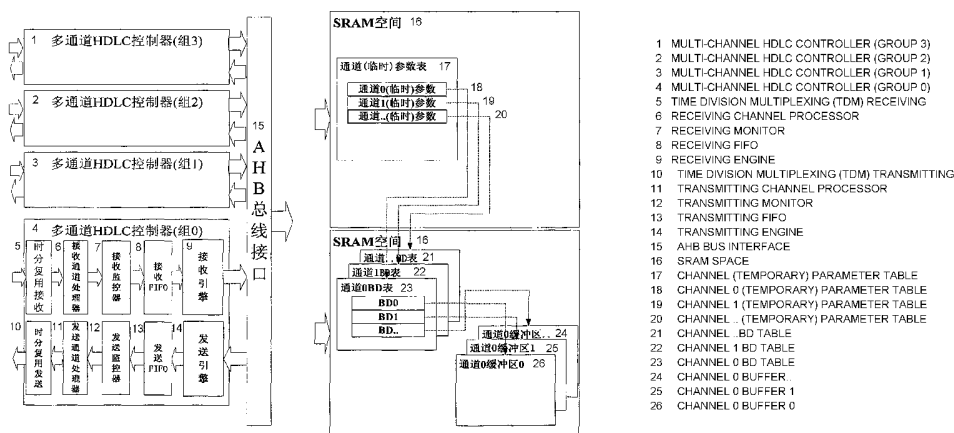
(10) 国际公布号
WO 2006/012771 A1

- (51) 国际专利分类号: H04Q 7/20 (72) 发明人; 及
(21) 国际申请号: PCT/CN2004/000889 (75) 发明人/申请人 (仅对美国): 陈家锦(CHEN, Jia-jin) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。赵琮(ZHAO, Zong) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。何刚跃(HE, Gangyue) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。陈旭(CHEN, Xu) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。何剑(HE, Jian) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。汪坚(WANG, [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。
(22) 国际申请日: 2004 年 8 月 2 日 (02.08.2004)
(25) 申请语言: 中文
(26) 公布语言: 中文
(71) 申请人 (对除美国外的所有指定国): 中兴通讯股份有限公司(ZTE CORPORATION) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。

[续页]

(54) Title: A MULTI-CHANNEL HDLC CONTROLLER

(54) 发明名称: 一种多通道高级数据链路控制器



(57) Abstract: The mufti-channel HDLC controller of the present invention is used for realizing butt joint between the mufti-channel HDLC and the system, organizing data in manner of mufti-channel HDLC, then transmitting the data through the TDM interface, and connecting with the memory of the system which using the HDLG controller through the AHB bus interface at the same time. In the present invention, a part of temporary parameters that the HDLC controller needs are placed outside of the HDLC controller, and calling the parameters from the outside through inner logic. The present invention adopts non-RSIC design, all circuit realization, and needn't to adopt general RSIC, and it sets special interface for the HDLC, the difficulty of the setting is small; the present invention stores the temporary parameters that the HDLC controller needs for operation into the memory, which saves the hardware resource of the mufti-channel HDLC controller itself. Moreover, for the transmitting and receiving of the mufti-channel data of the mufti-channel HDLC controller, all channels of one mufti-channel HDLC controller share a set of controlling logic, which also saves many hardware resources.

(57) 摘要: 本发明多通道HDLC控制器, 用于实现多通道HDLC与系统的对接, 将数据以多通道HDLC方式进行组织, 然后通过时分复用接口传送数据, 同时通过AHB总线接口与使用HDLC控制器的系统内存相连, 在本发明中, 部分HDLC控制器工作所需的临时参数被放在HDLC控制器之外, 通过内部逻辑从外部调用这些参数。本发明采用非RISC设计、全电路实现, 无需

[续页]



Jian) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。

(74) 代理人: 北京同立钧成知识产权代理有限公司 (LEADER PATENT & TRADEMARK FIRM); 中国北京市海淀区花园路13号道隆商务会馆, Beijing 100088 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO,

RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告。

所引用双字母代码及其它缩写符号, 请参考刊登在每期PCT公报期刊起始的“代码及缩写符号简要说明”。

采用通用的RISC,并为HDLC设置专门的接口, 设计难度小; 本发明将多通道HDLC控制器工作所需要的临时参数存放在内存中, 节省了多通道HDLC控制器本身的硬件资源。此外, 对于多通道HDLC控制器中多通道的数据发送或者接收, 一个多通道HDLC控制器的所有通道共用一套控制逻辑, 也节省了很多硬件资源。

一种多通道高级数据链路控制器

技术领域

本发明涉及 T1/E1 通信领域，具体地说，涉及一种多通道的高级数据链路
5 (HDL) 控制器。

背景技术

现有技术中，采用多通道 HDLC 的控制器主要有下述两种。

一种是型号为 Conexant CN8472/8474 的多通道 HDLC 控制器，它采用非 RISC
(精简指令集计算机结构)、全电路实现，共有 128 个通道，该 128 通道 HDLC
10 由串口处理接口，位 (bit) 级别处理，中断处理控制器，DMA 控制器，PCI (周
边元件扩展接口) 总线接口组成。

但该多通道 HDLC 控制器存在如下两个的问题：首先，需要大量的硬件资源
用于存放临时参数，在控制器的工作过程中需要很多的临时参数，包括：每个通
道的接收临时循环冗余校验码 CRC (32 位)、每个通道的接收临时缓冲区指针 (32
15 位)、每个通道的接收临时缓冲区可用长度 (14 位)、每个通道的发送临时循环
冗余校验码 CRC (32 位)、每个通道的发送临时缓冲区指针 (32 位)、每个通道
的发送临时缓冲区可用长度 (14 位)；那么对于 128 个这样的通道，则硬件内
部需要有 $(32+32+14+32+32+14)$ 乘以 128 个 (通道数) 的 RAM 来存放这些临时参
数。以上是 HDLC 控制器工作必须的临时参数，如果想提升 HDLC 控制器的性能，
20 每个通道还需要存放更多的临时参数，这样将耗费大量的硬件资源。其次，HDLC
控制器的内部采用乒乓 FIFO 来实现数据中转，其接收 FIFO 和发送 FIFO 如图 1
和图 2 所示。其 FIFO 都分成两个相等空间的 RAM 结构，数据先向其中一个 RAM
写入数据，等到写满之后，就换到另外一个 RAM 结构进行操作，同时产生一个

中断给 DMA 控制器，DMA 控制器会去取出其数据。这样的乒乓 FIFO 一端被写数据端口占用之后，读数据端口就只能访问另一半 FIFO，或者等待端口被释放后才能访问，从而导致了资源的浪费。

第二种是美国摩托罗拉公司生产的 MPC8260 通信处理器，如图 3 所示，其内部有两个 128 通道的 HDLC 通信接口，这种方案的缺点在于它的多通道 HDLC 是不能独立运作的，需要有一个 RISC 来实现对多通道 HDLC 的配置与控制、数据的组织和数据的调度，并控制其它外设，以此来实现与 Conexant CN8472/8474 多通道 HDLC 控制器相同的功能。因此该通信处理器要求在硬件上有一个 RISC 模块，且该模块具有与多通道 HDLC 和其它外设连接的相应接口，方便 RISC 模块进行控制；同时还需要对该 RISC 模块编写代码。这样的设计比较复杂，需要较长的设计周期。

发明内容

本发明所要解决的技术问题在于提供一种多通道高级数据链路控制器，解决现有技术中硬件资源耗费量大、FIFO 资源不能充分使用以及实现难度大的缺点，利用外部资源来实现内部运算。

本发明所述多通道高级数据链路控制器，包括时分复用数据接收处理模块、接收通道处理器、接收监控器、接收缓存器、接收引擎、发送引擎、发送缓存器、发送监控器、发送通道处理器、时分复用数据发送处理模块以及 AHB 总线接口；其中

所述时分复用数据接收处理模块，用于从串行接口接收数据，并转换为 8 位并行数据，输出到所述接收通道处理器；

所述接收通道处理器，用于以通道号为编号，将接收的数据中插入的零去除，输出到所述接收监控器；

所述接收监控器，用于按通道编号，把数据存放到所述接收缓存器内，同时监视所述接收缓存器的容量，向所述接收引擎发送数据申请；

所述接收缓存器，用于暂存接收的数据；

所述接收引擎，用于对数据进行循环冗余码校验处理，对缓冲区描述符进行读写操作，并按照缓冲区描述符的要求进行数据传送，再把相应的中断写入内存中；

所述发送引擎，用于对缓冲区描述符进行读写操作，并按照缓冲区描述符的要求进行数据传送，同时进行循环冗余码校验处理，再把相应的中断写入内存中；

所述发送缓存器，用于暂存发送数据；

所述发送监控器，用于根据所述发送通道处理器的申请，从所述发送缓存器中读取数据并传送给所述发送通道处理器，并根据所述发送缓存器的容量，向所述发送引擎申请数据；

所述发送通道处理器，用于以通道为编号，对所述发送监控器传送的数据进行插零操作；

所述时分复用数据发送处理模块，用于从时隙编号中读取通道编号，并根据通道编号读取通道数据，将 8 位并行数据转化为串行数据输出；

所述 AHB 总线接口，与所述接收引擎和所述发送引擎相连，用于将内部总线行为转换到 AHB 总线行为。

本发明采用非 RISC 设计、全电路实现，无需采用通用的 RISC，并为 HDLC 设置专门的接口，设计难度小；本发明将多通道 HDLC 控制器工作所需要的临时参数存放在内存中，节省了多通道 HDLC 控制器本身的硬件资源，节省的硬件资源为 $((32+32+14)(\text{发送部分的位数})+(32+32+14)(\text{接收部分的位数}))*128$ (通

道数); 同时系统只有在使用多通道 HDLC 控制器的时候, 才需要分配一个内存空间, 如果系统不使用多通道 HDLC 控制器, 或者在一段时间内不需要使用多通道 HDLC 控制器, 那么这个内存资源可以释放, 以作其它的用途。此外, 对于多通道 HDLC 控制器中多通道的数据发送或者接收, 并不是每个通道采用一套控制逻辑, 而是一个多通道 HDLC 控制器的所有通道共用一套控制逻辑, 这是因为在
5 任何时间点上, 只有一个通道在工作中, 所以每个通道无需都做一套控制逻辑, 这样也节省了很多硬件资源。本发明中接收缓冲器和发送缓冲器采用 FIFO 结构, 读和写操作可以同时运行, 另外对 FIFO 的空间大小采用动态分配的方式, 即按照每个通道实际占用的 T1/E1 的时隙数目分配 FIFO 的空间大小, 比如占用
10 时隙数目多的通道, 其 FIFO 空间就分配多一些, 占用时隙数目少的通道就分配少一些 FIFO 空间。

附图说明

图 1 是现有技术中 Conexant CN8472/8474 多通道 HDLC 控制器的接收 FIFO 的示意图;

15 图 2 是现有技术中 Conexant CN8472/8474 多通道 HDLC 控制器的发送 FIFO 的示意图;

图 3 是现有技术中摩托罗拉 MPC8260 的多通道 HDLC 结构示意图;

图 4 是本发明多通道 HDLC 控制器的结构示意图。

具体实施方式

20 下面结合附图和实施例对本发明的技术方案做进一步的详细描述。

图 1 至图 3 给出了现有技术中多通道 HDLC 控制器的解决方案, 在背景技术部分已经介绍, 此处不再赘述。

本发明多通道 HDLC 控制器将数据以多通道 HDLC 方式进行组织, 然后通过

时分复用 (TDM) 接口传送数据, 同时通过 AHB (AMBA) 总线接口与使用 HDLC 控制器的系统内存相连, 在本发明中, 部分 HDLC 控制器工作所需的临时参数被放在 HDLC 控制器之外, 通过内部逻辑从外部调用这些参数。

如图 4 所示, 本发明多通道 HDLC 控制器包括: 时分复用数据接收处理模块、
5 接收通道处理器、接收监控器、接收缓存器、接收引擎、发送引擎、发送缓存器、发送监控器、发送通道处理器、时分复用数据发送处理模块和 AHB 总线接口。下面从接收数据和发送数据两个方面来介绍多通道 HDLC 控制器的各个组成部分。

接收数据:

10 时分复用数据接收处理模块从 TDM 串行接口接收数据后, 由于后续的数据处理都以字节为单元, 故需要将数据从串行数据转化为 8 位并行数据, 并输出到接收通道处理器。另外, TDM 是以时隙进行编号的, 而后续处理是以通道号为编号, 因此也需要把 TDM 的处理与后续以通道编号的处理分开。

接收通道处理器收到时分复用接收处理模块传送来的并行数据后, 以通道
15 号为编号进行处理。这些并行数据虽然以字节为单元, 但实际上已经进行了插零操作, 所以接收通道处理器需要去除数据中插入的零, 这样后续的功能模块才可以真正地以字节为最小单元进行操作。经过除零操作的数据传送到接收监控器。

接收监控器将收到的数据按通道存放在接收缓存器中, 并监视接收缓存器
20 的容量, 当其达到门限值后, 向接收引擎产生相应的数据传送申请, 其门限值一般为 4 个字节或 16 个字节或是一帧结束。为了提高总线利用率, 数据一般积累到一个字 (4 个字节) 时才发送出去。

接收缓存器对接收监控器传过来的数据进行暂存, 为接收引擎积累 4 字节

以上的数据。这个缓存器的容量是动态可分配的，可根据实际情况进行调节。
在实际中，缓存器可采用 FIFO 实现。

为了节省 HDLC 控制器的硬件资源，HDLC 控制器工作所需的部分信息可存放在内存中，如临时接收循环冗余校验码 CRC (32 位)、接收缓冲区临时指针 (32 5 位)、接收缓冲区临时可用长度 (14 位) 以及通道的一些控制状态信息。

接收引擎在收到接收监控器发来的数据申请后，分两个阶段进行操作：

如果接收引擎发现接到的数据是一帧的开始，或者当时没有有效的缓冲区描述符 (buffer descriptor, 简称 BD)，则接收引擎通过 AHB 总线接口从内存的指定通道 BD 表内读取 BD，得到 BD 上的参数，按照 BD 给出的地址开始搬运 10 数据，并确认此 BD 的长度是否足够装下此次传送的数据：如果 BD 不够或者刚好满足此次操作，或者 BD 长度超过此次数据传送量，但是在数据传送中发现数据内有一帧结束的信息，则在数据传送完成之后，把状态回写，同时关闭 BD；如果 BD 长度超过此次数据传送的量值，并且在数据传送中没有发现数据内有一帧结束的信息，则在数据传送完成之后，把当时的 CRC 值存到指定通道 (临时) 15 参数表内作为临时 CRC (32 位)，把当时的地址存到指定通道 (临时) 参数表内作为接收缓冲区临时指针 (32 位)，把当时的还可以传送的数据长度存到指定通道 (临时) 参数表内作为接收缓冲区临时可用长度 (14 位)，还有其它参数。然后退出此通道操作。

如果接收到的数据不是一帧的开始，并且当时的 BD 还没有用完，则接收引擎 20 通过 AHB 总线接口从内存的指定通道 (临时) 参数表内，读取接收临时 CRC (32 位) (接收引擎会用作 CRC 的初值，进行 CRC 运作)、接收缓冲区临时指针 (32 位) (接收引擎以此指针作为地址的起点，进行数据的搬运)、接收缓冲区临时可用长度 (14 位) (接收引擎用于长度控制) 等控制信息，然后开始对接收缓存

器传送来的数据进行 CRC 处理, 同时进行数据的搬运, 并确认此 BD 的长度是否
足够装下此次传送的数据量: 如果 BD 的长度不够或者刚好满足, 或者 BD 长度
超过此次数据传送量, 但是在数据传送中发现数据内有一帧结束的信息, 则在
数据传送完成之后, 把状态回写到 BD 上, 同时关闭 BD, 如果 BD 长度超过此次
5 数据传送的量值, 并且在数据传送中没有发现数据内有一帧结束的信息, 则在
数据传送完成之后, 把当时的 CRC 值存到指定通道 (临时) 参数表内作为临时
CRC (32 位), 把当时的地址存到指定通道 (临时) 参数表内作为接收缓冲区临
时指针 (32 位), 把当时的还可以传送的数据长度存到指定通道 (临时) 参数表
内作为接收缓冲区临时可用长度 (14 位), 还有其它的参数。然后退出此通道的
10 操作。

AHB 总线接口作为多通道 HDLC 控制器与 AHB 总线的连接口, 实现 HDLC 内
部总线行为到标准 AHB 总线行为的转换。

发送数据:

发送引擎在收到发送监控器发来的申请后, 同样会有两个阶段的操作, 这
15 与接收相似, 只是数据的流向与接收相反, 同样为了节省 HDLC 控制器的硬件资
源, HDLC 控制器工作所需的部分信息存放在内存中, 如临发送时循环冗余校验
码 CRC (32 位)、发送缓冲区临时指针 (32 位)、发送缓冲区临时可用长度 (14 位)
以及通道的一些控制状态信息, 在每个 BD 操作结束之后, 都会把相应的帧信息
返回到 BD 内。

20 由于发送引擎是一次传入批量数据, 而发送通道每次只要求读取一个字节,
因此需要对发送引擎传送的批量数据进行暂存, 提供这个暂存空间的就是发送
缓存器, 这样操作可使总线有更高的运作效率。发送缓存器采用 FIFO 实现, 其
容量是动态可分配的, 可根据实际情况进行调节。

发送监控器根据发送通道处理器的数据申请，从发送缓存器中读取数据，传送给发送通道处理器；并根据当时发送缓存器的空余量，向发送引擎申请数据，申请的条件是该通道是使能状态，并且发送缓存器对应此通道有 4 个字节或者有 16 个字节以上的空余。

5 发送通道处理器以通道为编号，对发送监控器传过来的数据进行处理。发送监控器传来的数据是以字节为单元的，但并不是最终的数据格式，需在发送数据之前进行插零操作。

时分复用数据发送处理模块从发送通道处理器获得数据，再把数据转换为串行数据传送出去，由于之前的数据处理都以字节为单元，需要将数据从 8 位
10 并行数据转换为串行数据，另外与接收相似，TDM 是以时隙进行编号的，而后续处理是以通道号为编号，因此也需要把时分复用数据发送处理模块与其它以通道编号的模块分开。

对本发明来说，一个多通道 HDLC 控制器可支持 32 通道，4 个多通道 HDLC 控制器共可支持 128 通道。

15 本发明多通道 HDLC 控制器可以作为 SOC 芯片的通信模块的一部分，实现多通道 HDLC 与系统的对接，并支持 BD 方式，可以主动地把数据传送到用户指定的内存空间内。多通道 HDLC 控制器必须有一个独立的 AHB slave 端口，可视为 AHB 总线接口的一部分，用于系统对 HDLC 控制器进行配置操作，同时该多通道 HDLC 控制器还必须是一个 AHB Master，可视为 AHB 总线接口的一部分，能够主
20 动按照 BD 的要求进行数据传送，并在数据传送完成之后，在 BD 上标识这一帧数据的状态。

多通道 HDLC 控制器采用标准的 AHB 总线接口，AHB 总线接口在 SOC 芯片中最为常见，这样可以使 HDLC 控制器成为一个标准的模块，容易移植到其它 SOC

芯片中。

SOC 芯片实际上是多层 AHB 总线系统, 在同一时刻内, 只要不同的 AHB Master 访问不同的 AHB Slave 空间, 则各 AHB Master 的运作就不会受到影响; 同时 SOC 芯片内有多个内存空间, 其中 SRAM 空间和 SDRAM 空间可用于存储 HDLC 5 控制器运作的有关信息。

SRAM 空间比较小, 支持 BURST 操作。从 SRAM 空间读写数据, 可以每个时钟返回一个 32 位数据, 这样为部分临时参数存放到内存里提供了可行的物质基础, 因此, 将每个通道运作所需要的一些临时参数存放在 SRAM 空间内, 例如每个通道的接收临时 CRC (32 位), 发送临时 CRC (32 位), 接收缓冲区临时指针 10 (32 位), 发送缓冲区临时指针 (32 位), 接收缓冲区临时可用长度 (14 位), 发送缓冲区临时可用长度 (14 位) 等信息。SDRAM 空间的容量比 SRAM 空间大, 用于存放每个通道的 BD 表以及 BD 表指向的缓冲区。

对于多通道 HDLC 控制器来说, 实际上并不知道哪一区是高速内存空间, 哪一区是中速大容量空间, 用户甚至可以把每个通道的基地址、运作指针、运作 15 所需要的一些临时参数、BD 表以及指向的缓冲区都放在同一个内存空间内。但从优化流程的角度来看, 最好是将运作所需要的一些临时参数存放在高速内存空间中, 而将每个通道的 BD 表以及缓冲区存放在中速大容量空间里。

最后所应说明的是, 以上实施例仅用以说明本发明的技术方案而非限制, 尽管参照较佳实施例对本发明进行了详细说明, 本领域的普通技术人员应当理 20 解, 可以对本发明的技术方案进行修改或者等同替换, 而不脱离本发明技术方案的精神和范围, 其均应涵盖在本发明的权利要求范围当中。

权利要求书

1、一种多通道高级数据链路控制器，其特征在于，包括时分复用数据接收处理模块、接收通道处理器、接收监控器、接收缓存器、接收引擎、发送引擎、发送缓存器、发送监控器、发送通道处理器、时分复用数据发送处理模块
5 以及 AHB 总线接口；其中

所述时分复用数据接收处理模块，用于从串行接口接收数据，并转换为 8 位并行数据，输出到所述接收通道处理器；

所述接收通道处理器，用于以通道号为编号，将接收的数据中插入的零去除，输出到所述接收监控器；

10 所述接收监控器，用于按通道编号，把数据存放到所述接收缓存器内，监视所述接收缓存器的容量，向所述接收引擎发送数据申请；所述接收缓存器，用于暂存接收的数据；

所述接收引擎，用于对数据进行循环冗余码校验处理，对缓冲区描述符进行读写操作，并按照缓冲区描述符的要求进行数据传送，再把相应的中断写入
15 内存中；

所述发送引擎，用于对缓冲区描述符进行读写操作，并按照缓冲区描述符的要求进行数据传送，同时进行循环冗余码校验处理，再把相应的中断写入内存中；所述发送缓存器，用于暂存发送数据；

所述发送监控器，用于根据所述发送通道处理器的申请，从所述发送缓存器中读取数据并传送给所述发送通道处理器，并根据所述发送缓存器的容量，
20 向所述发送引擎申请数据；

所述发送通道处理器，用于以通道为编号，对所述发送监控器传送的数据进行插零操作；

所述时分复用数据发送处理模块，用于从时隙编号中读取通道编号，并根据通道编号读取通道数据，将 8 位并行数据转化为串行数据输出；

所述 AHB 总线接口，与所述接收引擎和所述发送引擎相连，用于将内部总线行为转换到 AHB 总线行为。

5 2、根据权利要求 1 所述的多通道高级数据链路控制器，其特征在于，所述接收监控器监视所述接收缓存器的容量到达门限值后，向所述接收引擎发送数据申请。

3、根据权利要求 2 所述的多通道高级数据链路控制器，其特征在于，所述门限值是 4 个字节或 16 个字节或是一帧结束。

10 4、根据权利要求 1 所述的多通道高级数据链路控制器，其特征在于，所述发送监控器向所述发送引擎申请数据的条件是该通道是使能状态，并且所述发送缓存器对应该通道有 4 个字节或 16 个字节以上的空余。

5、根据权利要求 1 所述的多通道高级数据链路控制器，其特征在于，所述内存中存放有每个通道运作所需的临时参数、每个通道的缓冲区描述符表以及缓冲区描述符表指向的缓冲区。

6、根据权利要求 4 所述的多通道高级数据链路控制器，其特征在于，所述每个通道运作所需的临时参数存放在高速内存空间中，而每个通道的缓冲区描述符表以及缓冲区存放在中速大容量空间中。

7、根据权利要求 1 所述的多通道高级数据链路控制器，其特征在于，所述接收引擎/发送引擎在收到接收监控器/发送监控器发来的数据申请后，需先通过 AHB 总线接口从内存中读取临时参数及缓冲区描述符表。

8、根据权利要求 1 所述的多通道高级数据链路控制器，其特征在于，所述接收缓存器/发送缓存器采用先进先出缓冲器实现，其容量是动态可分配的。

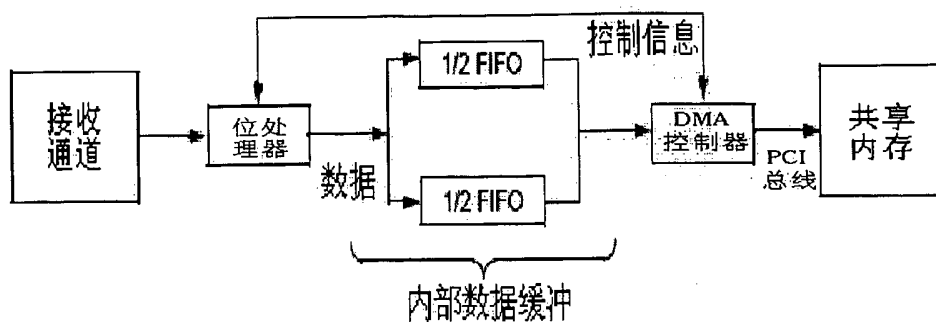


图 1

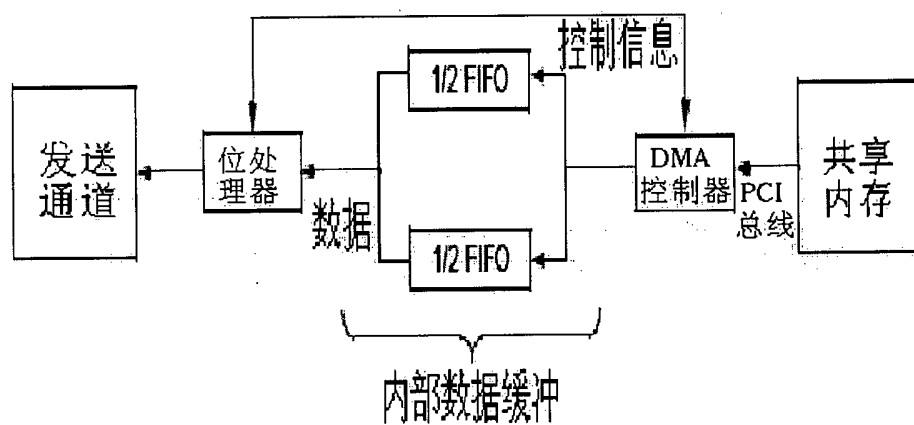


图 2

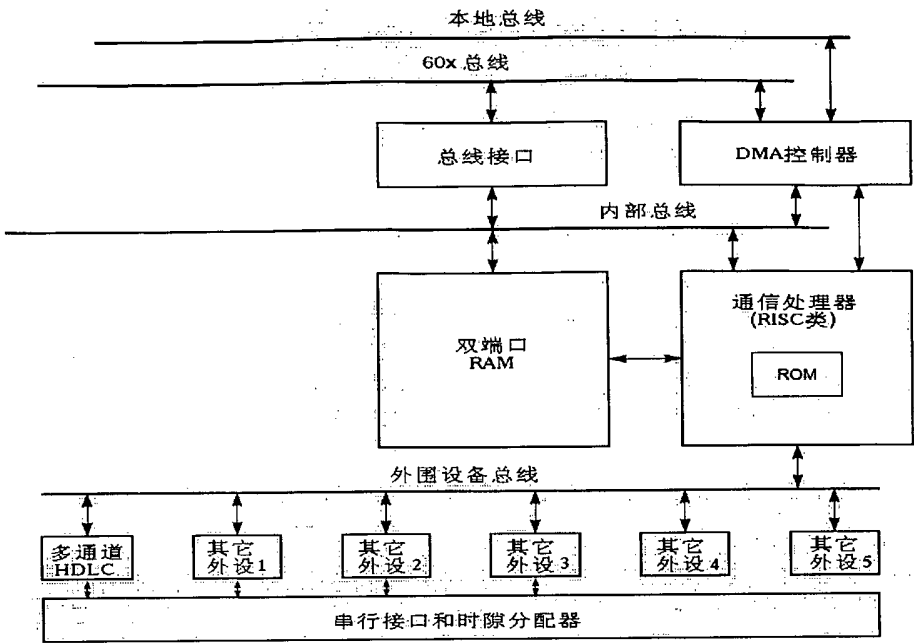


图 3

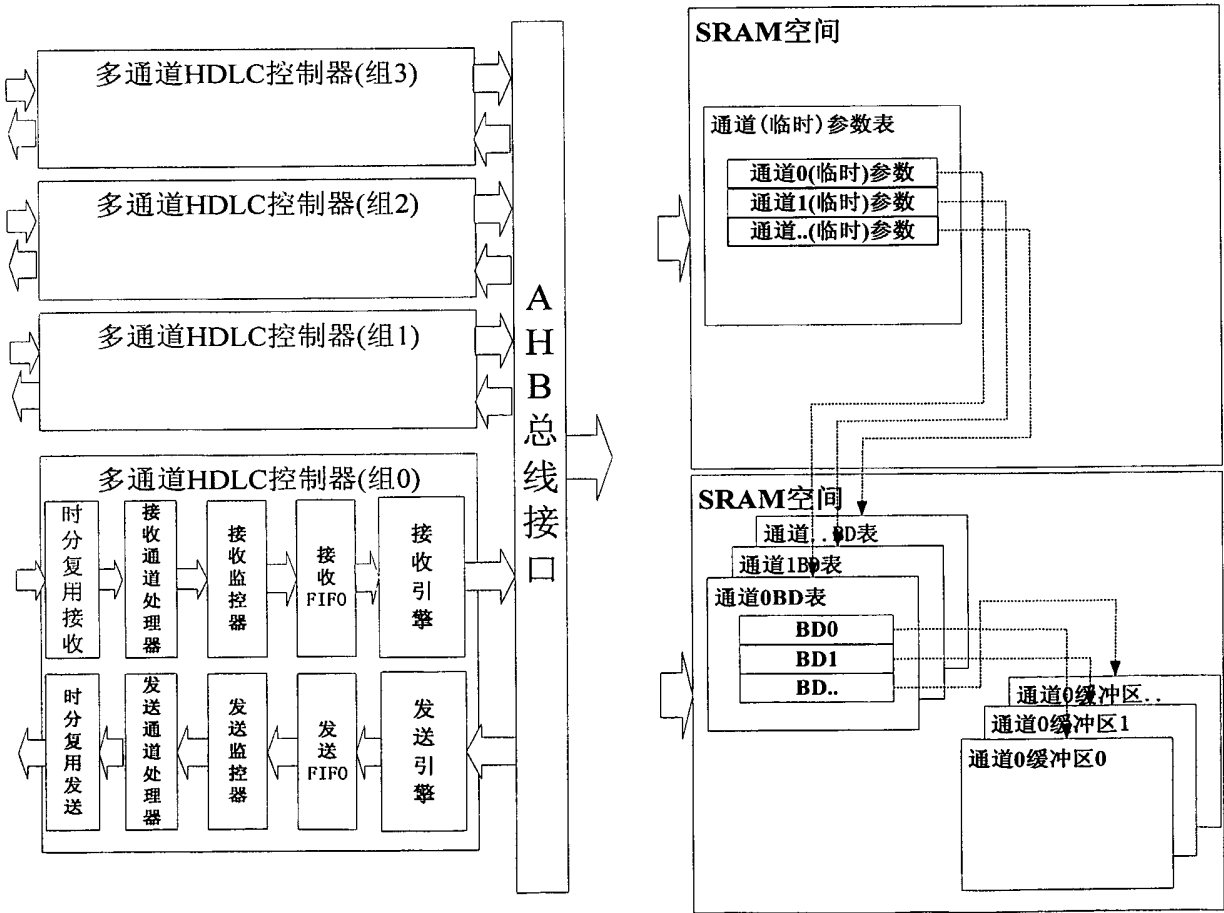


图 4

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2004/000889

A. CLASSIFICATION OF SUBJECT MATTER

IPC7:H04Q7/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC7: H04Q H04J H04B H04L H04M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI,EPODOC,PAJ,CNPAT(HDLC, TDM, high-level data link controller?, time division multiplexing)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO03005794A1, 23 January2003 Abstract, page 1,line 25-page 5,line17, fig2,fig3	1-8
A	CN1249876A, 05 April 2000 Abstract, page 5,line 25-page9,line 7,fig.2	1-8

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
22 April 2005(22.04.2005)

Date of mailing of the international search report
19 MAY 2005, 16:05:20 005

Name and mailing address of the ISA/CN
The state Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
86-10-62010451

Authorized officer
ZHAO Hongyan
Telephone No. 86-10-62084582

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2004/000889

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to
A	Microelectronics, Vol. 32, No. 6, LIU Zhenyu, CHEN He, HAN Yueqiu "Design of a Low-Power HDLC Controller ASIC Based on RS-485 Bus".	1-8

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2004/000889

Patent document Cited in search report	Publication date	Patent family member(s)	Publication date
WO03005794A1	23/01/2003	AU2001277670A1	29/01/2003
CN1249876A	05/04/2000	FR2773296A1	02/07/1997
		EP0930791A2	21/07/1999
		WO9935795A1	15/07/1999
		AU1972599 A	26/07/1999
		EP1137229 A1	26/09/2001
		JP2001515681A	18/09/2001
		US2004081188 A1	29/04/2004
		US2004081189 A1	29/04/2004
		CN1477838 A	25/02/2004

国际检索报告

国际申请号
PCT/CN2004/000889

A. 主题的分类

IPC7: H04Q7/20

按照国际专利分类表(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC7: H04Q H04J H04B H04L H04M

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, PAJ, CNPAT (HDLC、高级数据链路控制器、时分复用)

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	WO03005794A1, 2003.01.23,	1-8
	摘要, 说明书 1 页 25 行至 5 页 17 行、图 2、图 3	
A	CN1249876A (阿尔卡塔尔公司), 2000.04.05, 摘要、说明书 5 页 25 行至 9 页 7 行、图 2	1-8

☒ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

22.04.2005 (22.04.2005)

国际检索报告邮寄日期

19.5月2005 (19.05.2005)

中华人民共和国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

赵红艳

电话号码: (86-10)62084582

国际检索报告

国际申请号
PCT/CN2004/000889

C(续). 相关文件

类 型	引用文件, 必要时, 指明相关段落	相关的权利要求
A	微电子学 第 32 卷第 6 期 2002 年 12 月 刘振宇, 陈禾, 韩月秋 “低功耗 RS-485 总线 HDLC 控制器的 ASIC 设计”	1-8

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2004/000889

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
WO03005794A1	2003.01.23	AU2001277670A1	2003.01.29
CN1249876AA	2000.04.05	FR2773296 A1	1999.07.02
		EP0930791 A2	1999.07.21
		WO9935795 A1	1999.07.15
		AU1972599 A	1999.07.26
		EP1137229 A1	2001.09.26
		JP2001515681A	2001.09.18
		US2004081188 A1	2004.04.29
		US2004081189 A1	2004.04.29
		CN1477838A	2004.02.25