

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6469764号
(P6469764)

(45) 発行日 平成31年2月13日(2019.2.13)

(24) 登録日 平成31年1月25日(2019.1.25)

(51) Int.Cl.	F I
G 1 1 C 29/50 (2006.01)	G 1 1 C 29/50 1 2 O
G 1 1 C 11/412 (2006.01)	G 1 1 C 11/412 1 2 O
G 1 1 C 7/10 (2006.01)	G 1 1 C 7/10 4 8 O

請求項の数 4 (全 19 頁)

(21) 出願番号	特願2017-115629 (P2017-115629)	(73) 特許権者	302062931
(22) 出願日	平成29年6月13日(2017.6.13)		ルネサスエレクトロニクス株式会社
(62) 分割の表示	特願2013-194249 (P2013-194249)		東京都江東区豊洲三丁目2番24号
	の分割	(74) 代理人	100103894
原出願日	平成25年9月19日(2013.9.19)		弁理士 冢入 健
(65) 公開番号	特開2017-182876 (P2017-182876A)	(72) 発明者	藪内 誠
(43) 公開日	平成29年10月5日(2017.10.5)		東京都江東区豊洲三丁目2番24号 ルネ
審査請求日	平成29年6月13日(2017.6.13)		サスエレクトロニクス株式会社内
		審査官	堀田 和義

最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びそのテスト方法

(57) 【特許請求の範囲】

【請求項 1】

行列状に設けられた複数の第1メモリセルと、
前記複数の第1メモリセルの複数行にそれぞれ設けられた複数の第1読み出し用ワード線と、

前記複数の第1メモリセルの複数列にそれぞれ設けられた複数の第1読み出し用ビット線と、

第1共通ビット線と、

行列状に設けられた複数の第2メモリセルと、

前記複数の第2メモリセルの複数行にそれぞれ設けられた複数の第2読み出し用ワード線と、

前記複数の第2メモリセルの複数列にそれぞれ設けられた複数の第2読み出し用ビット線と、

第2共通ビット線と、

前記複数の第1読み出し用ビット線のうち制御信号に基づいて選択された第1読み出し用ビット線と前記第1共通ビット線とを接続する第1選択回路と、

前記複数の第2読み出し用ビット線のうち前記制御信号に基づいて選択された第2読み出し用ビット線と前記第2共通ビット線とを接続する第2選択回路と、

前記複数の第1及び第2読み出し用ワード線のうち何れか一つの読み出し用ワード線を活性化する読み出し用ワード線ドライバと、

10

20

前記第 1 及び前記第 2 共通ビット線のうちデータ読み出し対象のメモリセルと導通しない共通ビット線に対して基準電流を供給する基準電流供給部と、

前記第 1 及び前記第 2 共通ビット線の電位差を増幅するセンスアンプと、
データ読み出し対象となっているメモリセルの属性に応じて、前記センスアンプの出力信号及びその反転信号の何れかを選択的に読み出しデータとして出力する出力切替回路と

、
テストモード時に、データ読み出し対象のメモリセルに対応する何れかの書き込み用ワード線を活性化させてから、所定期間経過後に、前記複数の第 1 及び第 2 読み出し用ワード線のうち、前記何れかの書き込み用ワード線と同行の読み出し用ワード線を活性化させるテスト制御回路と、を備え、

前記出力切替回路は、データ読み出し対象となっているメモリセルが前記複数の第 1 メモリセルに属する場合、前記センスアンプの出力信号を前記読み出しデータとして出力し、データ読み出し対象となっているメモリセルが前記複数の第 2 メモリセルに属する場合、前記センスアンプの出力信号の反転信号を前記読み出しデータとして出力し、

前記出力切替回路は、
ソースが電源電圧端子に接続され、ゲートが前記第 1 共通ビット線に接続される、第 1 P M O S トランジスタと、

ソースが前記第 1 P M O S トランジスタのドレインに接続され、ドレインが出力端子に接続され、ゲートに、データ読み出し対象となっているメモリセルが前記複数の第 1 メモリセルに属するか否かを示す判定信号が供給される、第 2 P M O S トランジスタと、

ソースが接地電圧端子に接続され、ゲートが前記第 1 共通ビット線に接続される、第 1 N M O S トランジスタと、

ソースが前記第 1 N M O S トランジスタのドレインに接続され、ドレインが前記出力端子に接続され、ゲートに前記判定信号の反転信号が供給される、第 2 N M O S トランジスタと、

ソースが前記電源電圧端子に接続され、ゲートが前記第 2 共通ビット線に接続される、第 3 P M O S トランジスタと、

ソースが前記第 3 P M O S トランジスタのドレインに接続され、ドレインが前記出力端子に接続され、ゲートに前記判定信号の反転信号が供給される、第 4 P M O S トランジスタと、

ソースが前記接地電圧端子に接続され、ゲートが前記第 2 共通ビット線に接続される、第 3 N M O S トランジスタと、

ソースが前記第 3 N M O S トランジスタのドレインに接続され、ドレインが前記出力端子に接続され、ゲートに前記判定信号が供給される、第 4 N M O S トランジスタと、を有する、半導体記憶装置。

【請求項 2】

前記テスト制御回路は、前記読み出し用ワード線を非活性化させた後に、前記何れかの書き込み用ワード線を非活性化させる、請求項 1 に記載の半導体記憶装置。

【請求項 3】

行列状に設けられた複数の第 1 メモリセルと、
前記複数の第 1 メモリセルの複数行にそれぞれ設けられた複数の第 1 読み出し用ワード線と、

前記複数の第 1 メモリセルの複数列にそれぞれ設けられた複数の第 1 読み出し用ビット線と、

第 1 共通ビット線と、
行列状に設けられた複数の第 2 メモリセルと、

前記複数の第 2 メモリセルの複数行にそれぞれ設けられた複数の第 2 読み出し用ワード線と、

前記複数の第 2 メモリセルの複数列にそれぞれ設けられた複数の第 2 読み出し用ビット線と、

10

20

30

40

50

第 2 共通ビット線と、
前記複数の第 1 読み出し用ビット線のうち制御信号に基づいて選択された第 1 読み出し用ビット線と前記第 1 共通ビット線とを接続する第 1 選択回路と、
前記複数の第 2 読み出し用ビット線のうち前記制御信号に基づいて選択された第 2 読み出し用ビット線と前記第 2 共通ビット線とを接続する第 2 選択回路と、
前記複数の第 1 及び第 2 読み出し用ワード線のうち何れか一つの読み出し用ワード線を活性化する読み出し用ワード線ドライバと、
前記第 1 及び前記第 2 共通ビット線のうちデータ読み出し対象のメモリセルと導通しない共通ビット線に対して基準電流を供給する基準電流供給部と、
前記第 1 及び前記第 2 共通ビット線の電位差を増幅するセンスアンプと、
データ読み出し対象となっているメモリセルの属性に応じて、前記センスアンプの出力信号及びその反転信号の何れかを選択的に読み出しデータとして出力する出力切替回路と、
を備え、
前記出力切替回路は、データ読み出し対象となっているメモリセルが前記複数の第 1 メモリセルに属する場合、前記センスアンプの出力信号を前記読み出しデータとして出力し、データ読み出し対象となっているメモリセルが前記複数の第 2 メモリセルに属する場合、前記センスアンプの出力信号の反転信号を前記読み出しデータとして出力し、
前記出力切替回路は、
ソースが電源電圧端子に接続され、ゲートが前記第 1 共通ビット線に接続される、第 1 P M O S トランジスタと、
ソースが前記第 1 P M O S トランジスタのドレインに接続され、ドレインが出力端子に接続され、ゲートに、データ読み出し対象となっているメモリセルが前記複数の第 1 メモリセルに属するか否かを示す判定信号が供給される、第 2 P M O S トランジスタと、
ソースが接地電圧端子に接続され、ゲートが前記第 1 共通ビット線に接続される、第 1 N M O S トランジスタと、
ソースが前記第 1 N M O S トランジスタのドレインに接続され、ドレインが前記出力端子に接続され、ゲートに前記判定信号の反転信号が供給される、第 2 N M O S トランジスタと、
ソースが前記電源電圧端子に接続され、ゲートが前記第 2 共通ビット線に接続される、第 3 P M O S トランジスタと、
ソースが前記第 3 P M O S トランジスタのドレインに接続され、ドレインが前記出力端子に接続され、ゲートに前記判定信号の反転信号が供給される、第 4 P M O S トランジスタと、
ソースが前記接地電圧端子に接続され、ゲートが前記第 2 共通ビット線に接続される、第 3 N M O S トランジスタと、
ソースが前記第 3 N M O S トランジスタのドレインに接続され、ドレインが前記出力端子に接続され、ゲートに前記判定信号が供給される、第 4 N M O S トランジスタと、を有する、半導体記憶装置のテスト方法であって、
テストモード時に、データ読み出し対象のメモリセルに対応する何れかの書き込み用ワード線を活性化させてから、所定期間経過後に、前記複数の第 1 及び第 2 読み出し用ワード線のうち、前記何れかの書き込み用ワード線と同行の読み出し用ワード線を活性化させる、半導体記憶装置のテスト方法。
【請求項 4】
前記読み出し用ワード線を非活性化させた後に、前記何れかの書き込み用ワード線を非活性化させる、請求項 3 に記載の半導体記憶装置のテスト方法。
【発明の詳細な説明】
【技術分野】
【0001】
本発明は、半導体記憶装置及びそのテスト方法に関し、例えば回路規模の増大を抑制するのに適した半導体記憶装置及びそのテスト方法に関する。

10

20

30

40

50

【背景技術】

【0002】

半導体記憶装置の小型化が求められている。特に、シングルエンドビット線を用いてデータの読み出しが行われるメモリセルを複数備えた半導体記憶装置の小型化が求められている。

【0003】

関連する技術が特許文献1に開示されている。特許文献1には、シングルエンドディジット構成のメモリセルを複数個備えた半導体メモリが開示されている。この半導体メモリは、シングルエンドディジット線の電位と、ダミーディジット線のリファレンス電位と、の電位差を増幅して読み出しデータとして出力している。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2005-50479号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献1に開示された半導体メモリは、ダミーディジット線（ダミービット線）を設ける必要があるため、回路規模の増大が増大してしまうという問題があった。その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

20

【課題を解決するための手段】

【0006】

一実施の形態によれば、半導体記憶装置は、第1及び第2共通ビット線のうちデータ読み出し対象のメモリセルと導通しない共通ビット線に対して基準電流を供給する基準電流供給部と、前記第1及び前記第2共通ビット線の電位差を増幅するセンスアンプと、を備える。

【0007】

また、他の実施の形態によれば、半導体記憶装置は、テストモード時に、何れかの書き込み用ワード線を活性化させてから、所定期間経過後に、前記何れかの書き込み用ワード線と同行の読み出し用ワード線を活性化させるテスト制御回路と、を備える。

30

【0008】

また、他の実施の形態によれば、半導体記憶装置のテスト方法は、テストモード時に、何れかの書き込み用ワード線を活性化させてから、所定期間経過後に、前記何れかの書き込み用ワード線と同行の読み出し用ワード線を活性化させる。

【発明の効果】

【0009】

前記一実施の形態によれば、回路規模の増大を抑制することが可能な半導体記憶装置及びそのテスト方法を提供することができる。

【図面の簡単な説明】

【0010】

40

【図1】実施の形態1にかかる半導体記憶装置の構成例を示すブロック図である。

【図2】実施の形態1にかかる半導体記憶装置に設けられたメモリセルの第1具体的構成例を示す回路図である。

【図3】実施の形態1にかかる半導体記憶装置に設けられたメモリセルの第2具体的構成例を示す回路図である。

【図4】実施の形態1にかかる半導体記憶装置に設けられたデータ出力部の構成例を示すブロック図である。

【図5】実施の形態1にかかる半導体記憶装置に設けられたデータ出力部の具体的構成例を示す図である。

【図6】実施の形態1にかかる半導体記憶装置の動作の一部を示すタイミングチャートで

50

ある。

【図 7】実施の形態 2 にかかる半導体記憶装置に設けられたセンスアンプの具体的構成例を示す図である。

【図 8】実施の形態 3 にかかる半導体記憶装置に設けられた出力切替回路の具体的構成例を示す回路図である。

【図 9】実施の形態 4 にかかる半導体記憶装置に設けられた制御部及びワード線ドライバの一部の具体的構成例を示す図である。

【図 10】実施の形態 5 にかかる半導体記憶装置に設けられたクロック生成部の構成例を示すブロック図である。

【図 11】実施の形態 5 にかかる半導体記憶装置に設けられたクロック生成部の具体的構成例を示す図である。

10

【図 12】実施の形態 5 にかかる半導体記憶装置の動作を示すタイミングチャートである。

【図 13】2ポートSRAMの課題を説明するための回路図である。

【図 14】2ポートSRAMの課題を説明するためのタイミングチャートである。

【発明を実施するための形態】

【0011】

以下、図面を参照しつつ、実施の形態について説明する。なお、図面は簡略的なものであるから、この図面の記載を根拠として実施の形態の技術的範囲を狭く解釈してはならない。また、同一の要素には、同一の符号を付し、重複する説明は省略する。

20

【0012】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、応用例、詳細説明、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0013】

さらに、以下の実施の形態において、その構成要素（動作ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数等（個数、数値、量、範囲等を含む）についても同様である。

30

【0014】

< 実施の形態 1 >

図 1 は、実施の形態 1 にかかる半導体記憶装置 1 の構成例を示すブロック図である。なお、図 1 には、データ読み出しに関する回路のみが示されている。

【0015】

図 1 に示す半導体記憶装置 1 は、メモリセルアレイ 11、12 と、データ出力部 13 と、制御回路 14 と、ワード線ドライバ 15、16 と、を備える。

40

【0016】

メモリセルアレイ 11 は、 m 行 $\times$ n 行（ m 、 n は自然数）の行列状に配置された複数のメモリセル（第 1 メモリセル）MC（以下、メモリセル UMC と称す）を備える。同じく、メモリセルアレイ 12 は、 m 行 $\times$ n 行の行列状に配置された複数のメモリセル（第 2 メモリセル）MC（以下、メモリセル LMC と称す）を備える。即ち、半導体記憶装置 1 では、 $2m$ 行 $\times$ n 行の行列状に配置された複数のメモリセル MC が二つのメモリセルアレイ 11、12 に分割して設けられている。

【0017】

複数のメモリセル UMC の m 行のそれぞれには、ワード線（第 1 ワード線）UWL 1 ~

50

UWLmが設けられている。複数のメモリセルUMCのn列のそれぞれには、ビット線（第1ビット線）UBL1～UBLnが設けられている。

【0018】

複数のメモリセルLMCのm行のそれぞれには、ワード線（第2ワード線）LWL1～LWLmが設けられている。複数のメモリセルLMCのn列のそれぞれには、ビット線（第2ビット線）LBL1～LBLnが設けられている。

【0019】

なお、各メモリセルMCは、シングルエンドビット線を用いてデータの読み出しが行われる。したがって、各メモリセルMCは、記憶したデータが読み出される場合に一本のビット線のみと導通する。

【0020】

以下、各メモリセルMCの具体的構成例について説明する。なお、以下では、代表して、メモリセルアレイ11の1行目かつ1列目のメモリセルMCの具体的構成例について説明する。

【0021】

（メモリセルMCの第1具体的構成例）

図2は、メモリセルMCの第1具体的構成例を示す回路図である。図2に示すメモリセルMCは、SRAM用メモリセルであって、PMOSトランジスタであるトランジスタMP1、MP2と、NMOSトランジスタであるトランジスタMN1～MN6と、を有する。

【0022】

トランジスタMP1、MN1により第1インバータが構成される。トランジスタMP2、MN2により第2インバータが構成される。第2インバータは、第1インバータの出力（記憶ノードMT）の電圧レベル（Hレベル又はLレベル）を反転して、当該第1インバータの入力（記憶ノードMB）に出力する。それにより、データが記憶される。

【0023】

トランジスタMN3は、記憶ノードMTと、データ書き込み用ビット線対の一方WBLTと、の間に設けられ、データ書き込み用ワード線WWLの電位に基づいてオンオフ制御される。トランジスタMN4は、記憶ノードMBと、データ書き込み用ビット線対の他方WBLBと、の間に設けられ、データ書き込み用ワード線WWLの電位に基づいてオンオフ制御される。データ書き込み時、トランジスタMN3、MN4がオンすることにより、データ書き込み用ビット線対WBLT、WBLBの電位（書き込みデータ）が記憶ノードMT、MBに伝わり、当該記憶ノードMT、MBにデータが書き込まれる。

【0024】

トランジスタ（第1MOSトランジスタ）MN5は、接地電圧VSSの供給される接地電圧端子（以下、接地電圧端子VSSと称す）と、データ読み出し用のビット線UBL1と、の間に設けられ、記憶ノードMBの電位に基づいてオンオフ制御される。トランジスタ（第2MOSトランジスタ）MN6は、トランジスタMN5に直列に設けられ、ワード線UWL1の電位に基づいてオンオフ制御される。

【0025】

例えば、ワード線UWL1の電位が低電位（Lレベル）の場合（即ち、ワード線UWL1が活性化されていない場合）、トランジスタMN6はオフする。そのため、ビット線UBL1は、記憶ノードMBの電位に関わらず高電位を維持する。それに対し、ワード線UWL1の電位が高電位（Hレベル）の場合（即ち、ワード線UWL1が活性化されている場合）、トランジスタMN6はオンする。この場合において、記憶ノードMBの電位が高電位（Hレベル）であれば、トランジスタMN5がオンするため、ビット線UBL1からトランジスタMN5、MN6を介して接地電圧端子VSSに向けて電流が流れる。それにより、ビット線UBL1の電位は低くなる。他方、記憶ノードMBの電位が低電位（Lレベル）であれば、トランジスタMN5がオフするため、ビット線UBL1からトランジスタMN5、MN6を介して接地電圧端子VSSに向けて電流は流れない。それにより、ビ

10

20

30

40

50

ット線UBL1の電位は高電位を維持する。そして、ビット線UBL1の電位に応じた読み出しデータが外部に読み出される。

【0026】

(メモリセルMCの第2具体的構成例)

図3は、メモリセルMCの第2具体的構成例を示す回路図である。図3に示すメモリセルMCは、ROM用メモリセルであって、NMOSTランジスタであるランジスタMN7を有する。

【0027】

ランジスタMN7は、ビット線UBL1と接地電圧端子VSSとの間に設けられ、ワード線UWL1の電位に応じてオンオフ制御される。

10

【0028】

例えば、ワード線UWL1の電位が低電位(Lレベル)の場合、ランジスタMN7はオフする。そのため、ビット線UBL1の電位は高電位を維持する。それに対し、ワード線UWL1の電位が高電位(Hレベル)の場合、ランジスタMN7はオンする。それにより、接地電圧端子VSSとビット線UBL1とが導通するため、ビット線UBL1の電位は低下する。そして、ビット線UBL1の電位に応じた値の読み出しデータが外部に読み出される。

【0029】

図1に戻り、ワード線ドライバ15は、データ読み出し時に、ワード線UWL1~UWLmの何れかを活性化する。ワード線ドライバ16は、データ読み出し時に、ワード線LWL1~LWLmの何れかを活性化する。ここで、ワード線ドライバ15, 16は、データ読み出し時に、合計2m本のワード線UWL1~UWLm, LWL1~LWLmのうち何れか一本のワード線のみを活性化する。

20

【0030】

データ出力部13は、データ読み出し時に、ビット線UBL1~UBLn, LBL1~LBLnのうちデータ読み出し対象のメモリセルMCに接続されたビット線の電位と、基準電位Vrefと、の電位差を増幅して読み出しデータQとして出力する。

【0031】

制御回路14は、センスアンブイネーブル信号SAE、アレイ選択信号UY, LY、ダミーワード線の電位、及び、制御信号Y1~Yn等を生成し、データ出力部13を制御する。

30

【0032】

(データ出力部13の構成例)

図4は、データ出力部13の構成例を示すブロック図である。図4に示すデータ出力部13は、選択回路(第1選択回路)131と、選択回路(第2選択回路)132と、共通ビット線(第1共通ビット線)UCRLと、共通ビット線(第2共通ビット線)LCRLと、ダミーワード線DWLと、PMOSTランジスタMP3, MP4と、基準電流生成部133と、センスアンプ134と、出力切替回路135と、を備える。なお、ランジスタMP3, MP4及び基準電流生成部133により基準電流供給部が構成される。

【0033】

40

選択回路131は、ビット線UBL1~UBLnのうち制御信号Y1~Ynに基づいて選択されたビット線と、共通ビット線UCRLと、を接続する。選択回路132は、ビット線LBL1~LBLnのうち同じく制御信号Y1~Ynに基づいて選択されたビット線と、共通ビット線LCRLと、を接続する。

【0034】

例えば、メモリセルアレイ11の1行目かつ1行目のメモリセルMCがデータ読み出し対象のメモリセルである場合、選択回路131は、ビット線UBL1と共通ビット線UCRLとを接続する。また、このとき、選択回路132は、ビット線LBL1と共通ビット線LCRLとを接続する。

【0035】

50

基準電流生成部 133 は、何れかのワード線の活性化に応じてダミーワード線 DWL が活性化された場合に、基準電流 I_{ref} を生成する。より好ましくは、基準電流生成部 133 は、何れかのワード線の活性化と略同時にダミーワード線 DWL が活性化された場合に、基準電流 I_{ref} を生成する。

【0036】

基準電流生成部 133 は、例えば、NMOS トランジスタ MN8, MN9 を有する。トランジスタ MN8 は、基準電流生成部 133 の出力端子と、接地電圧端子 VSS と、の間に設けられ、ダミーワード線 DWL の電位に応じてオンオフ制御される。トランジスタ MN9 は、トランジスタ MN8 に直列に設けられ、バイアス電圧 V_{bias} によってオン抵抗が制御される。

10

【0037】

なお、データ“0”が記憶されたメモリセル MC と導通状態にある共通ビット線に流れる電流を I_{zero} 、データ“1”が記憶されたメモリセル MC と導通状態にある共通ビット線に流れる電流を I_{one} 、とした場合、電流 I_{ref} 、 I_{zero} 、 I_{one} の関係は、例えば、 $I_{zero} > I_{ref} > I_{one}$ のようになる。

【0038】

トランジスタ MP3 は、共通ビット線 UCL と基準電流生成部 133 との間に設けられ、アレイ選択信号（判定信号）LY に応じてオンオフ制御される。アレイ選択信号 LY は、データ読み出し対象のメモリセル MC がメモリセルアレイ 12 に属する場合、Hレベルを示し、そうでない場合、Lレベルを示す。

20

【0039】

トランジスタ MP4 は、共通ビット線 LCL と基準電流生成部 133 との間に設けられ、アレイ選択信号（判定信号）UY に応じてオンオフ制御される。アレイ選択信号 UY は、データ読み出し対象のメモリセル MC がメモリセルアレイ 11 に属する場合、Hレベルを示し、そうでない場合、Hレベルを示す。

【0040】

そのため、共通ビット線 UCL, LCL のうちデータ読み出し対象のメモリセル MC と導通しない共通ビット線と、基準電流生成部 133 と、が接続されることとなる。

【0041】

例えば、メモリセルアレイ 11 の 1 行目かつ 1 行目のメモリセル MC がデータ読み出し対象のメモリセルである場合、データ読み出し対象のメモリセル MC と共通ビット線 UCL とが導通するため、データ読み出し対象のメモリセル MC と導通しない共通ビット線 LCL と、基準電流生成部 133 と、が接続されることとなる。

30

【0042】

換言すると、基準電流生成部 133 及びトランジスタ MP3, MP4 からなる基準電流供給部は、何れかのワード線の活性化に応じてダミーワード線 DWL が活性化された場合に、共通ビット線 UCL, LCL のうちデータ読み出し対象のメモリセル MC と導通しない共通ビット線に対して基準電流 I_{ref} を供給する。なお、基準電流供給部は、上記した構成に限られず、同等の機能を有する他の構成に適宜変更可能である。

【0043】

40

センスアンプ 134 は、センスアンプイネーブル信号 SAE が活性化されると、共通ビット線 UCL, LCL の電位差を増幅する。より具体的には、センスアンプ 134 は、センスアンプイネーブル信号 SAE が活性化されると、データ読み出し対象のメモリセル MC と導通状態にある共通ビット線（例えば、UCL）の電位と、基準電流 I_{ref} が供給されている共通ビット線（例えば、LCL）の電位 V_{ref} と、の電位差を増幅する。

【0044】

出力切替回路 135 は、データ読み出し対象のメモリセル MC の属性に応じて、センスアンプ 134 の出力信号及びその反転信号の何れかを選択的に読み出しデータ Q として出力する。より具体的には、出力切替回路 135 は、データ読み出し対象のメモリセル MC

50

がメモリセルアレイ 11 に属する場合、センスアンプ 134 の出力信号を読み出しデータ Q として出力し、データ読み出し対象のメモリセル MC がメモリセルアレイ 12 に属する場合、センスアンプ 134 の出力信号の反転信号を読み出しデータ Q として出力する。

【0045】

(データ出力部 13 の具体的構成例)

図 5 は、データ出力部 13 の具体的構成の一例を示す図である。図 5 に示すデータ出力部 13 は、選択回路 131 として PMOS トランジスタ MP11 ~ MP18 を有し、選択回路 132 として PMOS トランジスタ MP21 ~ MP28 を有している。

【0046】

トランジスタ MP11 は、ビット線 UBL1 と共通ビット線 UCR L との間に設けられ、制御信号 Y1 の反転信号に応じてオンオフ制御される。トランジスタ MP12 は、ビット線 UBL1 とノード UCD L との間に設けられ、制御信号 Y1 に応じてオンオフ制御される。トランジスタ MP13 は、ビット線 UBL2 と共通ビット線 UCR L との間に設けられ、制御信号 Y2 の反転信号に応じてオンオフ制御される。トランジスタ MP14 は、ビット線 UBL2 とノード UCD L との間に設けられ、制御信号 Y2 に応じてオンオフ制御される。トランジスタ MP15 は、ビット線 UBL3 と共通ビット線 UCR L との間に設けられ、制御信号 Y3 の反転信号に応じてオンオフ制御される。トランジスタ MP16 は、ビット線 UBL3 とノード UCD L との間に設けられ、制御信号 Y3 に応じてオンオフ制御される。トランジスタ MP17 は、ビット線 UBL4 と共通ビット線 UCR L との間に設けられ、制御信号 Y4 の反転信号に応じてオンオフ制御される。トランジスタ MP18 は、ビット線 UBL4 とノード UCD L との間に設けられ、制御信号 Y4 に応じてオンオフ制御される。

【0047】

トランジスタ MP21 は、ビット線 LBL1 と共通ビット線 LCR L との間に設けられ、制御信号 Y1 の反転信号に応じてオンオフ制御される。トランジスタ MP22 は、ビット線 LBL1 とノード LCD L との間に設けられ、制御信号 Y1 に応じてオンオフ制御される。トランジスタ MP23 は、ビット線 LBL2 と共通ビット線 LCR L との間に設けられ、制御信号 Y2 の反転信号に応じてオンオフ制御される。トランジスタ MP24 は、ビット線 LBL2 とノード LCD L との間に設けられ、制御信号 Y2 に応じてオンオフ制御される。トランジスタ MP25 は、ビット線 LBL3 と共通ビット線 LCR L との間に設けられ、制御信号 Y3 の反転信号に応じてオンオフ制御される。トランジスタ MP26 は、ビット線 LBL3 とノード LCD L との間に設けられ、制御信号 Y3 に応じてオンオフ制御される。トランジスタ MP27 は、ビット線 LBL4 と共通ビット線 LCR L との間に設けられ、制御信号 Y4 の反転信号に応じてオンオフ制御される。トランジスタ MP28 は、ビット線 LBL4 とノード LCD L との間に設けられ、制御信号 Y4 に応じてオンオフ制御される。

【0048】

(半導体記憶装置 1 の動作)

次に、半導体記憶装置 1 のデータ読み出し動作について、図 6 を参照しつつ説明する。図 6 は、半導体記憶装置 1 の動作の一部を示すタイミングチャートである。なお、以下では、メモリセルアレイ 11 の 1 行目かつ 1 列目のメモリセル MC がデータ読み出し対象のメモリセルである場合を例にして説明する。

【0049】

まず、ビット線の選択が行われる。本例では、選択回路 131 が、制御信号 Y1 ~ Yn に基づいてビット線 UBL1 と共通ビット線 UCR L とを接続するとともに、選択回路 132 が、制御信号 Y1 ~ Yn に基づいてビット線 LBL1 と共通ビット線 LCR L とを接続する。また、このとき、アレイ選択信号 UY, LY に基づき、データ読み出し対象のメモリセル MC と導通しない共通ビット線 LCR L と、基準電流生成部 133 と、が接続される。

【0050】

次に、ワード線の選択が行われる。本例では、ワード線ドライバ15がワード線UWL1を活性化する。それにより、メモリセルアレイ11に設けられた1行目の複数のメモリセルMCと、それらに対応するビット線UBL1~UBLnと、がそれぞれ接続される。なお、このとき、ワード線ドライバ16は何れのワード線LWL1~LWLmも活性化しない。

【0051】

それにより、共通ビット線UCRLには、データ読み出し対象のメモリセルMCに記憶されたデータに応じた電流が流れる。例えば、データ読み出し対象のメモリセルMCにデータ“1”が記憶されている場合、共通ビット線UCRLには電流がほとんど流れないため、当該共通ビット線UCRLの電位は高電位(VDD程度)を維持する。他方、データ読み出し対象のメモリセルMCにデータ“0”が記憶されている場合、共通ビット線UCRLには電流Izeroが流れるため、当該共通ビット線UCRLの電位は低下する。

10

【0052】

さらに、ワード線UWL1の活性化に応じてダミーワード線DWLが活性化される。より好ましくは、ワード線UWL1の活性化と略同時にダミーワード線DWLが活性化される。それにより、データ読み出し対象のメモリセルMCと導通しない共通ビット線LCRLには基準電流Irefが流れるため、当該共通ビット線LCRLの電位は電流Izeroが流れる場合よりも緩やかに低下する。

【0053】

次に、センスアンプ134は、センスアンプイネーブル信号SAEが活性化されると、共通ビット線UCRL, LCRLの電位差を増幅する。より具体的には、センスアンプ134は、センスアンプイネーブル信号SAEが活性化されると、データ読み出し対象のメモリセルMCと導通状態にある共通ビット線UCRLの電位と、基準電流Irefが供給されている共通ビット線LCRLの電位Vrefと、の電位差を増幅する。その後、センスアンプ134の出力は、出力切替回路135を介して、読み出しデータQとして外部に出力される。

20

【0054】

このように、本実施の形態にかかる半導体記憶装置1は、関連技術と異なり、ダミーのビット線を必要としないため、回路規模の増大を抑制することができる。さらに、本実施の形態にかかる半導体記憶装置1は、ダミーのビット線ではなく、一時的に利用されていない通常のビット線を用いて、基準電位Vrefをセンスアンプ134に供給しているため、製造ばらつきによる読み出しマージンの劣化を抑制することができる。

30

【0055】

<実施の形態2>

本実施の形態では、センスアンプ134の具体的構成例について説明する。図7は、センスアンプ134の具体的構成例を示す回路図である。

【0056】

図7に示すセンスアンプ134は、PMOSトランジスタMP31, MP32と、NMOSトランジスタMN31, MN32と、を有する。トランジスタMP31, MN31により第1インバータが構成される。トランジスタMP32, MN32により第2インバータが構成される。第2インバータは、第1インバータの出力の電圧レベル(Hレベル又はLレベル)を反転して、当該第1インバータの入力に出力する。また、共通ビット線UCRLと第1インバータの出力とが接続される。共通ビット線LCRLと第2インバータの出力とが接続される。また、第1及び第2インバータの接地電圧端子VSS側には、トランジスタMN33が設けられ、センスアンプイネーブル信号SAEに応じてオンオフ制御される。

40

【0057】

通常、データ“1”が記憶されたメモリセルMCと導通状態にある共通ビット線の電位は、高電位(VDD程度)を示す必要があるが、意図しない放電(リーク電流)により徐々に低くなってしまいう可能性がある。しかしながら、図7に示すセンスアンプ134は、

50

所謂ドレイン受けの回路構成を有しているため、自己増幅動作により、当該共通ビット線の電位を高電位に維持することができる。そのため、本実施の形態にかかる半導体記憶装置 1 は、各ビット線に対して電位を維持するためのキーパー回路等を設ける必要が無い。以下、具体例を挙げて説明する。

【 0 0 5 8 】

なお、以下では、メモリセルアレイ 1 1 の 1 行目かつ 1 列目のメモリセル M C がデータ読み出し対象のメモリセルである場合を例に説明する。また、以下では、データ読み出し対象のメモリセル M C にデータ “ 1 ” が記憶されている場合を例に説明する。

【 0 0 5 9 】

まず、データ “ 1 ” が記憶されたデータ読み出し対象のメモリセル M C と導通状態にある共通ビット線 U C R L の電位は、リーク電流により高電位から徐々に低くなる。それに対し、データ読み出し対象のメモリセル M C と導通しない共通ビット線 L C R L の電位は、基準電流 I r e f により、共通ビット線 U C R L の電位よりも速やかに低下する。したがって、トランジスタ M P 3 1 がトランジスタ M P 3 2 より先にオンする。それにより、共通ビット線 U C R L には、トランジスタ M P 3 1 を介して、電源電圧 V D D が供給される。そのため、共通ビット線 U C R L の電位は、高電位に維持される。

【 0 0 6 0 】

< 実施の形態 3 >

本実施の形態では、出力切替回路 1 3 5 の具体的構成例について説明する。図 8 は、出力切替回路 1 3 5 の具体的構成例を示す回路図である。なお、図 8 には、センスアンプ 1 3 4 も示されている。

【 0 0 6 1 】

図 8 に示す出力切替回路 1 3 5 は、P M O S トランジスタ M P 4 1 ~ M P 4 4 と、N M O S トランジスタ M N 4 1 ~ M N 4 4 と、N A N D 回路 1 3 6 , 1 3 7 と、インバータ 1 3 8 , 1 3 9 と、を有する。

【 0 0 6 2 】

N A N D 回路 1 3 6 は、センスアンプイネーブル信号 S A E とアレイ選択信号 U Y との否定論理積を出力する。インバータ 1 3 8 は、N A N D 回路 1 3 6 の出力信号を反転して出力する。N A N D 回路 1 3 7 は、センスアンプイネーブル信号 S A E とアレイ選択信号 L Y との否定論理積を出力する。インバータ 1 3 9 は、N A N D 回路 1 3 7 の出力信号を反転して出力する。

【 0 0 6 3 】

トランジスタ M P 4 1 では、ソースが電源電圧端子 V D D に接続され、ゲートが共通ビット線 U C R L に接続されている。トランジスタ M P 4 2 では、ソースがトランジスタ M P 4 1 のドレインに接続され、ドレインが出力ノード N 1 に接続され、ゲートに N A N D 回路 1 3 6 の出力信号が供給される。トランジスタ M N 4 1 では、ソースが接地電圧端子 V S S に接続され、ゲートが共通ビット線 U C R L に接続されている。トランジスタ M N 4 2 では、ソースがトランジスタ M N 4 1 のドレインに接続され、ドレインが出力ノード N 1 に接続され、ゲートにインバータ 1 3 8 の出力信号が供給される。

【 0 0 6 4 】

トランジスタ M P 4 3 では、ソースが電源電圧端子 V D D に接続され、ゲートが共通ビット線 L C R L に接続されている。トランジスタ M P 4 4 では、ソースがトランジスタ M P 4 3 のドレインに接続され、ドレインが出力ノード N 1 に接続され、ゲートに N A N D 回路 1 3 7 の出力信号が供給される。トランジスタ M N 4 3 では、ソースが接地電圧端子 V S S に接続され、ゲートが共通ビット線 L C R L に接続されている。トランジスタ M N 4 4 では、ソースがトランジスタ M N 4 3 のドレインに接続され、ドレインが出力ノード N 1 に接続され、ゲートにインバータ 1 3 9 の出力信号が供給される。

【 0 0 6 5 】

そして、図 8 に示す出力切替回路 1 3 5 は、共通ビット線 U C R L 側の回路と共通ビット線 L C R L 側の回路とが左右対称となるようにレイアウト配置される。それにより、図

10

20

30

40

50

8に示す出力切替回路135は、データ読み出し対象のメモリセルMCが何れのメモリセルアレイ11, 12に属する場合でも、センスマージンやアクセススピードを略同一にすることができる。

【0066】

<実施の形態4>

本実施の形態では、各ワード線及びダミーワード線の周辺構成について説明する。図9は、制御回路14及びワード線ドライバ15の一部の具体的構成例を示す図である。

【0067】

図9に示すように、ワード線ドライバ15は、アドレスラッチ151と、アドレスプリデコーダ152と、ワードデコーダ153と、を少なくとも有する。制御回路14は、クロックドライバ141と、ダミーワード線ドライバ142と、を少なくとも有する。

【0068】

アドレスラッチ151は、アドレス信号Aをラッチする。クロックドライバ141は、クロック信号CLKBをドライブしてクロック信号TDECBを出力する。アドレスプリデコーダ152は、アドレスラッチ151によってラッチされたアドレス信号Aをプリデコードする。そして、ワードデコーダ153は、アドレスプリデコーダ152によってプリデコードされた結果に基づいてワード線WL1~WLnの何れか一つを選択し、選択したワード線をクロック信号TDECBがアクティブの期間中、活性化する。

【0069】

同じく、ダミーワード線ドライバ142は、クロック信号TDECBがアクティブの期間中、ダミーワード線DWLを活性化する。ここで、ダミーワード線DWLは、ワード線と同じタイミングで活性化されることが好ましい。そこで、図9の例では、各ワード線に電位を供給する回路と、ダミーワード線DWLに電位を供給する回路とが、同じになるように構成される。具体的には、各ワード線に電位を供給する回路と、ダミーワード線DWLに電位を供給する回路とは、論理段数、負荷容量、トランジスタサイズ、閾値電圧等を同じにする。また、各ワード線に接続されたMOSトランジスタの総チャネル面積と、ダミーワード線DWLに接続されたMOSトランジスタの総チャネル面積と、を同じにする。また、各ワード線の配線長、配線幅と、ダミーワード線の配線長、配線幅と、を同じにする。さらに、複数のワード線及びダミーワード線間の配線間隔を同じにする。それにより、本実施の形態にかかる半導体記憶装置1は、ワード線の活性化タイミングと、ダミーワード線DWLの活性化タイミングと、を近づけることができるため、精度良くデータを読み出すことができる。

【0070】

<実施の形態5>

本実施の形態に係る半導体記憶装置2は、半導体記憶装置1と比較して、テスト機能をさらに有する。本実施の形態に係る半導体記憶装置2は、書き込み専用ポート及び読み出し専用ポートを備えた2ポートSRAMであって、各メモリセルMCに図2に示すメモリセルMCを用いている。

【0071】

まず、2ポートSRAMの課題について簡単に説明する。図13は、2ポートSRAMの課題を説明するための回路図である。図14は、2ポートSRAMの課題を説明するためのタイミングチャートである。なお、以下では、メモリセルアレイ11の1行目かつ1列目のメモリセルMCがデータ読み出し対象のメモリセルである場合を例に説明する。また、以下では、データ読み出し対象のメモリセルMCにデータ“1”が記憶されている場合を例に説明する。

【0072】

まず、図14の左図に示すように、通常のデータ読み出し動作では、ワード線UWL1が活性化されると、データ読み出し対象のメモリセルMCと導通状態にあるビット線UBL1（共通ビット線UCRL）の電位は、高電位（VDD程度）を維持する。その結果、データ“1”を表すHレベルの読み出しデータQが出力される。

【 0 0 7 3 】

次に、図 1 4 の右図に示すように、データ読み出し対象のメモリセル M C に対するデータ読み出し動作と、同行の異なるメモリセル M C に対するデータ書き込み動作と、が並行して行われた場合、書き込み用ワード線 W W L の活性化直後に読み出し用ワード線 U W L 1 が活性化される可能性がある。この場合、データ読み出し対象のメモリセル M C では、ワード線 W W L の活性化によりトランジスタ M N 3 , M N 4 がオンするため、記憶ノード M T , M B の電位がわずかに変動する。図 1 3 の例では、記憶ノード M B の電位が 0 V から 0 . 1 V 程度に変動している。この状態でワード線 U W L 1 が活性化されると、トランジスタ M N 5 , M N 6 を介してリーク電流が流れるため、ビット線 U B L 1 (共通ビット線 U C R L) の電位は高電位 (V D D 程度) からわずかに低下する。ビット線 U B L 1 の電位が低下しすぎると、データ “ 0 ” を表す L レベルの読み出しデータ Q が意図せず出力されてしまう。

10

【 0 0 7 4 】

このように、2 ポート S R A M では、書き込み専用ポートと読み出し専用ポートとから同行の異なるメモリセル M C に同時にアクセスがあった場合、読み出しマージンが劣化してしまうため、不良が発生してしまうという課題があった。なお、出荷テスト時にこの読み出し不良を見つけるのは困難である。

【 0 0 7 5 】

そこで、本実施の形態に係る半導体記憶装置 2 は、ワード線 W W L の活性化直後にワード線 U W L 1 を活性化させる状況を意図的に作り出すことにより、書き込み専用ポートと読み出し専用ポートとから同行の異なるメモリセル M C に同時にアクセスがあった場合においてデータを正しく読み出せるか否か、をテストすることを可能にしている。

20

【 0 0 7 6 】

図 1 0 は、半導体記憶装置 2 に設けられたクロック生成部 (テスト制御回路) 1 7 の構成例を示すブロック図である。また、図 1 1 は、図 1 0 に示すクロック生成部 1 7 をより具体的に示す図である。図 1 0 に示すクロック生成部 1 7 は、セクタ 1 7 1 ~ 1 7 3 と、書き込み用クロック生成部 1 7 4 と、読み出し用クロック生成部 1 7 5 と、遅延部 1 7 6 ~ 1 7 8 と、を有する。

【 0 0 7 7 】

セクタ 1 7 1 は、書き込み用のクロック信号 C L K A 及びテストクロック信号 T C L K の何れかをテストイネーブル信号 T M E に基づいて選択し出力する。書き込み用クロック生成部 1 7 4 は、セクタ 1 7 1 によって選択されたクロック信号の立ち上がり同期してクロック信号 T D E C A を立ち上げ、遅延部 1 7 6 による遅延時間経過後、当該クロック信号 T D E C A を立ち下げる。書き込み用ワード線 W W L は、このクロック信号 T D E C A がアクティブの期間中、活性化される。

30

【 0 0 7 8 】

セクタ 1 7 2 は、読み出し用のクロック信号 C L K B 及びテストクロック信号 T C L K の何れかをテストイネーブル信号 T M E に基づいて選択し出力する。読み出し用クロック生成部 1 7 4 は、セクタ 1 7 2 によって選択されたクロック信号の立ち上がり同期してクロック信号 T D E C B を立ち上げ、遅延部 1 7 7 による遅延時間経過後、当該クロック信号 T D E C B を立ち下げる。セクタ 1 7 3 は、クロック信号 T D E C B 、及び、クロック信号 T D E C B を遅延部 1 7 8 により遅延させた信号、の何れかをテストイネーブル信号 T M E に基づいて選択し出力する。読み出し用ワード線 U W L 1 は、このクロック信号 T D E C B 又はその遅延信号がアクティブの期間中、活性化される。

40

【 0 0 7 9 】

(半導体記憶装置 2 の動作)

次に、半導体記憶装置 2 の動作について説明する。図 1 2 は、半導体記憶装置 2 の動作を示すタイミングチャートである。なお、以下では、メモリセルアレイ 1 1 の 1 行目かつ 1 列目のメモリセル M C がデータ読み出し対象のメモリセルである場合を例に説明する。また、以下では、データ読み出し対象のメモリセル M C にデータ “ 1 ” が記憶されている

50

場合を例に説明する。

【 0 0 8 0 】

まず、通常動作モードでは、テストイネーブル信号 T M E が L レベルを示す。それにより、セクタ 1 7 1 は、クロック信号 C L K A を選択して出力する。セクタ 1 7 2 は、クロック信号 C L K B を選択して出力する。セクタ 1 7 3 は、クロック信号 C L K B に基づき生成されたクロック信号 T D E C B をそのまま出力する。

【 0 0 8 1 】

そのため、書き込み用ワード線 W W L は、クロック信号 C L K A (より詳しくはクロック信号 C L K A に基づき生成されたクロック信号 T D E C A) に同期して活性化される。また、読み出し用ワード線 U W L 1 は、クロック信号 C L K A と非同期のクロック信号 C L K B (より詳しくはクロック信号 C L K B に基づき生成されたクロック信号 T D E C B) に同期して活性化される。つまり、通常動作モードでは、データ書き込み動作とデータ読み出し動作とがそれぞれ非同期で実行される。

【 0 0 8 2 】

次に、テストモードでは、テストイネーブル信号 T M E が H レベルを示す。それにより、セクタ 1 7 1 , 1 7 2 は、何れもテストクロック信号 T C L K を選択して出力する。セクタ 1 7 3 は、テストクロック信号 T C L K に基づき生成されたクロック信号 T D E C B を、遅延部 1 7 8 により遅延させて出力する。

【 0 0 8 3 】

そのため、書き込み用ワード線 W W L は、テストクロック信号 T C L K (より詳しくはテストクロック信号 T C L K に基づき生成されたクロック信号 T D E C A) に同期して活性化される。また、読み出し用ワード線 U W L 1 は、テストクロック信号 T C L K を所定期間遅延させた信号 (より詳しくはテストクロック信号 T C L K に基づき生成されたクロック信号 T D E C A を所定期間遅延させた信号) に同期して活性化される。つまり、クロック生成部 1 7 は、書き込み用ワード線 W W L を活性化させてから、所定期間経過後に、読み出し用ワード線 U W L 1 を活性化させる。要するに、半導体記憶装置 2 は、テストモード時に、ワード線 W W L の活性化直後にワード線 U W L 1 を活性化させる状況を意図的に作り出すことができる。

【 0 0 8 4 】

なお、クロック生成部 1 7 は、読み出し用ワード線 U W L 1 を非活性化させた後に、書き込み用ワード線 W W L を非活性化させる必要がある。それにより、半導体記憶装置 2 は、データ読み出し対象のメモリセル M C の記憶ノードの電位を再び増幅させることなくテストすることができる。

【 0 0 8 5 】

このように、本実施の形態にかかる半導体記憶装置 2 は、テストモード時に、ワード線 W W L の活性化直後にワード線 U W L 1 を活性化させる状況を意図的に作り出すことにより、書き込み専用ポート及び読み出し専用ポートから同行の異なるメモリセル M C にアクセスがあった場合においてデータを正しく読み出せるか否か、をテストすることができる。

【 0 0 8 6 】

なお、クロック生成部 1 7 は、半導体記憶装置 2 に適用される場合に限られず、書き込み専用ポート及び読み出し専用ポートを備えた 2 ポート S R A M に適用されることができる。例えば、クロック生成部 1 7 は、以下に示す半導体記憶装置 3 に適用されることができる。

【 0 0 8 7 】

半導体記憶装置 3 は、複数のメモリセル M C と、複数の書き込み用ワード線と、複数の読み出し用ワード線と、複数の書き込み用ビット線対と、複数の読み出し用ビット線と、書き込み用ワード線ドライバと、読み出し用ワード線ドライバと、書き込み用選択回路と、読み出し用選択回路と、入力ドライバと、センスアンプと、上記したクロック生成部 1 7 と、を備える。複数のメモリセル M C は行列状に設けられている。複数の書き込み用ワ

10

20

30

40

50

ード線は、複数のメモリセルMCの複数行にそれぞれ設けられている。複数の読み出し用ワード線は、複数のメモリセルMCの複数行にそれぞれ設けられている。複数の書き込み用ビット線対は、複数のメモリセルMCの複数列にそれぞれ設けられている。複数の読み出し用ビット線は、複数のメモリセルMCの複数列にそれぞれ設けられている。書き込み用ワード線ドライバは、複数の書き込み用ワード線の何れかを活性化する。読み出し用ワード線ドライバは、複数の読み出し用ワード線の何れかを活性化する。書き込み用選択回路は、複数の書き込み用ビット線対の何れかを選択する。読み出し用選択回路は、複数の読み出し用ビット線の何れかを選択する。入力ドライバは、書き込み用選択回路によって選択された書き込み用ビット線対に対して書き込みデータを出力する。センスアンプは、読み出し用選択回路によって選択された読み出し用ビット線の電位と基準電位との電位差を増幅する。

10

【0088】

上記実施の形態1～5では、主としてメモリセルアレイ11の1行目かつ1列目のメモリセルMCがデータ読み出し対象のメモリセルである場合を例に説明したが、これに限られない。他のメモリセルMCがデータ読み出し対象のメモリセルである場合にも同様のことが言える。

【0089】

また、上記の実施の形態に係る半導体記憶装置では、半導体基板、半導体層、拡散層（拡散領域）などの導電型（p型もしくはn型）を反転させた構成としてもよい。そのため、n型、及びp型の一方向の導電型を第1の導電型とし、他方の導電型を第2の導電型とした場合、第1の導電型をp型、第2の導電型をn型とすることもできるし、反対に第1の導電型をn型、第2の導電型をp型とすることもできる。

20

【0090】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

【符号の説明】

【0091】

- 1 半導体記憶装置
- 2 半導体記憶装置
- 3 半導体記憶装置
- 11 メモリセルアレイ
- 12 メモリセルアレイ
- 13 データ出力部
- 14 制御回路
- 15 ワード線ドライバ
- 16 ワード線ドライバ
- 17 クロック生成部
- 131 選択回路
- 132 選択回路
- 133 基準電流生成回路
- 134 センスアンプ
- 135 出力切替回路
- 136, 137 NAND回路
- 138, 139 インバータ
- 141 クロックドライバ
- 142 ダミーワード線ドライバ
- 151 アドレスラッチ
- 152 アドレスプリデコーダ
- 153 ワードデコーダ

30

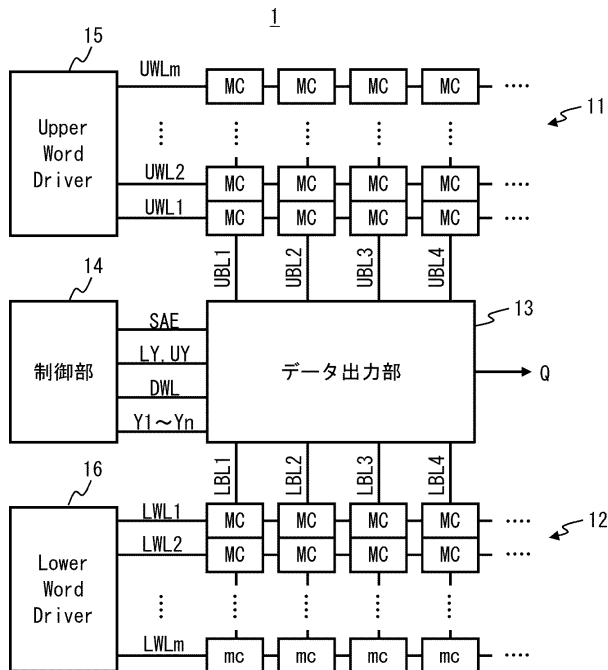
40

50

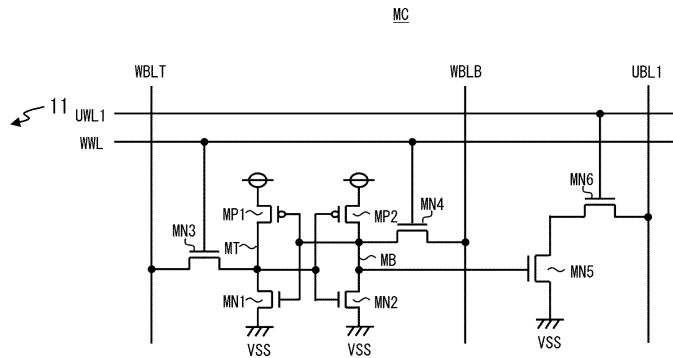
171 ~ 173 セレクタ
 174 書き込み用クロック生成部
 175 読み出し用クロック生成部
 176 ~ 178 遅延部
 UCRL 共通ビット線
 LCRL 共通ビット線
 UCDL 共通ダミービット線
 LCDL 共通ダミービット線
 DWL ダミーワード線
 UWL1 ~ UWLm ワード線
 LWL1 ~ LWLm ワード線
 UBL1 ~ UBLn ビット線
 LBL1 ~ LBLn ビット線
 MP1 ~ MP4, MP11 ~ MP18, MP21 ~ MP28 トランジスタ
 MN1 ~ MN9 トランジスタ
 MP31, MP32 トランジスタ
 MN31 ~ MN33 トランジスタ
 MP41 ~ MP44 トランジスタ
 MN41 ~ MN44 トランジスタ

10

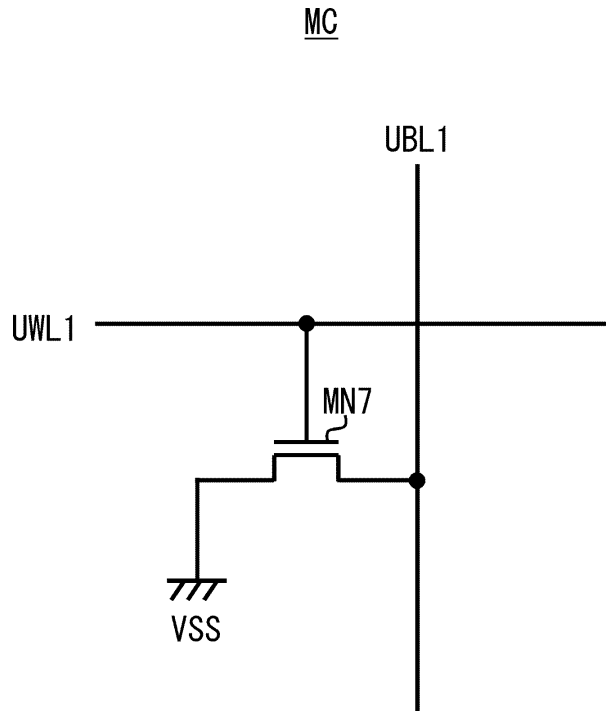
【図1】



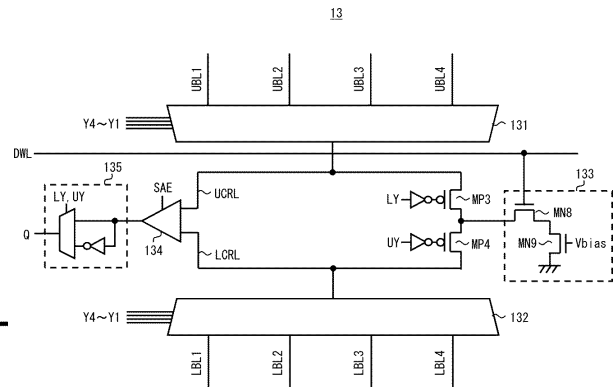
【図2】



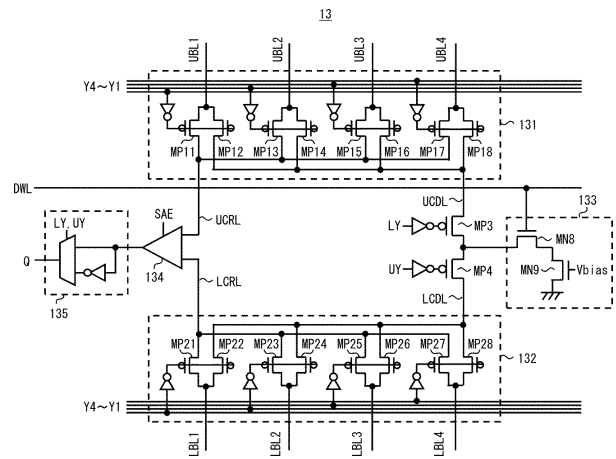
【図 3】



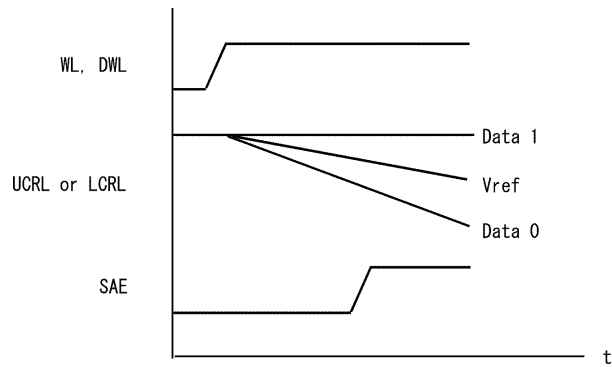
【図 4】



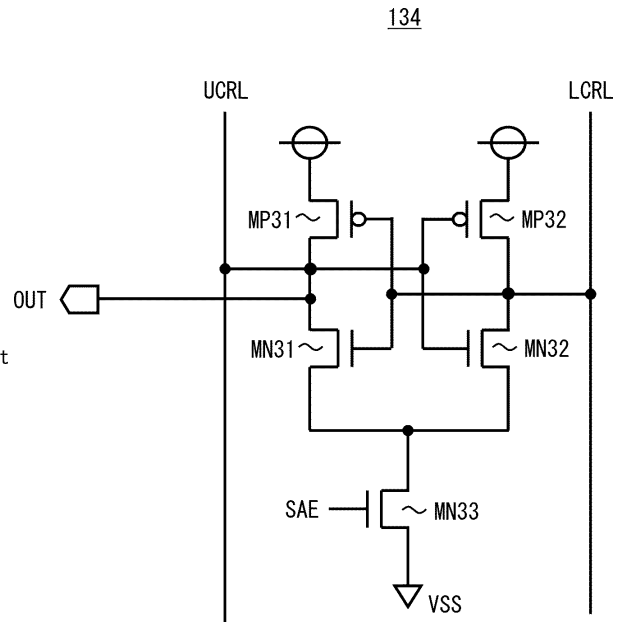
【図 5】



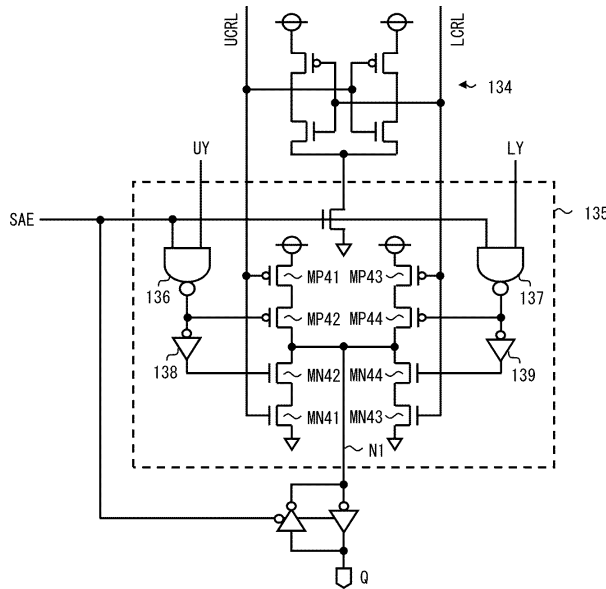
【図 6】



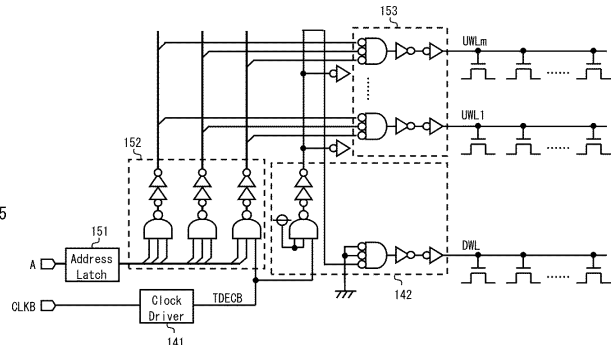
【図 7】



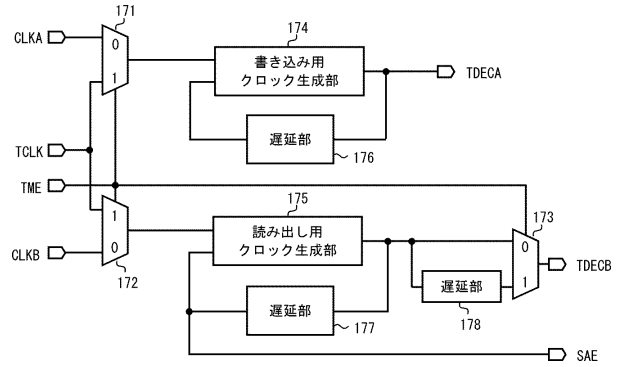
【図 8】



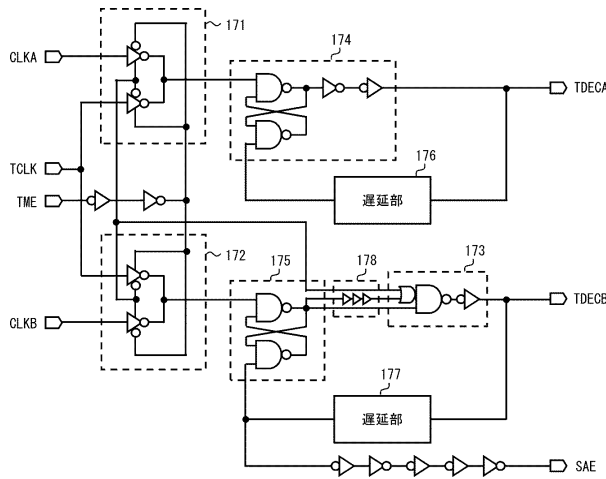
【図 9】



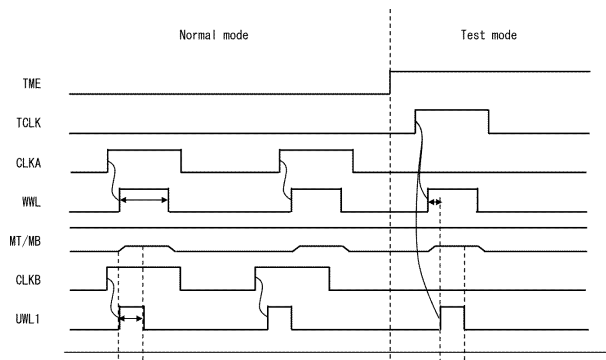
【図 10】



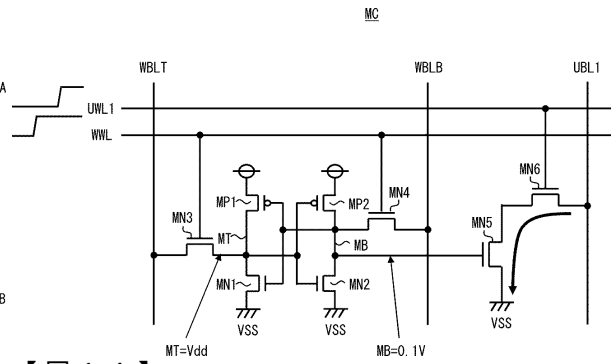
【図 11】



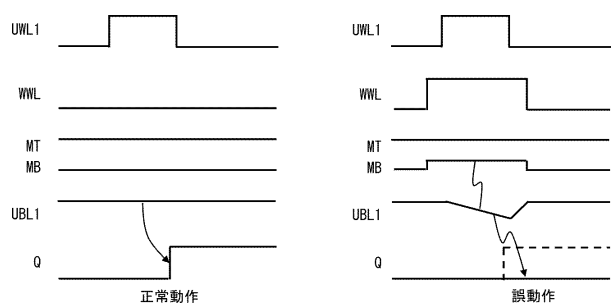
【図 12】



【図 13】



【図 14】



フロントページの続き

(56)参考文献 特開 2010 - 80001 (JP, A)
特開 2009 - 64532 (JP, A)
特開 2008 - 299991 (JP, A)
特許第 6161482 (JP, B2)

(58)調査した分野(Int.Cl., DB名)
G11C 29/50
G11C 11/412
G11C 7/10