

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2024년 3월 7일 (07.03.2024)



(10) 국제공개번호
WO 2024/049183 A1

- (51) 국제특허분류:
H01L 21/48 (2006.01) *H05K 3/10* (2006.01)
H05K 1/03 (2006.01) *H01L 23/498* (2006.01)
- (21) 국제출원번호: PCT/KR2023/012841
- (22) 국제출원일: 2023년 8월 30일 (30.08.2023)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2022-0111358 2022년 9월 2일 (02.09.2022) KR
- (71) 출원인: 주식회사 아모그린텍 (AMOGREENTECH CO., LTD.) [KR/KR]; 10014 경기도 김포시 통진읍 김포대로1950번길 91, Gyeonggi-do (KR).
- (72) 발명자: 이지형 (LEE, Jihyung); 10014 경기도 김포시 통진읍 김포대로1950번길 91, Gyeonggi-do (KR).
- (74) 대리인: 김철진 (KIM, Churchill); 06527 서울특별시 서초구 강남대로97길 37 티엔티빌딩 4층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ,

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

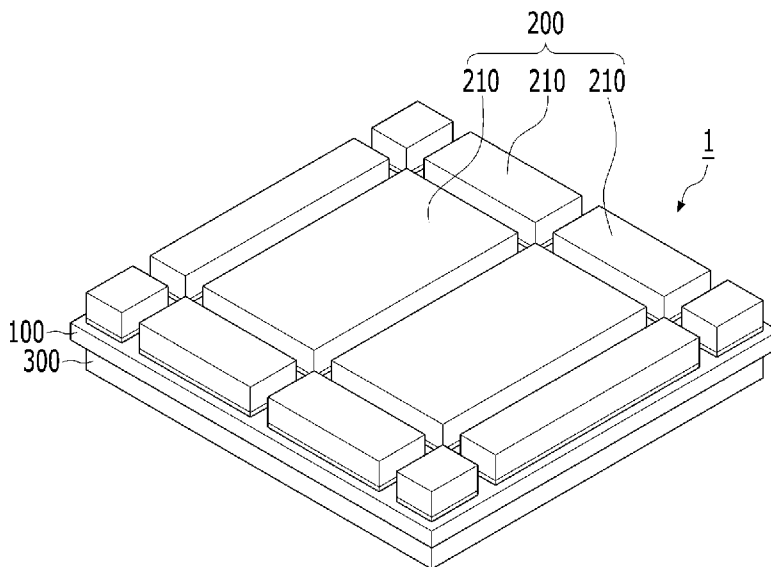
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제21조(3))
- 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

(54) Title: METHOD FOR PRODUCING CERAMIC SUBSTRATE

(54) 발명의 명칭: 세라믹 기판 제조방법



(57) Abstract: The present invention relates to a method for producing a ceramic substrate. The ceramic substrate can be used in high-output power modules due to the 0.3-0.8mm thickness of the upper and lower metal layers that adhere to the upper and lower surfaces of the ceramic substrate, and can reduce the time necessary for chemical etching due to a plurality of metal patterns that are formed beforehand on the upper metal layer by mechanical machining methods of pressing or cutting.

(57) 요약서: 본 발명은 세라믹 기판 제조방법에 관한 것으로, 세라믹 기체의 상하면에 접합되는 상하부 금속층 각각은 0.8mm 이상의 두께로 이루어져 고출력의 파워모듈에 적용 가능하고, 상부 금속층에 복수의 금속패턴을 형성하기 위하여 사전에 기계적 가공 방식인 프레스 가공 또는 절삭 가공을 실시하기 때문에 화학적 식각 공정 시간을 단축시킬 수 있다.



WO 2024/049183 A1

명세서

발명의 명칭: 세라믹 기판 제조방법

기술분야

- [1] 본 발명은 세라믹 기판 제조방법에 관한 것으로, 더욱 상세하게는 상부 금속층에 금속패턴을 형성하기 위한 시간 및 비용 절약이 가능한 세라믹 기판 제조방법(CERAMIC BOARD MANUFACTURING METHOD)에 관한 것이다.

배경기술

- [2] 일반적으로 전기차는 고전압 배터리에서 제공되는 직류 전압을, 모터를 구동하기 위한 교류 3상 전압으로 변환시키는 인버터가 필요하다.
- [3] 이러한 인버터는 구동용 배터리의 높은 전압을 모터에 적합한 상태로 조절하여 공급하기 위한 파워모듈이 조립된다. 파워모듈은 전력의 변환을 위한 반도체 칩과, 반도체 칩이 실장되어 와이어 본딩으로 연결되는 세라믹 기판을 포함하여 구성될 수 있다. 여기서, 반도체 칩은 고전압 고전류 동작으로 인해 고온의 열이 발생한다. 이러한 열이 지속되면 반도체 칩이 열화되고, 파워모듈의 성능이 저하되는 문제가 있다.
- [4] 이를 해결하기 위해, 열전도도가 높은 두꺼운 금속 전극이 적용된 세라믹 기판이 사용되는데, 이러한 세라믹 기판은 금속 전극의 두께가 두껍기 때문에 라인/스페이스(Line/Space)의 치수가 상대적으로 더 크다. 여기서, 라인은 평면 위로 돌출되어 라인 형태로 연장된 패턴을 가리키고, 스페이스는 라인들 사이의 공간을 의미하며, 라인/스페이스의 치수는 상기 평면에 평행한 방향으로 라인과 스페이스가 갖는 폭을 의미한다. 일 예로, 두께가 0.3mm이면 라인/스페이스(Line/Space)는 0.5mm인 회로를 형성하며, 이때 에칭 가공에 소요되는 시간은 대략 1시간이다. 반면, 두께가 0.8mm이면 라인/스페이스(Line/Space)는 1.6mm인 회로를 형성해야 하기 때문에 에칭 가공에 소요되는 시간이 대략 24시간 이상 소요되어 매우 비효율적이다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명의 상술한 문제점을 해결하고자 안출된 것으로서, 본 발명은 세라믹 기판의 금속층에 금속패턴을 형성하는 패턴닝 공정에서 에칭 공정 이전에 상부 패턴홈을 형성하는 기계적 가공을 수행하여 원가 절감과 양산 효율화가 가능한 세라믹 기판 제조방법을 제공하는 데 그 목적이 있다.

과제 해결 수단

- [6] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 일 실시예에 따른 세라믹 기판 제조방법은, 세라믹 기재의 상하부에 배치되는 상부 금속층과 하부 금속층을 준비하는 단계와, 상부 금속층의 상측 일부분에 열과 압력을 가하여 상부 금속층의 두께보다 얇은 두께의 상부 패턴홈을 형성하는 단계와, 상부 금속층의 상면에

상부 패터닝을 노출시키는 포토레지스트 패터를 형성하는 단계와, 포토레지스트 패터를 식각 마스크로 이용하여 상부 패터닝에 대응되는 상부 금속층의 부분을 식각하는 단계를 포함할 수 있다.

- [7] 상부 패터닝을 형성하는 단계에서, 상부 패터닝의 두께는 상부 금속층 두께의 50% 이상 90% 이하가 되도록 형성할 수 있다.
- [8] 상부 패터닝을 형성하는 단계 이전 또는 이후에, 세라믹 기재의 상부에 상부 금속층을 접합하고, 세라믹 기재의 하부에 하부 금속층을 접합하는 단계를 더 포함할 수 있다.
- [9] 접합하는 단계는, 세라믹 기재의 상면과 상부 금속층의 하면 사이, 세라믹 기재의 하면과 하부 금속층의 상면 사이에 접합층을 배치하는 단계와, 접합층을 용융시켜 세라믹 기재, 상부 금속층 및 하부 금속층을 접합하는 단계를 포함할 수 있다.
- [10] 또한, 본 발명의 일 실시예에 따른 세라믹 기판 제조방법은, 노출된 접합층의 부분을 세라믹 기재의 상면이 노출될 때까지 식각하는 단계를 더 포함할 수 있다.
- [11] 접합층을 배치하는 단계는, 도금, 페이스트 도포, 포일(foil) 부착 중 어느 하나의 방법으로 Ag, AgCu 및 AgCuTi 중 적어도 하나를 포함하는 재료로 이루어진 접합층을 배치할 수 있다.
- [12] 식각하는 단계 이후에, 상부 금속층은 복수의 금속패턴으로 분리될 수 있다.
- [13] 식각하는 단계에서, 상부 금속층의 부분이 식각되는 폭은 상부 패터닝의 폭보다 좁을 수 있다. 여기서, 서로 마주하는 금속패턴 각각의 일측면은 계단 형태의 돌출부가 형성될 수 있다.
- [14] 또한, 돌출부에서 계단을 이루는 각각의 단은 돌출되는 길이가 다를 수 있다.
- [15] 또한, 돌출부에서 계단을 이루는 각각의 단은 세라믹 기재에 가까울수록 돌출 길이가 증가할 수 있다.
- [16] 또한, 돌출부에서 계단을 이루는 각각의 단 중 어느 하나는 오목하게 형성될 수 있다.
- [17] 또한, 본 발명의 일 실시예에 따른 세라믹 기판 제조방법은, 하부 금속층을 복수의 금속패턴으로 분리하는 단계를 더 포함할 수 있다.
- [18] 본 발명의 다른 실시예에 따른 세라믹 기판 제조 방법은, 세라믹 기재의 상하부에 배치되는 상부 금속층과 하부 금속층을 준비하는 단계와, 상부 금속층의 상측 일부분을 절삭 가공하여 상부 금속층의 두께보다 얇은 두께의 상부 패터닝을 형성하는 단계와, 상부 금속층의 상면에 상부 패터닝을 노출시키는 포토레지스트 패터를 형성하는 단계와, 포토레지스트 패터를 식각 마스크로 이용하여, 상부 패터닝에 대응되는 상부 금속층의 부분을 식각하는 단계를 포함할 수 있다.
- [19] 상부 패터닝을 형성하는 단계에서, 상부 패터닝의 두께는 상부 금속층 두께의 50% 이상 90% 이하가 되도록 형성할 수 있다.

- [20] 상부 패턴층을 형성하는 단계 이전 또는 이후에, 세라믹 기재의 상부에 상부 금속층을 접합하고, 세라믹 기재의 하부에 하부 금속층을 접합하는 단계를 더 포함할 수 있다.

발명의 효과

- [21] 본 발명의 실시예에 따른 세라믹 기판 제조방법에 따르면, 금속층에 금속패턴을 형성하기 위하여 사전에 기계적 가공을 실시하여 상부 패턴층을 형성하기 때문에, 상부 패턴층에 대응되는 잔여 부분을 제거하기 위한 화학적 식각 공정의 시간을 단축할 수 있다.
- [22] 또한, 본 발명의 실시예에 따른 세라믹 기판 제조방법에 따르면, 상부 금속층에 금속패턴을 형성하기 위한 시간 및 비용 절약이 가능하여 양산 효율화가 가능할 뿐만 아니라 패턴의 정밀도와 품질을 높일 수 있다.
- [23] 또한, 본 발명의 실시예에 따른 세라믹 기판 제조방법에 따르면, 서로 마주하는 금속패턴 각각의 일측면에 계단 형태의 돌출부가 형성되게 하여 에지 영역에서의 두께를 감소시키고, 이를 통해 급격한 온도 변화에서도 열충격에 강하고, 열응력을 완화시킬 수 있다.
- [24] 또한, 본 발명의 실시예에 따른 세라믹 기판 제조방법에 따르면, 상부 금속층이 Cu, Al, Cu 합금 중 어느 하나의 재료로 형성되고, 0.8mm 이상의 두께로 형성되기 때문에 고전압 고전류가 통전될 수 있고, 열전도성이 우수하여 고신뢰성이 요구되는 고출력의 전력 변환용 파워모듈에 적용 가능하다.
- [25] 또한, 본 발명의 실시예에 따른 세라믹 기판 제조방법에 따르면, 하부 금속층이 Cu, Al, Cu 합금 중 어느 하나의 재료로 형성되고, 0.8mm 이상의 두께로 형성되기 때문에 파워모듈에서 요구하는 고방열 조건을 만족할 수 있고, 열충격 및 열피로에 강하여 신뢰성을 높일 수 있다.

도면의 간단한 설명

- [26] 도 1은 본 발명의 일 실시예에 따른 세라믹 기판을 도시한 사시도이다.
- [27] 도 2는 본 발명의 일 실시예에 따른 세라믹 기판을 도시한 평면도이다.
- [28] 도 3은 도 2의 A-A'선에 따른 단면도이다.
- [29] 도 4는 본 발명의 일 실시예에 따른 세라믹 기판 제조방법을 도시한 흐름도이다.
- [30] 도 5는 본 발명의 일 실시예에 따른 세라믹 기판 제조방법에서 상부 패턴층을 형성하는 단계를 설명하기 위한 도면이다.
- [31] 도 6은 본 발명의 일 실시예에 따른 세라믹 기판 제조방법에서 세라믹 기재의 상부에 상부 금속층을 접합하고, 세라믹 기재의 하부에 하부 금속층을 접합하는 단계를 설명하기 위한 도면이다.
- [32] 도 7은 본 발명의 일 실시예에 따른 세라믹 기판 제조방법에서 포토레지스트 패턴을 형성하는 단계와 상부 금속층의 부분을 식각하는 단계를 설명하기 위한 도면이다.

- [33] 도 8은 본 발명의 일 실시예에 따른 세라믹 기판 제조방법에서 접합층의 부분을 세라믹 기재의 상면이 노출될 때까지 식각하는 단계, 포토레지스트 패턴을 제거하는 단계를 설명하기 위한 도면이다.
- [34] 도 9는 도 7의 상부 금속층의 부분을 식각하는 단계에서 상부 금속층의 부분이 식각되는 폭이 상부 패터닝의 폭보다 좁은 변형예를 설명하기 위한 도면이다.
- [35] 도 10은 도 9에서 노출된 접합층의 부분 및 포토레지스트 패턴이 제거된 상태를 도시한 도면이다.
- [36] 도 11은 도 10의 돌출부에서 계단을 이루는 각각의 단 중 어느 하나가 오목하게 형성된 변형예를 도시한 도면이다.
- [37] 도 12는 하부 금속층이 복수의 금속패턴으로 분리된 또 다른 변형예를 도시한 도면이다.
- [38] 도 13은 본 발명의 다른 실시예에 따른 세라믹 기판 제조방법을 도시한 흐름도이다.
- [39] 도 14는 본 발명의 다른 실시예에 따른 세라믹 기판 제조방법에서 상부 패터닝을 형성하는 단계를 설명하기 위한 도면이다.

발명의 실시를 위한 형태

- [40] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [41] 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이고, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [42] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 또한, 본 명세서에서 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다.
- [43] 실시예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "위(on)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여(indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 위 또는 아래에 대한 기준은 도면을 기준으로 하는 것을 원칙으로 한다.
- [44] 도면은 본 발명의 사상을 이해할 수 있도록 하기 위한 것일 뿐, 도면에 의해서 본 발명의 범위가 제한되는 것으로 해석되지 않아야 한다. 또한 도면에서 상대적인 두께, 길이나 상대적인 크기는 설명의 편의 및 명확성을 위해 과장될 수 있다.
- [45] 도 1은 본 발명의 일 실시예에 따른 세라믹 기판을 도시한 사시도이고, 도 2는 본 발명의 일 실시예에 따른 세라믹 기판을 도시한 평면도이며, 도 3은 도 2의 A-A'선에 따른 단면도이다.

- [46] 도 1 내지 도 3에 도시된 바에 의하면, 본 발명의 일 실시예에 따른 세라믹 기판(1)은 세라믹 기재(100), 세라믹 기재(100)의 상부에 접합되는 상부 금속층(200) 및 세라믹 기재(100)의 하부에 접합되는 하부 금속층(300)을 포함하여 구성될 수 있다. 본 실시예에서는 AMB 기판을 예로 들어 설명하나 DBC(Direct Bonding Copper) 기판을 적용할 수도 있다. 여기서, AMB 기판은 내구성 및 방열 효율면에서 가장 적합하다.
- [47] 세라믹 기재(100)는 산화물계 또는 질화물계 세라믹 재료로 이루어질 수 있다. 예컨대, 세라믹 기재(100)는 알루미늄(Al_2O_3), AlN, SiN, Si_3N_4 , ZTA(Zirconia Toughened Alumina) 중 어느 하나일 수 있으나, 이에 한정되지는 않는다.
- [48] 상부 금속층(200)은 세라믹 기재(100)의 상부에 접합층(400)을 매개로 브레이징 접합될 수 있다. 상부 금속층(200)은 Cu, Al, Cu 합금(CuMo 등) 중 어느 하나로 이루어질 수 있다. 상부 금속층(200)은 Si, LED, VCSEL, SiC, GaN 등의 반도체 칩(미도시)의 전극과 전기적 회로 연결이 가능하도록 복수의 금속패턴(210)으로 분리될 수 있다. 여기서, 금속패턴(210)의 형태는 실장되는 반도체 칩의 개수 등에 따라 다양하게 설계될 수 있다.
- [49] 상부 금속층(200)을 복수의 금속패턴으로 분리하기 위한 공정에 대해서는 도 4 내지 도 8을 참조하여 자세히 후술하기로 한다.
- [50] 상부 금속층(200)은 0.8mm 이상의 두께를 갖도록 형성될 수 있다. 고출력의 전력 변환이 이루어지는 파워모듈의 경우, 반도체 칩과 회로 연결이 이루어지는 상부 금속층(200)은 전기전도도가 높아야 하고, 방열을 위해 열전도도가 높아야 한다. 본 발명의 실시예에 따른 세라믹 기판(1)은 상부 금속층(200)이 Cu, Al, Cu 합금 중 어느 하나의 재료로 형성되고, 0.8mm 이상의 비교적 두꺼운 두께로 형성되기 때문에 전기전도성 및 열전도성이 우수하여 고출력의 전력 변환용 파워모듈에 적용 가능하다는 장점이 있다.
- [51] 하부 금속층(300)은 세라믹 기재(100)의 하부에 접합층(400)을 매개로 브레이징 접합되는 것으로, 0.8mm 이상의 두께를 갖도록 형성될 수 있다. 하부 금속층(300)은 방열 효율을 높일 수 있도록 Cu, Al, Cu 합금(CuMo 등) 중 어느 하나로 이루어질 수 있다. 하부 금속층(300)은 히트싱크(미도시)와의 접합 면적을 높이도록 평판으로 형성될 수 있으나, 이에 한정되지는 않는다.
- [52] 접합층(400)은 세라믹 기재(100)의 상면과 상부 금속층(200)의 하면 사이, 세라믹 기재(100)의 하면과 하부 금속층(300)의 상면 사이에 배치될 수 있고, 브레이징 온도에서 세라믹 기재(100)와 상하부 금속층(200,300)을 일체로 접합시킬 수 있다. 브레이징 온도는 450°C 이상일 수 있다.
- [53] 접합층(400)은 Ag, AgCu, AgCuTi 중 적어도 하나를 포함하는 재료로 이루어질 수 있다. Ag, AgCu 및 AgCuTi와 같은 재료는 열전도도가 약 350W/m·K 이상이기 때문에 세라믹 기재(100)와 상하부 금속층(200,300) 간의 열 전달을 용이하게 하여 방열 효율을 높일 수 있다. 또한, 세라믹 기재(100)와 상하부 금속층(200,300)

은 접합층(400)을 매개로 한 브레이징 접합에 의해 서로 기밀하게 접합되어 높은 접합 강도를 가질 수 있고, 고온 신뢰성이 우수하다.

[54] 도 4는 본 발명의 일 실시예에 따른 세라믹 기판 제조방법을 도시한 흐름도이다.

[55] 도 4에 도시된 바에 의하면, 본 발명의 일 실시예에 따른 세라믹 기판 제조방법은, 세라믹 기재((100)의 상하부에 배치되는 상부 금속층(200)과 하부 금속층(300)을 준비하는 단계(S10)와, 상부 금속층(200)의 상측 일부분에 열과 압력을 가하여 상부 금속층(200)의 두께보다 얇은 두께의 상부 패턴홈(201)을 형성하는 단계(S20)와, 상부 금속층(200)의 상면에 상부 패턴홈(201)을 노출시키는 포토레지스트 패턴(20)을 형성하는 단계(S30)와, 포토레지스트 패턴(20)을 식각 마스크로 이용하여 상부 패턴홈(201)에 대응되는 상부 금속층(200)의 부분을 식각하는 단계(S40)를 포함할 수 있다.

[56] 상부 금속층(200)과 하부 금속층(300)을 준비하는 단계(S10)에서, 상부 금속층(200)과 하부 금속층(300)은 Cu, Al, Cu 합금 중 어느 하나의 재료로 형성되고, 0.8mm 이상의 비교적 두꺼운 두께로 형성되기 때문에 전기전도성 및 열전도성이 우수하여 고출력의 전력 변환용 파워모듈에 적용 가능하다.

[57] 도 5를 참조하면, 상부 패턴홈(201)을 형성하는 단계(S20)는, 상부 금속층(200)의 상측 일부분에 열과 압력을 가하여 상부 금속층(200)의 두께(t1)보다 얇은 두께(t2)의 상부 패턴홈(201)을 형성할 수 있다. 여기서, 상부 금속층(200)은 하부 프레스 금형(11)에 안착되고, 상부 프레스 금형(12)에 의해 압력이 가해짐에 따라 상부 패턴홈(201)이 형성될 수 있다. 이때, 상부 금속층(200)은 고온의 가열 상태에서 압력이 가해짐으로써 상부 프레스 금형(12)의 가공 돌기(12a)에 대응되는 형상의 상부 패턴홈(201)이 형성될 수 있다. 한편, 비록 자세히 도시되지는 않았으나, 상부 패턴홈(201)은 NCT(Numerical Control Turret Press)에 의해 형성될 수도 있다.

[58] 상부 패턴홈(201)을 형성하는 단계(S20)는, 상부 금속층(200)의 일부분을 전체 두께(t1)의 50% 내지 90% 범위만큼 제거하여 상부 패턴홈(201)을 형성할 수 있다. 예를 들어, 상부 금속층(200)의 전체 두께(t1)가 10mm이면, 상부 금속층(200)의 상측 일부분을 제거하여 두께(t2)가 7mm인 상부 패턴홈(201)을 형성할 수 있다. 또한, 상부 금속층(200)의 전체 두께(t1)가 8mm이면, 상부 금속층(200)의 상측 일부분을 제거하여 두께(t2)가 4mm인 상부 패턴홈(201)을 형성할 수 있다.

[59] 도 6을 참조하면, 상부 패턴홈을 형성하는 단계(S20) 이후에, 세라믹 기재(100)의 상부에 상부 금속층(200)을 접합하고, 세라믹 기재(100)의 하부에 하부 금속층(300)을 접합하는 단계(S21)를 더 포함할 수 있다. 접합하는 단계(S21)는, 세라믹 기재(100)의 상면과 상부 금속층(200)의 하면 사이, 세라믹 기재(100)의 하면과 하부 금속층(300)의 상면 사이에 접합층(400)을 배치하는 단계(S21a)와, 접합층(400)을 용융시켜 세라믹 기재(100), 상부 금속층(200) 및 하부 금속층(300)을 접합하는 단계(S21b)를 포함할 수 있다.

- [60] 접합층(400)을 배치하는 단계(S21a)는, 도금, 페이스트 도포, 포일(foil) 부착 중 어느 하나의 방법으로 Ag, AgCu 및 AgCuTi 중 적어도 하나를 포함하는 재료로 이루어진 접합층(400)을 배치할 수 있고, 접합층(400)의 두께는 약 0.005mm 내지 1.0mm 범위일 수 있으나, 이에 한정되지는 않는다.
- [61] 접합층(400)을 배치하는 단계 이후에, 접합층(400)을 용융시켜 세라믹 기재(100), 상부 금속층(200) 및 하부 금속층(300)을 접합하는 단계를 수행할 수 있다. 접합하는 단계는 하부 금속층(300), 세라믹 기재(100) 및 상부 금속층(200)을 적층한 상태에서 각 층 사이에 개재된 접합층(400)을 450°C 이상, 바람직하게는 780~900°C에서 용융시켜 브레이징 접합할 수 있고, 이때 접합력을 높이기 위해 상부 중량 또는 가압을 실시할 수 있다.
- [62] 한편, 비록 도시되지는 않았으나, 세라믹 기재(100)의 상부에 상부 금속층(200)을 접합하고, 세라믹 기재(100)의 하부에 하부 금속층(300)을 접합하는 단계(S21)는, 상부 패터닝(201)을 형성하는 단계(S20) 이전에 수행할 수도 있다. 즉, 제조 환경에 따라 상부 금속층(200)은 상부 패터닝(201)이 형성되기 이전에 세라믹 기재(100)에 접합될 수 있고, 상하부 금속층(200,300)이 세라믹 기재(100)에 접합된 상태에서 상부 금속층(200)에 상부 패터닝(201)을 형성할 수도 있다.
- [63] 도 7을 참조하면, 상부 금속층(200)의 상면에 상부 패터닝(201)을 노출시키는 포토레지스트 패턴(20)을 형성하는 단계(S30)는, 상부 금속층(200) 상에서 포토리소그래피(photolithography) 공정을 수행하여 포토레지스트 패턴(20)을 형성할 수 있다. 비록 자세히 도시되지는 않았으나, 포토리소그래피 공정은 포토레지스트 층을 형성한 후, 포토레지스트 층에 노광 및 현상 공정을 수행하여 포토레지스트 패턴(20)을 형성할 수 있다. 여기서, 포토레지스트 패턴(20)은 상부 패터닝(201)에 대응되는 상부 금속층(200)의 부분을 식각하기 위하여 상부 패터닝(201)을 노출시키도록 형성될 수 있다.
- [64] 포토레지스트 패턴(20)을 형성하는 단계(S30) 이후에, 포토레지스트 패턴(20)을 식각 마스크로 이용하여, 상부 패터닝(201)에 대응되는 상부 금속층(200)의 부분을 식각하는 단계(S40)를 수행할 수 있다. 상부 금속층(200)의 부분을 식각하는 단계(S40)에서, 상부 금속층(200)이 식각되는 폭(w2)은 상부 패터닝(201)의 폭(w1)보다 넓을 수 있다.
- [65] 도 8을 참조하면, 본 발명의 일 실시예에 따른 세라믹 기판 제조방법은, 상부 금속층(200)의 부분을 식각하는 단계(S40) 이후에, 노출된 접합층(400)의 부분을 세라믹 기재(100)의 상면이 노출될 때까지 식각하는 단계(S50)를 더 포함할 수 있다. 세라믹 기재(100)의 상면이 노출될 때까지 식각하는 단계(S50)는, 세라믹 기재(100)와 접합층(400)이 반응하여 형성된 물질을 식각하는 단계를 포함할 수 있다. 일례로, 세라믹 기재(100)가 AlN, Si₃N₄ 등의 질화물계 재료일 경우, 접합층(400)의 Ti와 반응하여 TiN이 형성될 수 있으므로 TiN을 식각하는 단계를 포함할 수 있다.

- [66] 세라믹 기재(100)의 상면이 노출될 때까지 식각하는 단계(S50) 이후에, 포토레지스트 패턴(20)을 건식 또는 습식 식각을 통하여 제거하는 단계(S60)를 수행함으로써, 복수의 금속패턴이 형성된 세라믹 기판(1)을 제조할 수 있다.
- [67] 이와 같이, 상부 패턴홈(201)에 대응되는 상부 금속층(200)의 부분 및 접합층(400)의 부분을 세라믹 기재(100)의 상면이 노출될 때까지 식각함으로써, 서로 분리된 복수의 금속패턴(210)을 형성할 수 있다. 복수의 금속패턴은 기설계된 회로 패턴에 맞게 전기적으로 분리되어 있기 때문에 반도체 칩과 회로 연결 시 쇼트 현상이 발생하지 않는다.
- [68] 상부 금속층(200)의 두께가 0.8mm 이상으로 두껍게 형성될 경우, 에칭 공정으로만 전극 패턴을 형성하는 것은 에칭 시간이 너무 오래 걸릴 뿐만 아니라 패턴의 정밀도도 좋지 않은 문제점이 있다. 반면, 본 발명의 세라믹 기판 제조방법은 복수의 금속패턴을 형성하기 위하여 사전에 기계적 가공 방식인 프레스 가공을 실시하기 때문에 화학적 식각 공정 시간을 단축시킬 수 있다는 효과가 있다. 프레스 가공은 상부 금속층(200)의 일부분을 전체 두께의 50% 내지 90% 범위만큼 제거하여 두께 방향의 상부 패턴홈(201)을 형성할 수 있다. 따라서, 상부 금속층(200)의 두께가 10mm 정도로 매우 두껍더라도 7mm 두께의 상부 패턴홈(201)을 사전에 형성해 놓으면 상부 금속층(200)의 두께가 3mm로 줄어들어 식각 공정에 소요되는 시간을 획기적으로 줄일 수 있다. 이와 같이, 본 발명의 세라믹 기판 제조방법은 효율적인 패턴닝이 가능할 뿐만 아니라 패턴의 정밀도와 품질을 높일 수 있다는 장점이 있다.
- [69] 도 9는 도 7의 상부 금속층의 부분을 식각하는 단계에서 상부 금속층의 부분이 식각되는 폭이 상부 패턴홈의 폭보다 좁은 변형예를 설명하기 위한 도면이고, 도 10은 도 9에서 노출된 접합층의 부분 및 포토레지스트 패턴이 제거된 상태를 도시한 도면이다.
- [70] 도 9를 참조하면, 상부 금속층(200')의 부분을 식각하는 단계(S40)에서, 상부 금속층(200')의 부분이 식각되는 폭(w2)은 상부 패턴홈(201')의 폭(w1)보다 좁을 수 있다. 이와 같이 상부 금속층(200')의 부분이 식각되는 폭(w2)이 상부 패턴홈(201')의 폭(w1)보다 좁을 경우, 도 10에 도시된 바와 같이 세라믹 기판(1')에서 서로 마주하는 금속패턴(210') 각각의 일측면은 계단 형태의 돌출부(211')가 형성될 수 있다. 여기서, 계단 형태는 다단을 이루는 형태를 의미한다. 모서리, 가장자리와 같이 응력(stress)이 집중되는 에지 영역은 열충격에 취약하기 때문에 급격한 온도 변화에서 균열이 발생할 수 있다. 반면, 서로 마주하는 금속패턴(201') 각각의 일측면에 계단 형태의 돌출부(211')가 형성되면, 에지 영역의 두께가 최소화되고, 에지 영역의 에너지가 분산되어 열응력이 완화될 수 있다.
- [71] 돌출부(211')에서 계단을 이루는 각각의 단(211a', 211b')은 돌출되는 길이가 다르게 형성될 수 있다. 구체적으로, 돌출부(211')에서 계단을 이루는 각각의 단(211a', 211b')은 세라믹 기재(100')에 가까울수록 돌출 길이가 증가하도록 형성될 수 있다. 즉, 상측 단(211a')에 비해 하측 단(211b')이 더 돌출되게 형성될 수 있다.

이와 같이, 돌출부(211')는 에지 영역에서 두께가 감소하므로 에지 영역의 에너지가 분산되어 열응력이 완화되고, 열충격에 강하다는 장점이 있다.

[72] 도 11은 도 10의 돌출부에서 계단을 이루는 각각의 단 중 어느 하나가 오목하게 형성된 다른 변형예를 도시한 도면이다.

[73] 도 11을 참조하면, 돌출부(211')에서 계단을 이루는 각각의 단(211a', 211b') 중 어느 하나는 오목하게 형성될 수 있다. 예를 들어, 하측 단(211b')은 곡선 형태의 경사를 갖고, 세라믹 기재(100') 방향으로 오목한 형상일 수 있다.

[74] 도 12는 하부 금속층이 복수의 금속패턴으로 분리된 또 다른 변형예를 도시한 도면이다.

[75] 도 12를 참조하면, 세라믹 기판(1")에서 하부 금속층(300")은 복수의 금속패턴(310")으로 분리되어 세라믹 기재(100")의 하면에 접합될 수 있다. 즉, 본 발명의 일 실시예에 따른 세라믹 기판 제조방법은, 하부 금속층(300")을 복수의 금속패턴(310")으로 분리하는 단계를 더 포함할 수 있다. 하부 금속층(300")은 히트 싱크와의 접합 면적을 높이도록 평판으로 형성될 수 있으나, 파워모듈의 다양한 설계 형태에 따라, 하부 금속층(300")은 Si, LED, VCSEL, SiC, GaN 등의 반도체 칩(미도시)의 전극과 전기적 회로 연결이 가능한 패턴으로 형성될 수도 있다. 또한, 하부 금속층(300")은 상부 금속층(200")과의 부피 차이를 줄이기 위해 복수의 금속패턴(310")으로 분리될 수도 있다. 즉, 하부 금속층(300")이 복수의 금속패턴(310")으로 분리되어 부피가 감소하면, 상부 금속층(200")과 하부 금속층(300")의 부피비가 0.9 내지 1.1 범위 내에 있도록 조절되어 고온 환경에서 휘어지는 현상이 줄어들 수 있다. 하부 금속층(300")은 상부 금속층(200")과 마찬가지로 0.8mm 이상의 두께를 갖도록 형성된 Thick Cu 층이기 때문에 복수의 금속패턴(310")으로 분리하는 공정은 상부 금속층(200")을 복수의 금속패턴(210")으로 분리하는 공정과 동일하게 진행될 수 있다. 즉, 하부 금속층(300")을 복수의 금속패턴(310")으로 분리하는 단계는, 하부 금속층(300")에 열과 압력을 가하여 하부 금속층(300")의 두께보다 얇은 두께의 하부 패턴홈을 형성하고, 하부 패턴홈을 노출시키는 포토레지스트 패턴을 형성한 후, 포토레지스트 패턴을 식각 마스크로 이용하여 하부 패턴홈에 대응되는 하부 금속층(300")의 부분을 식각하고, 이후에 노출된 접합층의 부분을 세라믹 기재의 하면이 노출될 때까지 식각하는 단계를 포함할 수 있다. 또한, 하부 금속층(300")을 복수의 금속패턴(310")으로 분리하는 단계는, 세라믹 기재(100")의 하부에 하부 금속층(300")을 접합하는 단계 이전에 수행할 수도 있다.

[76] 도 13은 본 발명의 다른 실시예에 따른 세라믹 기판 제조방법을 도시한 흐름도이고, 도 14는 본 발명의 다른 실시예에 따른 세라믹 기판 제조방법에서 상부 패턴홈을 형성하는 단계를 설명하기 위한 도면이다.

[77] 도 13에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 세라믹 기판 제조방법은, 세라믹 기재(100)의 상하부에 배치되는 상부 금속층(200)과 하부 금속층(300)을 준비하는 단계(S10')와, 상부 금속층(200)의 상측 일부분을 절삭 가공하여 상

부 금속층(200)의 두께보다 얇은 두께의 상부 패턴홈(201)을 형성하는 단계(S20')와, 상부 금속층(200)의 상면에 상부 패턴홈(201)을 노출시키는 포토레지스트 패턴(20)을 형성하는 단계(S30')와, 포토레지스트 패턴(20)을 식각 마스크로 이용하여, 상부 패턴홈(201)에 대응되는 상부 금속층(200)의 부분을 식각하는 단계(S40')를 포함할 수 있다.

- [78] 본 발명의 다른 실시예에 따른 세라믹 기판 제조방법에서, 세라믹 기재(100')의 상하부에 배치되는 상부 금속층(200)과 하부 금속층(300)을 준비하는 단계(S10')와, 상부 금속층(200)의 상면에 상부 패턴홈(201)을 노출시키는 포토레지스트 패턴(20)을 형성하는 단계(S30')와, 포토레지스트 패턴(20)을 식각 마스크로 이용하여, 상부 패턴홈(201)에 대응되는 상부 금속층(200)의 부분을 식각하는 단계(S40')는 일 실시예와 동일하게 수행할 수 있다. 본 발명의 다른 실시예에 따른 세라믹 기판 제조방법은, 도 14에 도시된 바와 같이 상부 패턴홈(201)을 형성하는 단계(S20')에서, 상부 금속층(200)의 상측 일부분을 절삭 가공하여 상부 금속층(200)의 두께보다 얇은 두께의 상부 패턴홈(201)을 형성할 수 있다. 여기서, 절삭 가공은 물리적 가공인 밀링(Milling) 가공을 수행하여 두께 방향의 상부 패턴홈(201)을 형성할 수 있다. 여기서, 상부 금속층(200)은 회전축을 중심으로 회전하는 엔드밀과 같은 밀링 팁(10)에 의해 상측 일부분이 절삭되어 두께 방향의 상부 패턴홈(201)이 형성될 수 있다. 비록 도시되지는 않았으나, 밀링 장치(미도시)는 밀링 팁(10)을 기설정된 패턴에 맞게 이동시키면서 다양한 깊이 및 기울기를 가진 상부 패턴홈(201)을 자유롭게 형성하도록 구비될 수 있다. 이러한 밀링 팁(10)을 이용한 기계적 가공 방식은 상부 금속층(200)의 두께가 두껍게 형성되더라도 신속하고 정밀하게 상부 패턴홈(201)을 형성할 수 있다는 장점이 있다. 즉, 반도체 칩, 제품 스펙 등에 따라 자유롭게 회로패턴 설계가 가능하며, 미세 패턴을 형성할 수 있기 때문에 다양한 파워모듈의 설계 및 제작이 가능하다. 또한, 패턴이 바뀌더라도 패턴 변화를 컴퓨터로 교정하여 변화된 패턴에 맞게 유연한 대응이 가능하다.
- [79] 상술한 본 발명의 실시예들에 따른 세라믹 기판 제조방법은 복수의 전극패턴을 형성하기 위하여 사전에 기계적 가공 방식인 프레스 가공 또는 절삭 가공을 실시하기 때문에 화학적 식각 공정 시간을 단축시킬 수 있다는 효과가 있다. 또한, 본 발명의 세라믹 기판 제조방법은 효율적인 패터닝이 가능할 뿐만 아니라 패턴의 정밀도와 품질도 높일 수 있다는 장점이 있다.
- [80] 아울러, 본 발명의 실시예들에 따른 세라믹 기판 제조방법은 서로 마주하는 금속패턴 각각의 일측면에 계단 형태의 돌출부가 형성되게 하여 에지 영역에서의 두께를 감소시키고, 이를 통해 급격한 온도 변화에서도 열충격에 강하고, 열응력을 완화시킬 수 있다.
- [81] 상술한 본 발명의 세라믹 기판은 단면 또는 양면 냉각 파워모듈 외에도 고전력 및 고방열 특성이 필요한 다양한 장치 적용 가능하다.

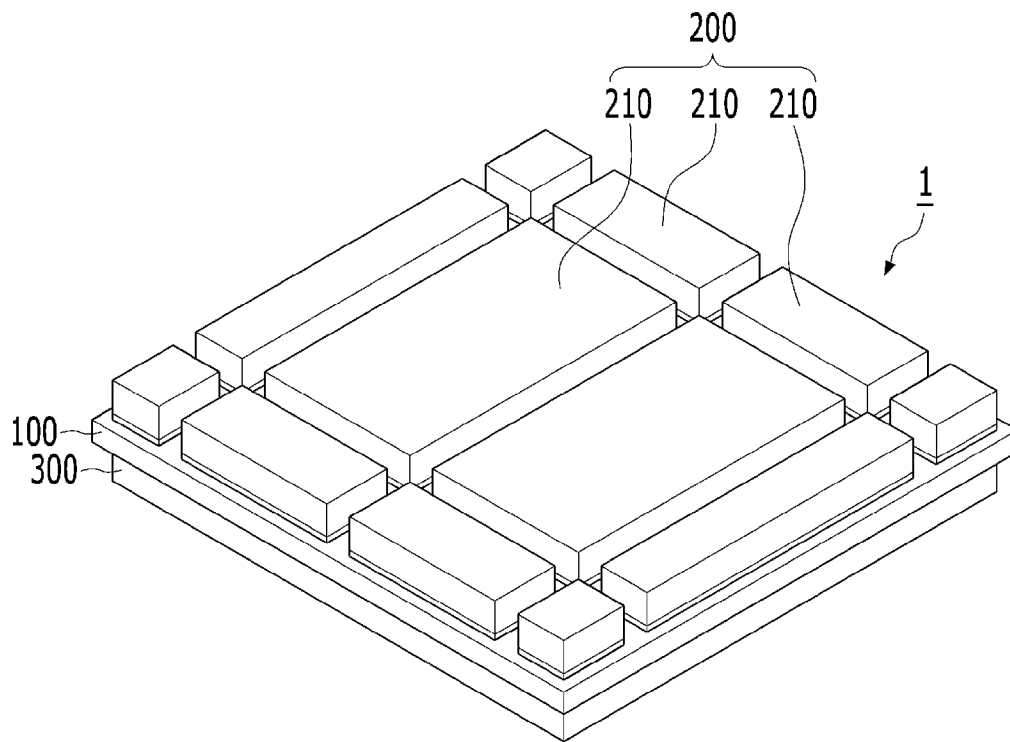
- [82] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

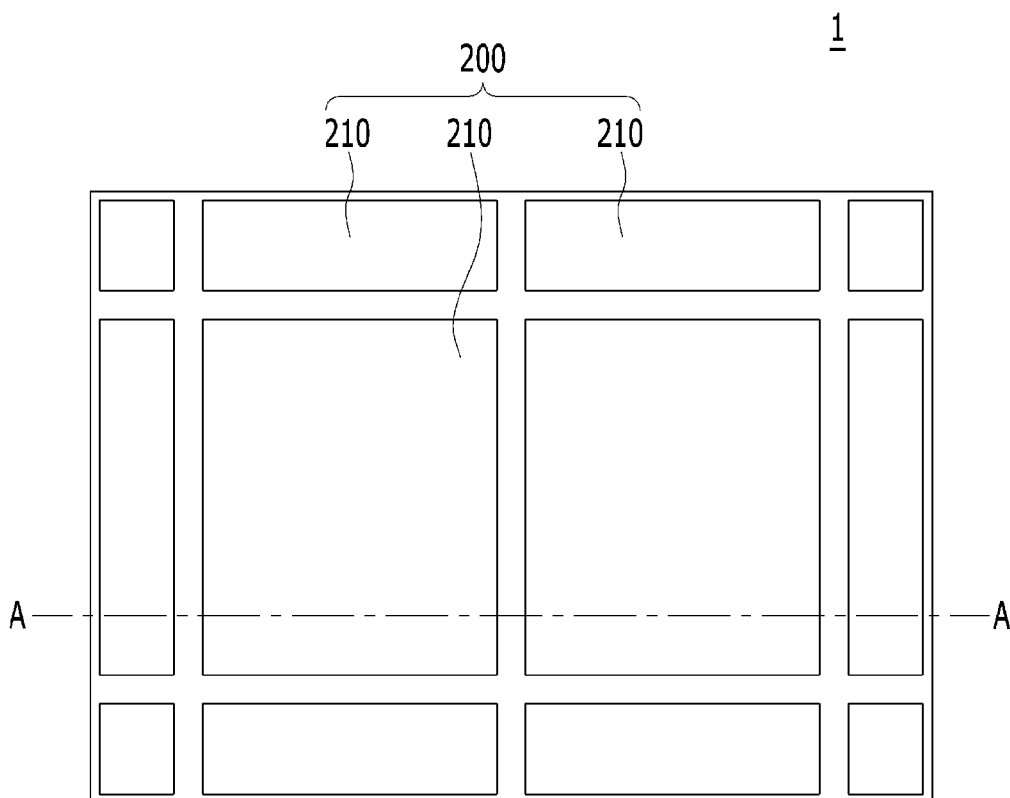
- [청구항 1] 세라믹 기재의 상하부에 배치되는 상부 금속층과 하부 금속층을 준비하는 단계;
상기 상부 금속층의 상측 일부분에 열과 압력을 가하여 상기 상부 금속층의 두께보다 얇은 두께의 상부 패턴층을 형성하는 단계;
상기 상부 금속층의 상면에 상기 상부 패턴층을 노출시키는 포토레지스트 패턴을 형성하는 단계; 및
상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 상부 패턴층에 대응되는 상기 상부 금속층의 부분을 식각하는 단계를 포함하는 세라믹 기판 제조방법.
- [청구항 2] 제1항에 있어서,
상기 상부 패턴층을 형성하는 단계에서,
상기 상부 패턴층의 두께는 상기 상부 금속층 두께의 50% 이상 90% 이하가 되도록 형성하는 세라믹 기판 제조방법.
- [청구항 3] 제1항에 있어서,
상기 상부 패턴층을 형성하는 단계 이전 또는 이후에,
상기 세라믹 기재의 상부에 상기 상부 금속층을 접합하고, 상기 세라믹 기재의 하부에 상기 하부 금속층을 접합하는 단계를 더 포함하는 세라믹 기판 제조방법.
- [청구항 4] 제3항에 있어서,
상기 접합하는 단계는,
상기 세라믹 기재의 상면과 상기 상부 금속층의 하면 사이, 상기 세라믹 기재의 하면과 상기 하부 금속층의 상면 사이에 접합층을 배치하는 단계; 및
상기 접합층을 용융시켜 상기 세라믹 기재, 상기 상부 금속층 및 상기 하부 금속층을 접합하는 단계를 포함하는 세라믹 기판 제조방법.
- [청구항 5] 제4항에 있어서,
노출된 상기 접합층의 부분을 상기 세라믹 기재의 상면이 노출될 때까지 식각하는 단계를 더 포함하는 세라믹 기판 제조방법.
- [청구항 6] 제4항에 있어서,
상기 접합층을 배치하는 단계는,
도금, 페이스트 도포, 포일(foil) 부착 중 어느 하나의 방법으로 Ag, AgCu 및 AgCuTi 중 적어도 하나를 포함하는 재료로 이루어진 접합층을 배치하는 세라믹 기판 제조방법.
- [청구항 7] 제1항에 있어서,
상기 식각하는 단계 이후에,
상기 상부 금속층은 복수의 금속패턴으로 분리된 세라믹 기판 제조방법.

- [청구항 8] 제7항에 있어서,
상기 식각하는 단계에서,
상기 상부 금속층의 부분이 식각되는 폭은 상기 상부 패턴홈의 폭보다 좁은 세라믹 기판 제조방법.
- [청구항 9] 제8항에 있어서,
서로 마주하는 상기 금속패턴 각각의 일측면은 계단 형태의 돌출부가 형성된 세라믹 기판 제조방법.
- [청구항 10] 제9항에 있어서,
상기 돌출부에서 상기 계단을 이루는 각각의 단은 돌출되는 길이가 다른 세라믹 기판 제조방법.
- [청구항 11] 제9항에 있어서,
상기 돌출부에서 상기 계단을 이루는 각각의 단은 상기 세라믹 기재에 가까울수록 돌출 길이가 증가하는 세라믹 기판 제조방법.
- [청구항 12] 제9항에 있어서,
상기 돌출부에서 상기 계단을 이루는 각각의 단 중 어느 하나는 오목하게 형성된 세라믹 기판 제조방법.
- [청구항 13] 제1항에 있어서,
상기 하부 금속층을 복수의 금속패턴으로 분리하는 단계를 더 포함하는 세라믹 기판 제조방법.
- [청구항 14] 세라믹 기재의 상하부에 배치되는 상부 금속층과 하부 금속층을 준비하는 단계;
상기 상부 금속층의 상측 일부분을 절삭 가공하여 상기 상부 금속층의 두께보다 얇은 두께의 상부 패턴홈을 형성하는 단계;
상기 상부 금속층의 상면에 상기 상부 패턴홈을 노출시키는 포토레지스트 패턴을 형성하는 단계; 및
상기 포토레지스트 패턴을 식각 마스크로 이용하여, 상기 상부 패턴홈에 대응되는 상기 상부 금속층의 부분을 식각하는 단계를 포함하는 세라믹 기판 제조방법.
- [청구항 15] 제14항에 있어서,
상기 상부 패턴홈을 형성하는 단계에서,
상기 상부 패턴홈의 두께는 상기 상부 금속층 두께의 50% 이상 90% 이하가 되도록 형성하는 세라믹 기판 제조방법.
- [청구항 16] 제14항에 있어서,
상기 상부 패턴홈을 형성하는 단계 이전 또는 이후에,
상기 세라믹 기재의 상부에 상기 상부 금속층을 접합하고, 상기 세라믹 기재의 하부에 상기 하부 금속층을 접합하는 단계를 더 포함하는 세라믹 기판 제조방법.

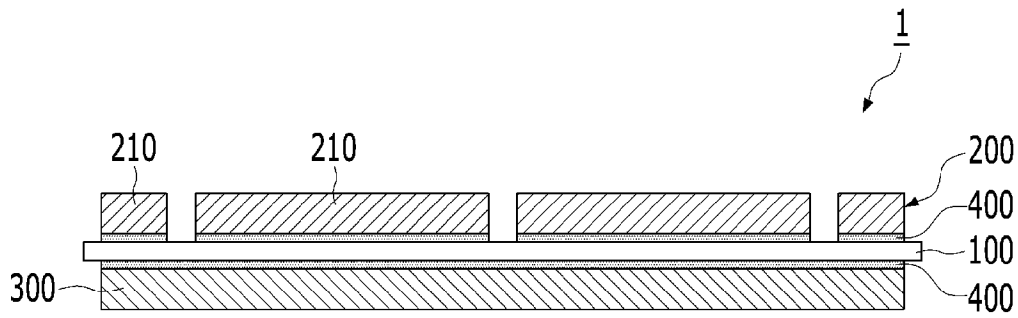
[도1]



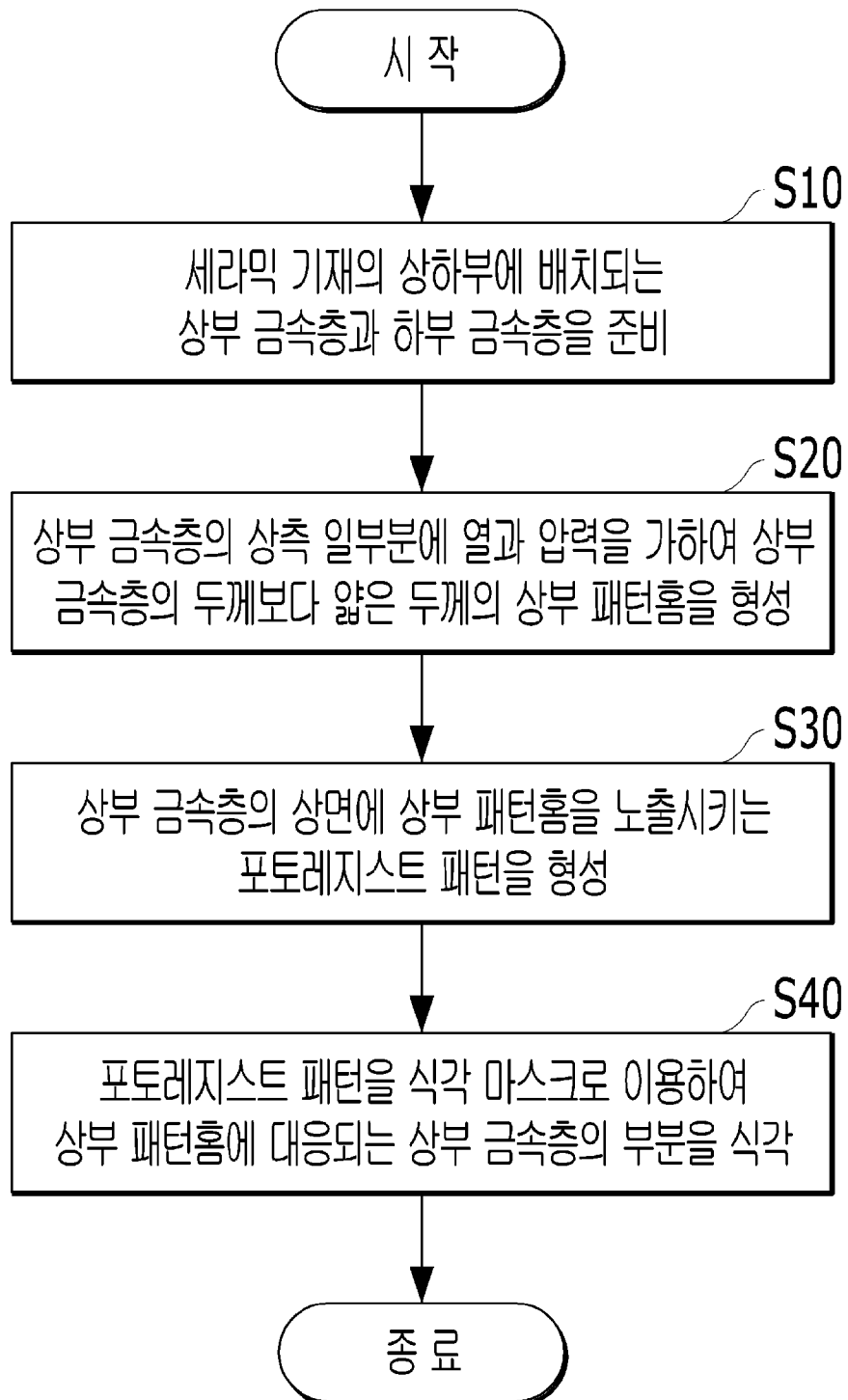
[도2]



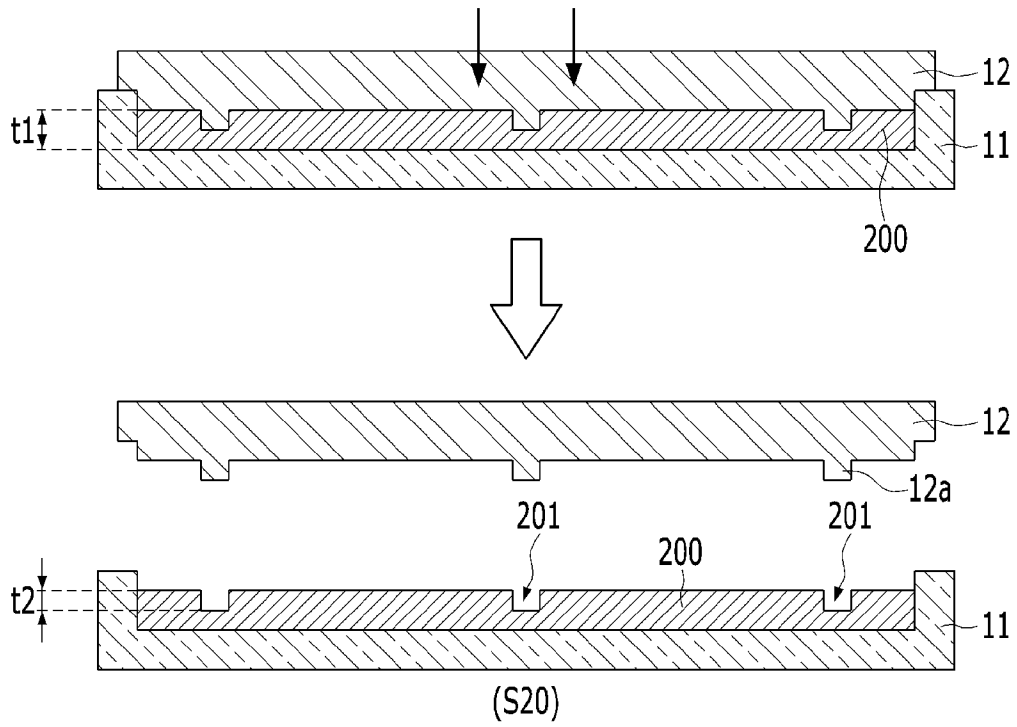
[도3]



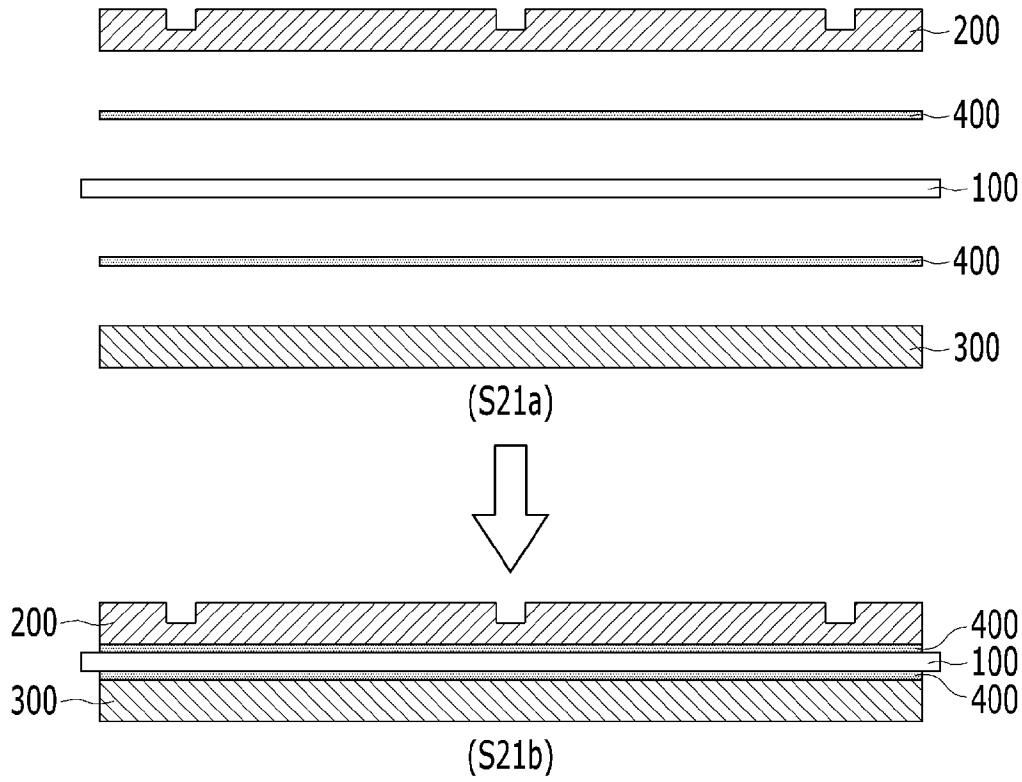
[도4]



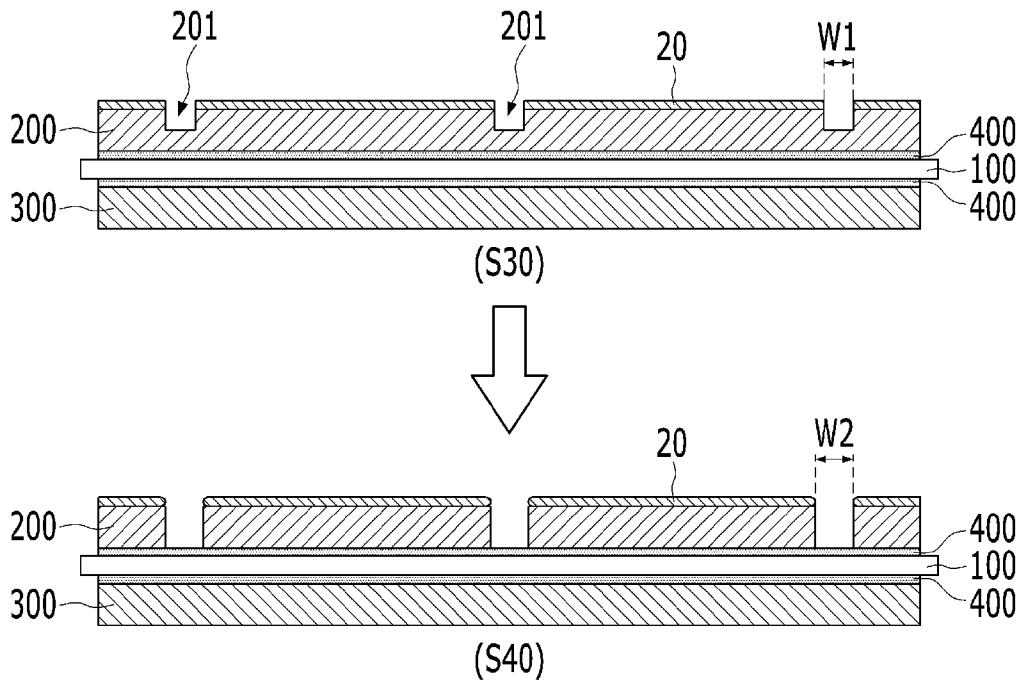
[도5]



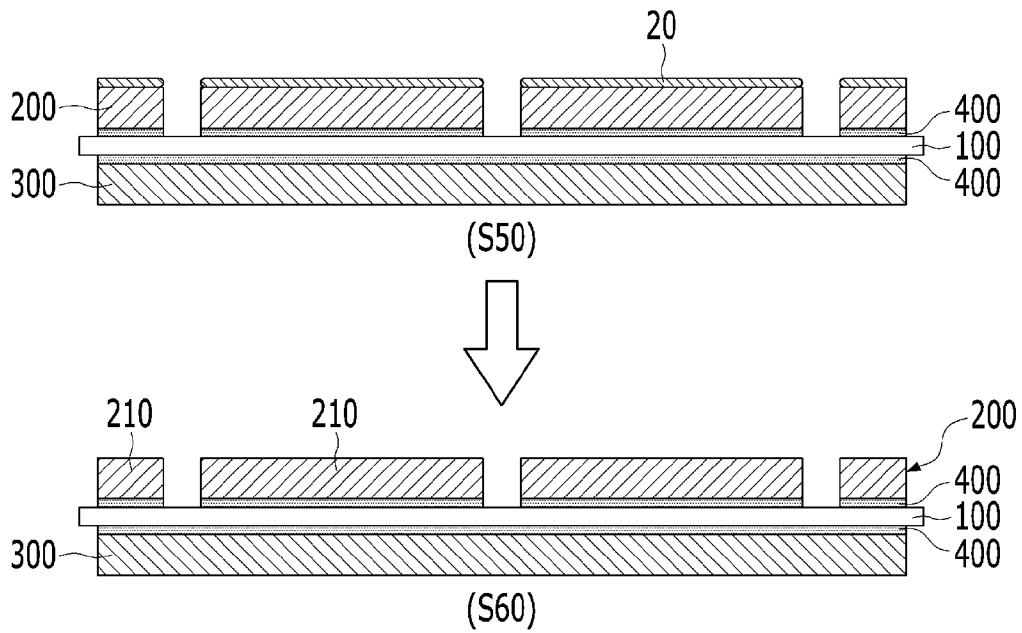
[도6]



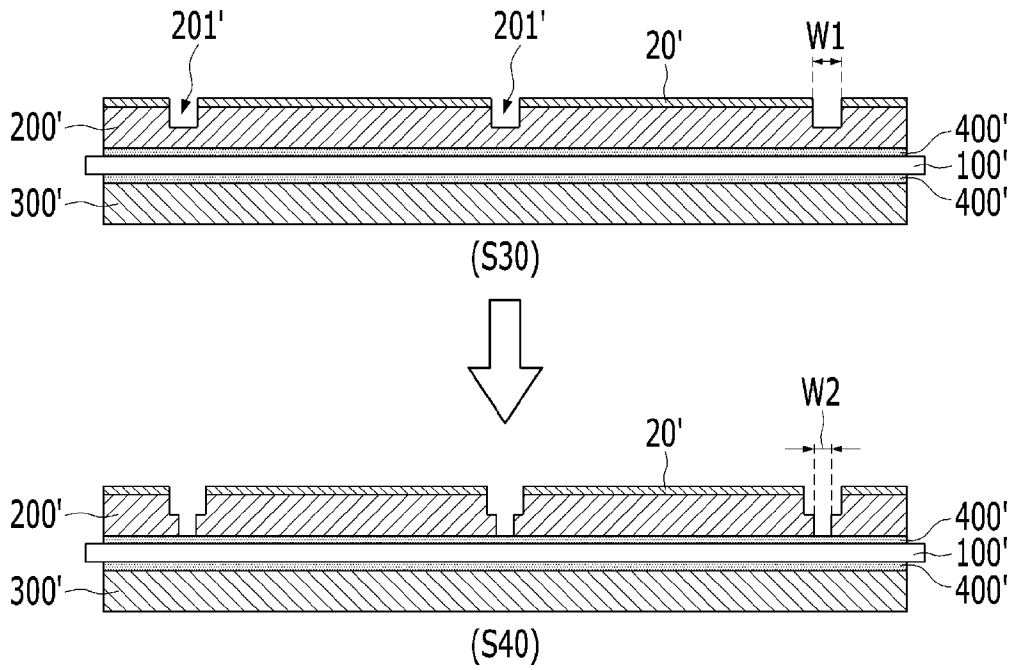
[도7]



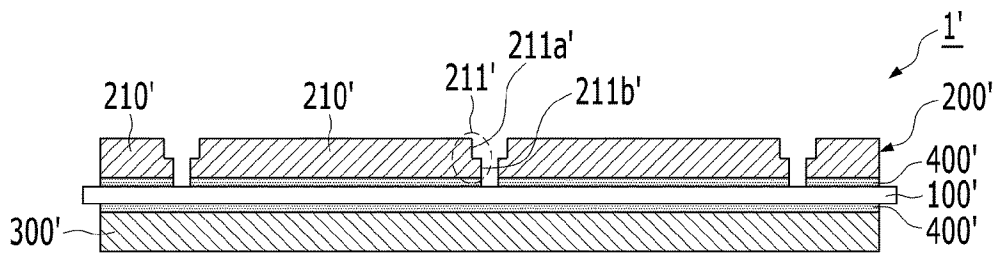
[도8]



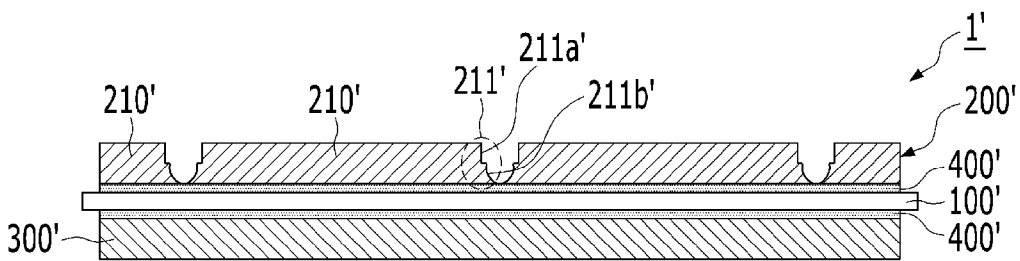
[도9]



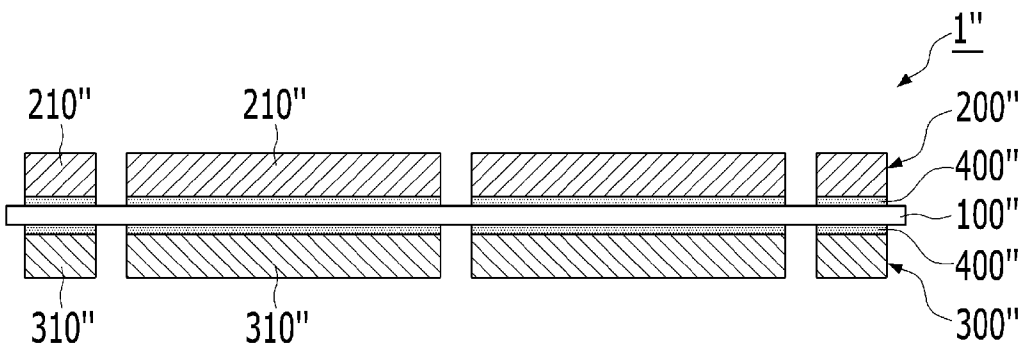
[도10]



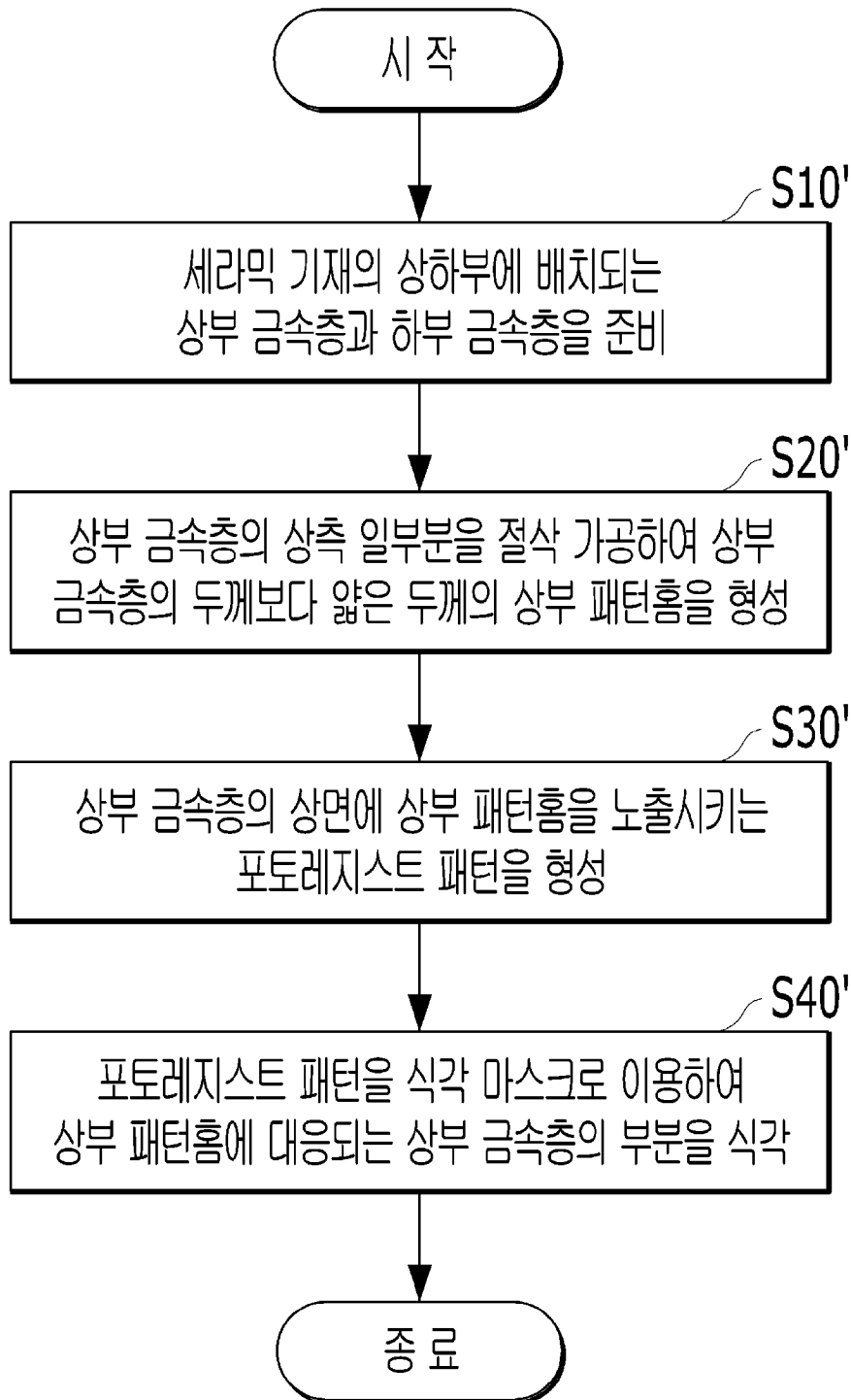
[도11]



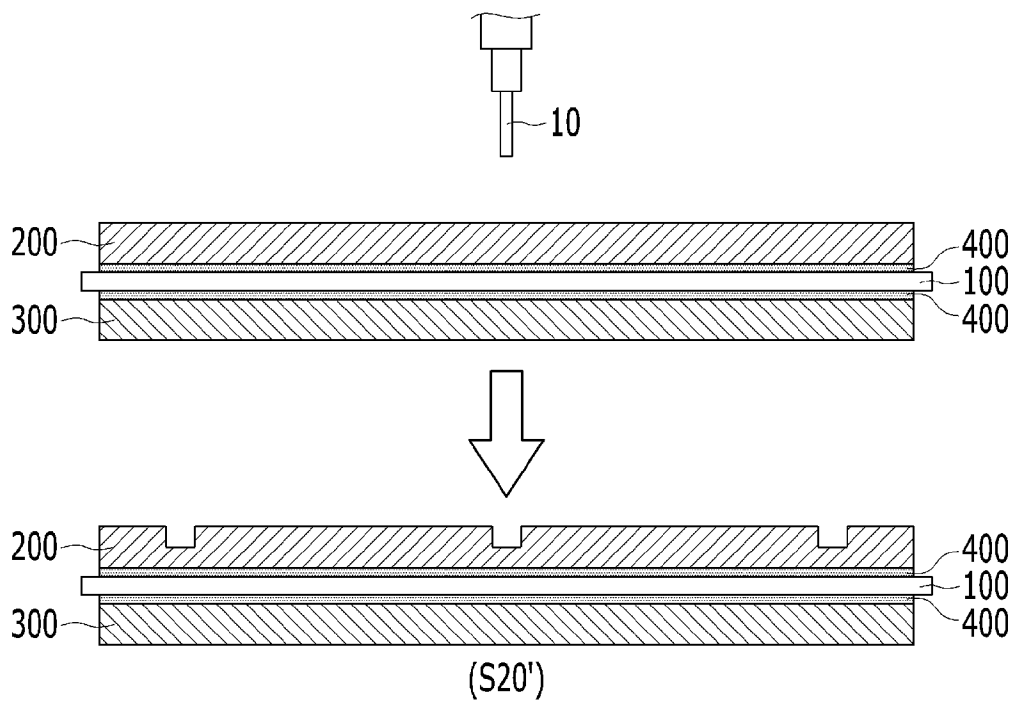
[도12]



[도13]



[도 14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/012841

A. CLASSIFICATION OF SUBJECT MATTER**H01L 21/48**(2006.01)i; **H05K 1/03**(2006.01)i; **H05K 3/10**(2006.01)i; **H01L 23/498**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/48(2006.01); H01L 23/12(2006.01); H01L 23/13(2006.01); H01L 23/14(2006.01); H01L 23/15(2006.01);
H01L 23/36(2006.01); H01L 23/373(2006.01); H05K 1/02(2006.01); H05K 1/03(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 세라믹 기판(ceramic substrate), 금속층(metal layer), 압력(press), 절삭(cut), 홈
(trench), 식각(etching)**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2019-0139810 A (LEE, Jong Eun) 18 December 2019 (2019-12-18) See abstract, paragraphs [0034]-[0065] and figures 4-11.	1-16
Y	JP 2005-101353 A (TOSHIBA CORP.) 14 April 2005 (2005-04-14) See paragraphs [0022], [0027] and [0037] and figures 1-2.	1-16
Y	KR 10-2022-0093662 A (AMOSENSE CO., LTD.) 05 July 2022 (2022-07-05) See claim 8.	6
Y	KR 10-2019-0119000 A (AMOSENSE CO., LTD.) 21 October 2019 (2019-10-21) See paragraphs [0049]-[0053] and figures 6-8.	8-12
Y	JP 2003-031718 A (MITSUBISHI ELECTRIC CORP.) 31 January 2003 (2003-01-31) See paragraph [0007] and figure 2.	13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 December 2023

Date of mailing of the international search report

22 December 2023

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/012841

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2019-0139810	A	18 December 2019	CN	114097077	A	25 February 2022
				EP	3979315	A1	06 April 2022
				JP	2022-535783	A	10 August 2022
				JP	7289374	B2	09 June 2023
				KR	10-2021-0083613	A	07 July 2021
				KR	10-2055587	B1	13 December 2019
				KR	10-2283906	B1	29 July 2021
				US	2022-0223435	A1	14 July 2022
				WO	2020-242255	A1	03 December 2020
JP	2005-101353	A	14 April 2005	JP	4146321	B2	10 September 2008
KR	10-2022-0093662	A	05 July 2022	WO	2022-145869	A1	07 July 2022
KR	10-2019-0119000	A	21 October 2019	CN	109417854	A	01 March 2019
				CN	109417854	B	27 April 2021
				EP	3474643	A1	24 April 2019
				JP	2019-520297	A	18 July 2019
				JP	7079736	B2	02 June 2022
				KR	10-1947481	B1	10 May 2019
				KR	10-1947482	B1	10 May 2019
				KR	10-2017-0143269	A	29 December 2017
				KR	10-2018-0024610	A	08 March 2018
				KR	10-2018-0037866	A	13 April 2018
				KR	10-2031727	B1	14 October 2019
				US	11291113	B2	29 March 2022
				US	2020-0315003	A1	01 October 2020
				WO	2017-222235	A1	28 December 2017
JP	2003-031718	A	31 January 2003	None			

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 21/48(2006.01)i; H05K 1/03(2006.01)i; H05K 3/10(2006.01)i; H01L 23/498(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 21/48(2006.01); H01L 23/12(2006.01); H01L 23/13(2006.01); H01L 23/14(2006.01); H01L 23/15(2006.01); H01L 23/36(2006.01); H01L 23/373(2006.01); H05K 1/02(2006.01); H05K 1/03(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 세라믹 기판(ceramic substrate), 금속층(metal layer), 압력(press), 절삭(cut), 홈(trench), 식각(etching)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2019-0139810 A (이종은) 2019.12.18 요약, 단락 [0034]-[0065] 및 도면 4-11	1-16
Y	JP 2005-101353 A (TOSHIBA CORP.) 2005.04.14 단락 [0022], [0027], [0037] 및 도면 1-2	1-16
Y	KR 10-2022-0093662 A (주식회사 아모센스) 2022.07.05 청구항 8	6
Y	KR 10-2019-0119000 A (주식회사 아모센스) 2019.10.21 단락 [0049]-[0053] 및 도면 6-8	8-12
Y	JP 2003-031718 A (MITSUBISHI ELECTRIC CORP.) 2003.01.31 단락 [0007] 및 도면 2	13
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2023년12월22일 (22.12.2023)		국제조사보고서 발송일 2023년12월22일 (22.12.2023)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 장기정 전화번호 +82-42-481-8364

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2019-0139810 A	2019/12/18	CN 114097077 A	2022/02/25
		EP 3979315 A1	2022/04/06
		JP 2022-535783 A	2022/08/10
		JP 7289374 B2	2023/06/09
		KR 10-2021-0083613 A	2021/07/07
		KR 10-2055587 B1	2019/12/13
		KR 10-2283906 B1	2021/07/29
		US 2022-0223435 A1	2022/07/14
		WO 2020-242255 A1	2020/12/03
JP 2005-101353 A	2005/04/14	JP 4146321 B2	2008/09/10
KR 10-2022-0093662 A	2022/07/05	WO 2022-145869 A1	2022/07/07
KR 10-2019-0119000 A	2019/10/21	CN 109417854 A	2019/03/01
		CN 109417854 B	2021/04/27
		EP 3474643 A1	2019/04/24
		JP 2019-520297 A	2019/07/18
		JP 7079736 B2	2022/06/02
		KR 10-1947481 B1	2019/05/10
		KR 10-1947482 B1	2019/05/10
		KR 10-2017-0143269 A	2017/12/29
		KR 10-2018-0024610 A	2018/03/08
		KR 10-2018-0037866 A	2018/04/13
		KR 10-2031727 B1	2019/10/14
		US 11291113 B2	2022/03/29
		US 2020-0315003 A1	2020/10/01
		WO 2017-222235 A1	2017/12/28
JP 2003-031718 A	2003/01/31	없음	