



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I706925 B

(45)公告日：中華民國 109 (2020) 年 10 月 11 日

(21)申請案號：105124350 (22)申請日：中華民國 105 (2016) 年 08 月 01 日

(51)Int. Cl. : C04B35/01 (2006.01) C23C14/08 (2006.01)
C23C14/34 (2006.01) C23C14/58 (2006.01)
H01L21/203 (2006.01) H01L21/336 (2006.01)
H01L21/363 (2006.01) H01L29/786 (2006.01)

(30)優先權：2015/07/30 日本 2015-150701

(71)申請人：日商出光興產股份有限公司 (日本) IDEMITSU KOSAN CO., LTD. (JP)
日本

(72)發明人：井上一吉 INOUE, KAZUYOSHI (JP) ； 宇都野太 UTSUNO, FUTOSHI (JP) ； 霍間
勇輝 TSURUMA, YUKI (JP) ； 筈井重和 TOMAI, SHIGEKAZU (JP) ； 江端一晃
EBATA, KAZUAKI (JP)

(74)代理人：陳長文

(56)參考文獻：
TW 201232787A TW 201308611A

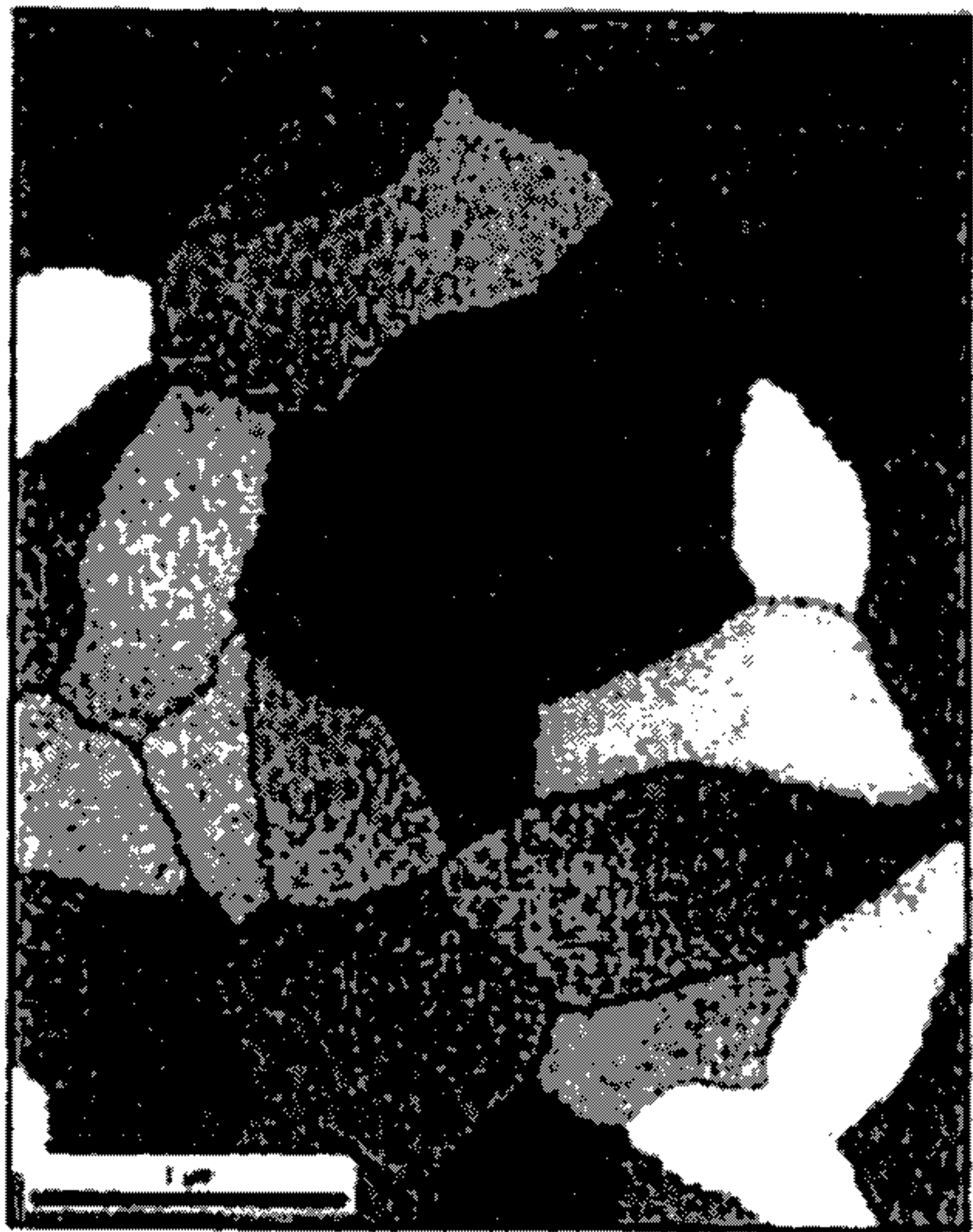
審查人員：林峯州

申請專利範圍項數：19 項 圖式數：2 共 34 頁

(54)名稱
結晶質氧化物半導體薄膜、結晶質氧化物半導體薄膜之製造方法及薄膜電晶體

(57)摘要
本發明係一種結晶質氧化物半導體薄膜，其特徵在於：以氧化銦為主成分，且包含具有單一結晶方位之表面晶粒。

指定代表圖：



刻面狀

圖1b

I706925

發明摘要

※ 申請案號： 105124350

※ 申請日： 105年8月1日

※IPC 分類：

C04B 35/01 (2006.01)

C23C 14/08 (2006.01)

C23C 14/34 (2006.01)

C23C 14/58 (2006.01)

H01L 21/203 (2006.01)

H01L 21/336 (2006.01)

H01L 21/363 (2006.01)

H01L 29/786 (2006.01)

【發明名稱】

結晶質氧化物半導體薄膜、結晶質氧化物半導體薄膜之製造
方法及薄膜電晶體

【中文】

本發明係一種結晶質氧化物半導體薄膜，其特徵在於：以氧化
銮為主成分，且包含具有單一結晶方位之表面晶粒。

【英文】

無

【代表圖】

【本案指定代表圖】：第（1B）圖。

【本代表圖之符號簡單說明】：

無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

結晶質氧化物半導體薄膜、結晶質氧化物半導體薄膜之製造方法及薄膜電晶體

【技術領域】

本發明係關於一種結晶質氧化物半導體薄膜，尤其是關於一種液晶顯示器或有機EL(Electroluminescence，電致發光)顯示器等顯示裝置等所使用之薄膜電晶體(TFT)之結晶質氧化物半導體薄膜。本發明之結晶質氧化物半導體薄膜可適宜地用於太陽電池、或液晶元件、有機電致發光元件、無機電致發光元件等顯示元件或功率半導體元件、觸控面板等電子機器，該等可適宜地用於電氣機器或車輛。

【先前技術】

用於TFT之非晶(非晶質)氧化物半導體相比於通用之非晶矽(a-Si)具有較高之載子遷移率，光學帶隙較大，且可於低溫下成膜，故而期待應用於要求大型、高解析度、高速驅動之下一代顯示器、或耐熱性較低之樹脂基板等。於上述氧化物半導體(膜)之形成時，適宜地使用對材料與該膜相同之濺鍍靶進行濺鍍之濺鍍法。其原因在於，藉由濺鍍法形成之薄膜相比於藉由離子鍍覆法或真空蒸鍍法、電子束蒸鍍法形成之薄膜，膜面方向(膜面內)之成分組成或膜厚等之面內均一性優異，且可形成成分組成與濺鍍靶相同之薄膜。濺鍍靶通常係將氧化物粉末混合燒結並經過機械加工而形成。

作為顯示裝置所使用之氧化物半導體之組成而開發最為進展者係含In之In-Ga-Zn-O非晶質氧化物半導體(例如，參照專利文獻1～4)。進而，最近，以提高TFT之較高之遷移率或可靠性為目的，而嘗

試以In為主成分，並變更添加元素之種類或濃度(例如，參照專利文獻5)。

又，於專利文獻6及7中，報告有一種In-Al系之濺鍍靶。

於專利文獻8之比較例6中，記載有一種組成為 $\text{Al}/(\text{In} + \text{Al}) = 0.125$ 之氧化物薄膜。

先前技術文獻

專利文獻

專利文獻1：日本專利特開2008-214697號公報

專利文獻2：日本專利特開2008-163441號公報

專利文獻3：日本專利特開2008-163442號公報

專利文獻4：日本專利特開2012-144410號公報

專利文獻5：日本專利特開2011-222557號公報

專利文獻6：日本專利特開2011-249570號公報

專利文獻7：國際公開2010/070944號

專利文獻8：國際公開2012/090490號

【發明內容】

氧化物半導體可分類為非晶質氧化物半導體與結晶質氧化物半導體。

非晶質氧化物半導體之載子包含由氧缺失產生之電子。

另一方面，關於結晶質氧化物半導體，報告有藉由製成結晶質之薄膜而可獲得高遷移率之TFT。然而，結晶質薄膜會因TFT製造之各步驟中之各種熱負荷、氧化負荷、還原負荷等，而使載子密度發生變動。例如，若以急遽之升溫速度使氧化物薄膜加熱結晶化，則結晶生長以放射狀發生，由此結晶方位成為放射狀，於晶粒內部產生成為載子密度之變動原因之大量晶格缺陷。因此，結晶質氧化物半導體薄膜仍有載子密度發生變動之問題，並未抑制住TFT特性之變動。

又，於提高顯示裝置用氧化物半導體膜之遷移率或可靠性方面，重要的是降低氧化物半導體之能隙內存在之阱。作為方法之一，有於濺鍍中向腔室內導入水而更有效地進行氧化之方法(例如，專利文獻8)。水於電漿中被分解，成為顯示非常強之氧化力之OH自由基，具有減少氧化物半導體之阱之效果。然而，導入水之製程存在如下問題：除必須將溶入至水中之氧氣或氮氣預先進行充分脫氣外，亦需要配管之腐蝕對策等新的對策。

前述專利文獻8之比較例6中所記載之組成為 $\text{Al}/(\text{In} + \text{Al}) = 0.125$ 之氧化物薄膜中，鋁之含量多至12.5原子%。由於鋁之非晶質化效果而難以結晶化，加之由於進而存在水進行成膜而具有更進一步之非晶質化效果，即便於成膜後以 300°C 加熱亦僅生成微晶。故而認為，載子密度發生變動之問題並未解決，並未抑制住TFT特性之變動。

本發明之目的在於提供一種具有穩定之載子密度之結晶質氧化物半導體薄膜、及將其用作薄膜電晶體之通道層時飽和遷移率較高之薄膜電晶體。

因此，本發明者等人不導入水等雜質而成膜以氧化銦為主成分之氧化物薄膜並加熱，獲得包含具有單一結晶方位之表面晶粒之結晶質氧化物半導體薄膜。發現藉由以上述方式設定氧化物薄膜之結晶狀態，而使得結晶穩定化，可抑制住氧化物薄膜之載子密度之變動、以及TFT特性之變動。

進而，發現於結晶質氧化物半導體薄膜包含與氧之鍵結力較高之氧化鋁之情形時，抑制住由TFT製造步驟中之各種熱負荷、氧化負荷、還原負荷等引起之載子密度之變動，獲得更穩定之氧化物半導體薄膜，從而完成本發明。

根據本發明，提供以下之結晶質氧化物半導體薄膜、及結晶質氧化物半導體薄膜之製造方法等。

1.一種結晶質氧化物半導體薄膜，其特徵在於：以氧化銦為主成分，且包含具有單一結晶方位之表面晶粒。

2.如1記載之結晶質氧化物半導體薄膜，其特徵在於：於以電子背向散射分析法進行觀察時，觀察到表面之結晶狀態為刻面狀之晶粒。

3.如1或2記載之結晶質氧化物半導體薄膜，其特徵在於：上述表面之結晶狀態為刻面狀之晶粒所占之面積為50%以上。

4.如1至3中任一項記載之結晶質氧化物半導體薄膜，其特徵在於包含選自由銦元素以外之正三價金屬元素所組成之群之1種以上之元素。

5.如4記載之結晶質氧化物半導體薄膜，其特徵在於：上述銦元素以外之正三價金屬元素之含量相對於上述結晶質氧化物半導體薄膜中之所有金屬成分超過8原子%且為17原子%以下。

6.如4或5記載之結晶質氧化物半導體薄膜，其特徵在於：上述銦元素以外之正三價金屬元素為選自由鋁、鎵、鉍及鏷系元素所組成之群之1種或2種以上。

7.如1至6中任一項記載之結晶質氧化物半導體薄膜，其特徵在於進而包含選自由正四價金屬元素所組成之群之1種以上之元素。

8.如7記載之結晶質氧化物半導體薄膜，其特徵在於：上述正四價金屬元素之含量相對於上述結晶質氧化物半導體薄膜中之所有金屬成分為0.01原子%以上且1原子%以下。

9.如7或8記載之結晶質氧化物半導體薄膜，其特徵在於：上述正四價金屬元素為選自由錫、鉛及鉍所組成之群之1種以上。

10.如1至9中任一項記載之結晶質氧化物半導體薄膜，其特徵在於：帶隙為3.6 eV以上。

11.一種如1至10中任一項記載之結晶質氧化物半導體薄膜之製造

方法，其特徵在於包括如下步驟：

使用以氧化銦為主成分之濺鍍靶，將實質上不含雜質氣體之氬氣及氧氣之混合氣體用作濺鍍氣體，藉由濺鍍形成氧化物薄膜；及對所獲得之氧化物薄膜進行加熱。

12.如11記載之結晶質氧化物半導體薄膜之製造方法，其特徵在於：上述濺鍍氣體中之雜質氣體之比率為0.1體積%以下。

13.如11或12記載之結晶質氧化物半導體薄膜之製造方法，其特徵在於：上述濺鍍靶含有選自由鋁、鎵、釷及鏷系元素所組成之群之1種以上之元素。

14.如11至13中任一項記載之結晶質氧化物半導體薄膜之製造方法，其特徵在於：上述加熱溫度為250℃以上且500℃以下。

15.如11至14中任一項記載之結晶質氧化物半導體薄膜之製造方法，其特徵在於：於上述加熱步驟中，250℃至250℃之升溫速度為20℃/分鐘以下。

16.如11至14中任一項記載之結晶質氧化物半導體薄膜之製造方法，其特徵在於：上述加熱時間為0.1小時以上且5小時以下。

17.一種薄膜電晶體，其特徵在於具有源極電極及汲極電極、閘極電極、閘極絕緣膜、保護絕緣膜、以及氧化物半導體層，且

上述氧化物半導體層位於閘極絕緣膜與保護絕緣膜之間，且包含如1至10中任一項記載之結晶質氧化物半導體薄膜。

18.如17記載之薄膜電晶體，其飽和遷移率為 $30 \text{ cm}^2/\text{V} \cdot \text{sec}$ 以上。

19.如17或18記載之薄膜電晶體，其特徵在於：根據汲極電壓0.1V下以線性區域中之場效遷移率之方法求得之 $V_g - \mu$ 曲線， $V_g = V_{th} + 5$ 之遷移率為 $10 \text{ cm}^2/\text{Vs}$ 以上， $V_g = V_{th}$ 至 $V_{th} + 20$ 之平均遷移率為該範圍之最大遷移率之50%以上。

20.一種電氣機器或車輛，其使用有如17至19中任一項記載之薄

膜電晶體。

根據本發明，可提供一種具有穩定之載子密度之結晶質氧化物半導體薄膜、及使用其之飽和遷移率較高之薄膜電晶體。

【圖式簡單說明】

圖1a係表示利用作為氧化銦(In_2O_3)薄膜表面之結晶分析法之電子背向散射繞射法(EBSD, Electron Back Scattering Diffraction Patterns)所得之方位基準的圖。

圖1b係實施例1中所獲得之結晶質氧化物半導體薄膜之EBSD圖像，且係氧化銦(In_2O_3)薄膜表面顯示刻面狀之結晶狀態之情形之典型之EBSD圖像。

圖1c係比較例1中所獲得之結晶質氧化物半導體薄膜之EBSD圖像，且係氧化銦(In_2O_3)薄膜表面顯示放射狀之結晶狀態之情形之典型之EBSD圖像。

圖2係表示實施例及比較例中所製造之本發明之一實施形態之底閘極型薄膜電晶體之結構的概略剖視圖。

【實施方式】

1.結晶質氧化物半導體薄膜

本發明之結晶質氧化物半導體薄膜之特徵在於：以氧化銦為主成分，且包含具有單一結晶方位之表面晶粒。

包含具有單一結晶方位之表面晶粒之結晶質薄膜之結晶穩定，能夠抑制由TFT製造步驟中之各種熱負荷、氧化負荷、還原負荷等引起之載子密度之變動。以該結晶質薄膜作為通道層之薄膜電晶體能夠達成較高之飽和遷移率。

此處，所謂「以氧化銦為主成分」意指構成薄膜之氧化物之50重量%以上為氧化銦，較佳為70重量%以上，更佳為80重量%以上，進而較佳為90重量%以上。於氧化銦未達氧化物之50重量%之情形

時，存在構成薄膜電晶體(TFT)時之飽和遷移率降低之情況。

所謂「包含具有單一結晶方位之表面晶粒」係指結晶方位受到控制之狀態。通常，於以電子背向散射繞射法(EBSD)進行觀察時，若觀察到該氧化物半導體薄膜之表面之結晶狀態為刻面狀之晶粒，則可謂「包含具有單一結晶方位之表面晶粒」。

刻面狀或放射狀可藉由EBSD測定而容易地判別。於圖1b中表示表面結晶顯示刻面狀之結晶狀態之情形之典型之EBSD圖像。於圖1c中表示表面結晶顯示放射狀之結晶狀態之情形之典型之EBSD圖像。

刻面狀之結晶形態，作為平均結晶粒徑，通常為 $0.5\ \mu\text{m}$ 以上，較佳為 $1\ \mu\text{m}$ 以上，更佳為 $2\ \mu\text{m}$ 以上，又，作為平均粒徑之上限值，通常為 $10\ \mu\text{m}$ 以下。晶粒分別具有單一之結晶方位。若平均結晶粒徑未達 $0.5\ \mu\text{m}$ ，則存在成為微晶之情況，若為 $10\ \mu\text{m}$ 以上，則存在於內部引起結晶轉移並成為放射狀之情況。

再者，粒徑係藉由以EBSD確認表面形態並測量費雷特直徑(設為與結晶外切之長方形之短邊)而求出。

平均結晶粒徑係測定於以膜之中央部(對角線之交點)為中心之框內所觀察到之刻面結晶之粒徑，並以算術平均算出其平均值而得者。框之尺寸通常為 $5\ \mu\text{m} \times 5\ \mu\text{m}$ ，根據膜之尺寸、或粒徑之尺寸適當調整。框內之刻面狀結晶之數量為5個以上。於不滿5個之情形時，擴大框之尺寸進行觀察。於即便觀察整個膜仍然未達5個之情形時，藉由測量能夠測量之結晶而算出。於放射狀之結晶形態之情形時，作為粒徑，通常具有 $1\ \mu\text{m} \sim 20\ \mu\text{m}$ 左右之粒徑，尤其是超過 $10\ \mu\text{m}$ 之結晶中，於該粒徑內具有不顯示單一之結晶方位，結晶方位自中心部或結晶端部以放射狀變化之結晶。

表面之結晶狀態為刻面狀之晶粒所占之面積較佳為50%以上，更佳為80%，進而較佳為90%以上。若結晶狀態為刻面狀之晶粒占結晶

質氧化物半導體薄膜之表面的面積為50%以上，則可達成穩定之載子密度。若放射狀之結晶增加，則存在變得難以抑制由TFT製造步驟中之各種熱負荷、氧化負荷、還原負荷等引起之載子密度之變動之情況、及飽和遷移率變小之情況。

作為非刻面狀之結晶形態，除放射狀之結晶形態外，還可列舉非晶狀或微細之晶粒等。上述刻面狀之結晶狀態之粒子所占面積以外之部分由該等形態之粒子所佔據。

本發明之結晶質氧化物半導體薄膜較佳為包含選自由銦元素以外之正三價金屬元素所組成之群之1種以上之元素。作為銦元素以外之正三價金屬元素，可列舉鋁、鎵、釷、鑰系元素等，較佳為鋁、鎵、釷及鑰系元素之任1種或2種以上，特佳為鋁及鑰系元素之任一者或兩者。又，亦較佳為鎵及鑰系元素之任一者或兩者。作為鑰系元素，較佳為鑰、釹、釷、鎳、釷、鈹、鎢、鈦、鈦、鈦、鎢、鎢、鎢，更佳為釹、釷、鎳。

銦元素以外之正三價金屬元素之含量相對於上述結晶質氧化物半導體薄膜中之所有金屬成分較佳為超過8原子%且為17原子%以下，更佳為超過10原子%且為15原子%以下。此處，所謂銦元素以外之正三價金屬元素之含量，意指結晶質氧化物半導體薄膜中所包含之銦元素以外之正三價金屬元素之總量。

鋁、釷及鑰系元素與氧之鍵結力較大，具有抑制由氧缺失產生載子之效果，可獲得抑制因由TFT製造步驟中之各種熱負荷、CVD(Chemical Vapor Deposition，化學氣相沈積)成膜中之還原負荷等產生之氧缺失而導致載子密度增加之效果，故較佳。

又，關於鎵，就認為其具有減小結晶化之氧化銦之晶格常數之效果，且具有提高TFT之遷移率之效果之原因而言較佳。

鋁及/或鑰系元素之含量相對於結晶質氧化物半導體薄膜中之所

有金屬成分較佳為超過8原子%~17原子%以下，更佳為超過10原子%至15原子%以下。於鋁及/或鉍之含量未達8原子%之情形時，存在抑制由氧缺失引起之載子密度之增加之效果較小之情況，或存在於成膜時產生微晶之情況。又，存在由於步驟中之絕緣膜之成膜所使用之CVD成膜中之損傷而形成氧缺失，使載子密度發生變動的情況。另一方面，於超過17原子%之情形時，存在於利用熱處理進行之結晶化步驟中未發生結晶化之情況、或僅得到微晶之情況，存在無法獲得刻面狀之結晶形態之情況。

單獨使用鋁、鉍、鎵或鏷系元素之情形時之各自之較佳含量相對於結晶質氧化物半導體薄膜中之所有金屬成分分別較佳為如下範圍。

10原子% < Al < 15原子%

8原子% < Ga < 15原子%

8原子% < Y < 15原子%

8原子% < 鏷系元素 < 15原子%

於使用鋁、鉍、鎵及鏷系元素中之2種以上之情形時，如上所述，較佳為使總量為超過8原子%~17原子%以下之範圍。

又，關於含有選自鋁、鉍、鎵及鏷系元素之1種以上之元素的結晶質氧化物半導體薄膜，用橢圓偏光計測得之光學帶隙變大至3.6 eV以上，接受來自外界光或有機EL等發光體之光而進行誤動作的情況變少。

本發明之結晶質氧化物半導體薄膜進而亦可含有選自由正四價金屬元素所組成之群之1種以上之元素。作為正四價金屬元素，可列舉錫、鉛、銻等，特佳為錫。

正四價金屬元素之含量相對於上述結晶質氧化物半導體薄膜中之所有金屬成分較佳為0.01原子%以上~1.0原子%以下，更佳為0.03

原子%~0.7原子%，進而較佳為0.05~0.5原子%。此處，所謂正四價金屬元素之含量，意指結晶質氧化物半導體薄膜中所包含之正四價金屬元素之總量。

例如藉由含有錫元素，可降低靶之電阻值、減少異常放電而進行穩定之濺鍍，故而較佳。又，藉由薄膜之結晶化而生成載子，可抑制由於TFT製造步驟中之各種熱負荷、氧化負荷等而使氧缺失消失，導致載子密度之降低。

錫元素之含量相對於結晶質氧化物半導體薄膜中之所有金屬成分較佳為超過0.01原子%~1.0原子%以下。於錫元素之含量為0.01原子%以下時，存在伴隨著結晶化而產生載子之能力較小之情況，存在由於步驟中之熱負荷、氧化負荷而使載子減少之情況，存在遷移率降低之情況。又，錫元素亦有助於成膜中之靶之穩定性。於超過1.0原子%時，載子產生能力過強，存在載子過於增加、或成為載子之散射中心而減小遷移率之情況。錫之含量更佳為0.03原子%~0.7原子%，進而較佳為0.05~0.5原子%。

本發明之結晶質氧化物半導體薄膜對液晶顯示器或有機EL顯示器等顯示裝置等所使用之薄膜電晶體(TFT)等有用。

2.結晶質氧化物半導體薄膜之製造方法

本發明之結晶質氧化物半導體薄膜之製造方法之特徵在於包括如下步驟：

使用以氧化銦為主成分之濺鍍靶，將實質上不含雜質氣體之氬氣及氧氣之混合氣體用作濺鍍氣體，藉由濺鍍形成氧化物薄膜；及對所獲得之氧化物薄膜進行加熱。

使用以氧化銦為主成分之濺鍍靶，將實質上不含雜質之高純度氬氣及高純度氧氣之混合氣體用作濺鍍氣體，藉由濺鍍進行成膜而獲得之薄膜為非晶(非晶質)氧化物薄膜。藉由加熱而使其結晶化，獲得

表面結晶具有單一之結晶方位、較佳為刻面狀之結晶狀態之結晶質氧化物半導體薄膜。

所謂濺鍍氣體「實質上不含雜質」，意指除伴隨著玻璃之插入導致之吸附水之帶入、或腔室之洩漏或吸附氣體等無法排除之氣體(不可避免之雜質氣體)以外，不積極地導入氫氣及氧氣以外之雜質氣體。例如，可使用市售之高純度氫氣及高純度氧氣之混合氣體。若可能，應將雜質排除。

濺鍍氣體中之雜質氣體之比率較佳為0.1體積%以下，更佳為0.05體積%以下。若雜質氣體較多，則存在阻礙薄膜之結晶化而無法結晶化、或僅生成微晶而無法獲得所需之刻面狀結晶之情況。高純度氫氣或高純度氧氣較佳為純度99%以上，更佳為99.9以上，進而較佳為99.99%以上。

作為濺鍍氣體之氫氣及氧氣之混合氣體中之氧分壓較佳為5~50體積%之範圍，更佳為10~30體積%之範圍。若氧分壓為上述範圍，則於加熱時容易結晶化而半導體化。可藉由改變氧分壓而調節所獲得之薄膜之氧化程度即結晶化之程度。氧分壓只要視需要適當地選擇即可。

又，所使用之以氧化銦為主成分之濺鍍靶較佳為含有選自鋁、鉍、鎵及鐳系元素之1種以上之元素。鋁原子之離子半徑為0.53 Å，鎵原子之離子半徑為0.62 Å，鉍原子之離子半徑為0.89 Å，鐳系元素例如釷之原子半徑為0.96 Å，與In原子之離子半徑0.80 Å不同，故而知於形成薄膜時阻礙結晶化。藉由使濺鍍靶含有鋁元素、鉍元素、鐳系元素例如釷元素，可不導入水等雜質而於成膜時確實地獲得非晶之氧化物薄膜，藉由下一步驟之加熱，可使刻面狀之結晶生長。於形成薄膜時，若產生微晶，則存在於加熱後無法成為刻面狀之結晶之情況。於此情形時，存在由於由微晶引起之載子之散射或晶界中之載子

散射等而使遷移率降低之情況。因此，成膜時較理想為保持非晶狀態。

又，所使用之以氧化銦為主成分之濺鍍靶較佳為含有銻元素。銻能夠固溶於氧化銦中，可減小氧化銦之晶格常數，認為藉此提高作為最終製品之TFT之遷移率。另一方面，若含有大量銻元素，則有未發生結晶化而進行非晶化之傾向。認為其原因在於離子半徑較小之銻元素變得無法固溶於氧化銦中。於此情形時，若使元素之離子半徑較大之元素(例如，釔元素、鑷系元素例如釷元素)共存，則可消除由於含有銻離子而產生之結晶之變形，可獲得穩定之氧化銦結晶，可發揮穩定之TFT特性。

用於使上述非晶薄膜結晶化之加熱溫度較佳為 $250^{\circ}\text{C} \sim 500^{\circ}\text{C}$ 之範圍，更佳為 $280^{\circ}\text{C} \sim 470^{\circ}\text{C}$ ，進而較佳為 $300^{\circ}\text{C} \sim 450^{\circ}\text{C}$ 。於未達 250°C 時，存在氧化物薄膜未發生結晶化，或即便發生結晶化，結晶形態亦無法成為刻面狀而成為微細之晶粒之情況。於超過 500°C 時，存在基板之耐熱性不足，或加熱裝置之費用花費過多之情況。

用於使上述非晶薄膜結晶化之加熱時間較佳為0.1小時以上且5小時以下，更佳為0.3小時以上且3小時以下，進而較佳為0.5小時以上且2小時以下。於未達0.1小時之情形時，加熱時間較短，存在未發生結晶化，或成為放射狀而非刻面狀之結晶形態之情況。若長於5小時，則加熱費用花費過多而並不現實。再者，所謂「加熱時間」，係指自達到上述特定加熱溫度後至降溫前之時間。

為了容易地生成刻面狀之結晶，較佳為使結晶化速度較氧擴散速度慢。於成膜後之氧化物薄膜中之氧濃度較高之情形時，結晶化時氧不會不足，即便提高結晶化速度來結晶化亦可獲得刻面狀之結晶。但，若在氧不足之狀態下提高結晶化速度，則會於結晶化時發生氧缺失，並以此為起點發生結晶轉移，而變得容易生成放射狀而非刻面狀

之結晶。

為了即便於成膜後之氧化物薄膜為氧不足之狀態亦穩定地獲得刻面狀之結晶，只要使結晶化速度較氧擴散速度慢即可。即，較佳為將結晶化開始進行之 $150^{\circ}\text{C} \sim 250^{\circ}\text{C}$ 之間之升溫速度設為 $20^{\circ}\text{C}/\text{分鐘}$ 以下，更佳為 $15^{\circ}\text{C}/\text{分鐘}$ 以下之升溫速度，進而較佳為 $10^{\circ}\text{C}/\text{分鐘}$ 以下之升溫速度。藉此可確實地使結晶化速度較氧擴散速度慢，故而可容易地獲得刻面狀之結晶。若以超過 $20^{\circ}\text{C}/\text{分鐘}$ 之升溫速度進行加熱，則存在成為放射狀而非刻面狀之結晶形態之情況，存在難以抑制由TFT製造步驟中之各種熱負荷、氧化負荷、還原負荷等引起之載子密度之變動之情況，或存在製成TFT時之飽和遷移率變小之情況。

關於升溫速度之下限值，若為未達 $1^{\circ}\text{C}/\text{分鐘}$ 之升溫速度，則過慢，存在過於耗費加熱時間且費用增多之情況，較佳為 $2^{\circ}\text{C}/\text{分鐘}$ 以上，更佳為 $3^{\circ}\text{C}/\text{分鐘}$ 以上。

較佳為不直接向 250°C 以上之溫度之爐中投入基板，而向 150°C 以下之爐中投入基板，並以上述較佳之升溫速度升溫至 250°C 。藉由將 $150^{\circ}\text{C} \sim 250^{\circ}\text{C}$ 之間之升溫速度設為上述範圍，可獲得更佳之刻面狀之結晶形態。

3. 薄膜電晶體及電子機器

本發明之薄膜電晶體(TFT)之特徵在於具有源極電極及汲極電極、閘極電極、閘極絕緣膜、保護絕緣膜、以及氧化物半導體層，且

上述氧化物半導體層位於閘極絕緣膜與保護絕緣膜之間，且包含上述本發明之結晶質氧化物半導體薄膜。

上述本發明之結晶質氧化物半導體薄膜及藉由結晶質氧化物半導體薄膜之製造方法製造之結晶質氧化物半導體薄膜包含具有單一結晶方位之表面晶粒，較佳為於以EBSD進行觀察時，觀察到表面之結晶狀態為刻面狀之晶粒。所獲得之結晶質氧化物半導體薄膜係能夠抑

制由TFT製造步驟中之各種熱負荷、氧化負荷、還原負荷等引起之載子濃度之變動的穩定之氧化物半導體薄膜。藉由將其用於通道層，可獲得飽和遷移率較佳為 $30\text{ cm}^2/\text{V}\cdot\text{sec}$ 以上、更佳為 $50\text{ cm}^2/\text{V}\cdot\text{sec}$ 以上、進而較佳為 $70\text{ cm}^2/\text{V}\cdot\text{sec}$ 以上之TFT。

又，上述本發明之結晶質氧化物半導體薄膜及藉由結晶質氧化物半導體薄膜之製造方法製造之結晶質氧化物半導體薄膜亦可藉由於其一面配置銦金屬或ITO(Indium Tin Oxide，氧化銦錫)、IZO(Indium Zinc Oxide，氧化銦鋅)等歐姆電極，於另一面配置鉬、鈦等金屬或碳化物、矽化物等肖特基電極而構成肖特基勢壘二極體。

上述本發明之TFT較佳為高速回應型。關於用於評價是否為高速回應型TFT之特性，於後述之實施例中說明。

上述本發明之TFT可適宜地用於太陽電池、或液晶、有機電致發光、無機電致發光等之顯示元件或功率半導體元件、觸控面板等電子機器，該等可適宜地用於電氣機器或車輛。

實施例

實施例1

根據以下步驟製造具有圖2所示之結構之薄膜電晶體。

(1)成膜步驟

使用以氧化銦96重量%(89.8 at%)：氧化鋁4重量%(10.2 at%)之比率混合而成之濺鍍靶，藉由濺鍍而於附熱氧化膜(閘極絕緣膜30)之矽晶圓(閘極電極20)上隔著金屬遮罩形成 50 nm 之薄膜(氧化物半導體層40)。使用高純度氬氣及高純度氧氣之混合氣體(雜質濃度：0.01體積%)作為濺鍍氣體，以表1-1中所示之成膜條件進行濺鍍。

(2)加熱步驟

於大氣中對所獲得之積層體以表1-1中所示之溫度、時間及條件進行加熱處理。表1-1中之「半導體膜成膜後之加熱處理條件」中之

「成膜後之熱處理：時間(分鐘)」意指自達到熱處理溫度後至開始降溫前之時間。

(3)保護絕緣膜之形成

於加熱處理後之半導體薄膜上，以基板溫度 350°C 藉由化學蒸鍍法(CVD)形成 SiO_2 膜(保護絕緣膜：層間絕緣膜70、通道部層間絕緣膜70a(但，此時為無接觸孔之連續之膜))，以表1-1中所示之條件進行加熱處理。

(4)源極-汲極電極之形成

於加熱處理後之 SiO_2 膜上形成接觸孔，使用金屬遮罩利用濺鍍成膜附以鉬金屬作為源極-汲極電極50、60後，進行各種熱處理，從而完成薄膜電晶體(TFT)，並評價TFT之特性。

又，對於在玻璃基板僅搭載氧化物薄膜之樣本亦同時進行成膜，於表1-1中所示之各階段進行霍爾測定，測定載子密度之增減。

<半導體膜之薄膜特性評價>

·霍爾效應測定

與TFT製造步驟相同地於玻璃基板上成膜厚度50 nm之氧化物半導體膜，並進行加熱處理後，切出1 cm見方之正方形，於4角以成為約2 mm×2 mm以下之大小之方式使用金屬遮罩以離子塗佈機將金(Au)成膜，於Au金屬上搭載銲焊料使接觸良好，從而製成霍爾效應測定用樣本。

玻璃基板係使用日本電氣硝子股份有限公司製造之ABC-G。

將霍爾效應測定用樣本放置於霍爾效應-比電阻測定裝置(ResiTest8300型，TOYO Corporation製造)，於室溫下評價霍爾效應，並求出載子密度及遷移率。將結果示於表1-1。

於上述霍爾效應測定用樣本之半導體膜上藉由CVD裝置成膜 SiO_2 膜後，實施霍爾測定，進而於加熱處理後亦進行霍爾測定。將結果示

於表1-1。

·半導體膜之結晶特性

藉由X射線繞射(XRD)測定對濺鍍後(膜沈積後)之未加熱膜及加熱後之膜之結晶質進行評價，結果加熱前為非晶，加熱後為結晶質(方鐵錳礦結構)。有由於所添加之金屬原子之固溶置換而使方鐵錳礦結構之晶格常數變化的情況。若方鐵錳礦結構以外之晶體結構作為主成分分析出，則存在導致遷移率降低之情況。

又，關於加熱後之膜，藉由EBSD確認表面形態並測量費雷特直徑，結果確認到平均粒徑為2 μm 以上之結晶狀態為刻面狀之晶粒。平均結晶粒徑(晶粒尺寸)為2 μm 以上。平均結晶粒徑係藉由測定以膜之中央部(對角線之交點)為中心之5 μm ×5 μm 之框內之刻面結晶之粒徑，並算出該等之算術平均值而求出。氧化物薄膜表面之刻面狀結晶所占之比率超過95%，刻面狀結晶以外之粒子係結晶狀態為放射狀之粒子及存在於晶界中之微晶粒子。將結果示於表1-1。氧化物薄膜表面之刻面狀結晶所占之比率係根據由EBSD所得之膜表面圖像，將單一色所表示之晶粒判斷為刻面狀結晶，求出由EBSD所得之膜表面圖像中刻面狀結晶所占之面積。

將實施例1中所得之結晶質氧化物半導體薄膜之EBSD圖像示於圖1b。

·半導體膜之帶隙

測定於石英基板上成膜並與半導體膜相同地經熱處理之薄膜資料之透射光譜，將橫軸之波長轉換為能量(eV)，將縱軸之透過率轉換為

$$(\alpha h\nu)^2$$

(此處，

α ：吸收係數

h ：普朗克常數

v ：振動數)

後，與吸收上升之部分擬合併算出其與基準線相交處之 eV 值。

<TFT之特性評價>

對於所獲得之TFT之下述特性進行評價。將結果示於表1-1。

・飽和遷移率係根據汲極電壓施加5 V時之傳遞特性求出。具體而言，製作傳遞特性 I_d - V_g 之曲線圖，算出各 V_g 之跨導(G_m)，藉由線性區域之式導出飽和遷移率。再者， G_m 係由 $\partial(I_d)/\partial(V_g)$ 所表示， V_g 係施加-15~25 V，並將該範圍內之最大遷移率定義為飽和遷移率。於本發明中只要無特別說明，則飽和遷移率係以該方法進行評價。上述 I_d 為源極-汲極電極間之電流， V_g 為向源極-汲極電極間施加電壓 V_d 時之閘極電壓。

・關於閾值電壓(V_{th})，根據傳遞特性之曲線圖定義為 $I_d = 10^{-9}$ A下之 V_g 。

・關於導通-斷開比，將 $V_g = -10$ V之 I_d 之值設為斷態電流值，將 $V_g = 20$ V之 I_d 之值設為通態電流值而決定比[導通/斷開]。

<高速回應型TFT之特性評價>

・線性區域中之場效遷移率較理想為根據汲極電壓施加0.1 V時之傳遞特性求出。具體而言，製作傳遞特性 I_d - V_g 之曲線圖，算出各 V_g 之跨導(G_m)，藉由線性區域之式導出飽和遷移率。再者， G_m 係由 $\partial(I_d)/\partial(V_g)$ 所表示， V_g 係施加-15~25 V，於無特別指定之情形時將該範圍中之最大遷移率定義為場效遷移率。雖亦可討論飽和區域之遷移率特性，但一般 $V_g < V_d$ 時飽和區域之式成立，必須施加足夠大之 V_d 來測定 V_g 依存性，影響元件損壞等。故而，討論低閘極電壓下之遷移率時較理想為以 V_d 較小之情形時之線性區域($V_g > V_d$)之遷移率進行討論。線性區域中之場效遷移率係以該方法進行評價。上述 I_d 為

源極-汲極電極間之電流， V_g 為向源極-汲極電極間施加電壓 V_d 時之閘極電壓。

將根據藉由上述線性區域中之場效遷移率之方法求出之 V_g - μ 曲線， $V_g = V_{th} + 5$ 之遷移率為 $10 \text{ cm}^2/\text{Vs}$ 以上， $V_g = V_{th}$ 至 $V_{th} + 20$ 之平均遷移率為該範圍之最大遷移率之50%以上的TFT設為高速回應型場效電晶體。

此處，平均遷移率係根據 V_g - μ 曲線圖由下述式

$$\text{平均遷移率} = \int_{V_{th}}^{V_{th} + 20} \mu dV_g / 20$$

求出。

如此，由於 $V_g = V_{th} + 5$ 之遷移率為 $10 \text{ cm}^2/\text{Vs}$ 以上，故而即便於所施加之閘極電壓較低之情形時，亦可獲得充分之遷移率。尤其是於與矽半導體組合使用之情形時，在矽半導體之源極-汲極電壓較低之情形時，由於該電壓發揮作為氧化物半導體之閘極電壓之作用，故而重要的是低閘極電壓下之高遷移率。又，由於 $V_g = V_{th}$ 至 $V_{th} + 20$ 之平均遷移率為該範圍之最大遷移率之50%以上，故而可高速地向保持電壓之電容器等注入電荷。

實施例2～9及比較例1～2

除使用表1-1～1-3中所示之組成之濺鍍靶形成半導體薄膜，並進行加熱處理等以外，以與實施例1相同之方式製造薄膜電晶體並評價TFT之特性。

將比較例1中所獲得之結晶質氧化物半導體薄膜之EBSD圖像示於圖1c。

又，與實施例1相同地，對於在玻璃基板僅搭載氧化物薄膜之樣本，於表1-1～1-3中所示之各階段進行霍爾測定，測定載子密度之增減、帶隙。將結果示於表1-1～1-3。

再者，於表中之濺鍍靶之原子比中，「wt%」所表示之數值表示

氧化銮、氧化鋁、氧化釷及氧化錫之重量比(加入量)，「at%」所表示之數值表示銮元素、鋁元素、釷元素及錫元素之原子比。

表中之「E+XX」意指「 $1 \times 10^{+xx}$ 」。

表中之「相對於最大遷移率之平均遷移率比率(%)」表示 $V_g = V_{th}$ 至 $V_{th} + 20$ 之範圍之平均遷移率相對於該範圍中之最大遷移率的比率(%)。

[表 1-1]

		實施例1	實施例2	實施例3	實施例4
濺鍍靶之原子比	In/(In + Al + Y + Sn) : wt%(at%)	96.0 wt%(89.8 at%)	95.0 wt%(87.5 at%)	94.0 wt%(85.2 at%)	93.0 wt%(83.0 at%)
	Al/(In + Al + Y + Sn) : wt%(at%)	4.0 wt%(10.2 at%)	5.0 wt%(12.5 at%)	6.0 wt%(14.8 at%)	7.0 wt%(17.0 at%)
	Y/(In + Al + Y + Sn) : wt%(at%)	0.0 wt%(0.0 at%)	0.0 wt%(0.0 at%)	0.0 wt%(0.0 at%)	0.0 wt%(0.0 at%)
	Sn/(In + Al + Y + Sn) : wt%(at%)	0.0 wt%(0.0 at%)	0.0 wt%(0.0 at%)	0.0 wt%(0.0 at%)	0.0 wt%(0.0 at%)
半導體膜之成膜條件	環境氣體	Ar + O ₂	Ar + O ₂	Ar + O ₂	Ar + O ₂
	製膜前之背壓(Pa)	5.E-04	5.E-04	5.E-04	5.E-04
	成膜時之濺鍍壓(Pa)	0.5	0.5	0.5	0.5
	成膜時之基板溫度(°C)	室溫	室溫	室溫	室溫
	成膜時之氧分壓(%)	10	10	10	10
	成膜時之水分壓(%)	-	-	-	-
	成膜時之氬分壓(%)	-	-	-	-
半導體膜成膜後之加熱處理條件	成膜後之熱處理：溫度(°C)	300	300	300	300
	：升溫速度(°C/分鐘)	15	15	15	15
	：時間(分鐘)	60	60	60	60
	：環境	大氣	大氣	大氣	大氣
半導體膜之薄膜特性	膜厚(nm)	50	50	50	50
	霍爾測定載子密度(cm ⁻³)	6.7E+16	3.4E+15	4.2E+16	5.7E+17
	霍爾測定遷移率(cm ² /V·sec)	14.3	11.6	1.57	10.0
	膜剛沈積後之結晶性(XRD)	非晶	非晶	非晶	非晶
	剛加熱後之結晶性(XRD)	結晶：方鐵 錳礦結構	結晶：方鐵 錳礦結構	結晶：方鐵 錳礦結構	結晶：方鐵 錳礦結構
	由剛加熱後之結晶性(EBSD)	刻面	刻面	刻面	刻面
	所獲得之平均結晶粒徑(晶粒尺寸：μm)	2 μm以上	2 μm以上	2 μm以上	2 μm以上
	刻面狀結晶所占面積之比率(%)	>95%	>90%	>85%	>75%
	薄膜之帶隙(eV)	3.6	3.7	3.7	3.6
	基板溫度350°C下以CVD成膜SiO ₂ 膜後之半導體層之特性				
	霍爾測定載子密度(cm ⁻³)	5.9E+18	8.0E+18	5.4E+18	6.2E+19
	霍爾測定遷移率(cm ² /V·sec)	9.7	4.4	5.9	13.9
以CVD成膜SiO ₂ 膜後之加熱處理後之特性	熱處理：溫度(°C)	300	300	300	300
	：時間(分鐘)	60	60	60	60
	：環境	大氣	大氣	大氣	大氣
	霍爾測定載子密度(cm ⁻³)	4.0E+16	5.8E+17	7.7E+17	1.8E+17
	霍爾測定遷移率(cm ² /V·sec)	7.3	1.4	2.1	13.9
TFT特性	飽和遷移率(cm ² /V·sec)	87.4	91.5	76.5	51.6
	Vth(V)	-0.5	-0.7	-0.04	-0.7
	導通/斷開比	>E+8	>E+8	>E+7	>E+7
	斷態電流(A)	<E-12	<E-12	<E-12	<E-12
高速回應TFT特性	線性區域中之Vth+5 V之遷移率(cm ² /V·sec)	23.5	30.5	22.5	15.2
	相對於最大遷移率之平均遷移率比率(%)	57	68	71	58

[表1-2]

		實施例5	實施例6	實施例7	實施例8	實施例9
濺鍍靶之原子比	In/(In + Al + Y + Sn) : wt%(at%)	95.9 wt%(89.72 at%)	94.7 wt%(87.21 at%)	94.5 wt%(87.04 at%)	89.5 wt%(87.53 at%)	91.5 wt%(84.90 at%)
	Al/(In + Al + Y + Sn) : wt%(at%)	4.0 wt%(10.19 at%)	5.0 wt%(12.54 at%)	5.0 wt%(12.54 at%)	0.0 wt%(0.0 at%)	4.0 wt%(10.11 at%)
	Y/(In + Al + Y + Sn) : wt%(at%)	0.0 wt%(0.0 at%)	0.0 wt%(0.0 at%)	0.0 wt%(0.0 at%)	10.0 wt%(12.02 at%)	4.0 wt%(4.56 at%)
	Sn/(In + Al + Y + Sn) : wt%(at%)	0.1 wt%(0.09 at%)	0.3 wt%(0.25 at%)	0.5 wt%(0.42 at%)	0.5 wt%(0.45 at%)	0.5 wt%(0.43 at%)
半導體膜之成膜條件	環境氣體	Ar + O ₂	Ar + O ₂	Ar + O ₂	Ar + O ₂	Ar + O ₂
	製膜前之背壓(Pa)	5.E-04	5.E-04	5.E-04	5.E-04	5.E-04
	成膜時之濺鍍壓(Pa)	0.5	0.5	0.5	0.5	0.5
	成膜時之基板溫度(°C)	室溫	室溫	室溫	室溫	室溫
	成膜時之氧分壓(%)	10	10	10	10	10
	成膜時之水分壓(%)	-	-	-	-	-
	成膜時之氫分壓(%)	-	-	-	-	-
半導體膜成膜後之加熱處理條件	成膜後之熱處理：溫度(°C)	300	300	300	350	400
	：升溫速度(°C/分鐘)	15	5	15	15	15
	：時間(分鐘)	60	60	60	60	60
	：環境	大氣	大氣	大氣	大氣	大氣
半導體膜之薄膜特性	膜厚(nm)	50	50	50	50	50
	霍爾測定載子密度(cm ⁻³)	8.1E+16	5.9E+17	4.4E+17	2.8E+15	2.7E+15
	霍爾測定遷移率(cm ² /V·sec)	7.4	12.0	2.0	4.2	7.8
	膜剛沈積後之結晶性(XRD)	非晶	非晶	非晶	非晶	非晶
	剛加熱後之結晶性(XRD)	結晶：方鐵 錳礦結構	結晶：方鐵 錳礦結構	結晶：方鐵 錳礦結構	結晶：方鐵 錳礦結構	結晶：方鐵 錳礦結構
	由剛加熱後之結晶性(EBSD)所獲得之平均結晶粒徑(晶粒尺寸：μm)	刻面 2 μm以上	刻面 2 μm以上	刻面 2 μm以上	刻面 2 μm以上	刻面 2 μm以上
	刻面狀結晶所占面積之比率(%)	>80%	>80%	>80%	>80%	>90%
	薄膜之帶隙(eV)	3.7	3.7	3.7	3.7	3.65
基板溫度350°C下以CVD成膜SiO ₂ 膜後之半導體層之特性	霍爾測定載子密度(cm ⁻³)	5.9E+18	1.7E+19	5.0E+19	9.6E+17	3.8E+18
	霍爾測定遷移率(cm ² /V·sec)	8.5	5.9	5.9	4.8	6.7
以CVD成膜SiO ₂ 膜後之加熱處理後之特性	熱處理：溫度(°C)	300	300	300	350	350
	：時間(分鐘)	60	60	60	60	60
	：環境	大氣	大氣	大氣	大氣	大氣
	霍爾測定載子密度(cm ⁻³)	3.6E+16	1.8E+17	7.7E+17	1.0E+17	7.3E+16
	霍爾測定遷移率(cm ² /V·sec)	6.6	9.5	2.14	5.7	7.8
TFT特性	飽和遷移率(cm ² /V·sec)	65.8	93.1	91.5	75.8	74.2
	Vth(V)	-0.13	-0.55	-0.7	3.3	5.9
	導通/斷開比	>E+7	>E+7	>E+7	>E+8	>E+7
	斷態電流(A)	<E-12	<E-12	<E-12	<E-12	<E-13
高速回應TFT特性	線性區域中之Vth+5 V之遷移率(cm ² /V·sec)	18.8	25.2	23.5	16.5	14.8
	相對於最大遷移率之平均遷移率比率(%)	55	59	54	56	51

[表1-3]

		比較例1	比較例2
濺鍍靶之原子比	In/(In + Al + Y + Sn) : wt%(at%)	98.0 wt%(94.7 at%)	92.0 wt%(80.9 at%)
	Al/(In + Al + Y + Sn) : wt%(at%)	2.0 wt%(5.3 at%)	8.0 wt%(19.1 at%)
	Y/(In + Al + Y + Sn) : wt%(at%)	0.0 wt%(0.0 at%)	0.0 wt%(0.0 at%)
	Sn/(In + Al + Y + Sn) : wt%(at%)	0.0 wt%(0.0 at%)	0.0 wt%(0.0 at%)
半導體膜之成膜條件	環境氣體	Ar + O ₂ + H ₂ O	Ar + O ₂ + H ₂
	製膜前之背壓(Pa)	5.E - 04	5.E - 04
	成膜時之濺鍍壓(Pa)	0.5	0.5
	成膜時之基板溫度(°C)	200°C	室溫
	成膜時之氧分壓(%)	10	10
	成膜時之水分壓(%)	5	-
	成膜時之氬分壓(%)	-	5
半導體膜成膜後之加熱處理條件	成膜後之熱處理：溫度(°C)	300	350
	：升溫速度(°C/分鐘)	投入至300°C爐	投入至350°C爐
	：時間(分鐘)	60	60
	：環境	大氣	大氣
半導體膜之薄膜特性	膜厚(nm)	50	50
	霍爾測定載子密度(cm ⁻³)	4.4E + 14	1.9E + 13
	霍爾測定遷移率(cm ² /V·sec)	11.0	5.8
	膜剛沈積後之結晶性(XRD)	微晶	非晶
	剛加熱後之結晶性(XRD)	結晶	微晶
	由剛加熱後之結晶性(EBSD)所獲得之平均結晶粒徑(晶粒尺寸：μm)	放射狀 3 μm以上	微晶 1 μm以下
	刻面狀結晶所占面積之比率(%)	< 30%	-
	薄膜之帶隙(eV)	3.6	3.5
基板溫度350°C下以CVD成膜SiO ₂ 膜後之半導體層之特性	霍爾測定載子密度(cm ⁻³)	5.9E + 19	8.3E + 19
	霍爾測定遷移率(cm ² /V·sec)	8.2	16.5
以CVD成膜SiO ₂ 膜後之加熱處理後之特性	熱處理：溫度(°C)	300	350
	：時間(分鐘)	60	60
	：環境	大氣	大氣
	霍爾測定載子密度(cm ⁻³)	3.6E + 16	5.4E + 15
	霍爾測定遷移率(cm ² /V·sec)	6.6	9.5
TFT特性	飽和遷移率(cm ² /V·sec)	16.2	12.5
	V _{th} (V)	-2.4	-1
	導通/斷開比	> E + 6	> E + 6
	斷態電流(A)	< E - 10	< E - 10
高速回應TFT特性	線性區域中之V _{th} + 5 V之遷移率(cm ² /V·sec)	3.2	2.8
	相對於最大遷移率之平均遷移率比率(%)	43	46

實施例10~11

除使用表2中所示之組成之濺鍍靶形成半導體薄膜，並進行加熱處理等以外，以與實施例1相同之方式製造薄膜電晶體並評價TFT之特性。

又，與實施例1相同地，對於在玻璃基板僅搭載氧化物薄膜之樣本，於表2中所示之各階段進行霍爾測定，測定載子密度之增減、帶隙。將結果示於表2。

再者，於表中之濺鍍靶之原子比中，「wt%」所表示之數值表示氧化銮、氧化鎵、氧化釷及氧化錫之重量比(加入量)，「at%」所表示之數值表示銮元素、鎵元素、釷元素及錫元素之原子比。

表中之「E+XX」意指「 $1 \times 10^{+xx}$ 」。

表中之「相對於最大遷移率之平均遷移率比率(%)」表示 $V_g = V_{th}$ 至 $V_{th} + 20$ 之範圍之平均遷移率相對於該範圍中之最大遷移率的比率(%)。

[表2]

		實施例10	實施例11
濺鍍靶之原子比	In/(In + Ga + Y + Sn) : wt%(at%)	92.4 wt%(89.7 at%)	93.0 wt%(90.0 at%)
	Ga/(In + Ga + Y + Sn) : wt%(at%)	5.0 wt%(7.2 at%)	7.0 wt%(10.0 at%)
	Y/(In + Ga + Y + Sn) : wt%(at%)	2.6 wt%(3.1 at%)	0.0 wt%(0.0 at%)
	Sn/(In + Ga + Y + Sn) : wt%(at%)	0.0 wt%(0.0 at%)	0.0 wt%(0.0 at%)
半導體膜之成膜條件	環境氣體	Ar + O ₂	Ar + O ₂
	製膜前之背壓(Pa)	5.E-04	5.E-04
	成膜時之濺鍍壓(Pa)	0.5	0.5
	成膜時之基板溫度(°C)	室溫	室溫
	成膜時之氧分壓(%)	20	20
	成膜時之水分壓(%)	-	-
	成膜時之氬分壓(%)	-	-
半導體膜成膜後之加熱處理條件	成膜後之熱處理：溫度(°C)	300	350
	：升溫速度(°C/分鐘)	10	10
	：時間(分鐘)	120	120
	：環境	大氣	大氣
半導體膜之薄膜特性	膜厚(nm)	50	50
	霍爾測定載子密度(cm ⁻³)	2.8E+16	1.2E+17
	霍爾測定遷移率(cm ² /V·sec)	7.1	19.5
	膜剛沈積後之結晶性(XRD)	非晶	非晶
	剛加熱後之結晶性(XRD)	結晶：方鐵錳礦結構	結晶：方鐵錳礦結構
	由剛加熱後之結晶性(EBSD)所獲得之平均結晶粒徑(晶粒尺寸：μm)	刻面 1 μm以上	刻面 2 μm以上
	刻面狀結晶所占面積之比率(%)	>95%	>95%
	薄膜之帶隙(eV)	3.7	3.7
基板溫度350°C下以CVD成膜SiO ₂ 膜後之半導體層之特性	霍爾測定載子密度(cm ⁻³)	2.8E+19	4.2E+19
	霍爾測定遷移率(cm ² /V·sec)	46.7	49.2
以CVD成膜SiO ₂ 膜後之加熱處理後之特性	熱處理：溫度(°C)	350	350
	：時間(分鐘)	60	60
	：環境	大氣	大氣
	霍爾測定載子密度(cm ⁻³)	1.9E+17	1.5E+18
	霍爾測定遷移率(cm ² /V·sec)	17.7	31.6
TFT特性	飽和遷移率(cm ² /V·sec)	43.1	38.1
	Vth(V)	-0.8	-1.7
	導通/斷開比	>E+8	>E+8
	斷態電流(A)	<E-12	<E-12
高速回應TFT特性	線性區域中之Vth+5 V之遷移率(cm ² /V·sec)	13.4	18.6
	相對於最大遷移率之平均遷移率比率(%)	59	58

實施例12~13

除使用表3中所示之組成之濺鍍靶成膜半導體薄膜，並進行加熱處理等以外，以與實施例1相同之方式製造薄膜電晶體並評價TFT之特性。

又，與實施例1相同地，對於在玻璃基板僅搭載氧化物薄膜之樣本，於表3中所示之各階段進行霍爾測定，測定載子密度之增減、帶隙。將結果示於表3。

再者，於表中之濺鍍靶之原子比中，「wt%」所表示之數值表示氧化銮、氧化鎵、氧化鈰及氧化錫之重量比(加入量)，「at%」所表示之數值表示銮元素、鎵元素、鈰元素及錫元素之原子比。

表中之「E+XX」意指「 $1 \times 10^{+xx}$ 」。

表中之「相對於最大遷移率之平均遷移率比率(%)」表示 $V_g = V_{th}$ 至 $V_{th} + 20$ 之範圍之平均遷移率相對於該範圍中之最大遷移率的比率(%)。

[表3]

		實施例12	實施例13
濺鍍靶之原子比	In/(In + Ga + Sm + Sn) : wt%(at%)	87.0 wt%(89.4at%)	90.0 wt%(88.8at%)
	Ga/(In + Ga + Sm + Sn) : wt%(at%)	0.0 wt%(0.0at%)	5.0 wt%(7.3at%)
	Sm/(In + Ga + Sm + Sn) : wt%(at%)	13.0 wt%(10.6 at%)	5.0 wt%(3.9 at%)
	Sn/(In + Ga + Sm + Sn) : wt%(at%)	0.0 wt%(0.0 at%)	0.0 wt%(0.0 at%)
半導體膜之成膜條件	環境氣體	Ar + O ₂	Ar + O ₂
	製膜前之背壓(Pa)	5.E-04	5.E-04
	成膜時之濺鍍壓(Pa)	0.5	0.5
	成膜時之基板溫度(°C)	室溫	室溫
	成膜時之氧分壓(%)	20	20
	成膜時之水分壓(%)	-	-
	成膜時之氬分壓(%)	-	-
半導體膜成膜後之加熱處理條件	成膜後之熱處理：溫度(°C)	300	300
	：升溫速度(°C/分鐘)	10	10
	：時間(分鐘)	120	120
	：環境	大氣	大氣
半導體膜之薄膜特性	膜厚(nm)	50	50
	霍爾測定載子密度(cm ⁻³)	9.7E + 14	1.78E + 15
	霍爾測定遷移率(cm ² /V·sec)	14.1	7.22
	膜剛沈積後之結晶性(XRD)	非晶	非晶
	剛加熱後之結晶性(XRD)	結晶：方鐵錳礦結構	結晶：方鐵錳礦結構
	由剛加熱後之結晶性(EBSD)所獲得之平均結晶粒徑(晶粒尺寸：μm)	刻面 1 μm以上	刻面 1 μm以上
	刻面狀結晶所占面積之比率(%)	>90%	>90%
	薄膜之帶隙(eV)	3.8	3.8
基板溫度350°C下以CVD成膜SiO ₂ 膜後之半導體層之特性	霍爾測定載子密度(cm ⁻³)	5.3E + 18	1.1E + 19
	霍爾測定遷移率(cm ² /V·sec)	27.2	45.2
以CVD成膜SiO ₂ 膜後之加熱處理後之特性	熱處理：溫度(°C)	350	350
	：時間(分鐘)	60	60
	：環境	大氣	大氣
	霍爾測定載子密度(cm ⁻³)	2.0E + 16	5.3E + 16
	霍爾測定遷移率(cm ² /V·sec)	18.4	22.7
TFT特性	飽和遷移率(cm ² /V·sec)	31.4	36.1
	V _{th} (V)	-0.2	-0.1
	導通/斷開比	>E + 8	>E + 8
	斷態電流(A)	<E - 12	<E - 12
高速回應TFT特性	線性區域中之V _{th} + 5 V之遷移率(cm ² /V·sec)	14.2	12.1
	相對於最大遷移率之平均遷移率比率(%)	62	67

已於上文詳細地說明若干本發明之實施形態及/或實施例，但業者容易不實質上背離本發明之新穎教導及效果而對該等作為例示之實施形態及/或實施例加以大量變更。故而，該等大量變更包含於本發

明之範圍中。

將成為本案之巴黎優先之基礎的日本申請說明書之內容全部引用於此。

【符號說明】

- 20 閘極電極
- 30 閘極絕緣膜
- 40 氧化物半導體層
- 50 源極電極
- 60 汲極電極
- 70 層間絕緣膜
- 70a 通道部層間絕緣膜

申請專利範圍

1. 一種結晶質氧化物半導體薄膜，其特徵在於：以氧化銦為主成分，且於以電子背向散射分析法觀察上述結晶質氧化物半導體薄膜之表面時，觀察到上述表面之結晶狀態為刻面狀之晶粒，
上述刻面狀之晶粒具有2 μm 以上且10 μm 以下之平均結晶粒徑。
2. 如請求項1之結晶質氧化物半導體薄膜，其中上述表面之結晶狀態為刻面狀之晶粒所占之面積為50%以上。
3. 如請求項1之結晶質氧化物半導體薄膜，其包含選自由銦元素以外之正三價金屬元素所組成之群之1種以上之元素。
4. 如請求項3之結晶質氧化物半導體薄膜，其中上述銦元素以外之正三價金屬元素之含量相對於上述結晶質氧化物半導體薄膜中之所有金屬成分超過8原子%且為17原子%以下。
5. 如請求項3之結晶質氧化物半導體薄膜，其中上述銦元素以外之正三價金屬元素為選自由鋁、鎵、釷及鑷系元素所組成之群之1種或2種以上。
6. 如請求項1之結晶質氧化物半導體薄膜，其進而包含選自由正四價金屬元素所組成之群之1種以上之元素。
7. 如請求項6之結晶質氧化物半導體薄膜，其中上述正四價金屬元素之含量相對於上述結晶質氧化物半導體薄膜中之所有金屬成分為0.01原子%以上且1原子%以下。
8. 如請求項6之結晶質氧化物半導體薄膜，其中上述正四價金屬元素為選自由錫、鉛及鉍所組成之群之1種以上。
9. 如請求項1之結晶質氧化物半導體薄膜，其帶隙為3.6 eV以上。
10. 一種如請求項1至9中任一項之結晶質氧化物半導體薄膜之製造

方法，其特徵在於包括如下步驟：

使用以氧化銦為主成分之濺鍍靶，將實質上不含雜質氣體之氫氣及氧氣之混合氣體用作濺鍍氣體，藉由濺鍍形成氧化物薄膜；及

對所獲得之氧化物薄膜以250℃以上且500℃以下之溫度進行加熱。

11. 如請求項10之結晶質氧化物半導體薄膜之製造方法，其中上述濺鍍氣體中之雜質氣體之比率為0.1體積%以下。
12. 如請求項10之結晶質氧化物半導體薄膜之製造方法，其中上述濺鍍靶含有選自由鋁、鎵、釷及鑷系元素所組成之群之1種以上之元素。
13. 如請求項10之結晶質氧化物半導體薄膜之製造方法，其中於上述加熱步驟中，150℃至250℃之升溫速度為20℃/分鐘以下。
14. 如請求項10之結晶質氧化物半導體薄膜之製造方法，其中上述加熱時間為0.1小時以上且5小時以下。
15. 一種薄膜電晶體，其特徵在於包括源極電極及汲極電極、閘極電極、閘極絕緣膜、保護絕緣膜、以及氧化物半導體層，且
上述氧化物半導體層位於閘極絕緣膜與保護絕緣膜之間，且包含如請求項1至9中任一項之結晶質氧化物半導體薄膜。
16. 如請求項15之薄膜電晶體，其飽和遷移率為30 cm²/V·sec以上。
17. 如請求項15之薄膜電晶體，其中根據於汲極電壓0.1 V下以線性區域中之場效遷移率之方法求得之V_g-μ曲線，V_g=V_{th}+5之遷移率為10 cm²/Vs以上，V_g=V_{th}至V_{th}+20之平均遷移率為該範圍之最大遷移率之50%以上，

此處，V_g為向源極-汲極電極間施加電壓V_d時之閘極電壓，μ為遷移率，V_{th}為閾值電壓。

18. 一種電氣機器，其使用有如請求項15至17中任一項之薄膜電晶體。
19. 如請求項18之電氣機器，其係車輛。

圖式

氧化銦 In_2O_3

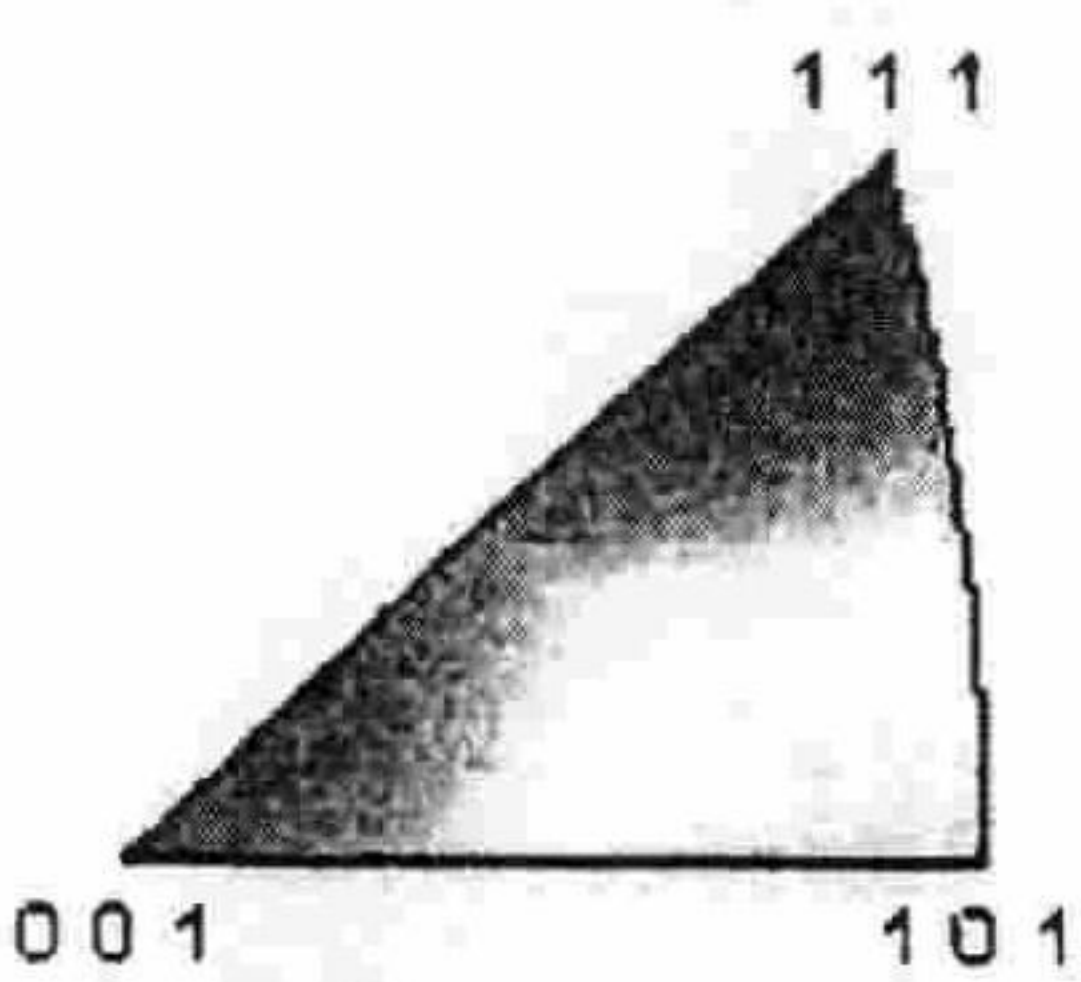


圖1a

方位基準

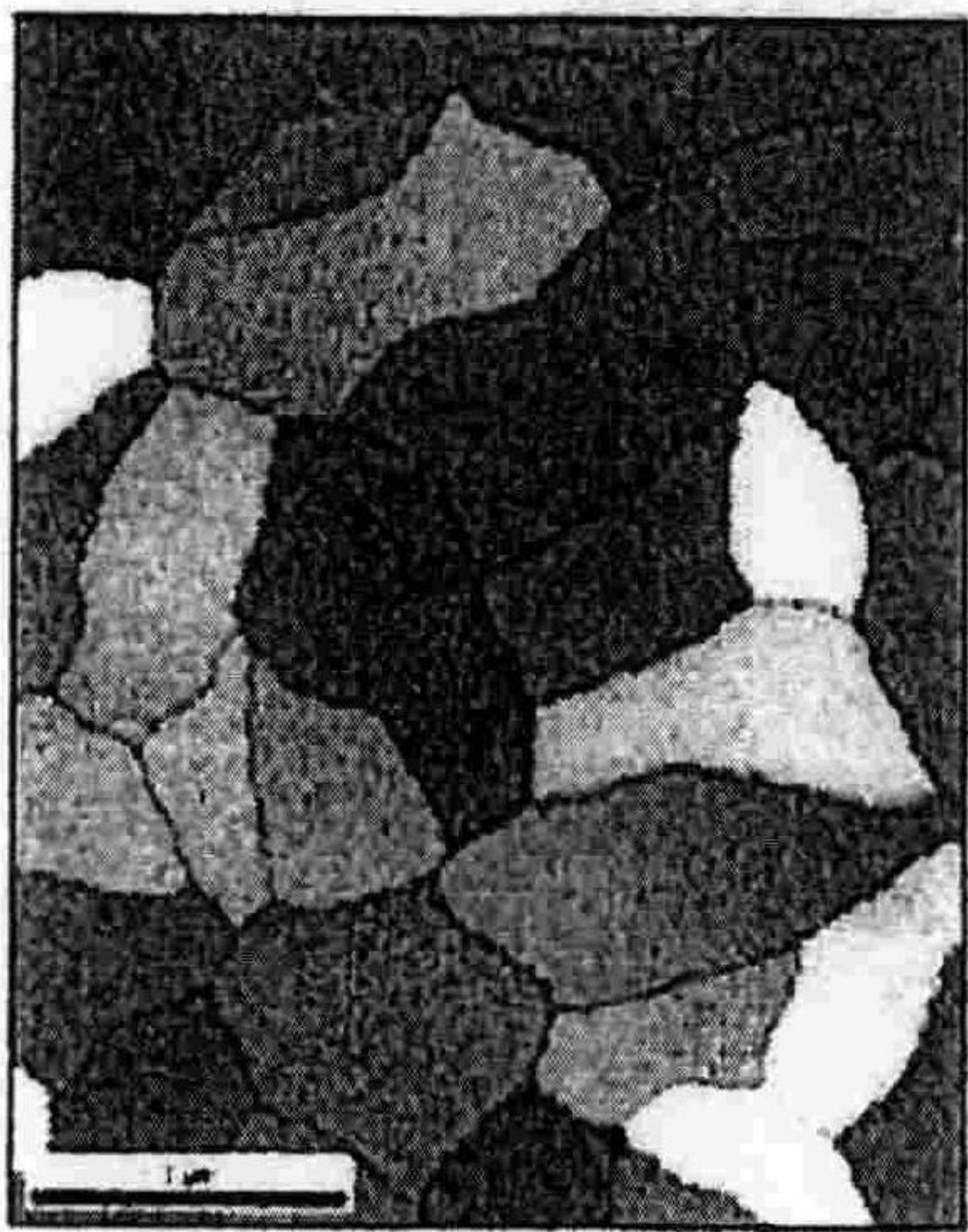


圖1b

刻面狀



圖1c

放射狀

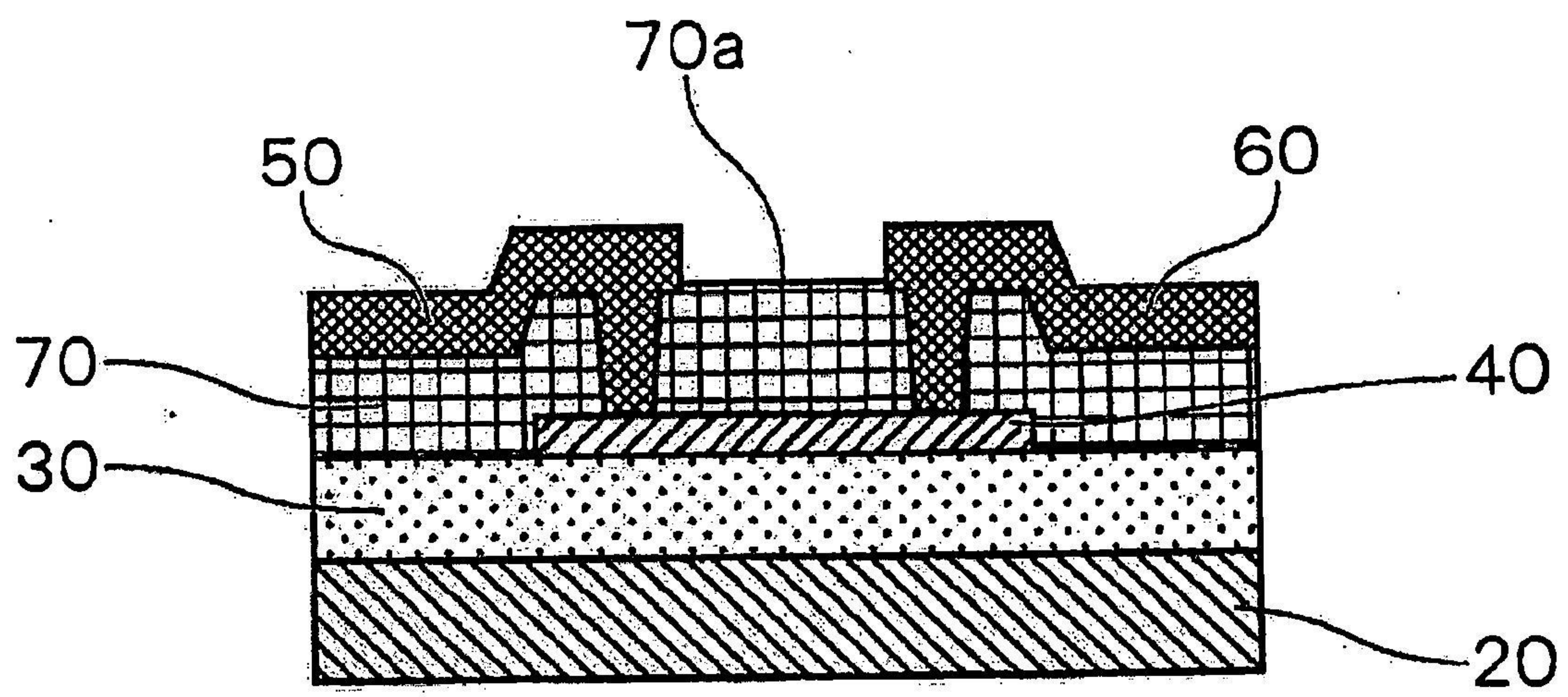


圖2