

公告本

申請日期	87 年 4 月 21 日
案 號	87106090
類 別	1403K 3/03

A4
C4

454385

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	振盪器電路
	英 文	Oscillator circuit
二、發明 創作人	姓 名	(1) 小松禎浩
	國 籍	(1) 日本
	住、居所	(1) 日本國東京都品川區北品川六丁目七番三五號 蘇妮股份有限公司
三、申請人	姓 名 (名稱)	(1) 蘇妮股份有限公司 ソニー株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都品川區北品川六丁目七番三五號
	代 表 人 姓 名	(1) 出井伸之

裝

訂

線

454385

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐ 有 ☐ 無主張優先權

日本 1997 年 4 月 25 日 9-109345
日本 1997 年 9 月 11 日 9-247104

☒ 有主張優先權
☒ 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背欄權注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 ()

1. 本發明之領域

本發明係關於一種振盪電路，係由若干個反相及非反相延遲電路相連成環狀而構成。

2. 習知技術的敘述

一振盪電路可利用奇數個反相延遲電路，例如三個反相延遲電路 D L Y 1，D L Y 2 和 D L Y 3 相連成環形而構成，圖 1 中的電路圖顯示以此方式所構成的一環形振盪電路，圖 2 則顯示一包含反相元件及延遲元件的反相延遲電路組態，其中，延遲元件係連接至反相元件的輸出端。

如圖 2 所示，一個反相元件係由一個差動放大器電路所構成，連接至該反相元件輸出端的延遲元件係由一個由電晶體及電容器組成之射極隨耦器所構成，該差動放大器電路係由電晶體 Q 1 和 Q 2，電阻元件 R 1 和 R 2 以及一電流源 I 1 的組成，而延遲元件則是由電晶體 Q 3 和 Q 4，電容器 C 1 和 C 2，以及電晶體 Q 5 和 Q 6 所組成。

在差動放大器電路中，電晶體 Q 1 和 Q 2 的基極分別連接至 T_{in} 和 T_{in} 的輸入端，集極則分別經由電阻元件 R 1 和 R 2 與一電源供應電壓 V_{cc} 的供應線相連，而射極則共同連接至電流源 I 1，由 Q 1 和 Q 2 之集極及電阻元件 R 1 和 R 2 所形成的連結點構成此差動放大器的輸出節點，電流 i_1 是由電流源 I 1 所供給。

在延遲元件中，電晶體 Q 3 和 Q 4 構成一射極隨耦器，電晶體 Q 3 和 Q 4 的基極分別與差動放大器電路的輸出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

節點 N D 1 和 N D 2 相連，而射極則分別連接至延遲元件的輸出節點 N D 3 和 N D 4，電容 C 1 是連接在節點 N D 3 及電源供應電壓 V_{cc} 的供應線之間，而電容 C 2 則連接在節點 N D 4 和電源供應電壓 V_{cc} 的供應線之間，電晶體 Q 5 和 Q 6 的基極係與控制信號 S c 的輸入端 T c 相連，集極則分別與節點 N D 3 和 N D 4 相連，而射極則分別經由電阻 R 3 和 R 4 接地。

輸入信號 S A 和 $\neg S A$ 分別輸入至 T i n 和 T $\neg$ i n 端，輸入信號 S A 的反相信號 $\neg S B$ 係輸入至差動放大器電路的輸出節點 N D 1，而輸入信號 $\neg S A$ 的反相信號 S B 則被輸入至節點 N D 2 的輸出處。

節點 N D 1 和 N D 2 的輸出信號是藉由電晶體 Q 3 和 Q 4 所構成之射極隨耦器分別連接至節點 N D 3 和 N D 4，節點 N D 3 和 N D 4 電位係依據該輸入信號所造成的電容 C 1 和 C 2 的充放電而加以設定，節點 N D 3 的電壓係被作為輸出至輸出端 T $\neg$ o u t 的輸出信號 $\neg S C$ ，而節點 N D 4 的電壓則作為輸出至輸出端 T o u t 的輸出信號 S C。

電晶體 Q 5 和 Q 6 構成一電流源，以控制電容 C 1 和 C 2 的充電電流 i 2 和 i 3，電晶體 Q 5 和 Q 6 的集極電流是由輸入至輸入端子 T C 的控制信號 S c 所決定，這些集極電流成為電容 C 1 和 C 2 的充電電流，此處，舉例而言，當電晶體 Q 3 和 Q 4 是處於開啓 (O N) 狀態，且若在基極和射極的兩電壓為 V_f 時，則在電晶體 Q 3 或 Q 4

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(β)

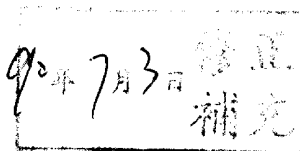
為開啓(ON)時，節點ND3和ND4的電壓則變為($V_{cc} - V_f$)，當電晶體Q3和Q4由開啓狀態切換為關閉狀態時，電流 i_2 和 i_3 將分別對電容C1和C2充電，而節點ND3和ND4的電壓則隨著電容C1和C2的充電而上升，此處，若電阻元件R1和R2的阻值為R時，電晶體Q1和Q2之集極的信號幅度成為($R i_1$)，當電容C1或C2的充電完成時，節點ND3和ND4的電壓將保持在($V_{cc} - V_f - R i_1$)。

圖3A至3C係針對圖2中所示的部份延遲電路，顯示相關的波形，如圖所示；構成此差動放大器電路之反相元件的輸出信號SB和 $\neg SB$ 準位係依據輸入信號SA和 $\neg SA$ 的位準變化作改變，SB和 $\neg SB$ 信號被輸入至延遲元件，而延遲電路的輸出信號SC和 $\neg SC$ 準位則依據上述信號作變化，例如，當輸入信號SA處於高準位時，差動放大器電路的輸入信號SB亦被保持在高準位，例如為電源供應電壓 V_{cc} 或接近此準位的準位，相反地，當輸入信號SA處於低準位時，差動放大器電路的輸出信號SB亦保持在一低準位，換言之為($V_{cc} - R i_1$)準位，當信號SB為低準位時電晶體Q4關閉，而電容則被充電，節點ND4的電壓因而下降，當信號SB由一低準位切換為一高準位時，電晶體Q4則由關閉狀態切換為開啓狀態，而電容C2則透過電晶體Q4放電，因此節點ND4的電壓則隨著此電容的放電而上升且保持在一高準位，諸如為($V_{cc} - V_f$)準位。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂



五、發明說明(4)

電容 C 2 係經由在開啓狀態的電晶體 Q 4 放電，電晶體 Q 4 的導通電阻很低且電容的放電很快，另一方面，電容 C 2 則透過電晶體 Q 6 進行充電，若充電電流 i_3 很小，則充電時間大於放電時間，則如圖 3 A 至 3 C 所示，延遲元件的輸出信號 S C 波形在上升緣和下降緣間是對稱的，換言之，上升緣是陡峭的，而下降緣則是平緩的。

同理，延遲元件的 $\neg$ S C 信號輸出也有同的特性，針對輸入至 Q 5 和 Q 6 電晶體基極的控制信號 S c，調整其準位，可以控制電容 C 1 和 C 2 的充電時間，換言之，可控制信號 S C 和 $\neg$ S C 下降的轉換率，同時亦可控制延遲元件的延遲時間 t d。

藉由使用奇數級的延遲電路以構成反相元件和延遲元件並將其連接成環形，可取得一振盪電路，並產生週期為 $(2n \times t d)$ 的時脈信號 C L K。

在習知技術的振盪線路中，延遲電路中輸出信號上升緣的轉換率並非由控制信號 S c 所控制且是固定的，延遲電路的延遲時間僅依據下降緣的轉換率進行控制，因此無法形成較大的延遲時間以增進延遲時間的控制特性，結果是對於習知技術的振盪電路而言，存在的缺點是不好的控制特性，且無法增大頻率變化的範圍。

本發明的總結

本發明的目的在提供一種具有較佳振盪頻率控制特性的振盪器電路，其具有較大範圍的頻率變異，且可降低振

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

盪頻率的飄移。

爲了達成上述的目的，依據本發明的第1個目的所提出的振盪電路具有由若干個反相元件及延遲元件所構成的若干個反相延遲電路，其中的延遲元件係連接至反相元件的輸出端，且奇數個至少三個反相延遲電路係連接成環狀的形式。

依據本發明的一個理念，反相元件最好是由一個差動放大器電路所構成；一個延遲元件具有一個能充放電的電容，此充放電的行爲係依據一輸入信號和一用以供給充電電流給予此電容的電流源而定，同時提供一個比較電路，用以將延遲元件的輸出信號與一預設的參考電壓相比較，且依據此比較的結果輸出一對應的信號準位。

依據本發明的第2個理念，提出一種振盪電路，此振盪電路具奇數個連結成環形的反相延遲電路以及至少一個非反相延遲電路，其中，各個反相延遲電路具有一個反相元件和一個連接至該反相元件輸出端的延遲元件，而非反相延遲電路則具有一個緩衝器和一個與此緩衝器輸出端相連的延遲元件。

依據本發明的第3個理念，提出一種將奇數級的反相延遲電路連結成環狀所構成的振盪器電路，其中的反相延遲電路具有一個用以將一輸入信號與一預設參考信號相比較的比較裝置，以及一個電容元件，此電容的充放電狀態係依據此比較裝置的比較結果予以控制。

針對本發明所提出的振盪電路而言，其中的比較裝置

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明(6)

最好是由一個差動放大器電路所組成，此差動放大器電路的一個輸入端用以接收輸入信號，而另一個輸入端則作為參考信號的輸入。

此外，用以供應一電源電壓的電源線及用以供應一共用電壓的共同電壓線最好能夠在上述各級的反相延遲電路中各別供電。

依據本發明的設計，反相延遲電路是由反相元件和連接至其輸出端的延遲元件所組成，同時，非反相延遲電路是由一個緩衝器和連接至其輸出端的延遲元件所組成。在一個將奇數個反相元件和任何數目之非反相延遲電路連結成環形的振盪電路中，延遲元件的延遲時間可以藉由控制各延遲電路中延遲元件中的充電電流而加以控制，如此可以強化此振盪電路中振盪頻率的變化範圍和控制特性。

此外，將構成此振盪電路的反相延遲電路的級數設定至少為3，則可以抑制振盪頻率的飄移並改善振盪的穩定性。

此外，依據本發明，藉著個別提供電源電壓和共同電壓的電源電壓線和共同電壓線，例如一個接地電壓可以在各個連接成環狀的反相延遲電路中，降低在多個反相延遲電路中互相干擾所產生的雜訊，並且抑制因此所造成的飄移，最後獲致具少量飄移的振盪電路以及穩定的振盪信號。

藉由以下對實施例的敘述和附圖的說明，可以更清楚地表達本發明的特點和目的，其中：

五、發明說明(7)

本發明之敘述

本發明係使用二種型式的基本電路以構成一環形振盪電路，亦即一個具有反相元件與延遲元件的反相延遲電路以及一個具有非反相元件及延遲元件的非反相延遲電路，此振盪電路可以改善振盪電路的控制特性，增大振盪頻率的變化範圍，同時降低振盪信號的飄移，以下可藉由圖4至圖38來配合本發明的詳細敘述以便更清楚地表達本發明的特點。

第一個實施例

圖4係依據本發明中的振盪電路，顯示一反相延遲電路DLY1的電路圖。

如圖示，反相延遲電路DLY1係由具有差動放大器及延遲元件所組成的反相元件所組成，其中的延遲元件具有射極隨耦器和電容。

該差動放大器電路係由電晶體Q1和Q2，電阻R1及電流源I1所組成，電晶體Q1和Q2的基極分別連接至輸入端 T_{in} 和 $T_{/in}$ ，電晶體Q1的集極則經由電阻R1連接至電源供應電壓 V_{cc} 的供應線，而電晶體Q2的集極則連接至電源供應電壓 V_{cc} 的供應線，電晶體Q1和Q2的射極則共同連接至電流源I1，電晶體Q1的集極連接節點ND1和電阻R1構成了相對於差動放大器電路輸入端 T_{in} 的反相輸出節點，電流 i_1 是由電流源I1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

所供給。

在延遲元件中，電晶體 Q_3 的基極連接至節點 ND_1 ，而射極則連接至節點 ND_3 ，電容 C_1 連接在節點 ND_3 和電源供應電壓 V_{cc} 的供應線之間，電晶體 Q_5 的基極是連接至控制信號 SC 的輸入端 TC ，集極係連接至節點 ND_3 ，而射極則透過電阻元件 R_3 接地。

輸入信號 SA 和反相信號 $\neg SA$ 則分別輸入至輸入端 T_{in} 和 $T/\neg in$ ，節點 ND_1 的電壓依據輸入信號 SA 作變化，且成為輸入信號 SA 的反相信號 $\neg SB$ ，延遲電路的輸出信號 $\neg SC$ 依據差動放大器電路的輸出信號 $\neg SB$ 作幅度的改變，例如，當信號 $\neg SB$ 成為低準位時，電晶體 Q_3 將成為截止狀態，電容 C_1 則藉由電晶體 Q_5 的集極電流 i_2 充電，而節點 ND_3 的電壓則緩慢降低，此處，若電阻 R_1 的值為 R 時，電晶體 Q_1 的集極電壓則成為 $(R i_1)$ ，節點 ND_3 的低準位則成為 $(V_{cc} - V_f - R i_1)$ ，應注意的是， V_f 為電晶體 Q_3 的基-射電壓，當信號 $\neg SB$ 由一低準位切換為高準位時，電晶體則由截止狀態切換為開啓狀態，電容 C_1 則經由電晶體 Q_3 放電，且節點 ND_3 的電壓將會升高，而節點 ND_3 的高準位電壓將成為 $(V_{cc} - V_f)$ 。

當電容 C_1 的充電電流 i_2 設定為小量時，節點 ND_3 的電壓下降將是緩慢地，換言之，節點 ND_3 的上升緣是陡峭的，而下降緣是較為平滑。

圖 5 A 至 5 D 係針對圖 4 中的延遲電路，顯示其工作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

的信號波形，以下將配合圖 5 A 至 5 D 的波形圖，詳細解釋本發明實例中反相延遲電路 D L Y 1 的動作。

如圖示，節點 N D 1 的信號 $\angle S B$ 是輸入信號 S A 的反相信號，延遲電路的輸出信號 $\angle S C$ 準位則是依據節點 N D 1 的 $\angle S B$ 作設定，藉由信號 $\angle S B$ 的下降緣，電晶體 Q 3 將由開啓狀態切換為截止狀態，電容 C 1 則依據電流 i_2 被充電，而信號 $\angle S C$ 則由高準位切換為低準位，其下降緣較為平滑，之後，藉由信號 $\angle S B$ 的上升緣，電晶體 Q 3 由關閉狀態切換為開啓狀態，而電容 C 1 則經由電晶體 Q 3 放電。因此信號 $\angle S C$ 快速地上升且保持在一高準位，相對於輸入信號 S A 的上升緣，輸出信號 $\angle S C$ 的下降緣延遲時間為如圖示的 t_d 。

應注意到相對於輸入信號 S A 的下降緣，本發明實例中的延遲電路 D L Y 1 僅存在一個具有差動放大器電路之反相元件的延遲時間，因此，僅存在一個很短的延遲，換言之，藉由本發明實例的反相延遲電路，延遲時間僅存在於輸入信號 S A 的上升緣，且輸出一個信號 $\angle S C$ ，而此信號在輸入信號 S A 之上升緣後的一段延遲時間下降，相反地，一個信號 $\angle S C$ 在輸入信號 S A 之下降緣起算的極短延遲時間上升並予以輸出。

將延遲電路的輸入信號 $\angle S C$ 與一未圖示之比較電路的參考電壓 V_{ref} 相比較，可取得一相對於延遲電路之輸入信號 S A 的延遲觸信號 $\angle S D$ ，例如，如圖 5 A 至 5 D 所示，若參考電壓 V_{ref} 被設定為延遲電路之輸出信號 $\angle$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (10)

S C 之最大幅度的一半時，將延遲電路的輸出信號 / S C 與參考電壓 V_{ref} 作比較可取得一圖示的信號 / S D，比較後取得 / S D 被反相，且相對於延遲電路的輸入信號 S A 是延遲的。

例如，當電容 C 1 的容值為 C 時，電容 C 1 的充電電流 i_2 為 I，而信號 / S C 的最大準位與參考電壓 V_{ref} 的電壓差為 V，則延遲電路的延遲時間 t_d 可由下式求得：

$$t_d = C \times V / I \quad (1)$$

應注意到，可以將圖 4 所示的延遲電路 D L Y 1 和一直未圖示的比較電路結合起來以構成延遲電路，在此狀況下延遲電路的延遲時間，亦即由輸入信號 S A 的上升緣至輸出信號 / S D 的下降緣間的延遲時間是延遲電路 D L Y 1 的延遲時間 t_d 與比較電路的延遲時間的總和，亦即為圖示中的 t_D 。

上述內容係用以說明具有反相元件和延遲元件的反相延遲電路組態，以及一個本發明所提出的基本電路及其工作原理，如上述，本實施例所提出的反相延遲電路將輸入信號反相且進一步予以延遲，如此可取得相對於輸入信號為反相的一個延遲信號。藉由控制輸入至輸入端 T C 的控制信號 S c 準位，可以控制電晶體 Q 5 的集極電流 i_2 ，而電容 C 1 的充電電流可據此加以控制，且延遲元件的延遲時間亦可加以控制，為此，在本實施例中反相延遲電路的

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (11)

延遲時間控制特性可獲得改善，亦可增大延遲時間的變異範圍。

以下將配合圖 6，圖 7 A 至 7 C 說明本發明的另一個基本電路，亦即非反相延遲電路。

第 2 實施例

圖 6 中的電路圖係依據本發明，說明振盪電路中非反相延遲電路 D L Y 2 的組態。

如圖示，非反相延遲電路 D L Y 2 是由一個非反相元件（在此稱為“緩衝器”）所組成，其又包含一個差動放大器電路和一個包含有一個射極隨耦器和一電容的延遲元件所組成。

差動放大器電路是由電晶體 Q 1 和 Q 2，電阻元件 R 1 以及電流源 I 1 所組成，電晶體 Q 1 和 Q 2 的基極分別被連接至輸入端 T i n 和 T / i n，電晶體 Q 2 的集極則經由電阻 R 2 連接至電源供應電壓 V_{cc} 的供應線，而電晶體 Q 1 的集極則連接至電源供應電壓 V_{cc} 的供應線，電晶體 Q 1 和 Q 2 的射極共同接至電流源 I 1，電晶體 Q 2 之集極的連接點 N D 2 及電阻 R 2 構成了相對於差動放大器電路之輸入端 T i n 的非反相輸出節點，電流 i₁ 係由電流源 I 1 所供給。

在延遲元件中，電晶體 Q 4 的基極被連接至節點 N D 2，而射極則連接至節點 N D 4，電容 C 2 係連接至節點 N D 4 和電源供應電壓 V_{cc} 的供應線上，電晶體 Q 6

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(2)

的基極連接至控制信號 S_c 的輸入端 T_C ，集極則連接至節點 N_{D4} ，而射極則經由電阻元件 R_4 予以接地。

輸入信號 S_A 和反相信號 $\neg S_A$ 分別被輸入至輸入端 T_{in} 和 $T_{\neg in}$ ，節點 N_{D2} 的電壓依據輸入信號 S_A 作改變，且成為與輸入信號 S_A 具相同相位的信號 S_B 。延遲電路的輸出信號 S_C 依據差動放大器電路的輸出信號 S_B 來改變其電壓準位，例如，當信號 S_B 為一低準位時，電晶體 Q_4 變為截止狀態，電容 C_2 由電晶體 Q_6 的集極電流 i_3 進行充電，而節點 N_{D4} 的電壓則緩慢下降，此處，若電阻 R_2 的阻值為 R ，則電晶體 Q_4 的基射電壓為 V_f ，而節點 N_{D4} 的低準位成為 $(V_{cc} - V_f - R i_3)$ ，當信號 S_B 由一低準位切換為高準位時，電晶體 Q_4 則由截止狀態切換為開啓狀態，電容 C_2 經由電晶體 Q_4 放電，而節點 N_{D4} 的電壓則上升，節點 N_{D4} 的高準位電壓變為 $(V_{cc} - V_f)$ 。

當電容 C_2 的充電電流 i_3 設為很小，此時節點 N_{D4} 充電的電壓準位上升較為和緩，換言之，節點 N_{D4} 的上升邊緣是陡峭的，而下降緣則較為平滑。

圖 7 A 至 7 C 顯示圖 6 中延遲電路的工作信號波形，以下將配合圖 6 之電路圖及圖 7 A 至 7 C 中的波形來解釋本發明中非反相延遲電路 DLY_2 的工作原理。

延遲電路中輸出信號 S_C 的準位係依據輸入信號 S_A 的準位予以設定，再者，節點 N_{D2} 的信號 S_B 準位係與輸入信號 S_A 的準位相同，藉由信號 S_B 的下降緣，電晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

46年7月3日

五、發明說明(3)

體 Q 4 由開啓狀態切換爲截止狀態，而電容 C 2 則依據電流 i_3 進行充電，如此，信號 S C 將由高準位切換爲低準位，而其中的下降緣下降幅度較爲平滑，此後藉由信號 S B 的上升緣，電晶體 Q 4 由截止狀態轉換爲開啓狀態，而電容 C 2 則經由電晶體 Q 4 予以放電，信號 S C 則快速地充電並維持在一高電壓準位，相對於輸入信號 S A 的下降緣，輸出信號 S C 下降緣的延遲時間爲圖示中的 t_d ，在圖 7 A 至 7 C 中，去除了節點 N D 2 的電壓 S B 波形。

應注意的是，相對於輸入信號 S A 的上升緣，本發明中的延遲電路 D L Y 2 僅發生具有差動放大器電路的反相元件延遲時間，因此僅出現很短的延遲。換言之，藉由本發明的非反相延遲電路，延遲時間僅發生在輸入信號 S A 的下降緣，且輸出一個信號 S C，其下降緣至輸入信號 S A 的下降緣之間存在一個時間延遲，相反的，亦可輸出一個信號 S C，其上升緣與輸入信號 S A 的上升緣間存在有一極短的延遲時間。

利用一個未圖示的比較電路將延遲電路的輸出信號 S C 與一參考電壓 V_{ref} 相比較，可取得一個相對於延遲電路之輸入信號 S A 爲延遲的信號 S D，例如，如圖 7 A 至 7 C 所示，若參考電壓 V_{ref} 被設定爲延遲電路中輸出信號 S C 最大準位的一半時，經由延遲電路中的輸出信號 S C 與參考電壓 V_{ref} 作比較，可取得一個未圖示的信號 S D，比較的結果 S D 相較於延遲電路中的輸入信號 S A 是有延遲的。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

此處，例如，當電容 C_2 的電容值為 C 時， C_2 的充電電流 i_3 的數值為 I ，而信號 S_C 的最大準位與參考電壓 V_{ref} 間的電壓差為 V ，則延遲電路的延遲時間 t_d 可由以下的方式求得：

$$t_d = C \times V / I \quad (2)$$

應注意的是，吾人可以將圖 6 中的延遲電路 DLY2 與一未顯示的比較電路結合起來以構成一延遲電路，在此狀況下延遲電路的延遲時間，換言之，由輸入信號 S_A 的上升緣至輸出信號 S_D 的下降緣之間的延遲時間將成為延遲電路 DLY2 的延遲時間 t_a 與比較電路之延遲時間的總和，它就是圖示中的 t_d 。

上述內容說明了具有緩衝器及延遲元件的非反相延遲電路 DLY2 的組態及其工作原理，其中的延遲元件為本發明的基本電路，如上述，藉由本發明實施例中的非反相延遲電路 DLY2，可將輸入信號 S_A 予以延遲，且取得一個延遲時間正好是 t_d 的延遲信號，再者，利用如同第 1 實施例中反相延遲電路的方式，在本發明實施例中的非反相延遲電路中，藉由控制輸入至輸入端子 TC 的控制信號 S_c 的準位，可以控制電晶體 Q6 的集極電流 i_3 ，亦可據此而控制電容 C_2 的充電電流，以及延遲元件的延遲時間，依此方式，使得本發明實施例中非反相延遲電路的延遲時間控制特性獲得改善，亦可增大延遲時間的變化範圍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

第3實施例

以下將說明一個環形振盪電路，利用上述內容中，本發明所提出的基本電路，亦即反相及非反相延遲電路，可構成此一振盪電路。

首先，圖8A至8B顯示本發明中所提出反相延遲電路和非反相延遲電路的等效電路。

圖8A顯示反相延遲電路的等效電路，而圖8B則顯示非反相延遲電路的等效電路，如圖示，反相延遲電路係等效地由一個反相器INV0和一個延遲元件D0所構成，反相器INV0是由例如圖4所示的一個差動放大器所構成，而延遲元件D0則是由例如是一個射極隨耦器，一個電容和一個比較電路所組成，非反相延遲電路是等效地由一個緩衝器BUF0和延遲元件D0所構成，緩衝器BUF0係由例如是圖6中的一個差動放大器所構成，而延遲元件D0則是例如由一個射極隨耦器和電容所組成。

圖9是一個振盪電路的電路圖，它是由三級的反相延遲電路連接成環形所構成，如圖示，本實例中的振盪電路係等效地由反相器INV1，INV2，INV3及延遲元件D1，D2和D3所構成。

此振盪電路中的各個反相延遲電路是由一個反相器和一個與其輸出端子相連而成的延遲元件所組成，這些反相延遲電路係連接著環形以構成振盪電路，換言之，延遲元

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(16)

件 D 1 的輸入端係連接至反相器 I N V 1 的輸出端，而反相器 I N V 2 的輸入端則連接至反相器 I N V 1 的輸出端，延遲元件 D 2 的輸入端係連接至反相器 I N V 2 的輸出端，反相器 I N V 3 的輸入端連接至延遲元件 D 2 的輸出端，延遲元件 D 3 的輸入端係連接至反相器 I N V 3 的輸出端，再者，延遲元件 D 3 的輸出端係連接至反相器 I N V 1 的輸入端，如此構成了環形振盪電路。

此處，反相器 I N V 1 的輸出信號係定義為 1 A，而延遲元件 D 1 的輸出信號定義為 1 B，反相器 I N V 2 的輸出信號定義為 2 A，延遲元件 D 2 的輸出信號定義為 2 B，反相器 I N V 3 的輸出信號定義為 3 A，而延遲元件 D 3 的輸出信號定義為 3 B，圖 10 A 至 10 F 顯示出這些信號的波形。

以下將配合圖 10 A 至 10 F 及圖 9，說明本實施例中振盪電路的工作原理，應注意的是圖 10 A 至 10 F 中的波形係用以說明圖 9 中環形振盪電路的工作原理，其中，省略掉反相器 I N V 1 至 I N V 3 中的信號延遲，同時，在各個延遲元件 D 1 至 D 3 中，省略掉輸入信號上升緣的延遲，換言之，在圖 10 A 至 10 F 中的波形裡，不像在實際狀況下，為了僅說明此振盪電路的工作原理，延遲時間僅存在於延遲元件 D 1 至 D 3 中輸入信號的下降緣。

如圖示，當反相器 I N V 1 的輸出信號 1 1 是在低準位，而在延遲元件 D 1 中，電容成為充電狀態，而輸出信號 1 B 則保持在一低準位。當信號 1 A 由低準位轉換為高

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(17)

準位時，延遲元件 D 1 中的電容將會放電，而輸出信號 1 B 則快速上升。

之後，當反相器 I N V 1 的輸出信號 1 A 由高準位切換為低準位時，延遲元件 D 1 的電容將會充電，而延遲元件 D 1 的輸出信號 1 B 將緩慢下降。

利用比較電路，將延遲元件 D 1 的輸出信號 1 B 與例如是參考電壓 V_{ref} 相比較，當輸出信號 1 B 的準位是大於參考電壓 V_{ref} 時，比較後取得的結果將維持在高準位，相反地，當輸出信號 1 B 的準位係低於參考電壓 V_{ref} 時，比較所得到的結果係維持在一低準位，比較所得到的結果將輸入至反相器 I N V 2，而反相器 I N V 2 的輸出信號 2 A 則如圖所示一般，再者，延遲元件 D 2 的輸出信號 2 B 將依據輸入信號 2 A 變動且成為一個具有陡峭上升緣及緩慢下降緣的信號，反相器 I N V 3 的輸出信號 3 A 和 3 B 以及延遲元件 D 3 將和上述的反相器及延遲元件一樣。

如圖 10 A 至 10 F 所示，從反相器 I N V 1，I N V 2 和 I N V 3 中的任一個輸出端子，可取得一個具有作用比為 1 : 2 的時脈信號，換言之，本發明實例所提出的振盪電路可產生一個具有作用比為 1 : 2 的時脈信號，當進一步產生一個常態作用比為 1 : 1 的時脈信號時，可將此振盪電路所取得的時脈信號頻率例如除 2，以產生作用比 1 : 1 的時脈信號，應注意的是，在此狀況中，有必要將振盪電路的振盪頻率設定為所需時脈信號頻率的整

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(18)

數倍。

如上述內容，依據本實例的振盪電路，振盪電路是由三級的反相延遲電路所構成，其中各個反相延遲電路包含一個反相器和一個延遲元件，它們連接成環狀以產生時脈信號，應注意到依此方式所構成之振盪電路的振盪週期是反相延遲電路中延遲時間的總和。例如，若此三級反相延遲電路中所有的延遲時間為 t_D ，則振盪信號的時脈信號週期就是 $6 t_D$ ，而振盪頻率為 $1 / 6 t_D$ 。

圖 1 1 顯示一個由反相延遲電路及非反相延遲電路所構成的振盪電路實例，如圖示，本發明實例中的振盪電路是藉由將二級的非反相延遲電路及一級的反相延遲電路連結成環形所構成，非反相延遲電路是由緩衝器 B U F 1 及 B U F 2 以及連接至該緩衝器輸出端的延遲元件 D 1 和 D 2 所組成，該反相延遲電路是由反相器 I N V 3 以及連結至此反相器輸出端的延遲元件 D 3 所組成。

這件構件連結成環形並構成圖 1 1 中的振盪電路，圖 1 2 A 至 1 2 F 顯示本發明實例中振盪電路振盪動作的波形，以下將配合圖 1 1 和圖 1 2 A 至 1 2 F，說明本發明中振盪電路的動作，如圖 1 2 A 至 1 2 F 所示，依據緩衝器 B U F 1 的下降緣，延遲元件 D 1 的輸出信號 1 B 則具有緩慢的下降緣。之後，當緩衝器 B U F 1 的輸出信號 1 C 由一低準位切換為高準位時，延遲元件 D 1 的輸出信號 1 B 會有快速的上升緣。

延遲元件 D 1 的輸出信號 1 B 係與例如是一參考電壓

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(19)

V_{ref} 相比較，當信號 1 B 的準位大於參考電壓 V_{ref} 時，比較所得的信號將高於參考電壓 V_{ref} ，而當信號 1 B 的準位低於參考電壓 V_{ref} 時，比較所得的信號準位則維持在一個低準位，緩衝器 B U F 2 的輸出信號 2 C 則依據比較的結果成為圖示中的狀況，之後，延遲元件 D 2 的輸出信號準位則依據緩衝器 B U F 2 的輸出信號 2 C 而予以設定，例如，由於信號 2 C 的下降緣，延遲元件 D 2 的輸出信號 2 B 將會緩地下降，而藉由信號 2 C 的上升緣，延遲元件 D 2 的輸出信號 2 B 將會急速地上升。

應注意的是，如圖 1 2 A 至 1 2 F 所示，緩衝器 B U F 2 的輸出信號 2 C 的低準位時段很短，因此位於延遲元件 D 2 中的電容在此時間內不會完全充電，因此延遲元件 D 2 的輸出信號無法完全取得低準位，例如，接地電位 6 N D，並且會依據緩衝器 B U F 2 之輸出信號 2 C 的上升緣在期間上升，為此可考慮到當其達到例如是如圖示之比較電路的參考電壓 V_{ref} 的準位時，延遲元件 D 2 的輸出信號 2 B 將開始上升，因此，比較電路的輸出信號將成為一個具有窄寬度以不穩定相位的脈衝信號，當接收到比較的結果時，反相器 I N V 3 的輸出信號 3 C 將成為如圖示具有一非穩定相位的脈衝信號，而延遲元件 D 3 中輸出信號 3 B 的相位將變得不穩定，換言之，對於本發明實施例所提出的振盪電路而言，其產生的時脈信號中有可能發生飄移。

此處將配合圖 1 3 A 和 1 3 B，說明振盪電路所發生

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (20)

的飄移，圖 1 3 A 係針對例如是一個反相或非反相延遲電路，顯示延遲元件之輸出信號的波形，如圖示，當延遲元件的電容是在充電狀態中，則輸出信號係保持在一個高準位，亦即電壓 V_g 準位，延遲元件的輸出信號準位達到參考電壓 V_{ref} 所需的時間 t_d 將成為延遲電路的延遲時間。

圖 1 3 B 係延遲元件的輸出信號發生飄移時的波形，如圖示，當延遲元件中輸出信號的第 1 高準位是位於非穩定狀態時，換言之，第 1 高準位為 $(V_{cc} - V_f + \Delta\alpha)$ ，延遲電路的延遲時間將據此改變為 t_{d1} ， t_{d2} 和 t_{d3} ，而振盪電路的振盪頻率將會不穩定，且會發生飄移。

在如圖 1 1 中的振盪電路裡，反相器 INV 3 中輸出信號 3 C 的高準位是不穩定的，而延遲元件 D 3 的延遲時間將因此而不穩定，而振盪頻率也將發生飄移。

圖 1 4 A 至 1 4 L 中的波形圖係用以解釋延遲元件中第一高準位維持穩定時的狀況。

此處，延遲元件中輸出信號與參考電壓 V_{ref} 的比較結果顯示出此延遲電路的延遲時間為 t_d ，而延遲元件中輸入信號的低準位時段則為 $4 t_d$ ， $3 t_d$ ， $2 t_d$ 和 t_d 。

圖 1 4 A 顯示一個具有低準位時段為 $4 t_d$ 的輸入信號，圖 1 4 B 顯示依據該信號動作之延遲元件的輸出信號，再者，圖 1 4 C 顯示出與參考電壓 V_{ref} 比較所得的結

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

以

五、發明說明 (21)

果，圖 1 4 D 顯示一個具有低準位時段為 $3 t_d$ 的輸入信號，而在延遲元件中依據此信號動作的輸出信號係顯示在圖 1 4 E 中，再者，圖 1 4 F 顯示出與參考電壓 V_{ref} 相比較所得之結果，圖 1 4 F 顯示一個具有低準位時段為 $2 t_d$ 的輸入信號，在延遲元件中依據此信號動作的輸出信號係顯示在圖 1 4 H 中，而與參考電壓 V_{ref} 相較所得之結果則顯示在圖 1 4 I 中。

再者，圖 1 4 J 顯示一個具有低準位時段為 t_d 的輸入信號，而圖 1 4 K 則依據此時段顯示出延遲元件的輸出信號，如圖 1 4 K 所示，當延遲元件的輸出信號因電容的充電而降低且低到例如是參考電壓 V_{ref} 的準位時，輸入信號將會上升而輸出信號將開始上升，因此，輸出信號和參考電壓 V_{ref} 之間的比較結果將成為一個具有非穩態相位的脈衝信號，而此振盪電路中的振盪頻率亦會發生飄移。再者，當延遲元件的輸出信號準位無法降低至參考電壓 V_{ref} ，與參考電壓 V_{ref} 比較所得之結果將如圖 1 4 L 一般保持在一個高準位，此時將發生振盪電路無法振盪的情況。

如以上的內容，為了使得振盪電路能產生一個穩定的時脈信號，輸入至延遲元件的信號低準位時段一定要保持在至少為 $2 t_d$ 或更長，當這個條件不滿足時，振盪器電路的振盪頻率將變得不穩定，且有可能在某些狀況下出現無法振盪的情況。為了滿足這個條件，連接成環的反相延遲電路中的級數將被設定為 3 或更大的奇數。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明(22)

圖 9 中的振盪電路具有滿足上述條件的最小組態，在圖 11 中所示之振盪電路實例中，反相延遲電路的級數僅為 1，且不滿足上述之條件，因此無法產生穩定的振盪信號。

以下將說明其他可滿足此條件的振盪電路實例。

圖 15 中的振盪器電路是由一級的非反相延遲電路和三級的反相延遲電路所組成，如圖示，該非反相延遲電路是由緩衝器 BUF 1 和延遲元件 D 1 所組成，而非反相延遲電路則是由反相器 INV 1，INV 2 和 INV 3 以及延遲元件 D 2，D 3 和 D 4 所組成。

這些緩衝器，反相器和延遲元件係連接成環形以構成振盪電路，緩衝器 BUF 1 的輸出端子係連接至延遲元件 D 1 的輸入端，而延遲元件 D 1 的輸出端將連接至反相器 INV 1 的輸入端，反相器 INV 1 的輸出端係連接至延遲元件 D 2 的輸入端，延遲元件 D 2 的輸出端連接至反相器 INV 2 的輸入端，而反相器 INV 2 的輸出端則連接至延遲元件 D 3 的輸入端。延遲元件 D 3 的輸出端係連接至反相器 INV 3 的輸入端，反相器 INV 3 的輸出端係連接至延遲元件 D 4 的輸入端，而延遲元件 D 4 的輸出端係連接至緩衝器 BUF 1 的輸入端。

此處緩衝器 BUF 1 的輸出信號為 1 A，延遲元件 D 1 的輸出信號 1 B，反相器 INV 1 的輸出信號 2 A，延遲元件 D 2 的輸出信號為 3 A，延遲元件 D 3 的輸出信號為 3 B，反相器 INV 3 的輸出信號為 4 A，而延遲元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

30X

五、發明說明(23)

件 D 4 的輸出信號為 4 B，圖 1 6 A 至 1 6 H 為上述信號的波形。

以下將配合圖 1 6 A 至 1 6 H 和圖 1 5，說明一振盪電路實例的工作原理。

當緩衝器 B U F 1 的輸出信號 1 A 由一高準位切換為低準位時，延遲元件 D 1 的輸出信號 1 B 隨著電容的充電而緩慢下降，之後，延遲元件 D 1 中的電容將依據緩衝器 B U F 1 之輸出信號 1 A 的上升緣而放電，同時延遲元件 D 1 的輸出信號 1 B 將依據上述信號而突然地上升，在緩衝器 B U F 1 之輸出信號 1 A 維持在高準位期間，延遲元件 D 1 的輸出信號 1 B 亦維持在一高準位，例如一相近於電源供應電壓 V_{cc} 的準位，之後，依據緩衝器 B U F 1 中輸出信號的下降緣，延遲元件 D 1 的輸出信號 1 B 將緩慢下降。

當延遲元件 D 1 中輸出信號 1 B 經由比較電路與例如是參考電壓 V_{ref} 相比較，且輸出信號 1 B 之準位係高於參考電壓 V_{ref} 時，比較的結果將維持在一高準位，然而相反地，當輸出信號 1 B 的準位係低於參考電壓 V_{ref} 時，比較的結果則維持在一低準位，比較後的結果被輸入至反相器 I N V 1，而反相器 I N V 1 的輸出信號 2 A 則如圖所示，再者，延遲元件 D 2 的輸出信號 2 B 將依據該輸入信號 2 A 作改變，且成為一具有陡峭上升緣及緩慢下降緣的信號，反相器 I N V 3 的輸出信號 3 A，3 B，4 A 和 4 B，延遲元件 D 3，反相器 I N V 4 以及延遲元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (24)

D 4 將與反相器及延遲元件的輸出信號相同。

如圖 1 6 A 至 1 6 H 所示，緩衝器 B U F 1 的輸出信號 1 A 和反相器 I N V 2 的輸出信號 3 A 係具有工作比 1 : 1 的時脈信號。再者，反相器 I N V 1 的輸出信號 2 A 和 4 A 以及反相器 I N V 3 則成為工作比為 1 : 3 的時脈信號。

再者，在本發明實例中的振盪電路中，對於延遲元件 D 1 至 D 4 的輸入信號 1 A 至 4 A 而言，當處於低準位的信號時段至少為 $2 t_d$ ，且如上述，延遲元件中輸入信號的低準位時段維持在至少為 $2 t_d$ 或更長時，振盪電路可取得無飄移現象的穩定振盪信號，為此，本發明實施例中的振盪電路可產生穩定的時脈信號。

圖 1 7 至 2 2 J 顯示由 5 級反相或非反相延遲電路所構成的振盪電路實例，並顯示此振盪電路的工作波形，以下將配合這些附圖解釋工作原理及其組態。

圖 1 7 顯示由 5 級反相延遲電路所構成的振盪電路電路圖，如圖示，5 級的反相延遲電路係由反相器 I N V 1，I N V 2 ……以及 I N V 5 所組成，而連結至這些反相器輸出端的延遲元件 D 1，D 2 ……和 D 5 係連接成環狀以構成振盪電路。

此處，當反相器 I N V 1 至 I N V 5 的輸出信號為 1 A 至 5 A，而延遲元件 D 1 至 D 5 的輸出信號分別為 1 B 至 1 B 時，振盪電路工作的信號波形圖係顯示在圖 1 8 A 至 1 8 J。

(請先閱讀背面之注意事項再填寫本頁)

再裝

訂

五、發明說明 (25)

以下將配合圖 1 8 A 至 1 8 J 以及圖 1 7，說明本實施例中振盪電路的動作原理。

如圖示，當反相器 I N V 1 的輸出信號 1 A 是在低準位時，對於延遲元件 D 1 而言，電容是在充電狀態，而輸出信號 1 B 則為低準位，當信號 1 A 由低準位切換為高準位時，延遲元件 D 1 中的電容將會放電，而輸出信號 1 B 則是陡峭地上升。

之後，當反相器 I N V 1 的輸出信號 1 A 由一低準位轉換為低準位時，延遲元件 D 1 的電容被充電，而延遲元件 D 1 的輸出信號 1 B 緩慢地下降。

延遲元件 D 1 的輸出信號 1 B 係經由一比較電路與例如是參考電壓 V_{ref} 相比較，當輸出信號 1 B 之準位係高於參考電壓 V_{ref} 時，比較的結果則保持在一高準位，而相反地，當輸出信號 1 B 之準位係低於參考電壓 V_{ref} 時，比較之結果則保持在一低準位，比較後的結果係被輸入至反相器 I N V 2，而反相器 I N V 2 的輸出信號 2 A 則如圖示一般。再者，延遲元件 D 2 的輸出信號 2 B 則依據電源電壓線 2 A 作變化，且成為一具有陡峭邊緣及緩慢下降緣的信號。

反相器 I N V 3，I N V 4 和 I N V 5 以及延遲元件 D 3，D 4 和 D 5 的輸出信號 3 A，4 A_m 和 5 A 以及 3 B，4 B 和 5 B 則與上述反相器和延遲元件的輸出信號相同。

如圖 1 8 A 至 1 8 J 所示，在振盪電路中各個反相器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明(26)

I N V 1 至 I N V 5 的輸出端，可取得工作比 2 : 3 的時脈信號，換言之，輸入至延遲元件 D 1 至 D 5 的信號低準位時段為 $3 t_d$ ，為此，可由本發明實例中的振盪器電路完成一穩定的振盪動作，進而產生一穩定而無飄移的時脈信號。

圖 1 9 顯示一個由二級非反相延遲電路及三級反相延遲電路所構成的振盪電路電路圖，如圖示，本發明中的振盪電路是由非反相延遲電路及反相延遲電路所構成，其中，非反相延遲電路係由 B U F 1 和 B U F 2 緩衝器以延遲元件 D 1 和 D 3 所組成，而反相延遲電路則是由反相器 I N V 1，I N V 2 和 I N V 3 以及延遲元件 D 2，D 4 和 D 5 所組成，這些非反相及反相延遲電路係連結成環狀以構成振盪電路。

確切地說，緩衝器 B U F 1 的輸出端連接至延遲元件 D 1 的輸入端，延遲元件 D 1 的輸出端連接至反相器

I N V 1 的輸入端，反相器 I N V 1 的輸出端連接至延遲元件 D 2 的輸入端，延遲元件 D 2 的輸出端連接至緩衝器 B U F 2 的輸入端，而緩衝器 B U F 2 的輸出端則連接至延遲元件 D 3 的輸入端，延遲元件 D 3 的輸出端係連接至反相器 I N V 2 的輸入端，而反相器 I N V 2 的輸出端則連接至延遲元件 D 4 的輸入端，延遲元件 D 4 的輸出端連接至反相器 I N V 3 的輸入端，而反相器 I N V 3 的輸出端則連接至延遲元件 D 5 的輸入端，之後，延遲元件 D 5 的輸出端係連接至緩衝器 B U F 1 的輸入端以構成環形振

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(27)

盪電路。

此處，當緩衝器 B U F 1 的輸出信號為 1 A，反相器 I N V 1 的輸出信號為 2 A，緩衝器 B U F 2 的輸出信號為 3 A，而反相器 I N V 2 和 I N V 3 的輸出信號為 4 A 和 5 A，同時延遲元件 D 1 至 D 5 的輸出信號分別為 1 B 至 5 B，圖 20 A 至 20 J 顯示出在振盪電路中這些信號的工作波形，以下將配合圖 20 A 至 20 J 中的波形圖來說明本發明實例中振盪電路的工作原理。

如圖示，如緩衝器 B U F 1 中的輸出信號 1 A 為高準位時，在延遲元件 D 1 處，電容為放電的狀態，而輸出信號 1 B 則保持在高準位，當信號 1 A 由高準位切換為低準位時，延遲元件 D 1 中的電容為充電狀態，而輸出信號 1 B 緩慢地下降。

之後，當緩衝器 B U F 1 的輸出信號 1 A 由低準位切換為高準位時，延遲元件 D 1 的電容將突然地放電，而延遲元件 D 1 的輸出信號 1 B 上升，且具有陡峭的上升緣。

延遲元件 D 1 的輸出信號 1 B 係經由比較電路與例如是一參考電壓 V_{ref} 相比較，當輸出信號 1 B 的準位高於參考電壓 V_{ref} 時，比較之結果則保持在一高準位，而相反地，當輸出信號 1 B 的準位低於參考電壓 V_{ref} 時，比較結果將被輸入至反相器 I N V 1，而反相器 I N V 1 的輸出信號 2 A 則為圖 20 C 中所示，再者，延遲元件 D 2 的輸出信號 2 B 將依據輸入信號 2 A 作改變，且成為一具有陡峭上升緣及緩慢下降緣的信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

取

五、發明說明 (28)

緩衝器 B U F 2 和反相器 I N V 2 及 I N V 3 以及連結至延遲元件 D 2 輸出處之延遲元件 D 3 , D 4 及 D 5 的輸出信號 3 A , 4 A 以及 5 A 和 3 B , 4 B 及 5 B 係與緩衝器 B U F 1 , 反相器 I N V 1 和延遲元件 D 1 和 D 2 相同。

如圖 20 A 至 20 J 所示，在振盪電路中反相器 I N V 1 , I N V 2 和 I N V 3 以及緩衝器 B U F 1 和 B U F 2 的輸出處可取得工作比 1 : 4 , 2 : 3 以及 3 : 2 的時脈信號，換言之，延遲元件 D 1 至 D 5 中輸入信號的低準位時段最少為 $2 t_d$ 。因此，本實例中的振盪電路可取得一穩定的振盪動作，以及無飄移發生的穩定時脈信號。

圖 21 顯示另一個振盪電路的電路圖，此振盪電路由二級的非反相延遲電路及三級反相延遲電路所組成，如圖示，本實例中振盪電路的構成組件與圖 19 中振盪電路的構成組件相同，但是反相及非反相延遲電路的連結並非相同，在本實施例中，二級的非反相延遲電路係串聯相接，而三級的反相延遲電路係以串聯相接。

如圖示，緩衝器 B U F 1 的輸出端係連接至延遲元件 D 1 的輸入端，延遲元件 D 1 的輸出端連接至緩衝器 B U F 2 的輸入端，而緩衝器 B U F 2 的輸出端則連接至延遲元件 D 2 的輸入端，延遲元件 D 2 的輸出端係連接至反相器 I N V 1 的輸入端，反相器 I N V 1 的輸出端連接至延遲元件 D 3 的輸入端，而延遲元件 D 3 的輸出端則連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

接至反相器 I N V 2 的輸入端，反相器 I N V 2 的輸出端係連接至延遲元件 D 4 的輸入端，延遲元件 D 4 的輸出端連接至反相器 I N V 3 的輸入端，而反相器 I N V 3 的輸出端則連接至延遲元件 D 5 的輸入端，再者，延遲元件 D 5 的輸出端連接至緩衝器 B U F 1 的輸入端以構成環形振盪電路。

此處，緩衝器 B U F 1 的輸出信號為 1 A，緩衝器 B U F 2 的輸出信號為 2 A，而反相器 I N V 1，I N V 2 和 I N V 3 的輸出信號為 3 A，4 A 和 5 A，且延遲元件 D 1 至 D 5 輸出信號分別為 1 B 至 5 B，圖 2 2 A 至 2 2 J 顯示出振盪電路中，這些信號的工作波形，以下將配合圖 2 2 A 至 2 2 J 中的波形圖，說明本發明中振盪電路的工作原理。

如圖示，當緩衝器 B U F 1 的輸出信號 1 A 為高準位，則在延遲元件 D 1 中，電容是在放電狀態，而輸出信號 1 B 則維持在高準位，當信號 1 A 由高準位切換為低準位時，則延遲元件 D 1 中的電容將被充電，且輸出信號 1 B 將會緩慢下降。

然後，當緩衝器 B U F 1 的輸出信號 1 A 由低準位切換為高準位時，延遲元件 D 1 的電容將會急速地放電，而延遲元件 D 1 的輸出信號 1 B 將會有上升，且帶有一陡峭的上升緣。

延遲元件 D 1 的輸出信號 1 B 將利用一個比較電路與例如是參考電壓 V_{ref} 相比較，當輸出信號 1 B 的準位高

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

32

五、發明說明(30)

於參考電壓 V_{ref} 時，比較的結果將維持在一高準位，而相反地，當輸出信號 1 B 的準位低於參考電壓 V_{ref} 時，比較結果則維持在一低準位，比較之結果被輸入至緩衝器 B U F 2，而緩衝器 B U F 2 輸出 2 A 則成為圖 2 2 C 中所示一般，再者延遲元件 D 2 的輸出信號 2 B 將依據此輸入信號 2 A 作改變，且成為具有一陡峭上升緣及緩慢下降緣的信號。

反相器 I N V 1，I N V 2 和 I N V 3 以及連接至延遲元件 D 2 輸出端之延遲元件 D 3，D 4 及 D 5 的輸出信號 3 A，4 A 和 5 A 以及 3 B，4 B 及 5 B 係與緩衝器 B U F 1 和 B U F 2 以及延遲元件 D 1 和 D 5 的輸出信號是相同的，應注意到反相器會輸出輸入信號的反相信號。

如圖 2 2 A 至 2 2 J 所示，由振盪電路中緩衝器 B U F 1 和 B U F 2 以及反相器 I N V 1，I N V 2 和 I N V 3 的輸出端，可取得工作比為 1 : 4，2 : 3 和 3 : 2 的時脈信號，換言之，由延遲元件 D 1 至 D 5 所輸入的低準位信號時段最少為 $2 t_d$ ，因此，本發明中所提出的振盪器電路可以獲得一穩定的振盪動作以及無飄移的時脈信號。

以下將配合圖 2 3 A 至 2 7 E，顯示由 3 級，4 級，5 級及 6 級反相及非反相延遲電路所構成的振盪電路實例。

圖 2 3 A 及 2 3 B 顯示反相及非反相延遲電路的簡化記號，以下將利用這些記號，顯示圖 2 4 至 2 7 E 中振盪

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (31)

電路的結構性實例。

首先，圖 2 4 顯示一個由三級反相延遲電路所構成的振盪電路電路圖，應注意的是，本電路實例具有一個與圖 9 所示振盪器電路實例的組態，如上述，在本發明所提出的振盪電路中，由三級反相延遲電路所構成的振盪電路具有最簡單的組態。

藉由此振盪電路，可產生一個工作比為 1 : 2 的時脈信號以及穩定的振盪動作。

圖 2 5 顯示一 4 級組態的振盪電路，這個電路是由 1 級的非反相延遲電路以及 3 級的反相延遲電路所組成，應注意的是本電路實例具有與圖 1 5 所示振盪電路實例相同的組態，如上述，藉由一個由一級非反相延遲電路及三級反相延遲電路所構成的振盪電路，可產生工作比為 1 : 3 和 2 : 2 二種型式的時脈信號以及取得穩定的振盪動作。

圖 2 6 A 及 2 6 C 顯示一個具 5 級組態振盪電路的電路圖，它是由 5 級的反相延遲電路或是二級非反相延遲電路以及三級反相延遲電路所組成，如圖示，共有三種具有 5 級組態的振盪電路，圖 2 6 A，2 6 B 及 2 6 C 顯示這些組態，應注意的這些電路實例的組態與圖 1 7，圖 1 9 及圖 2 1 中所示之振盪電路實例相似，如上述，藉由這些 5 級組態的振盪電路，可產生工作比 1 : 3，2 : 3 和 3 : 2 的時脈信號以及穩定的振盪動作。

圖 2 7 A 至 2 7 E 顯示 5 個具有 6 級組態的振盪電路實例，圖 2 7 A 中的電路圖顯示一個由一級非反相延遲電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

32K

五、發明說明 (32)

路及 5 級反相延遲電路所構成的振盪電路，而圖 2 7 B 至 2 7 E 中的振盪電路電路圖則是分別由三級的非反相延遲電路及三級的反相延遲電路所構成，如圖示，共有 4 種組態的振盪電路，視電路中組件的連結，振盪電路可由三級非反相延遲電路及三級反相延遲電路所構成，此處省略這些振盪電路的詳細說明，應注意到藉由這些 6 級組態的振盪電路，可在各個組態實例中取得一週期為 $12t_d$ 的時脈信號和穩定的振盪動作。

第 4 個實施例

圖 2 8 至 3 1 F 中的電路圖及波形圖顯示本發明所提出振盪電路的另一個實施例，以下，將配合這些附圖，說明這些電路實例的動作原理及組態，應注意的是，在以下所說明的各個振盪電路組態實例中，各級延遲元件的輸出信號可與參考電壓 V_{ref} 相比較，而比較所得之結果則傳送到下一級作為下一級的輸入信號，參考電壓 V_{ref} 被設定為延遲元件中輸出信號最大準位的一半，但本發明並不限定於此，比較電路中的參考電壓 V_{ref} 可被隨意地設定。

圖 2 8 中的電路圖顯示一個由三級反相延遲電路所構成的振盪電路，如圖示，本發明實例中的振盪電路是由反相器 $INV1$ ， $INV2$ 和 $INV3$ 以及延遲元件 $DL1$ ， $DL2$ 和 $DL3$ 所組成，這些反相器及延遲元件連接成環形以構成振盪電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明 (33)

更確切而言，反相器 I N V 1 的輸出端子被連接至延遲元件 D L 1 的輸入端，延遲元件 D L 1 的輸出端則連接至反相器 I N V 2 的輸入端，而反相器 I N V 2 的輸出端連接至延遲元件 D L 2 的輸入端，延遲元件 D L 2 的輸出端連接至反相器 I N V 3 的輸入端，而反相器 I N V 3 的輸出端則連接至延遲元件 D L 3 的輸入端，再者，延遲元件 D L 3 的輸出端連接至反相器 I N V 1 的輸入端以構成環形振盪電路。

延遲元件 D L 1，D L 2 和 D L 3 與例如是比較電路配合動作，延遲元件的輸出信號和參考電壓 V_{ref} 係利用這些比較電路作比較，而輸出信號的準位則依據比較的結果予以設定。

此處，當反相器 I N V 1 至 I N V 3 的輸出信號為 1 A 至 3 A，且延遲元件 D L 1 至 D L 3 的輸出信號為 1 B 至 3 B，則在圖 2 9 A 至 2 9 F 顯示出本發明實例中振盪電路的工作信號波形。以下將配合圖 2 8 及圖 2 9 A 至 2 9 F，說明本發明實例中振盪電路的動作。

如圖示，當反相器 I N V 1 的輸出信號 1 A 是在高準位時，延遲元件 D L 1 的輸出信號 1 B 係維持在一高準位，在延遲元件 D L 1 中的電容則依據此信號 1 A 的下降緣進行充電，同時，延遲元件 D L 1 的輸出信號則緩慢下降，之後，延遲元件 D L 1 的電容將依據反相器 I N V 1 中輸出信號 1 A 的上升緣進行放電，而延遲元件 D L 1 的輸出信號 1 B 則是上升，且具有一陡峭的上升緣。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明 (34)

反相器 $INV 2$, $INV 3$ 和延遲元件 $DL 2$ 和 $DL 3$ 的動作係與上述反相器 $INV 1$ 和延遲元件 $DL 1$ 的方式相同。

如圖 29 A 至 29 F , 與延遲元件 $DL 1$ 至 $DL 3$ 之輸出信號相比較的參考電壓 V_{ref} 準位並不設定為這些延遲元件中最大輸出準位的一半，而是其他的數值，例如，若延遲元件中輸出信號的最大準位為 V_{TP} ，則參考電壓 V_{ref} 的準位被設定為 $3 V_{TP} / 4$ ，換言之，設定為最大準位的 $3 / 4$ 。

當延遲元件中輸出信號的準位大於參考電壓 V_{ref} 時，則由比較電路輸出一個高準位信號，相反地，當延遲元件的輸出信號小於參考電壓 V_{ref} 時，則由比較電路輸出一個低準位信號，比較電路的輸出信號被輸入端至下一級的延遲電路，經由反相器予以反相，再輸入至下一級延遲電路中的延遲元件。

依此方式，藉由改變在比較電路中參考電壓 V_{ref} 的準位，可以改變振盪電路的振盪頻率，在本實施例中，將參考電壓 V_{ref} 設定為大於最大準位的一半，可減少延遲元件的延遲時間，也因此可減少振盪電路中的振盪週期，亦即振盪電路會變大。

上述內容針對參考電壓準位被設為較大值的情況作說明，以下將配合圖 30 和圖 31 A 至 31 F，針對參考電壓被設為低數值時的情況，說明振盪電路的工作原理。

如圖 30 所示，和圖 28 所示之振盪電路實例相同之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

30

五、發明說明 (35)

方式，亦即將三級的反相延遲電路連結成環形，可構成本實例中的振盪電路。

這些反向延遲電路分別是由反相器 I N V 1，I N V 2 和 I N V 4 以及延遲元件 D M 1，D M 2 和 D M 3 所構成。

反相器 I N V 1 的輸出端係連接至延遲元件 D M 1 的輸入端，延遲元件 D M 1 的輸出端連接至反相器 I N V 2 的輸入端，反相器 I N V 2 的輸出端連接至延遲元件 D M 2 的輸入端，延遲元件 D M 2 的輸出端連接至反相器 I N V 3 的輸入端，而反相器 I N V 3 的輸出端則連接至延遲元件 D M 3 的輸入端，再者，延遲元件 D M 3 的輸出端係連接至反相器 I N V 1 的輸入端以構成環形振盪電路。

延遲元件 D M 1，D M 2 和 D M 3 係與例如是比較電路相配合，延遲元件的輸出信號和參考電壓 V_{ref} 經由參考電路作比較，而輸出信號的準位則是依據比較後的結果被設定。

此處，反相器 I N V 1 至 I N V 3 的輸出信號為 1 A 至 3 A，而延遲元件 D M 1 至 D M 3 的輸出信號為 1 B 至 3 B，圖 3 1 A 至 3 1 F 顯示本實例中振盪電路的工作信號波形，以下配合圖 3 0 和圖 3 1 A 至 3 1 F，說明振盪電路的動作。

如圖示，當反相器 I N V 1 的輸出信號 1 A 為高準位，延遲元件 D M 1 的輸出信號 1 B 亦保持在高準位，則延

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

五、發明說明 (36)

遲元件 D M 1 的電容將依據信號 1 A 的下降緣被充電，而延遲元件 D M 1 的輸出信號則是緩慢地下降，之後，延遲元件 D M 1 中的電容將依據反相器 I N V 1 中輸出信號 1 A 的上升緣進行放電，而延遲元件 D M 1 的輸出信號 1 B 則會上升，且具有一陡峭的上升緣。

反相器 I N V 2 和 I N V 3 以及延遲元件 D M 2 和 D M 3 係與上述反相器 I N V 1 和延遲元件 D M 1 相同的方式動作。

如圖 3 1 A 至 3 1 F 所示，若延遲元件中輸出信號的最大準位為 V_{TP} ，則與延遲元件 D M 1 至 D M 3 相比較的參考電壓 V_{ref2} 準位被設定為例如是 $V_{TP} / 4$ ，換言之，設定為最大準位的 $1 / 4$ 。

當延遲元件中輸出信號的準位大於參考電壓 V_{ref2} ，則比較電路將會輸出一個高準位信號，而相反地當延遲元件中輸出信號的準位小於參考電壓 V_{ref2} 時，比較電路將輸出一個低準位信號，比較電路的輸出信號將輸入至下一級延遲電路，經由反相器的反相，再輸入至下一級延遲電路的延遲元件。

依此方式，藉由在比較電路中改變參考電壓 V_{ref2} 的準位，可改變振盪電路的振盪頻率，將參考電壓 V_{ref2} 設定為小於本實例中最大準位的一半時，將會增加延遲元件中的延遲時間，進而增加振盪電路的振盪週期，換言之，降低振盪頻率。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明(37)

第5實施例

依據本發明中的第5實施例，圖32，33和34A至34C顯示振盪電路的電路圖和波形圖，以下將配合這些圖形，說明本實施例中振盪電路的動作及組態。

圖32顯示由三級反相延遲電路所構成之振盪電路的等效電路。

如圖示，本實例中的振盪電路是由三級反相延遲電路DN1，DN2和DN3以及一個用以提供這些反相延遲電路所需之驅動電壓的驅動電路DV1所組成。

反向延遲電路DN1，DN2和DN3係連接成環，反相延遲電路DN1的輸出信號輸入至反相延遲電路DN2，而反相延遲電路DN2的輸出信號則輸入至反相延遲電路DN3，再者，反相延遲電路DN3的輸出信號係回饋至反相延遲電路DN1的輸入端。

反相延遲電路DN1，DN2和DN3係藉由共用電源電壓 V_{cc} 來動作，故這些反相延遲電路係使用相同的接地電壓GND。

驅動電路DV1將所需的驅動電路供給給反相延遲電路。

圖33顯示圖32所示振盪電路組態的一個具體實例。

如圖示，本振盪電路實施例是由反相延遲電路DN1，DN2和DN3連接成環狀，而驅動電路DV1則將參考電壓 V_{ref} 和驅動電壓 V_{B1} 及 V_{B2} 供給給這些電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

以

五、發明說明 (38)

以下將配合圖 3 3，說明反相延遲電路 D N 1，
D N 2 和 D N 3 以及驅動電路 D V 1 部份的組態。

驅動電路 D V 1 是由電阻元件 R 4 1，R 4 2 ……
以及 R 4 6 和 n p n 電晶體 Q 4 1，Q 4 2 ……和
Q 4 6 所構成。

電晶體 Q 4 1 的基極係連接至偏壓電壓 V_{BIAS} 的輸入
端，集極係連接至電源供應電壓供應線，而射極則經由電
阻元件 R 4 3 予以接地。

電晶體 Q 4 2 的基極係連接至操作控制電壓 V_{cc} 的輸
入端，集極則連接至電源供應電壓 V_{cc} 的供應線，而射極
則連接至電晶體 Q 4 4 的集極。

電晶體 Q 4 4 的基極係連接至電晶體 Q 4 1 的射極，
射極則經由電阻元件 R 4 4 予以接地。

電阻元件 R 4 1 和 R 4 2 係並聯地連接在電源電壓
 V_{cc} 供應線和電晶體 Q 4 5 的集極之間，電晶體 Q 4 5 的
基極係連接在電晶體 Q 4 1 的射極，而此射極則經由電阻
元件 R 4 5 予以接地。

電晶體 Q 4 3 的基極連接至電晶體 Q 4 5 的集極，集
極係連接至電源 V_{cc} 的供應線，而射極則連接至電晶體
Q 4 6 的集極，再者，電晶體 Q 4 6 的基極連接至電晶體
Q 4 1 的射極，而射極則經由電阻元件 R 4 6 予以接地。

在以此方式所構成的驅動電路 D V 1 中，當工作控制
電壓 V_{cc} 和偏壓電壓 V_{BIAS} 是保持在一預設的準位時，
例如，可以將電晶體 Q 4 2 和電晶體 Q 4 1 開啓的準位，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

冰

五、發明說明 (39)

電晶體 Q 4 1 和 Q 4 2 的射極電壓將分別依據偏壓 V_{BIAS} 和工作控制電壓 V_{CO} 予以設定。

此處，若電晶體 Q 4 1 和 Q 4 2 的基射電壓分別為 V_{BE1} 和 V_{BE2} 時，當電晶體 Q 4 1 和 Q 4 2 是在開啓狀態，則電晶體 Q 4 1 和 Q 4 2 的射極電壓 V_{B1} 和 V_{B2} 則分別由以下的式子取得：

$$\begin{aligned} V_{B1} &= V_{BIAS} - V_{BE1} \\ V_{B2} &= V_{CO} - V_{BE2} \end{aligned} \quad (3)$$

電壓 V_{B1} 如同電晶體 Q 4 4，Q 4 5 和 Q 4 6 的基極偏壓一般，輸入至各個電晶體的基極。

再者，電壓 V_{B1} 和 V_{B2} 如同反相延遲電路 DN 1，DN 2 和 DN 3 的驅動電壓，輸入至反相延遲電路。

電晶體 Q 4 4，Q 4 5 和 Q 4 6 的集極電流將依據基極偏壓 V_{B1} 值和電阻元件 R 4 5 和 R 4 6 的阻值來決定，電晶體 Q 4 3 的基極電壓將依據電晶體 Q 4 5 的集極電流和電阻元件 R 4 1 和 R 4 2 的阻值來設定，射極隨耦器是由包含有電晶體 Q 4 3，電晶體 Q 4 6 和電阻元件 R 4 6 的電流源所構成，因此射極電壓係依據電晶體 Q 4 3 的基極電壓被決定。電晶體 Q 4 3 的射極電壓係輸入至反相延遲電路 DN 1，DN 2 和 DN 3 而成爲參考電壓 V_{ref} 。

反相延遲電路 DN 1，DN 2 和 DN 3 具有相同的組態，此處，主要是說明反相延遲電路 DN 1 的組態和操作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

部

五、發明說明 (40)

。

反相延遲電路 D N 1 係由電阻元件 R 1 1 和 R 1 2 , 電容 C 1 以及 n p n 電晶體 Q 1 1 , Q 1 2 , Q 1 3 , Q 1 4 和 Q 1 5 所構成。

差動放大器電路是由電晶體 Q 1 1 和 Q 1 2 所構成 , 電晶體 Q 1 1 的基極係連接至反相延遲電路 D N 3 的輸出端 , 而集極則經由電阻元件 R 1 1 連接至電源電壓 V_{cc} 的供應線 , 由驅動電路 D V 1 所產生的參考電壓 V_{ref} 被輸入至電晶體 Q 1 2 的基極 , 而其中的集極則連結至電源 V_{cc} 的供應線。

電晶體 Q 1 1 的基極構成反相延遲電路 D N 1 的輸入端子。

電晶體 Q 1 1 和 Q 1 2 射極彼此相接 , 而連接點則至溶劑 Q 1 4 的集極。

驅動電路 D V 1 的驅動電壓 V_{B1} 係輸入至電晶體 Q 1 4 的基極 , 而射極則經由電阻元件 R 1 2 接地。

電晶體 Q 1 3 的基極係連接至電晶體 Q 1 2 的集極 , 而集極則連接至電源電壓 V_{cc} 的供應線 , 電晶體 Q 1 3 的射極和電晶體 Q 1 5 的集極相接在一起 , 而反相延遲電路 D N 1 的輸出端子 T_{O1} 則是由其中的連接點所構成。

由驅動電路 D V 1 所產生的驅動電壓 V_{B2} 係連接至電晶體 Q 1 5 的基極 , 而射極則經由電阻元件 R 1 3 接地。

電容 C 1 的一個電極係連接至電源電壓 V_{cc} 的供應線 , 而另一個電極則連接至反相延遲電路 D N 1 的輸出端

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(41)

T₀₁。

依此方式，藉由電阻 R₁₄ 和電阻元件 R₁₂，可構成能供應驅動電流至差動放大器電路的電流源，而此差動放大器則包含有電晶體 Q₁₁ 和 Q₁₂，同樣地，供應驅動電流至電晶體 Q₁₃ 之射極的電流源是由電晶體 Q₁₅ 和電阻元件 R₁₃ 所構成。

再者，電晶體 Q₁₃ 和供應驅動電流的電流源構成了射極隨耦器。

電容 C₁ 依據構成射極隨耦器之電晶體 Q₁₃ 的開／關狀態，重覆進行充電和放電的動作，而反相延遲電路 D N 1 中輸出端 T₀₁ 的電壓將隨之改變。

以下將配合圖 33，說明具有上述組態之反相延遲電路 D N 1 的工作原理。

反相延遲電路 D N 3 的輸出信號 S₀₃ 係輸入至反相延遲電路 D N 1 的輸入端，換言之，電晶體 Q₁₁ 的基極，且輸入信號 S₀₃ 和參考電壓 V_{ref} 的準位係利用一個由電晶體 Q₁₁ 和 Q₁₂ 所構成之差動放大器電路來加以比較。

若輸入信號 S₀₃ 的準位係高於參考電壓 V_{ref} 時，由電流源所產生的驅動電流 I₁ 將流入差動放大器電路的電晶體 Q₁₁ 端，其中的電流源是由電晶體 Q₁₄ 和電阻元件 R₁₂ 所構成，因此，電晶體 Q₁₁ 的集極電壓係保持在一低準位，而構成射極隨耦器的電晶體 Q₁₃ 將保持在關閉狀態。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (42)

因此，電容 C_1 將經由一電流源所產生的驅動電流 I_2 加以充電，其中，該電流源包含電晶體 Q_{15} 和電阻元件 R_{13} ，而反相延遲電路 DN_1 中輸出端 T_{01} 的電壓將會隨之緩慢下降。

當一輸入信號 S_{03} 的準位降低且變成例如是參考電壓 V_{ref} 或更小的電壓值時，電晶體 Q_{11} 將切換為關閉狀態，而電晶體 Q_{12} 將進入開啓狀態，因此，驅動電流 I_1 將流入電晶體 Q_{12} 端，據此，電晶體 Q_{11} 的集極電壓將保持在一高準位，例如，電源電壓 V_{cc} 或一接近此數值的準位。

此時，構成射極隨耦器的電晶體 Q_{13} 將進入開啓狀態，被充電的電容 C_1 將因此透過電晶體 Q_{13} 來放電，而反相延遲電路 DN_1 中輸出端 T_{01} 的電壓將突然上升且上升至 $V_{cc} - V_f$ 。

反相延遲電路 DN_2 和 DN_3 具有與反相延遲電路 DN_1 相同的組態，因此，各個反相延遲電路的動作與反相延遲電路 DN_1 的動作相似，反相延遲電路 DN_1 的輸出信號 S_{01} 被輸入至反相延遲電路 DN_2 ，而反相延遲電路 DN_2 的輸出信號 S_{02} 則輸入至反相延遲電路 DN_3 ，再者，反相延遲電路 DN_3 的輸出信號 S_{03} 回饋至反相延遲電路 DN_1 的輸入端，如此可構成環形振盪電路。

圖 3 4 A 至 3 4 C 為反相延遲電路 DN_1 的輸入信號波形圖，亦即反相延遲電路 DN_3 的輸出信號 S_{03} ，反相延遲電路 DN_1 的輸出信號 S_{01} ，以及反相延遲電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明 (43)

D N 2 的輸出信號 S_{02} ，以下將配合圖 3 4 A 至 3 4 C，說明本實施例中振盪電路的動作。

如圖示，在反相延遲電路 D N 1 中，當輸入信號 S_{03} 保持在一低準位，反相延遲電路 D N 1 的輸出信號 S_{01} 保持在一高準位。當輸入信號 S_{03} 的準位升上且到達至參考電壓 V_{ref} 時，電容 C 1 將開始充電，輸出信號 S_{01} 隨著電容 C 1 的充電而緩慢下降。

當反相延遲電路 D N 1 中輸出信號 S_{01} 的準位成為參考電壓 V_{ref} 或更小的數值時，在反相延遲電路 D N 2 中，電容 C 2 將會放電，進而使得輸出信號 S_{02} 突然上升。

如圖 3 4 A 至 3 4 C，時間 T_{01} 是自反相延遲電路 D N 1 中輸出信號 S_{01} 的準位開始下降，直到下降至參考電壓 V_{ref} ，此段時間定義為反相延遲電路 D N 1 的延遲時間。

在反相延遲電路 D N 3 中，當輸入信號 S_{02} 的準位超過參考電壓 V_{ref} 時，電容 C 3 將會充電，而輸出信號 S_{03} 的準位將逐漸下降，之後，當信號 S_{03} 的準位低於反相延遲電路 D N 1 中的參考電壓 V_{ref} 時，電容 C 1 開始充電，進而使得輸出信號 S_{01} 突然上升。

此處，時間 T_{03} 是由反相延遲電路 D N 3 中輸出信號 S_{03} 開始下降，直到降至參考電壓 V_{ref} 所經過的時間，且定義為反相延遲電路 D N 3 的延遲時間。

再者，隨著反相延遲電路 D N 1 中輸出信號 S_{01} 的上升，反相延遲電路 D N 2 的電容 C 2 將被充電，而輸出信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(44)

號 S_{02} 將緩慢下降。

當反相延遲電路 $DN2$ 的輸出信號 S_{02} 成為參考電壓 V_{ref} 或為更低值時，在反相延遲電路 $DN3$ 中，電容 $C1$ 將會放電，而輸出信號 S_{03} 將隨之快速上升。

時間 T_{D2} 是當反相延遲電路 $DN2$ 的輸出信號 S_{02} 開始下降至下降為參考電壓 V_{ref} 所經過的時間，此段時間亦定義為反相延遲電路 $DN2$ 的延遲時間。

上述動作係重覆地在反相延遲電路 $DN1$ ， $DN2$ 和 $DN3$ 中執行，所以，舉例而言，在反相延遲電路 $DN3$ 的輸出端 T_{03} 處可取得振盪信號 S_{osc} 。

當反相延遲電路 $DN1$ ， $DN2$ 和 $DN3$ 的相同組件是由具有相同性能的電路元件所組成時，存在於反相延遲電路中的電容 $C1$ ， $C2$ 和 $C3$ 具有相同的電容值，近似尺寸大小的其他電阻元件和電晶體將設定為相同，反相延遲電路 $DN1$ ， $DN2$ 和 $DN3$ 的延遲時間 T_{D1} ， T_{D2} 和 T_{D3} 則大致為相同，若這些反相延遲電路的延遲時間均為 T_D ，則振盪電路所產生的振盪信號 S_{osc} 頻率可由下式求得：

$$f_{osc} = 1 / (6 \cdot T_D) \quad (4)$$

如上述，依據本實施例，振盪電路是將反相延遲電路 $DN1$ ， $DN2$ 和 $DN3$ 連接成環，驅動電壓 V_{B1} 和 V_{B2} 則由驅動電路 $DV1$ 供給至反相延遲電路，各個反相延遲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

製

五、發明說明(45)

電路將據此將輸入信號反相，並相對於其上升緣，延遲預設的延遲時間 T_D ，並將此信號輸入至下一級的反相延遲電路，如此可構成一個環形的振盪電路，且可取得具有預設頻率的振盪信號。

應注意到在上述的說明中，藉由將三級反相延遲電路連結成環狀所構成的振盪電路係作為一個實例，但本發明並不限定於此，藉相同的原理，將奇數級或多於此數目的反相延遲電路連結成環狀，亦可構成一振盪電路。

第6實施例

圖35至38係依據本發明的第6個實施例，顯示一振盪電路的電路圖和波形圖，以下將配合這些附圖，說明此實施例的動作和組態。

圖35顯示包含三級反相延遲電路之振盪電路的等效電路。

如圖示，本實例的振盪電路是由3級反相延遲電路 $DP1$ ， $DP2$ 和 $DP3$ 以及一個供應這些反相延遲電路所需驅動電壓之驅動電路 $DV2$ 所構成。

這些反相延遲電路 $DP1$ ， $DP2$ 和 $DP3$ 係連接成環，而反相延遲電路 $DP1$ 的輸出信號係輸入至反相延遲電路 $DP2$ ，而反相延遲電路 $DP2$ 的輸出信號則輸入至反相延遲電路 $DP3$ ，再者，反相延遲電路 $DP3$ 的輸出信號回饋至反相延遲電路 $DP1$ 的輸入端。

對於本實施例的振盪電路而言，與圖32中所示之第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (46)

5 實施例相比較，連接成環形的反相延遲電路 D P 1，D P 2 和 D P 3 係分別接收電源電壓 V_{cc} 的電源和共用電壓，例如，接地電壓 G N D，而各個反相延遲電路則由驅動電路 D V 2 接收驅動用電壓，依此方式，可抑制多個反相延遲電路間因相互干擾所產生的雜訊以及飄移，最後獲得具極小飄移的振盪器電路。

圖 3 6 針對圖 3 5 中的振盪電路組態，顯示一具體實例的電路圖。

如圖示，在本發明中的振盪電路裡，三級的反相延遲電路 D P 1，D P 2 和 D P 3 係連結成環形，而電源電壓供應線和反相延遲電路的接地則是獨立地存在，再者，驅動電路 D V 2 則將驅動電壓各別地提供給反相延遲電路。

首先，將說明驅動電路 D V 2 的組態和動作。

如圖示，驅動電路 D V 2 是由 n p n 電晶體 Q 5 1，Q 5 2 ……和 Q 5 8 以及電阻元件 R 5 1，R 5 2，R 5 3 和 R 5 4 所構成。

電晶體 Q 5 1 的集極係連接至電源電壓 V_{cc} 的供應線，基極則連接至偏壓 V_{BIAS} 的輸入端，而射極則是透過電阻元件 R 5 1 接地。

電晶體 Q 5 6，Q 5 7 和 Q 5 8 的基極係共同地連接至電晶體 Q 5 1 的射極，而射極則分別經由電阻元件 R 5 2，R 5 3 和 R 5 4 接地。

電晶體 Q 5 2，Q 5 3 和 Q 5 4 的集極係共同地連接至電源電壓 V_{cc} 的供應線，基極則連接至振盪器電路中工

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明 (47)

作控制電壓 V_{c0} 的輸入端，而射極則分別連接至電晶體 Q_{56} ， Q_{57} 和 Q_{58} 的集極，反相延遲電路的驅動電壓 V_{B11} ， V_{B12} 和 V_{B13} 係由電晶體 Q_{52} ， Q_{53} 和 Q_{54} 的射極所產生，且分別輸入至反相延遲電路 $DP1$ ， $DP2$ 和 $DP3$ 。

在上述構造的驅動電路 $DV2$ 中，當工作控制電壓 V_{c0} 和偏壓 V_{BIAS} 係維持在一預定的準位，例如，此準位可使得電晶體 Q_{52} ， Q_{53} 和 Q_{54} 以及電晶體 Q_{51} 導通，而電晶體 Q_{51} ， Q_{52} ， Q_{53} 和 Q_{54} 的射極電壓則是依據偏壓 V_{BIAS} 和工作控制電壓 V_{c0} 的準位來設定。

電晶體 Q_{56} ， Q_{57} 和 Q_{58} 的基極係藉由電晶體 Q_{51} 的射極電壓予以偏壓，而預定的集極電流則將流過電晶體的集極，這些電晶體的集極電流將輸入至電晶體 Q_{52} ， Q_{53} 和 Q_{54} 的射極，且成為電晶體 Q_{52} ， Q_{53} 和 Q_{54} 的驅動電流。

反相延遲電路 $DP1$ ， $DP2$ 和 $DP3$ 實質上有相同的組態，以下將藉由一個反相延遲電路 $DP1$ 的實例，以解釋其組態及工作原理。

如圖示，反相延遲電路 $DP1$ 是由電晶體 Q_{11} ， $Q_{12} \dots \dots$ 和 Q_{19} 以及電阻元件 R_{11} ， $R_{12} \dots \dots$ 和 R_{18} 所構成，此外，反相延遲電路 $DP1$ 具有與其他反相延遲電路 $DP2$ ， $DP3$ 和驅動電路 $DV2$ 彼此獨立的電源電壓供應線 V_{cc} 及接地線 $GND1$ 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

冰

五、發明說明 (48)

電晶體 Q 1 1 的集極係連接至電源電壓 V_{cc} 的供應線，基極連接至偏壓 V_{BIAS} 的輸入端，而射極則經由電阻元件 R 1 4 連接至接地線 GND 1。

電晶體 Q 1 7，Q 1 8 和 Q 1 9 的基極係共同連接至電晶體 Q 1 1 的射極，而射極分別經由電阻元件 R 1 5，R 1 6 和 R 1 7 連接至接地線 GND 1。

藉此，電晶體 Q 1 1 的射極電壓是依據外部供應的偏壓 V_{BIAS} 來設定，且電晶體 Q 1 7，Q 1 8 和 Q 1 9 的集極電流則依據電晶體 Q 1 1 的射極予以設定。

此處，電晶體 Q 1 7，Q 1 8 和 Q 1 9 的集極電流分別定義為 I_1 ， I_2 和 I_3 。

電阻元件 R 1 1 和 R 1 2 係並聯地連接在電源電壓供應線 V_{cc} 和電晶體 Q 1 7 的集極之間，而其中的連接點係連接至電晶體 Q 1 2 的基極，電晶體 Q 1 2 的集極則連接至電源電壓的供應線 V_{cc1} ，而射極則連接至電晶體 Q 1 8 的集極，此外，電晶體 Q 1 2 的射極則連接至電晶體 Q 1 4 的基極。

電晶體 Q 1 3 和 Q 1 4 構成一個差動放大器電路，電晶體 Q 1 3 的集極則經由電阻元件 R 1 3 與電源電壓的供應線 V_{cc1} 相連，而基極則連接至反相延遲電路 DP 3 的輸出端，並將反相延遲電路 DP 3 的輸出信號 S_{03} 作為其輸入。

電晶體 Q 1 3 和 Q 1 4 的射極係彼此相連，而其中的連接點則連接至電晶體 Q 1 9 的集極。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

認

五、發明說明 (49)

電晶體 Q 1 5 的基極連接至電晶體 Q 1 3 的集極，而集極連接至電源電壓 V_{cc} 的供應線，電晶體 Q 1 5 的射極係連接至電晶體 Q 1 6 的集極，而其中的連接點將構成反相延遲電路 D P 1 的輸出端 T_{o1} ，電容 C 1 的一極係連接至輸出端 T_{o1} ，而另一極則連接至電源電壓的供應線 V_{cc1} 。

由驅動電路所產生的驅動電壓 V_{B11} 係供應給電晶體 Q 1 6 的基極，而射極則經由電阻元件 R 1 8 連接至地線 G N D 1。

在上述的反相延遲電路 D P 1 中，電流 I_1 係供應至電晶體 Q 1 2 的基極，此時，針對並聯相接的電阻元件 R 1 1 和 R 1 2 而言，將其所產生的壓降定義為電晶體 Q 1 2 的基極偏壓，電晶體 Q 1 2 和供應電流 I_2 的電流源構成 3 個一個射極隨耦器，而參考電壓 V_{ref1} 則自電晶體 Q 1 2 的射極輸出，且輸入至電晶體 Q 1 4 的基極。

電流 I_3 成為差動放大器電路的驅動電流，此差動放大器電路是由電晶體 Q 1 3 和 Q 1 4 所構成，此處，輸入至電晶體 Q 1 3 基極處的信號 S_{o3} 準位以及輸入至電晶體 Q 1 4 基極處的參考電壓 V_{ref1} 兩者相比較，其中，信號 S_{o3} 的準位高於參考電壓 V_{ref1} ，電晶體 Q 1 3 的集極電壓維持在一低準位，而電晶體 Q 1 5 則維持在關閉的狀態，因此，電容 C 1 是由電流 I_4 所充電，而反相延遲電路 D P 1 的輸出端 T_{o1} 則將逐漸下降。

另一方面，若信號 S_{o3} 的準位低於參考電壓 V_{ref1}

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (50)

，則電晶體 Q_{13} 的集極電壓將維持在一高準位，而電晶體 Q_{15} 則維持在開啓狀態，而被充電的電容 C_1 將依據此狀態放電，且反相延遲電路 DP_1 的輸出端 T_{01} 電壓將會上升且達到 $V_{cc} - V_f$ 的準位。

依此方式，反相延遲電路 DP_1 將會輸出輸入信號 S_{03} 的反相信號，此外，具有由輸入信號 S_{03} 之上升緣起算的預定延遲時間的信號將被輸出。

如圖 3 6 所示，反相延遲電路 DP_2 和 DP_3 基本上具有與反相延遲電路 DP_1 相同的組態，反相延遲電路 DP_1 ， DP_2 和 DP_3 將輸出輸入信號的反相信號，而輸入信號的上升緣將會延遲且被輸出，因此，振盪器電路將由三級連接成環形的反相延遲電路構成，舉例而言，如圖 3 6 所示，反相延遲電路 DP_3 的輸出信號將輸出至外部成為振盪信號 S_{osc} 。

在本實施例中，對於反相延遲電路 DP_1 ， DP_2 和 DP_3 以及用以將驅動用電壓傳送至這些反相延遲電路的驅動電路 DV_2 而言，電源電壓 V_{cc} 或接地 GND 均是個別獨立地拉線，因此可以降低各個組件的互相干擾，且可抑抑振盪信號中的飄移。

圖 3 7 和圖 3 8 針對反相延遲電路 DP_1 ， DP_2 和 DP_3 中任一個輸出信號 S_o ，顯示其中一部的波型作為例子。如圖 3 7 所示，當不出現雜訊時，藉由輸出信號 S_o 和參考電壓 V_{ref} 之間的比較將產生延遲時間 T_D ，然而如圖 3 8 所示，當輸出信號 S_o 或參考電壓 V_{ref} 中夾雜有雜訊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

部

五、發明說明 (51)

時，在反相延遲電路中所生成的延遲時間將成為 T_{D1} ， T_{D2} 和 T_{D3} 之一，如此將因為飄移的存在，而使得延遲時間變得不穩定，再者，振盪器電路所產生的振盪信號將變得不穩定。

在本實施例中，如圖 3 6 的電路圖，因為電源電壓 V_{cc} 和接地電壓 GND 將個別獨立地與反相延遲電路 $DP1$ ， $DP2$ 和 $DP3$ 相連，而驅動用的電壓係個別獨立地產生，且藉由驅動電路 $DV2$ 傳送至反相延遲電路，如此可減少相互的干擾，抑制飄移的產生，並取得穩定的振盪信號。

如以上的說明，依據本實例，將反相延遲電路 $DP1$ ， $DP2$ 和 $DP3$ 連接成環，可構成一振盪電路，驅動用電壓係個別獨立地產生，且藉由驅動電路 $DV2$ 傳送至反相延遲電路，而電源電壓和接地則是個別且獨立地與反相延遲電路相連，如此可降低反相延遲電路中因為相互干擾所造成的雜訊，抑制振盪信號中的飄移，進而取得穩定的振盪信號。

應注意到在上述的說明中，係舉用一個實例來解釋振盪電路的組態和動作，此振盪電路是由三級的反相延遲電路所構成，但本發明並不限定在此實例所提出的組態，在此並無必要提及振盪電路是由奇數級或更多反相延遲電路所構成。

如上述，依據本發明的振盪電路，振盪頻率的控制特性優異，而振盪頻率的變動可以有較大範圍的設定，此外

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

部

五、發明說明(52)

，可減少振盪信號的飄移。

再者，依據本發明中的振盪電路，其具有可藉由參考電壓準位的調整來控制振盪頻率的好處。

附圖之簡述：

圖1顯示習知技術中一環形振盪電路的電路圖；

圖2顯示習知技術中構成振盪電路的反相元件電路圖；

圖3A至3C是習知技術中振盪電路的工作波形；

圖4係依據本發明的第1個實施例，顯示構成一振盪電路的一個反相延遲電路之電路圖；

圖5A至5D係針對圖4中的振盪電路，顯示其工作的信號波形；

圖6係依據本發明的第2個實施例，顯示構成一振盪電路之非反相延遲電路的電路圖；

圖7A至7C係針對圖6中的振盪電路，顯示其工作的信號波形；

圖8A至8B係依據本發明的第3個實施例，顯示一振盪電路的電路圖以及一反相延遲電路和一非反相延遲電路的等效電路；

圖9係顯示一具有三級反相延遲電路的振盪電路電路圖；

圖10A至10F係針對圖9中的振盪電路，顯示其工作的波形；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (53)

圖 1 1 係顯示一具有二級非反相延遲電路及一級反相延遲電路的振盪電路電路圖；

圖 1 2 A 至 1 2 F 係針對圖 1 1 中的振盪電路，顯示其工作的波形；

圖 1 3 A 至 1 3 B 中的波形係用以說明振盪電路中飄移現象發生的原理；

圖 1 4 A 至 1 4 L 中的波形為一具有穩定振盪動作及發生飄移的振盪電路所有；

圖 1 5 顯示一具有一級非反相延遲電路及三級反相延遲電路之振盪電路電路圖；

圖 1 6 A 至 1 6 H 係針對圖 1 5 中的振盪電路，顯示其工作的波形；

圖 1 7 顯示一具有 5 級反相延遲電路的振盪電路電路圖；

圖 1 8 A 至 1 8 J 係針對圖 1 7 中的振盪電路，顯示其工作的波形；

圖 1 9 顯示具有二級非反相延遲電路及三級反相延遲電路的振盪電路電路圖；

圖 2 0 A 至 2 0 J 係針對圖 1 9 中的振盪電路，顯示其工作的波形；

圖 2 1 顯示另一振盪電路組態實例的電路圖，此振盪電路具有二級非反相延遲電路和三級的反相延遲電路；

圖 2 2 A 至 2 2 J 係針對圖 2 1 中的振盪電路，顯示其工作的波形；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

部

五、發明說明(54)

圖 2 3 A 至 2 3 B 顯示反相和非反相延遲電路的標記；

圖 2 4 為一具有三級反相延遲電路的振盪電路電路圖；

圖 2 5 為一具有 4 級結構的振盪電路電路圖，其中包含一級的非反相延遲電路和三級的反相延遲電路；

圖 2 6 A 至 2 6 C 係顯示三個具有 5 級架構之振盪電路實例的電路圖；

圖 2 7 A 至 2 7 E 係顯示 5 個具有 6 級架構之振盪電路實例的電路圖；

圖 2 8 係顯示本發明第 4 個實施例的振盪電路電路圖，此電路具有三級的反相延遲電路；

圖 2 9 A 至 2 9 F 為一振盪电路的工作波形，此時的參考電壓設定為最大準位的 $3/4$ ；

圖 3 0 顯示一具有三級反相延遲電路的振盪電路電路圖；

圖 3 1 A 至 3 1 F 為一振盪電路的工作波形，此時的參考電壓設定為最大準位的 $1/4$ ；

圖 3 2 係依據本發明的第 5 個實施例，顯示一振盪電路的電路圖，而此電路組態具有三級的反相延遲電路；

圖 3 3 為第 5 實施例中一具體組態的電路圖；

圖 3 4 A 至 3 4 C 為第 5 實施例中振盪電路的工作波形；

圖 3 5 係依據本發明的第 6 個實施例，顯示一振盪電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (55)

路的電路圖，此電路組態包含三級的反相延遲電路；

圖 3 6 係針對第 5 個實施例的組態，顯示一具體實例的電路圖；

圖 3 7 為一理想化不具雜訊的波形；以及

圖 3 8 的波形為存在有雜訊且因此而發生飄移的狀況。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 振盪器電路)

將奇數個級數的反相延遲電路連結成環形可構成一個振盪電路，而這些反相延遲電路包含若干個反相元件，例如，反相器 INV 1，INV 2 和 INV 3 以及與這些反相元件之輸出端子相連的延遲元件 D 1，D 2 和 D 3，在各個延遲元件中，電容器係依據反相器的輸出信號準位予以充放電，而此電容器的電壓及參考電壓係利用一個比較電路進行比較，而依據此比較結果所得之信號被輸入至下一級的反相延遲電路，因此，可藉由控制該延遲元件的充電電流而控制延遲時間，同時，亦可藉此控制振盪頻率，因此可取得高品質的控制特性，增大變異的範圍，並且減少飄移 (jitter)。

英文發明摘要 (發明之名稱： OSCILLATOR CIRCUIT)

An oscillator circuit constituted by connecting in a ring an odd number of stages of inverting delay circuits comprising inverting elements, for example, inverters INV1, INV2, and INV3, and delay elements D1, D2, and D3 connected to the output terminals of the inverting elements. In each delay element, the capacitor is charged and discharged in accordance with the output signal level from the inverter, the voltage of the capacitor and the reference voltage are compared by a comparison circuit, and a signal in accordance with the result of comparison is input to the inverting delay circuit of the next stage, therefore the delay time can be controlled by controlling the charging current of the delay element and the oscillation frequency can be controlled in accordance with this. Accordingly, the control property thereof is good, the range of variation can be broadened, and a reduction of jitter can be realized.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

附件 2: 第 87106090 號專利申請案
中文申請專利範圍修正本

民國 90 年 7 月修正

1. 一種振盪器電路，包含至少為 3 的奇數個反相延遲電路，每一個反相延遲電路具有一個反相元件和一個與此反相元件輸出端相連的延遲元件，此反相延遲電路係連結成環形。

2. 如申請專利範圍第 1 項中的振盪器電路，其中的反相元件包含一個差動放大器電路。

3. 如申請專利範圍第 1 項中的振盪器電路，其中的延遲元件包含：

一個依據輸入信號進行充放電的電容，以及

一個用以供給充電電流給上述電容的電流源。

4. 如申請專利範圍第 3 項中的振盪器電路，亦具有一個用以比較上述延遲元件之輸出信號與一預設參考電壓的比較電路，且依據比較的結果，輸出一個信號準位。

5. 一種振盪器電路具有：

一奇數數目的反相延遲電路，各個延遲電路具有一個反相元件和一個與此反相元件輸出端相連的延遲元件，以及至少一個非反相延遲電路，此非反相延遲電路包含一個緩衝器和一個與此緩衝器輸出端相連的延遲元件，此奇數數目的反相延遲電路和至少一個非反相延遲電路係連結成環形。

6. 如申請專利範圍第 5 項中的振盪器電路，其中的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

反相元件和緩衝器是由差動放大器電路所構成。

7. 如申請專利範圍第5項中的振盪器電路，其中的延遲元件包含：

一個依據一輸入信號進行充放電的電容，以及

一個用以供應充電電流給電容器的電流源。

8. 如申請專利範圍第7項中的振盪器電路，亦包含一個比較電路，用以比較延遲元件之輸出信號與一預設的參考電壓，並依據此比較的結果，輸出一個信號準位。

9. 如申請專利範圍第6項中的振盪器電路，其至少具有3個反相延遲電路。

10. 一種振盪器電路，具有奇數級的反相延遲電路，這些延遲電路連接成環狀，

各個反相延遲電路具有

一個比較裝置，用以比較一個輸入信號和一個預設的參考信號，以及

一個電容元件，依據上述比較裝置的比較結果，控制此電容元件的充放電。

11. 如申請專利範圍第10項中的振盪器電路，其中的比較裝置具有一個差動放大器電路，其中的一個輸入端子作為信號的輸入，而另一個輸入端子則用以輸入參考信號。

12. 如申請專利範圍第10項中的振盪器電路，亦包含一個依據上述差動放大器電路之輸出信號以輸出一信號的緩衝器電路，進而控制此電容元件的充放電。

六、申請專利範圍

1 3 . 如申請專利範圍第 1 2 項中的振盪器電路，其中的緩衝器電路是由一個射極隨耦器所構成。

1 4 . 如申請專利範圍第 1 0 項中的振盪器電路，亦包含一個用以提供參考電壓的參考電壓產生電路。

1 5 . 如申請專利範圍第 1 0 項中的振盪器電路，其中用以提供電源電壓的電源供應線和用以提供一共用電壓的共用電壓線係各別單獨地提供給各級反相延遲電路。

1 6 . 如申請專利範圍第 1 0 項中的振盪器電路，其中用以產生參考電壓的參考電壓產生電路僅存在於各級反相延遲電路中。

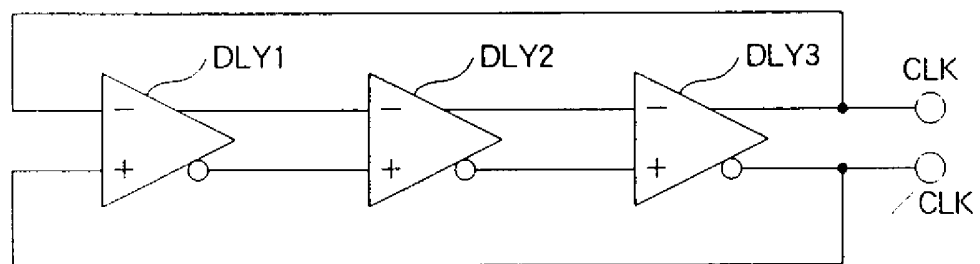
(請先閱讀背面之注意事項再填寫本頁)

裝

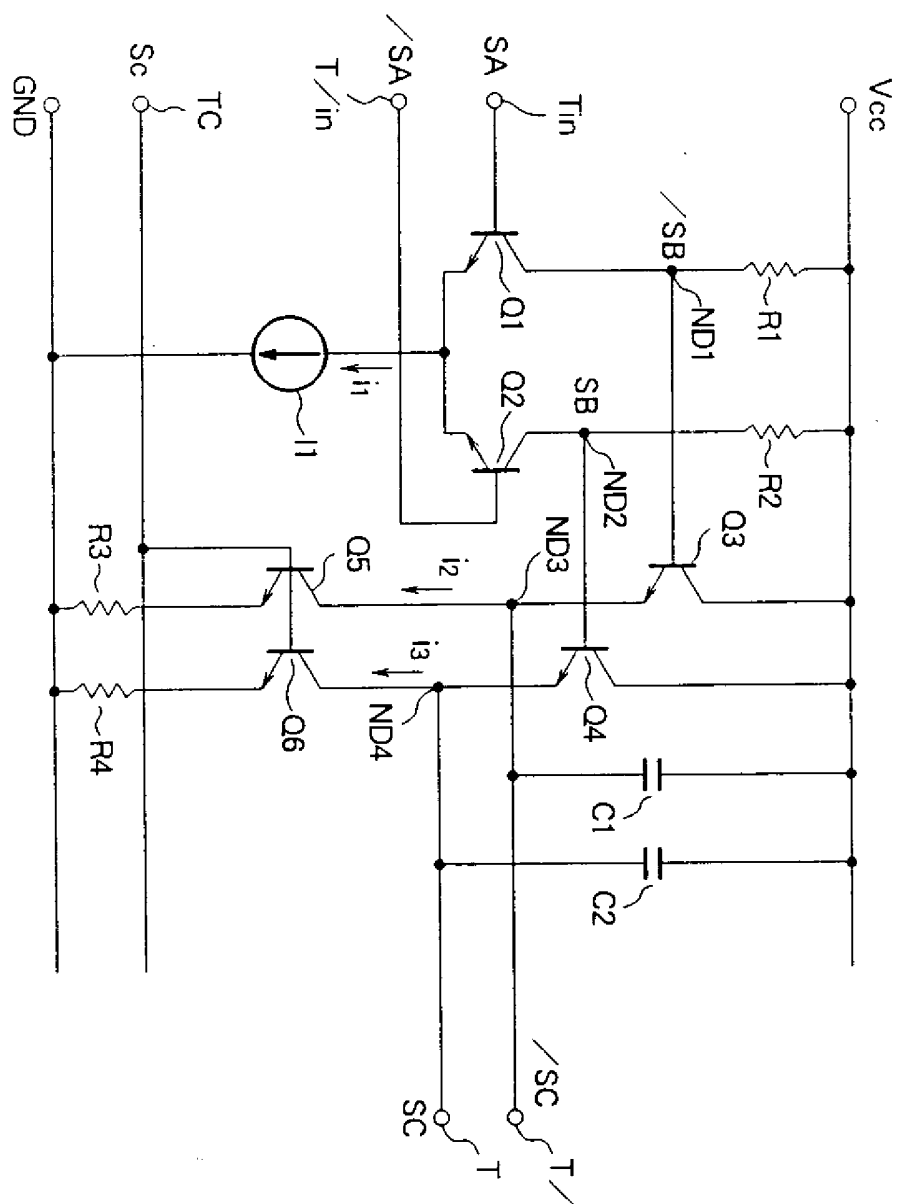
訂

線

第 1 圖



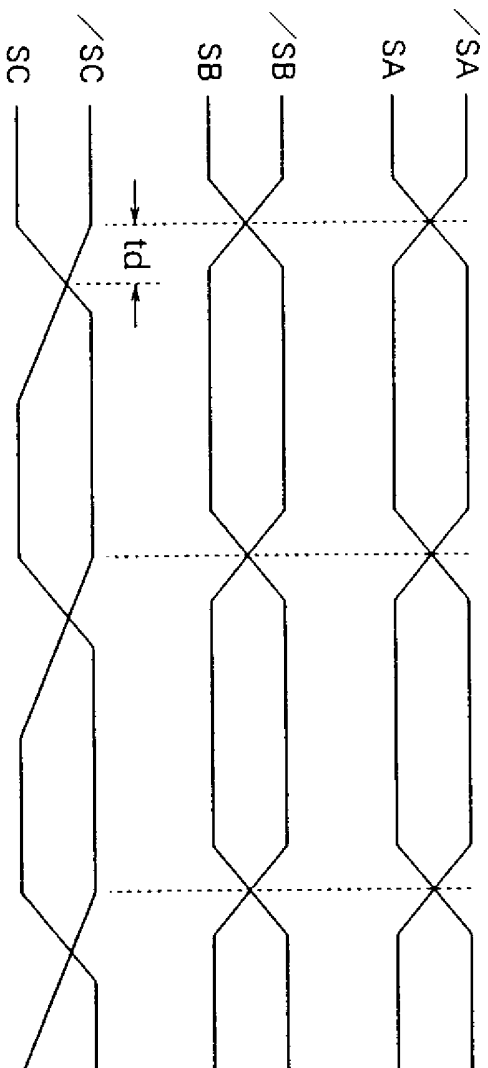
第2圖



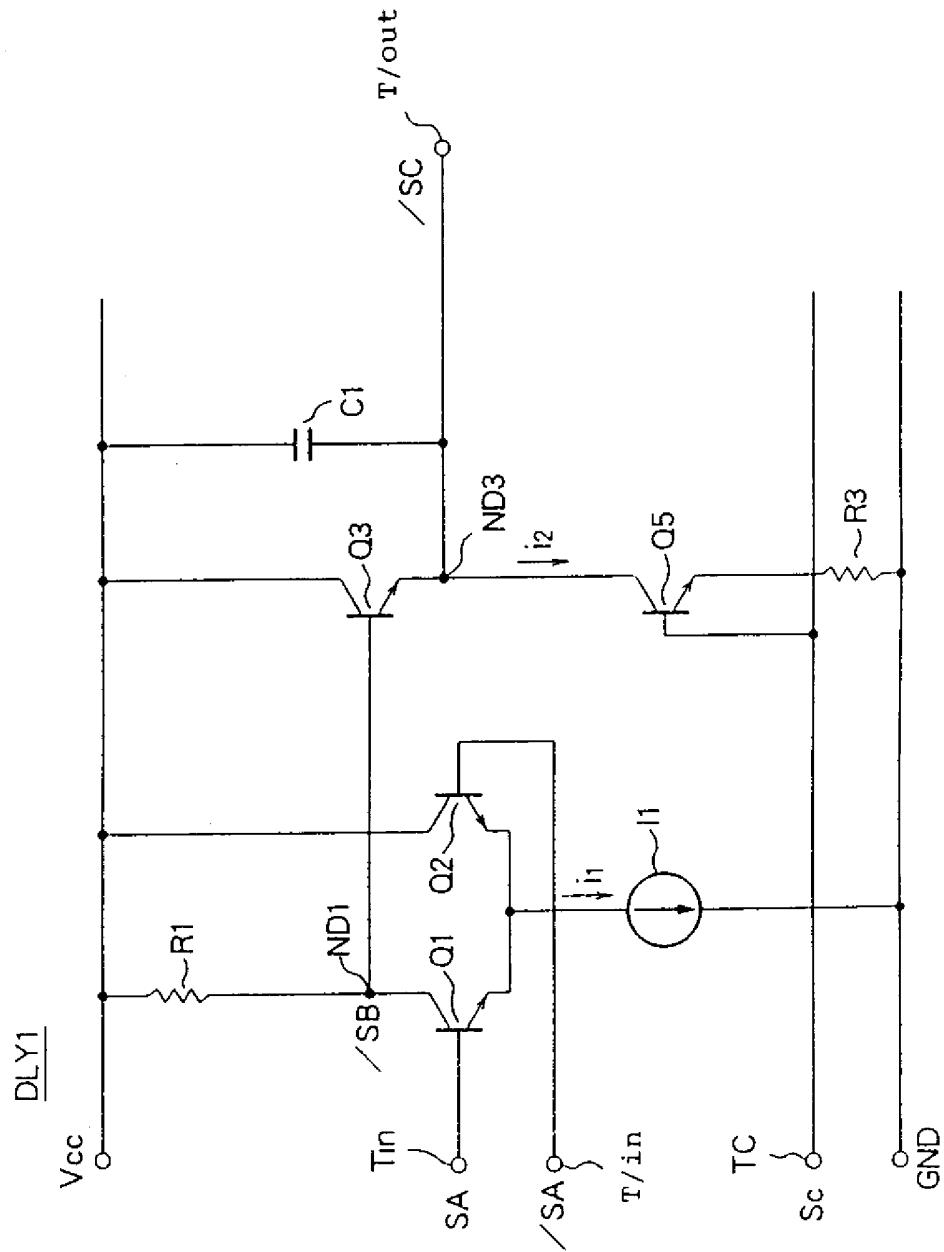
第3圖 A

第3圖 B

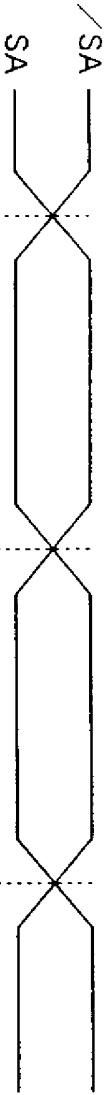
第3圖 C



第 4 圖



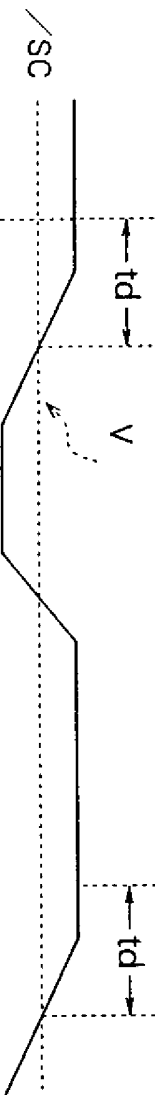
第 5 圖 A



第 5 圖 B



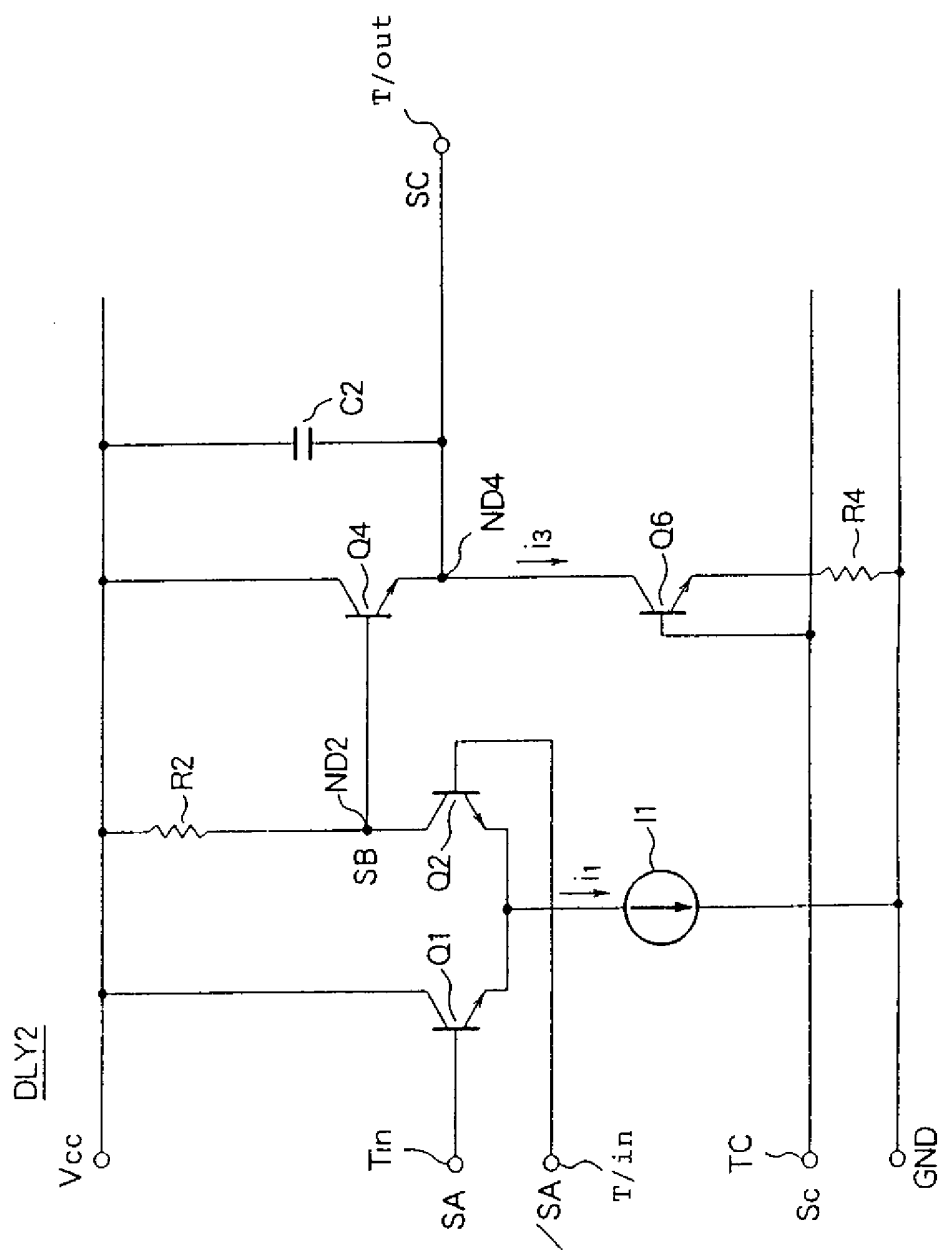
第 5 圖 C



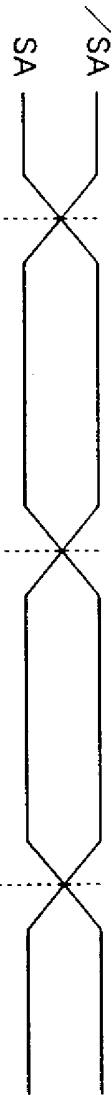
第 5 圖 D



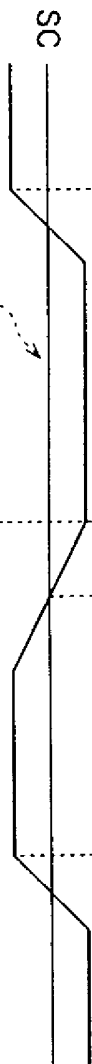
66



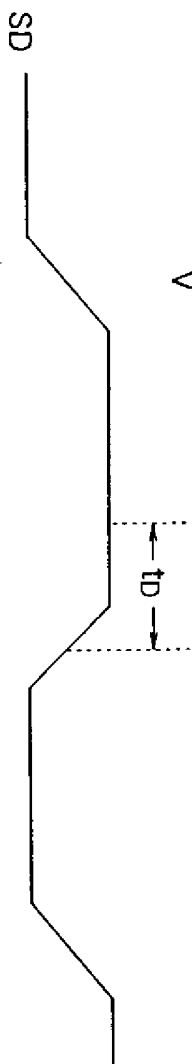
第7圖 A

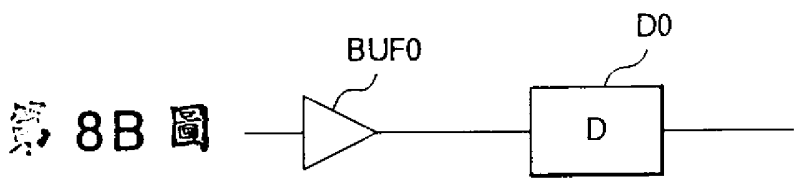
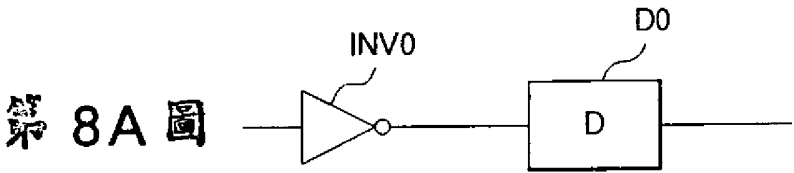


第7圖 B

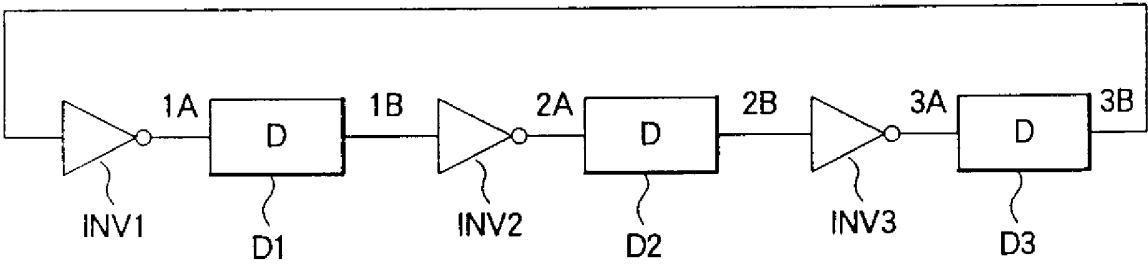


第7圖 C



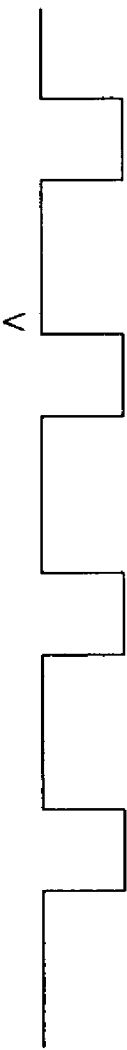


第 9 圖



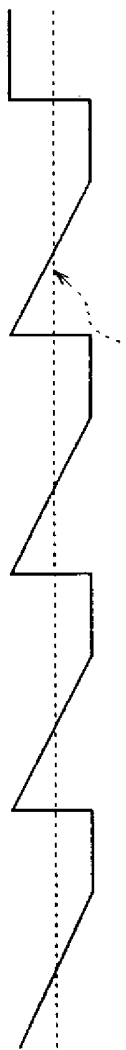
第10A圖

1A



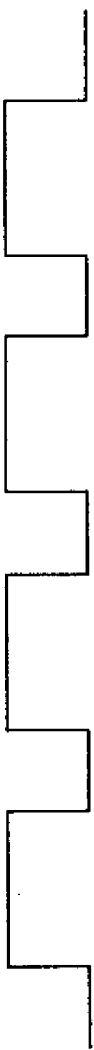
第10B圖

1A



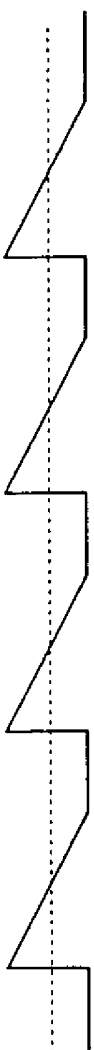
第10C圖

2A



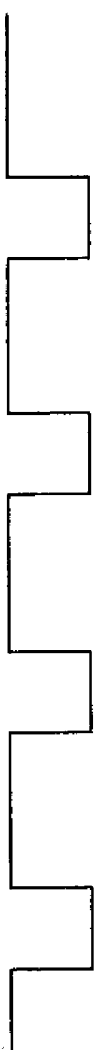
第10D圖

2B



第10E圖

3A

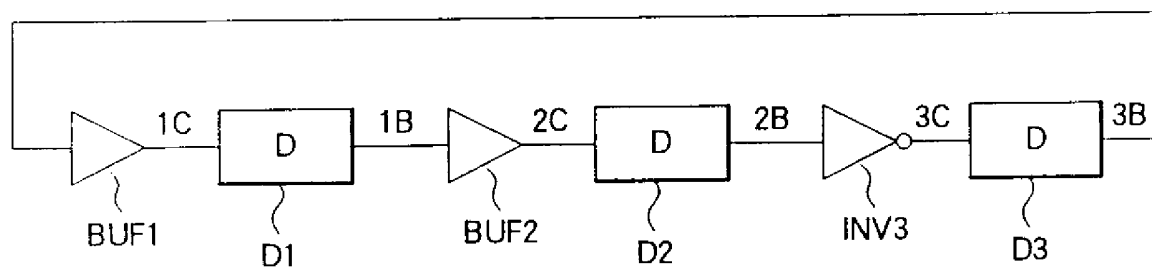


第10F圖

3B

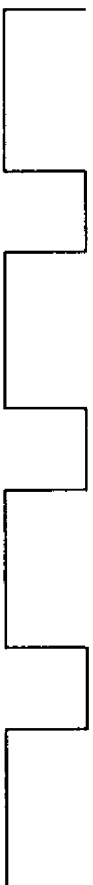


第 11 圖



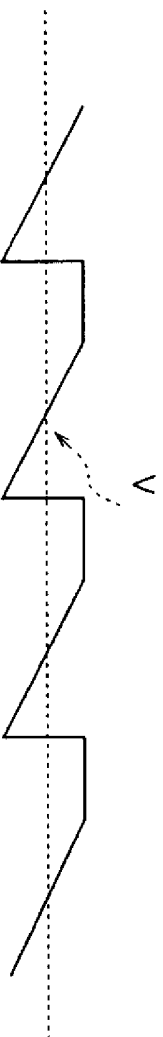
第12A圖

1C



第12B圖

1B



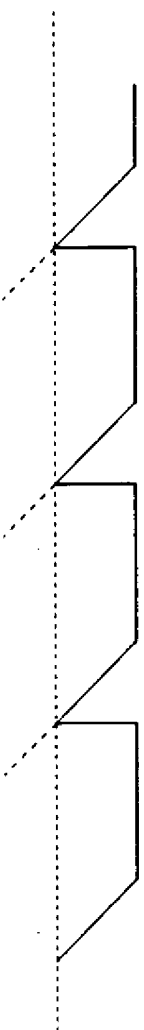
第12C圖

2C



第12D圖

2B



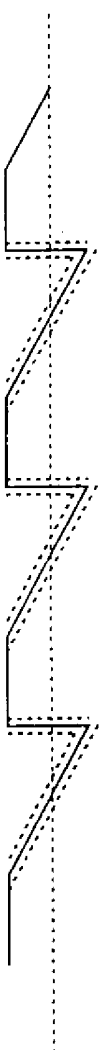
第12E圖

3C

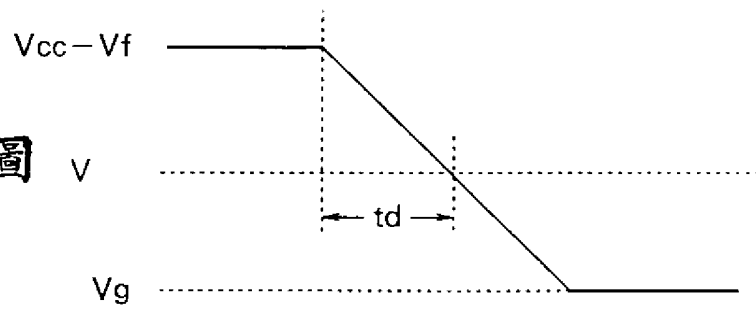


第12F圖

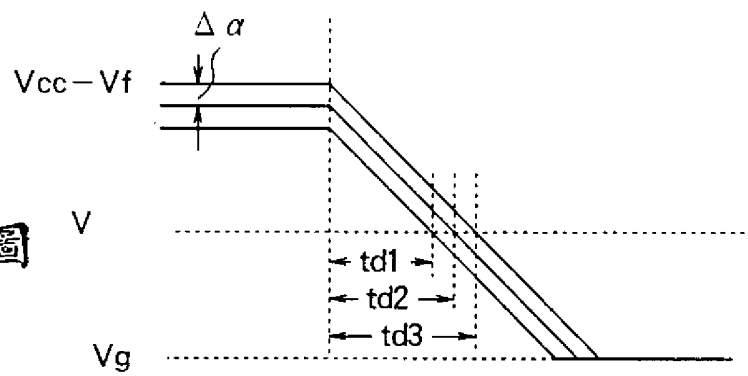
3B



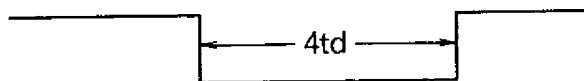
第13A圖



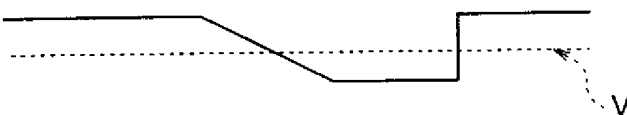
第13B圖



第14A圖



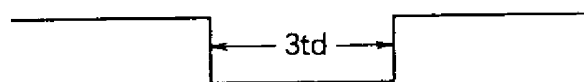
第14B圖



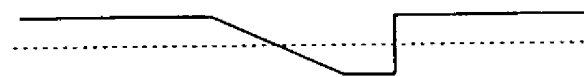
第14C圖



第14D圖



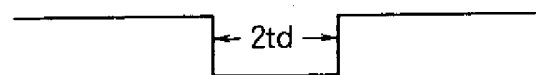
第14E圖



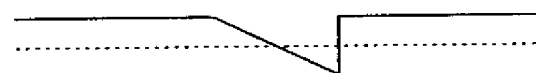
第14F圖



第14G圖



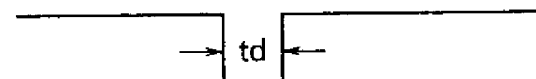
第14H圖



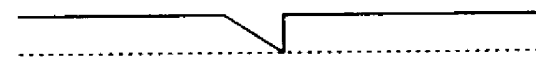
第14I圖



第14J圖

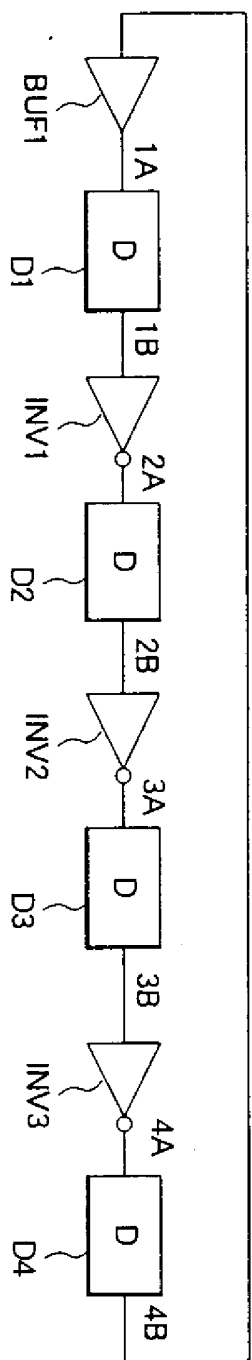


第14K圖



第14L圖





第 15 圖

第16A圖

1A

第16B圖

1B

第16C圖

2A

第16D圖

2B

第16E圖

3A

第16F圖

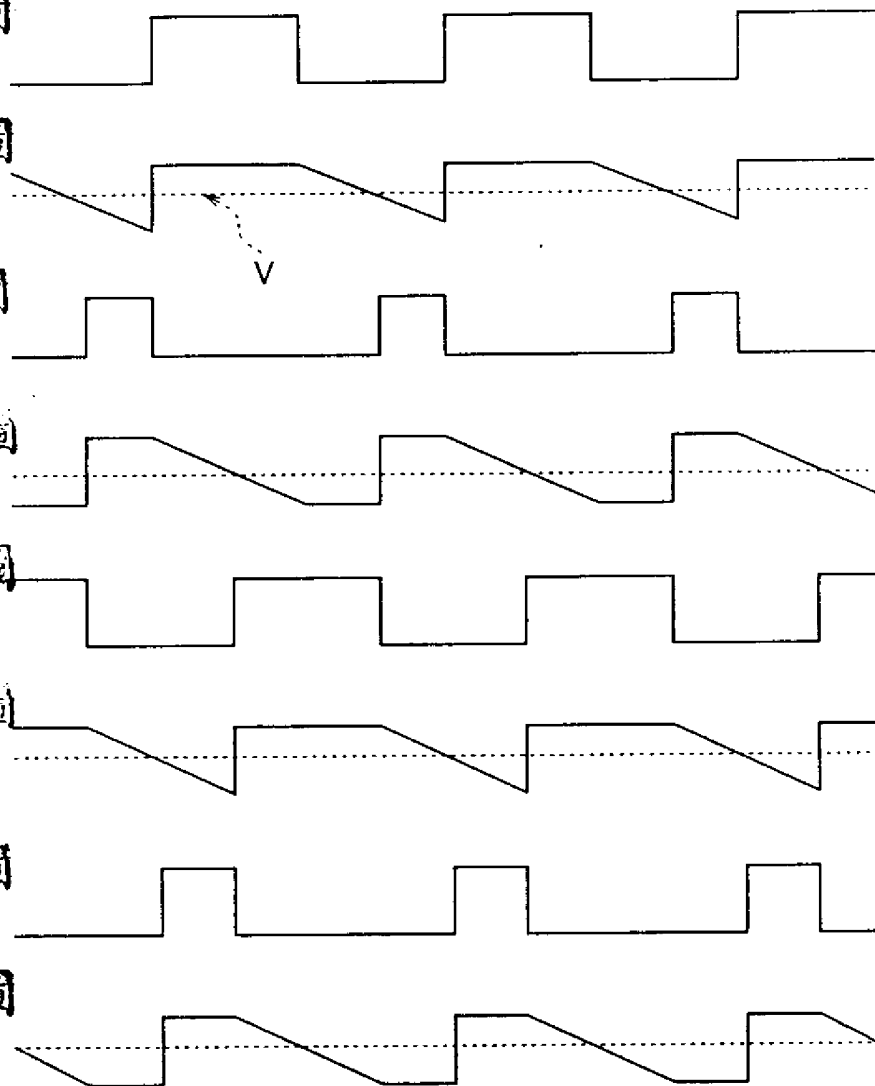
3B

第16G圖

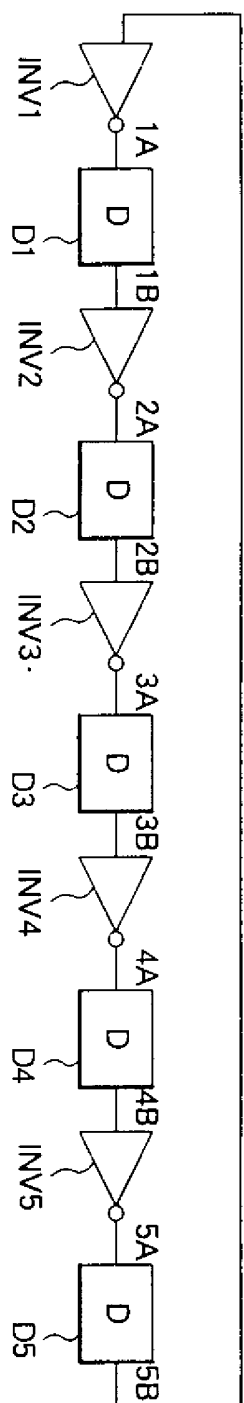
4A

第16H圖

4B



第 17 圖



第18A圖

1A

第18B圖

1A

第18C圖

2A

第18D圖

2B

第18E圖

3A

第18F圖

3B

第18G圖

4A

第18H圖

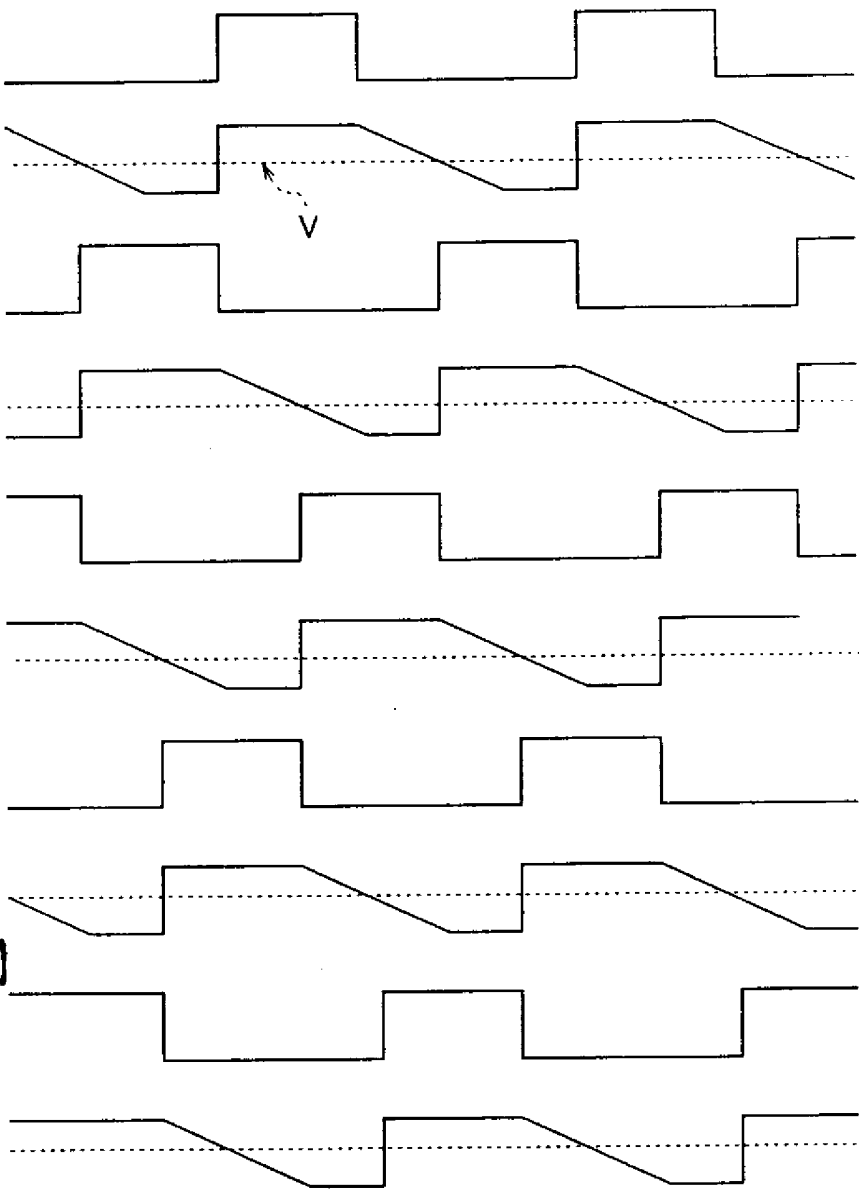
4B

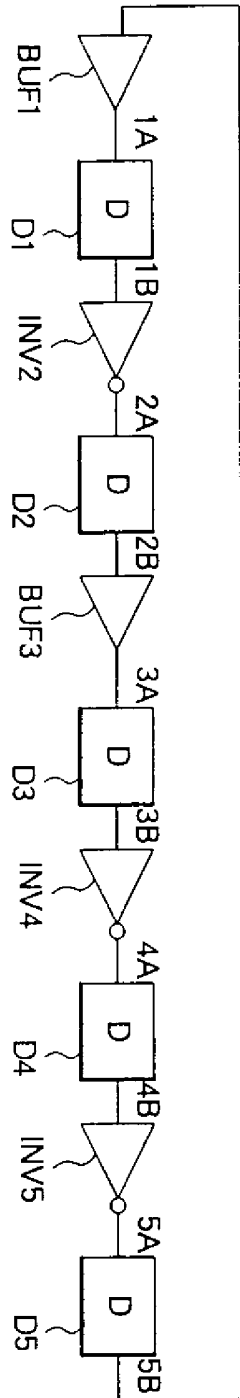
第18I圖

5A

第18J圖

5B





第 19 圖

第20A圖

第20B圖^{1A}

1B

第20C圖

2A

第20D圖

2B

第20E圖

3A

第20F圖

3B

第20G圖

4A

第20H圖

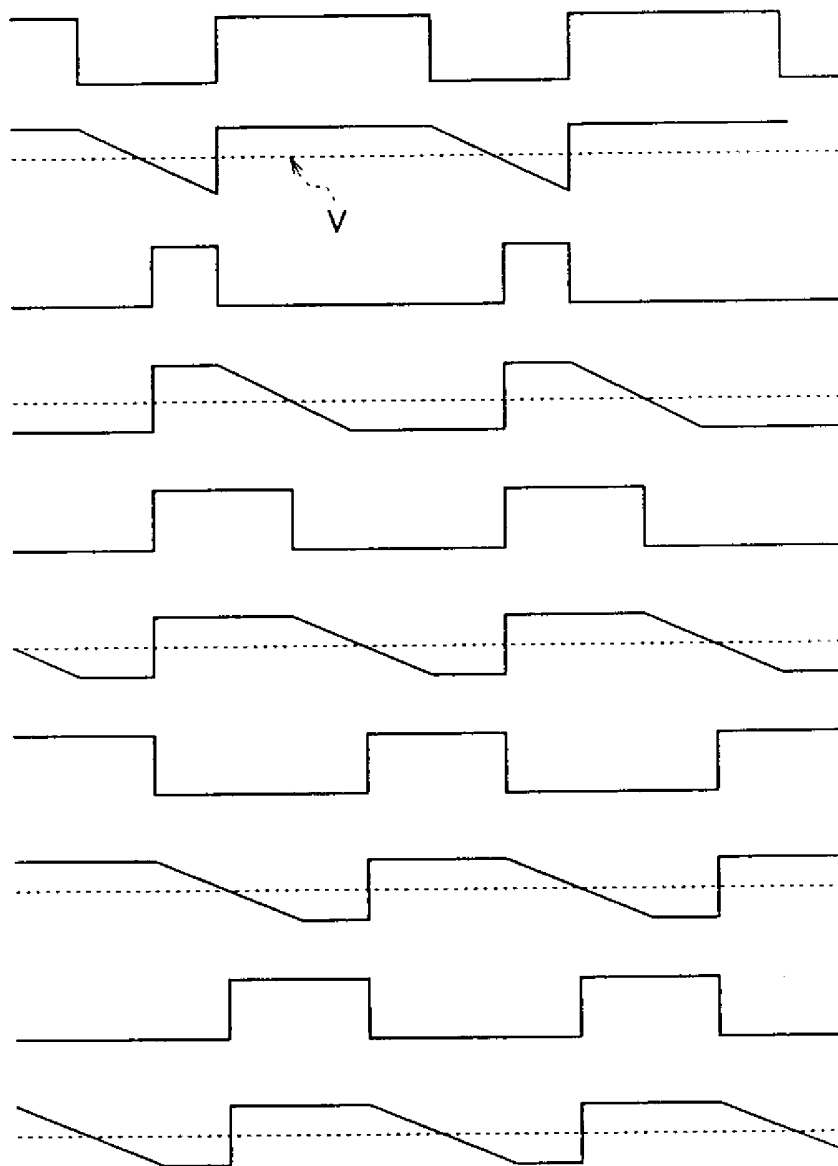
4B

第20I圖

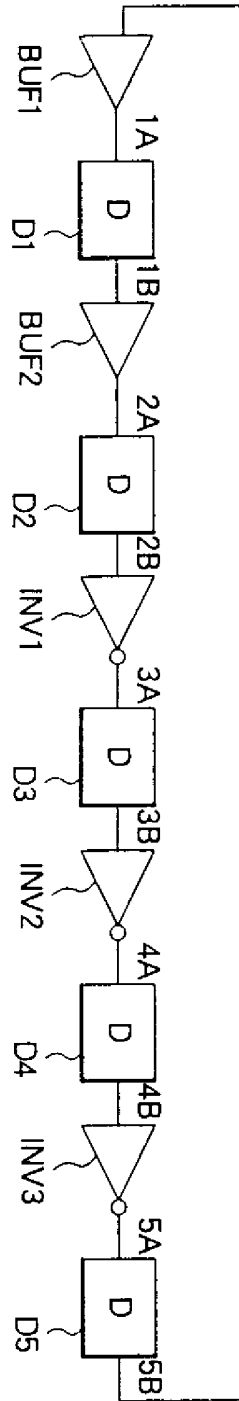
5A

第20J圖

5B



第 21 圖



第22A圖

1A

第22B圖

1B

第22C圖

2A

第22D圖

2B

第22E圖

3A

第22F圖

3B

第22G圖

4A

第22H圖

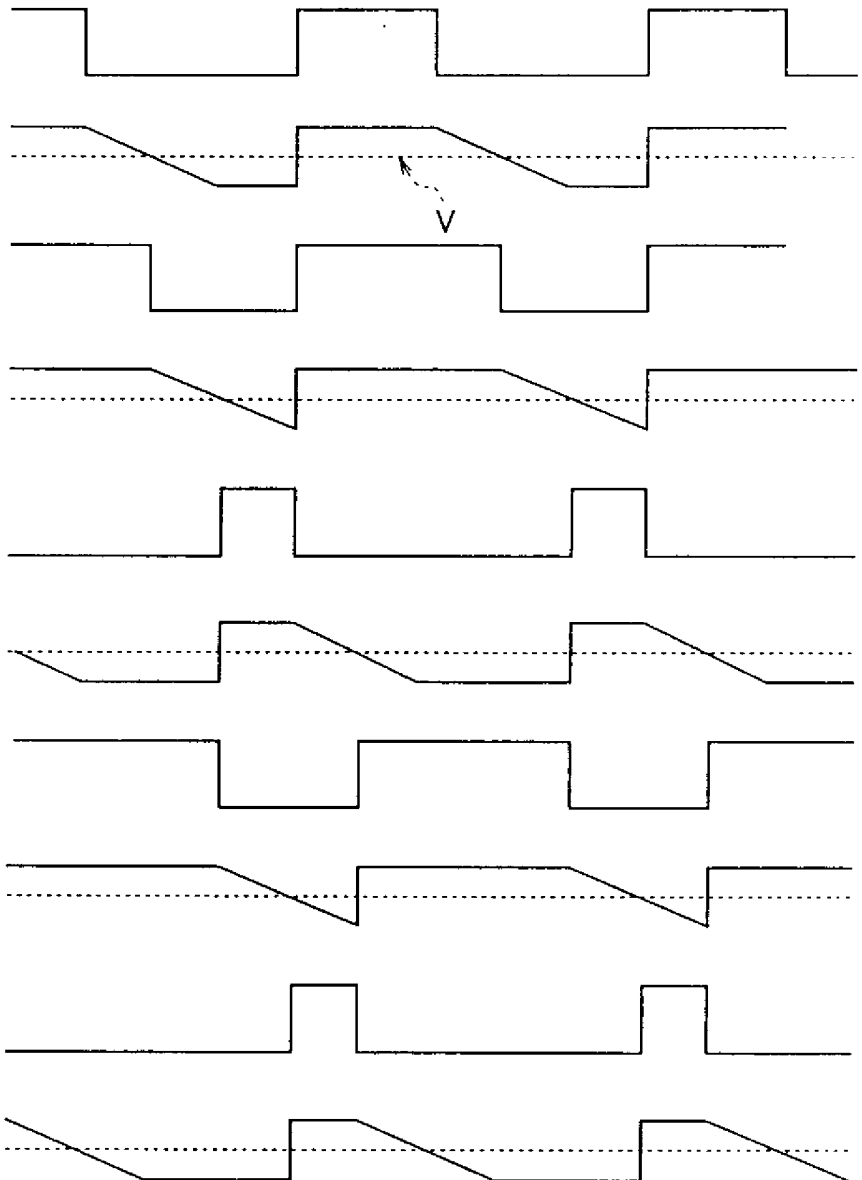
4B

第22I圖

5A

第22J圖

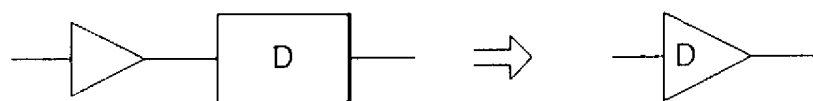
5B



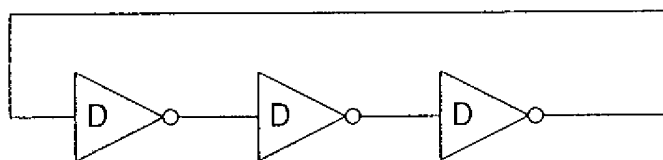
第23A圖



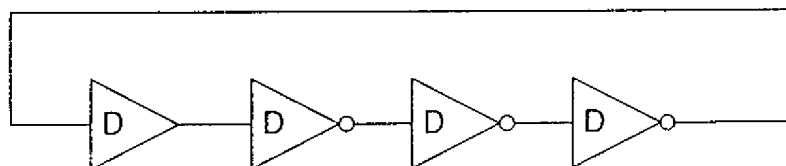
第23B圖



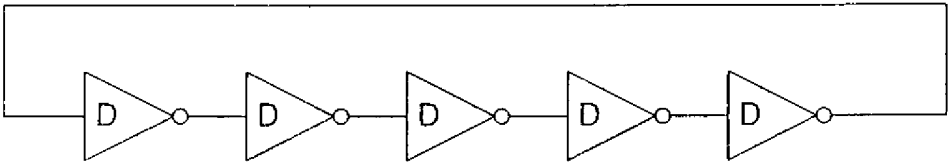
第 24 圖



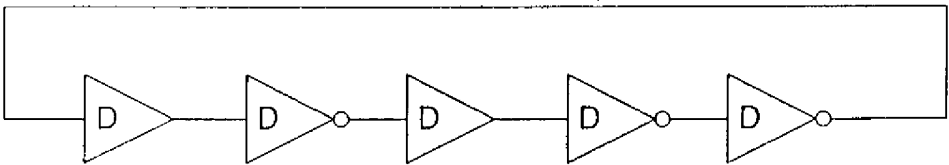
第 25 圖



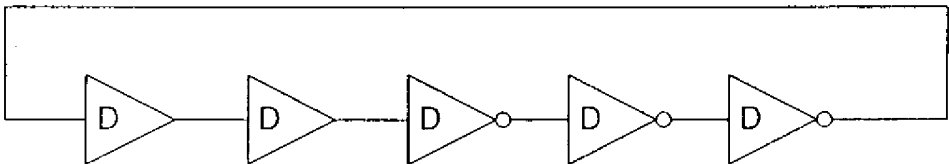
第26A圖



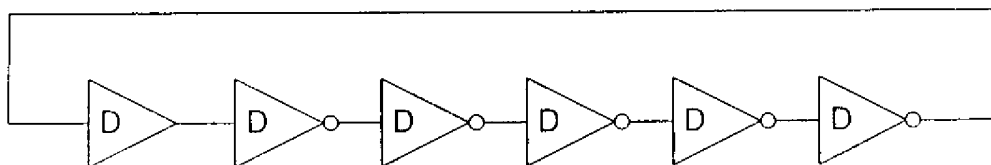
第26B圖



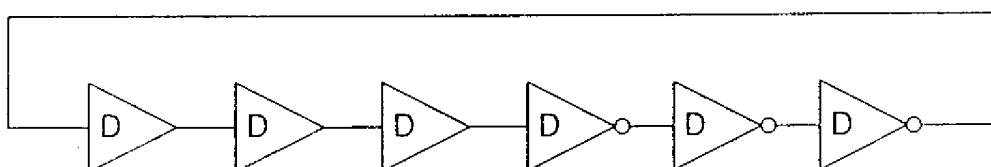
第26C圖



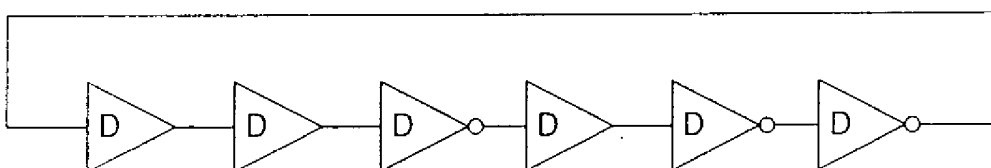
第27A圖



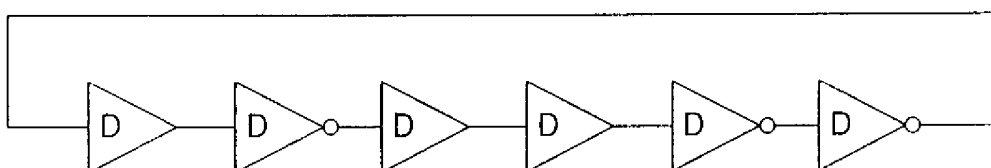
第27B圖



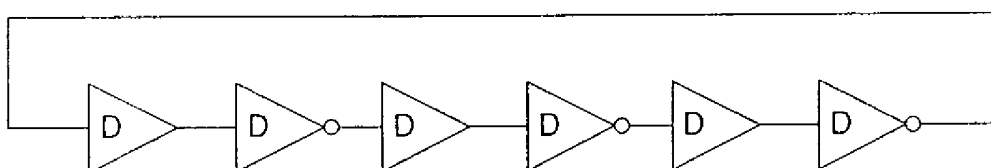
第27C圖



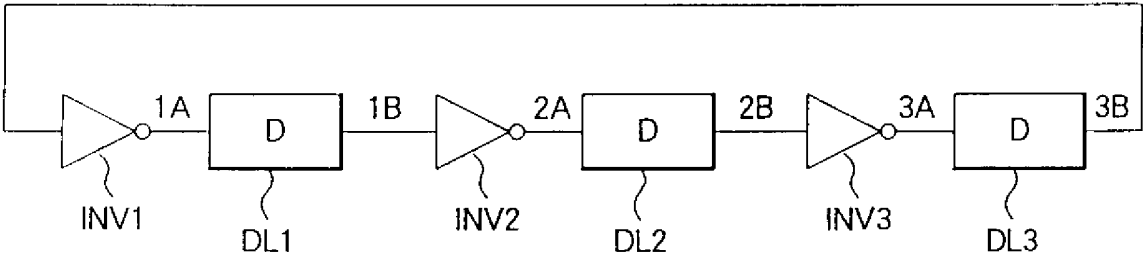
第27D圖

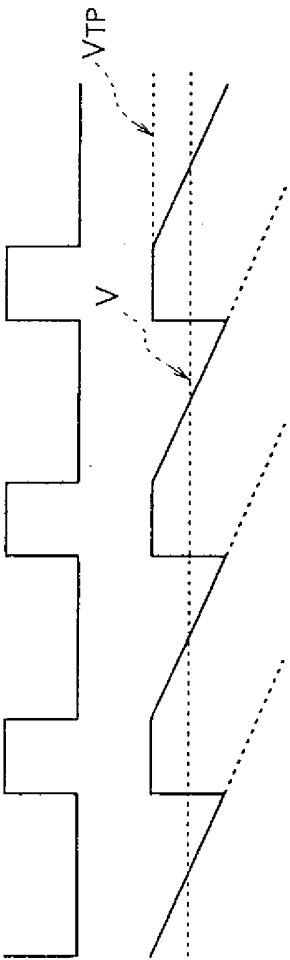


第27E圖



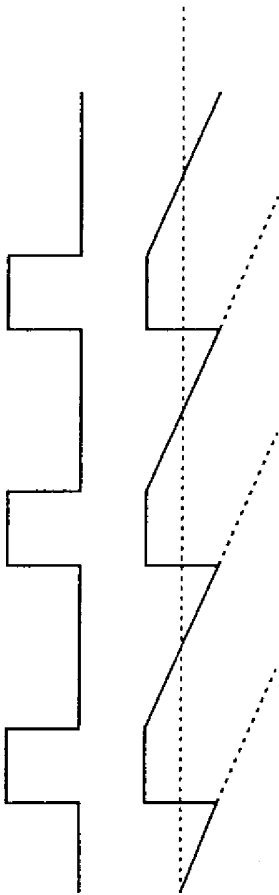
第 28 圖





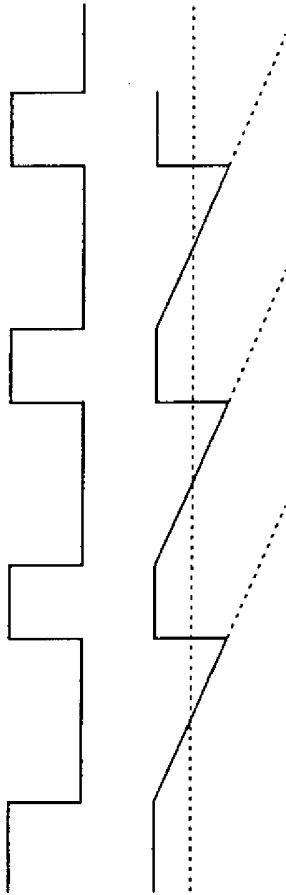
1A

1B



2A

2B



3A

3B

第29A圖

第29B圖

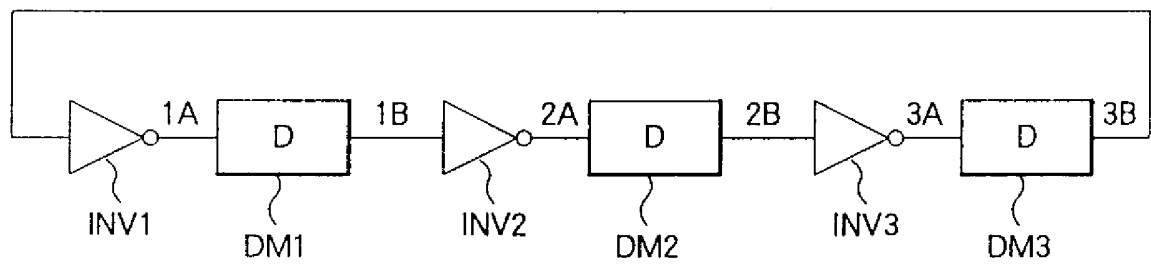
第29C圖

第29D圖

第29E圖

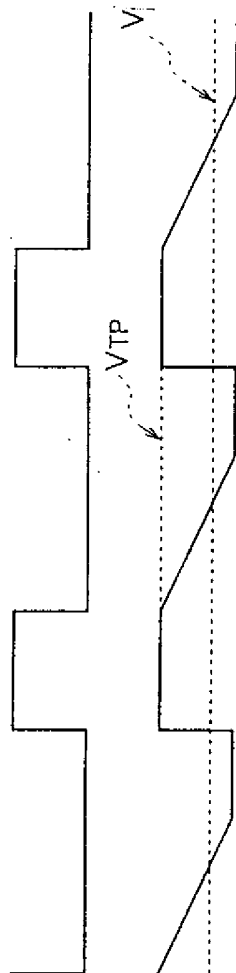
第29F圖

第 30 圖



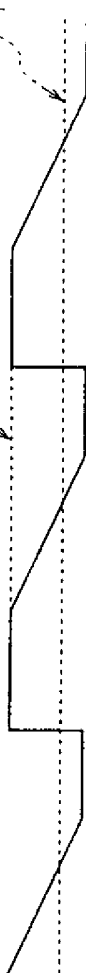
第31A圖

1A



第31B圖

1B



第31C圖

2A



第31D圖

2B



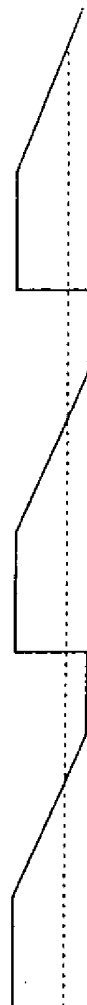
第31E圖

3A

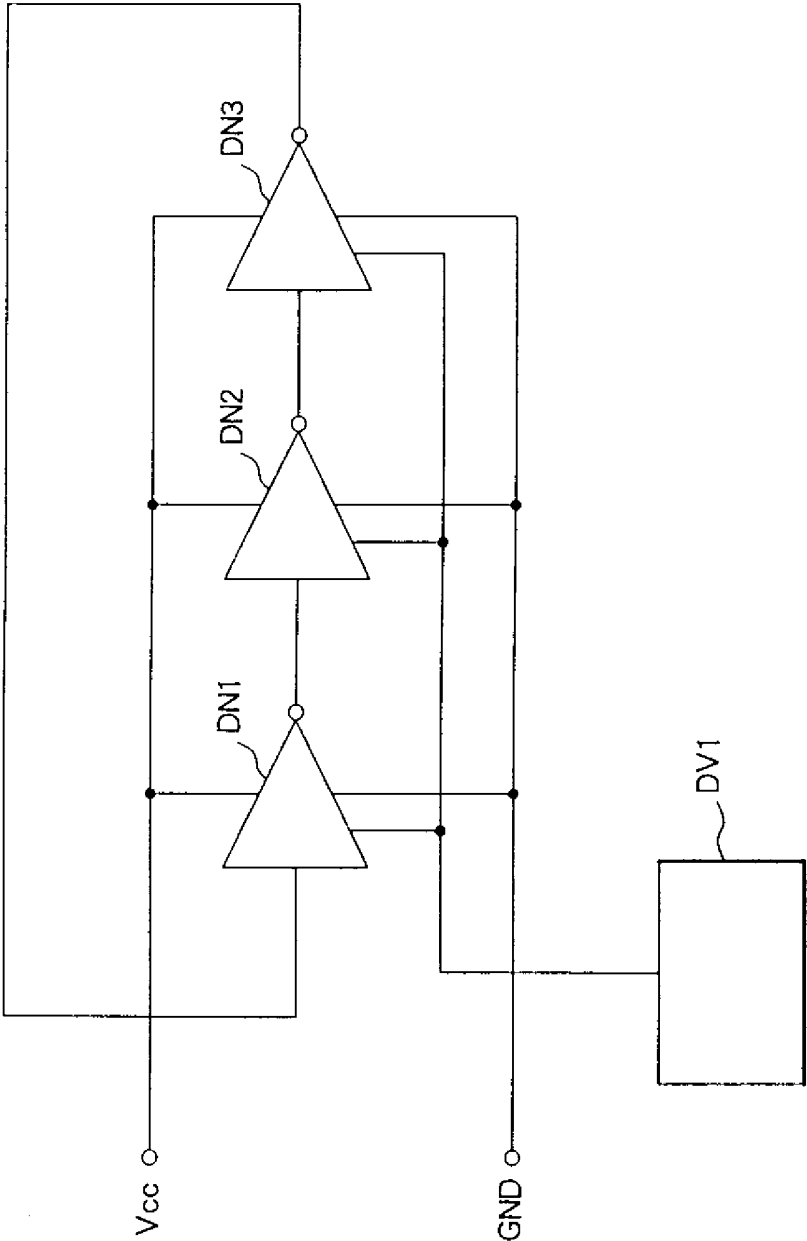


第31F圖

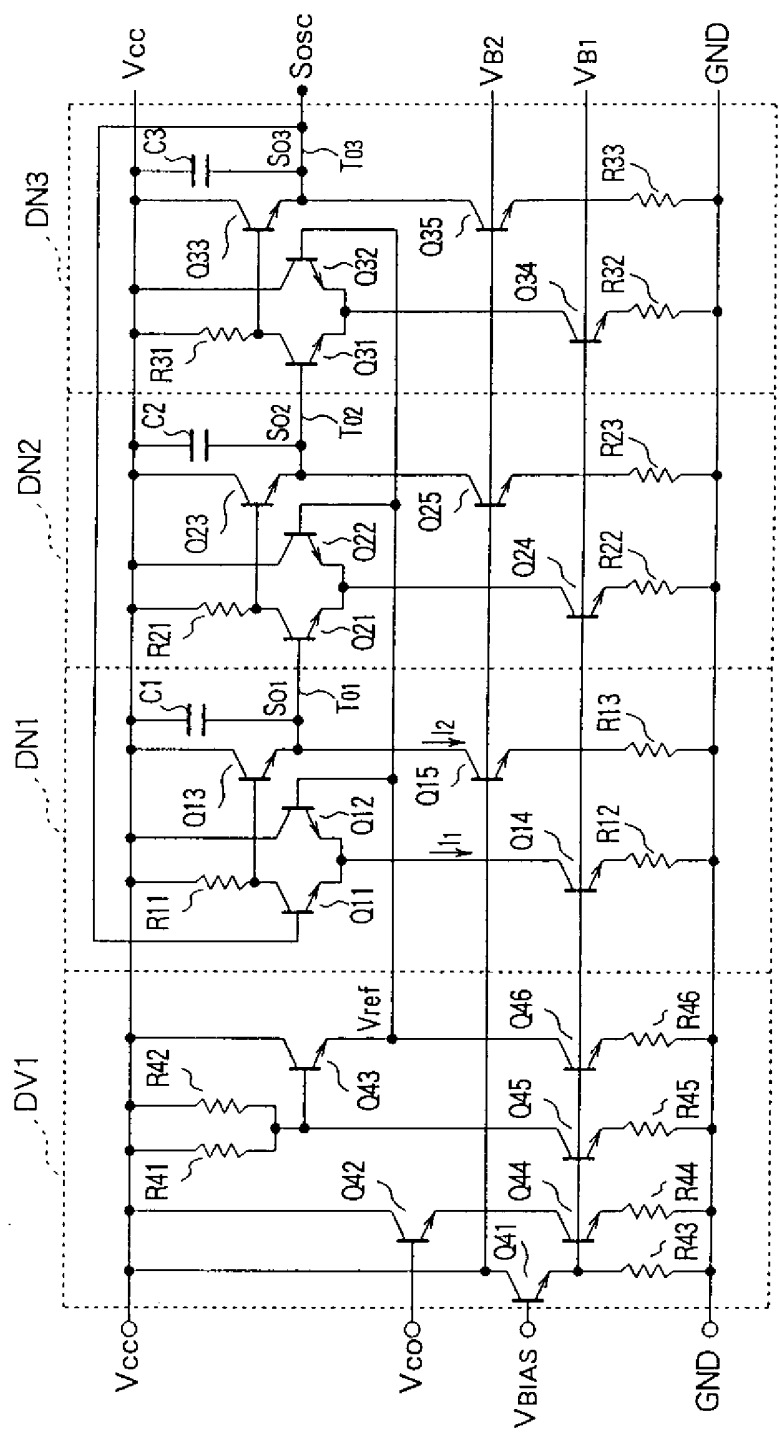
3B

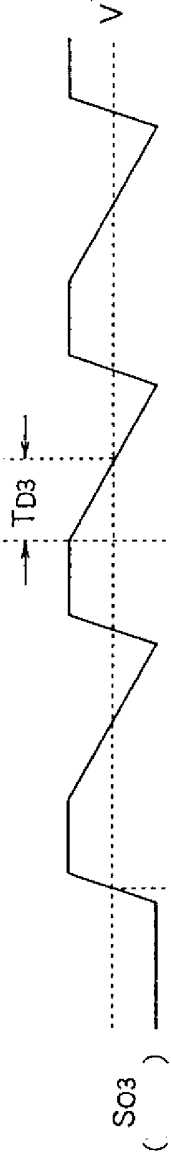


第 32 圖

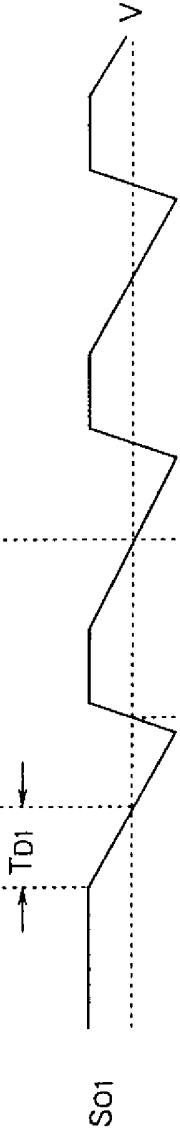


第 33 圖



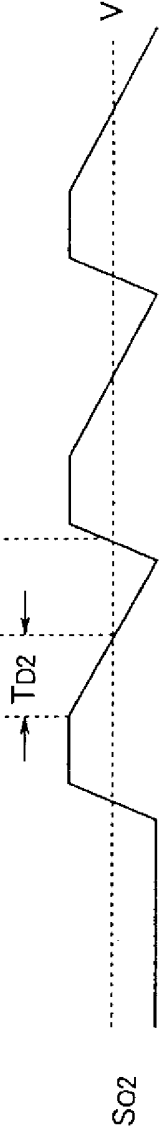


第34A圖



S01

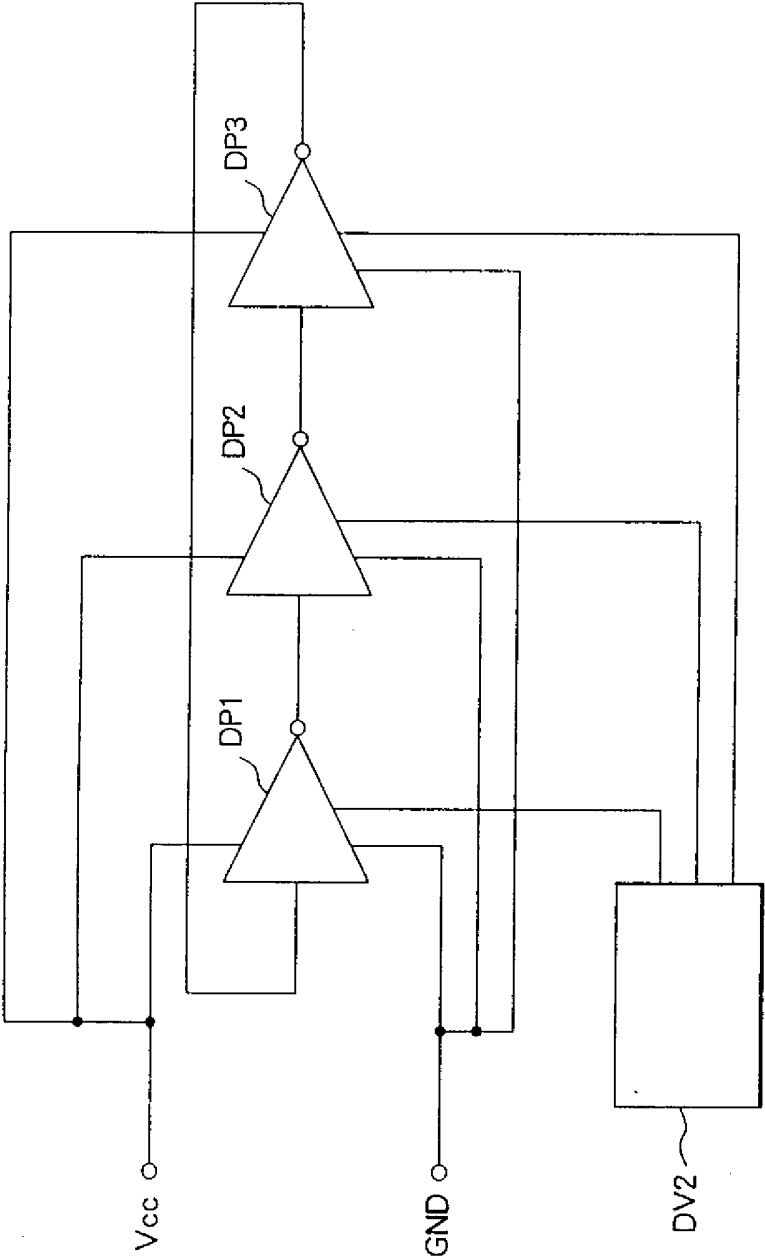
第34B圖



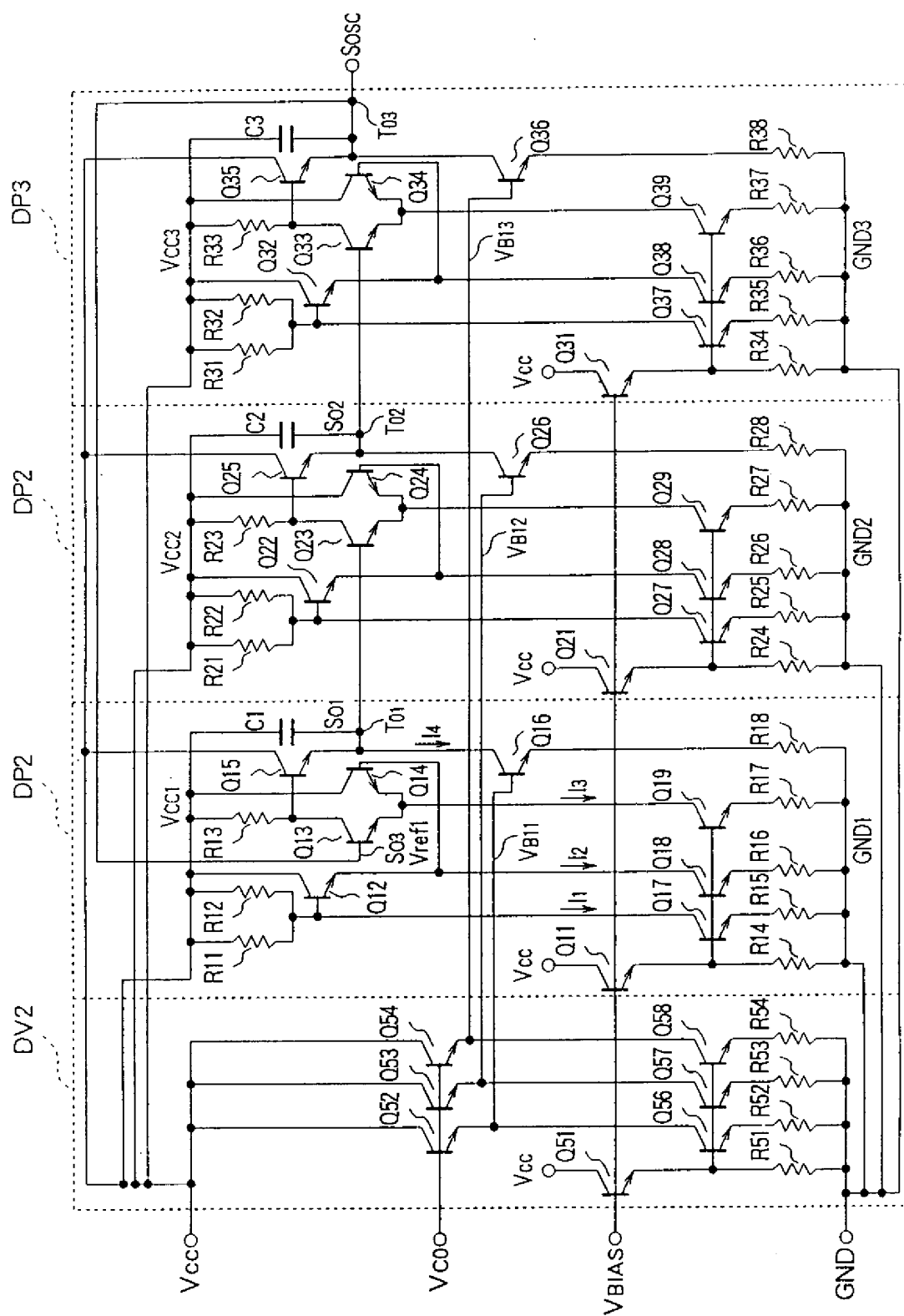
S02

第34C圖

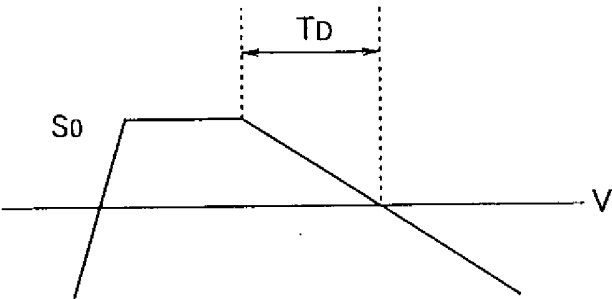
第 35 圖



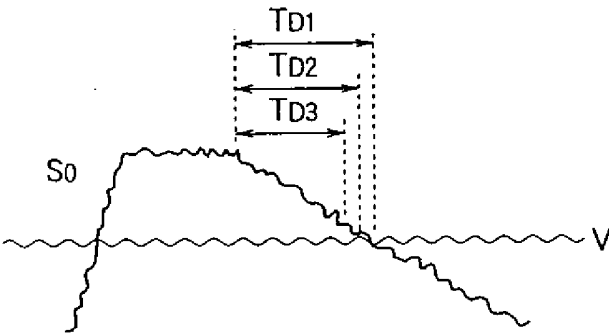
第 36 圖



第 37 圖



第 38 圖



五、發明說明 ()

1. 本發明之領域

本發明係關於一種振盪電路，係由若干個反相及非反相延遲電路相連成環狀而構成。

2. 習知技術的敘述

一振盪電路可利用奇數個反相延遲電路，例如三個反相延遲電路 DLY_1 ， DLY_2 和 DLY_3 相連成環形而構成，圖 1 中的電路圖顯示以此方式所構成的一環形振盪電路，圖 2 則顯示一包含反相元件及延遲元件的反相延遲電路組態，其中，延遲元件係連接至反相元件的輸出端。

如圖 2 所示，一個反相元件係由一個差動放大器電路所構成，連接至該反相元件輸出端的延遲元件係由一個由電晶體及電容器組成之射極隨耦器所構成，該差動放大器電路係由電晶體 Q_1 和 Q_2 ，電阻元件 R_1 和 R_2 以及一電流源 I_1 的組成，而延遲元件則是由電晶體 Q_3 和 Q_4 ，電容器 C_1 和 C_2 ，以及電晶體 Q_5 和 Q_6 所組成。

在差動放大器電路中，電晶體 Q_1 和 Q_2 的基極分別連接至 Tin 和 T/in 的輸入端，集極則分別經由電阻元件 R_1 和 R_2 與一電源供應電壓 V_{cc} 的供應線相連，而射極則共同連接至電流源 I_1 ，由 Q_1 和 Q_2 之集極及電阻元件 R_1 和 R_2 所形成的連結點構成此差動放大器的輸出節點，電流 i_1 是由電流源 I_1 所供給。

在延遲元件中，電晶體 Q_3 和 Q_4 構成一射極隨耦器，電晶體 Q_3 和 Q_4 的基極分別與差動放大器電路的輸出

五、發明說明 (10)

S C 之最大幅度的一半時，將延遲電路的輸出信號 / S C 與參考電壓 V_{ref} 作比較可取得一圖示的信號 / S D，比較後取得 / S D 被反相，且相對於延遲電路的輸入信號 S A 是延遲的。

例如，當電容 C 1 的容值為 C 時，電容 C 1 的充電電流 i_2 為 I，而信號 / S C 的最大準位與參考電壓 V_{ref} 的電壓差為 V，則延遲電路的延遲時間 t_d 可由下式求得：

$$t_d = C \times V / I \quad (1)$$

應注意到，可以將圖 4 所示的延遲電路 D L Y 1 和一直未圖示的比較電路結合起來以構成延遲電路，在此狀況下延遲電路的延遲時間，亦即由輸入信號 S A 的上升緣至輸出信號 / S D 的下降緣間的延遲時間是延遲電路 D L Y 1 的延遲時間 t_d 與比較電路的延遲時間的總和，亦即為圖示中的 t_D 。

上述內容係用以說明具有反相元件和延遲元件的反相延遲電路組態，以及一個本發明所提出的基本電路及其工作原理，如上述，本實施例所提出的反相延遲電路將輸入信號反相且進一步予以延遲，如此可取得相對於輸入信號為反相的一個延遲信號。藉由控制輸入至輸入端 T C 的控制信號 S c 準位，可以控制電晶體 Q 5 的集極電流 i_2 ，而電容 C 1 的充電電流可據此加以控制，且延遲元件的延遲時間亦可加以控制，為此，在本實施例中反相延遲電路的

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

的基極連接至控制信號 S_c 的輸入端 T_C ，集極則連接至節點 N_{D4} ，而射極則經由電阻元件 R_4 予以接地。

輸入信號 S_A 和反相信號 $\neg S_A$ 分別被輸入至輸入端 T_{in} 和 $T_{\neg in}$ ，節點 N_{D2} 的電壓依據輸入信號 S_A 作改變，且成為與輸入信號 S_A 具相同相位的信號 S_B 。延遲電路的輸出信號 S_C 依據差動放大器電路的輸出信號 S_B 來改變其電壓準位，例如，當信號 S_B 為一低準位時，電晶體 Q_4 變為截止狀態，電容 C_2 由電晶體 Q_6 的集極電流 i_3 進行充電，而節點 N_{D4} 的電壓則緩慢下降，此處，若電阻 R_2 的阻值為 R ，則電晶體 Q_4 的基射電壓為 V_f ，而節點 N_{D4} 的低準位成為 $(V_{cc} - V_f - R i_3)$ ，當信號 S_B 由一低準位切換為高準位時，電晶體 Q_4 則由截止狀態切換為開啓狀態，電容 C_2 經由電晶體 Q_4 放電，而節點 N_{D4} 的電壓則上升，節點 N_{D4} 的高準位電壓變為 $(V_{cc} - V_f)$ 。

當電容 C_2 的充電電流 i_3 設為很小，此時節點 N_{D4} 充電的電壓準位上升較為和緩，換言之，節點 N_{D4} 的上升邊緣是陡峭的，而下降緣則較為平滑。

圖 7 A 至 7 C 顯示圖 6 中延遲电路的工作信號波形，以下將配合圖 6 之電路圖及圖 7 A 至 7 C 中的波形來解釋本發明中非反相延遲電路 DLY_2 的工作原理。

延遲電路中輸出信號 S_C 的準位係依據輸入信號 S_A 的準位予以設定，再者，節點 N_{D2} 的信號 S_B 準位係與輸入信號 S_A 的準位相同，藉由信號 S_B 的下降緣，電晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

46年7月3日

五、發明說明(3)

體 Q 4 由開啓狀態切換爲截止狀態，而電容 C 2 則依據電流 i_3 進行充電，如此，信號 S C 將由高準位切換爲低準位，而其中的下降緣下降幅度較爲平滑，此後藉由信號 S B 的上升緣，電晶體 Q 4 由截止狀態轉換爲開啓狀態，而電容 C 2 則經由電晶體 Q 4 予以放電，信號 S C 則快速地充電並維持在一高電壓準位，相對於輸入信號 S A 的下降緣，輸出信號 S C 下降緣的延遲時間爲圖示中的 t_d ，在圖 7 A 至 7 C 中，去除了節點 N D 2 的電壓 S B 波形。

應注意的是，相對於輸入信號 S A 的上升緣，本發明中的延遲電路 D L Y 2 僅發生具有差動放大器電路的反相元件延遲時間，因此僅出現很短的延遲。換言之，藉由本發明的非反相延遲電路，延遲時間僅發生在輸入信號 S A 的下降緣，且輸出一個信號 S C，其下降緣至輸入信號 S A 的下降緣之間存在一個時間延遲，相反的，亦可輸出一個信號 S C，其上升緣與輸入信號 S A 的上升緣間存在有一極短的延遲時間。

利用一個未圖示的比較電路將延遲電路的輸出信號 S C 與一參考電壓 V_{ref} 相比較，可取得一個相對於延遲電路之輸入信號 S A 爲延遲的信號 S D，例如，如圖 7 A 至 7 C 所示，若參考電壓 V_{ref} 被設定爲延遲電路中輸出信號 S C 最大準位的一半時，經由延遲電路中的輸出信號 S C 與參考電壓 V_{ref} 作比較，可取得一個未圖示的信號 S D，比較的結果 S D 相較於延遲電路中的輸入信號 S A 是有延遲的。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

此處，例如，當電容 C_2 的電容值為 C 時， C_2 的充電電流 i_3 的數值為 I ，而信號 S_C 的最大準位與參考電壓 V_{ref} 間的電壓差為 V ，則延遲電路的延遲時間 t_d 可由以下的方式求得：

$$t_d = C \times V / I \quad (2)$$

應注意的是，吾人可以將圖 6 中的延遲電路 DLY2 與一未顯示的比較電路結合起來以構成一延遲電路，在此狀況下延遲電路的延遲時間，換言之，由輸入信號 S_A 的上升緣至輸出信號 S_D 的下降緣之間的延遲時間將成為延遲電路 DLY2 的延遲時間 t_a 與比較電路之延遲時間的總和，它就是圖示中的 t_d 。

上述內容說明了具有緩衝器及延遲元件的非反相延遲電路 DLY2 的組態及其工作原理，其中的延遲元件為本發明的基本電路，如上述，藉由本發明實施例中的非反相延遲電路 DLY2，可將輸入信號 S_A 予以延遲，且取得一個延遲時間正好是 t_d 的延遲信號，再者，利用如同第 1 實施例中反相延遲電路的方式，在本發明實施例中的非反相延遲電路中，藉由控制輸入至輸入端子 TC 的控制信號 S_c 的準位，可以控制電晶體 Q6 的集極電流 i_3 ，亦可據此而控制電容 C_2 的充電電流，以及延遲元件的延遲時間，依此方式，使得本發明實施例中非反相延遲電路的延遲時間控制特性獲得改善，亦可增大延遲時間的變化範圍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(18)

數倍。

如上述內容，依據本實例的振盪電路，振盪電路是由三級的反相延遲電路所構成，其中各個反相延遲電路包含一個反相器和一個延遲元件，它們連接成環狀以產生時脈信號，應注意到依此方式所構成之振盪電路的振盪週期是反相延遲電路中延遲時間的總和。例如，若此三級反相延遲電路中所有的延遲時間為 t_D ，則振盪信號的時脈信號週期就是 $6 t_D$ ，而振盪頻率為 $1 / 6 t_D$ 。

圖 1 1 顯示一個由反相延遲電路及非反相延遲電路所構成的振盪電路實例，如圖示，本發明實例中的振盪電路是藉由將二級的非反相延遲電路及一級的反相延遲電路連結成環形所構成，非反相延遲電路是由緩衝器 B U F 1 及 B U F 2 以及連接至該緩衝器輸出端的延遲元件 D 1 和 D 2 所組成，該反相延遲電路是由反相器 I N V 3 以及連結至此反相器輸出端的延遲元件 D 3 所組成。

這件構件連結成環形並構成圖 1 1 中的振盪電路，圖 1 2 A 至 1 2 F 顯示本發明實例中振盪電路振盪動作的波形，以下將配合圖 1 1 和圖 1 2 A 至 1 2 F，說明本發明中振盪電路的動作，如圖 1 2 A 至 1 2 F 所示，依據緩衝器 B U F 1 的下降緣，延遲元件 D 1 的輸出信號 1 B 則具有緩慢的下降緣。之後，當緩衝器 B U F 1 的輸出信號 1 C 由一低準位切換為高準位時，延遲元件 D 1 的輸出信號 1 B 會有快速的上升緣。

延遲元件 D 1 的輸出信號 1 B 係與例如是一參考電壓

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(27)

盪電路。

此處，當緩衝器 B U F 1 的輸出信號為 1 A，反相器 I N V 1 的輸出信號為 2 A，緩衝器 B U F 2 的輸出信號為 3 A，而反相器 I N V 2 和 I N V 3 的輸出信號為 4 A 和 5 A，同時延遲元件 D 1 至 D 5 的輸出信號分別為 1 B 至 5 B，圖 20 A 至 20 J 顯示出在振盪電路中這些信號的工作波形，以下將配合圖 20 A 至 20 J 中的波形圖來說明本發明實例中振盪電路的工作原理。

如圖示，如緩衝器 B U F 1 中的輸出信號 1 A 為高準位時，在延遲元件 D 1 處，電容為放電的狀態，而輸出信號 1 B 則保持在高準位，當信號 1 A 由高準位切換為低準位時，延遲元件 D 1 中的電容為充電狀態，而輸出信號 1 B 緩慢地下降。

之後，當緩衝器 B U F 1 的輸出信號 1 A 由低準位切換為高準位時，延遲元件 D 1 的電容將突然地放電，而延遲元件 D 1 的輸出信號 1 B 上升，且具有陡峭的上升緣。

延遲元件 D 1 的輸出信號 1 B 係經由比較電路與例如是一參考電壓 V_{ref} 相比較，當輸出信號 1 B 的準位高於參考電壓 V_{ref} 時，比較之結果則保持在一高準位，而相反地，當輸出信號 1 B 的準位低於參考電壓 V_{ref} 時，比較結果將被輸入至反相器 I N V 1，而反相器 I N V 1 的輸出信號 2 A 則為圖 20 C 中所示，再者，延遲元件 D 2 的輸出信號 2 B 將依據輸入信號 2 A 作改變，且成為一具有陡峭上升緣及緩慢下降緣的信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

取

五、發明說明 (28)

緩衝器 B U F 2 和反相器 I N V 2 及 I N V 3 以及連結至延遲元件 D 2 輸出處之延遲元件 D 3 , D 4 及 D 5 的輸出信號 3 A , 4 A 以及 5 A 和 3 B , 4 B 及 5 B 係與緩衝器 B U F 1 , 反相器 I N V 1 和延遲元件 D 1 和 D 2 相同。

如圖 20 A 至 20 J 所示，在振盪電路中反相器 I N V 1 , I N V 2 和 I N V 3 以及緩衝器 B U F 1 和 B U F 2 的輸出處可取得工作比 1 : 4 , 2 : 3 以及 3 : 2 的時脈信號，換言之，延遲元件 D 1 至 D 5 中輸入信號的低準位時段最少為 $2 t_d$ 。因此，本實例中的振盪電路可取得一穩定的振盪動作，以及無飄移發生的穩定時脈信號。

圖 21 顯示另一個振盪電路的電路圖，此振盪電路是由二級的非反相延遲電路及三級反相延遲電路所組成，如圖示，本實例中振盪電路的構成組件與圖 19 中振盪電路的構成組件相同，但是反相及非反相延遲電路的連結並非相同，在本實施例中，二級的非反相延遲電路係串聯相接，而三級的反相延遲電路係以串聯相接。

如圖示，緩衝器 B U F 1 的輸出端係連接至延遲元件 D 1 的輸入端，延遲元件 D 1 的輸出端連接至緩衝器 B U F 2 的輸入端，而緩衝器 B U F 2 的輸出端則連接至延遲元件 D 2 的輸入端，延遲元件 D 2 的輸出端係連接至反相器 I N V 1 的輸入端，反相器 I N V 1 的輸出端連接至延遲元件 D 3 的輸入端，而延遲元件 D 3 的輸出端則連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (29)

接至反相器 I N V 2 的輸入端，反相器 I N V 2 的輸出端係連接至延遲元件 D 4 的輸入端，延遲元件 D 4 的輸出端連接至反相器 I N V 3 的輸入端，而反相器 I N V 3 的輸出端則連接至延遲元件 D 5 的輸入端，再者，延遲元件 D 5 的輸出端連接至緩衝器 B U F 1 的輸入端以構成環形振盪電路。

此處，緩衝器 B U F 1 的輸出信號為 1 A，緩衝器 B U F 2 的輸出信號為 2 A，而反相器 I N V 1，I N V 2 和 I N V 3 的輸出信號為 3 A，4 A 和 5 A，且延遲元件 D 1 至 D 5 輸出信號分別為 1 B 至 5 B，圖 2 2 A 至 2 2 J 顯示出振盪電路中，這些信號的工作波形，以下將配合圖 2 2 A 至 2 2 J 中的波形圖，說明本發明中振盪電路的工作原理。

如圖示，當緩衝器 B U F 1 的輸出信號 1 A 為高準位，則在延遲元件 D 1 中，電容是在放電狀態，而輸出信號 1 B 則維持在高準位，當信號 1 A 由高準位切換為低準位時，則延遲元件 D 1 中的電容將被充電，且輸出信號 1 B 將會緩慢下降。

然後，當緩衝器 B U F 1 的輸出信號 1 A 由低準位切換為高準位時，延遲元件 D 1 的電容將會急速地放電，而延遲元件 D 1 的輸出信號 1 B 將會有上升，且帶有一陡峭的上升緣。

延遲元件 D 1 的輸出信號 1 B 將利用一個比較電路與例如是參考電壓 V_{ref} 相比較，當輸出信號 1 B 的準位高

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

32

五、發明說明 (30)

於參考電壓 V_{ref} 時，比較的結果將維持在一高準位，而相反地，當輸出信號 1 B 的準位低於參考電壓 V_{ref} 時，比較結果則維持在一低準位，比較之結果被輸入至緩衝器 B U F 2，而緩衝器 B U F 2 輸出 2 A 則成為圖 2 2 C 中所示一般，再者延遲元件 D 2 的輸出信號 2 B 將依據此輸入信號 2 A 作改變，且成為具有一陡峭上升緣及緩慢下降緣的信號。

反相器 I N V 1，I N V 2 和 I N V 3 以及連接至延遲元件 D 2 輸出端之延遲元件 D 3，D 4 及 D 5 的輸出信號 3 A，4 A 和 5 A 以及 3 B，4 B 及 5 B 係與緩衝器 B U F 1 和 B U F 2 以及延遲元件 D 1 和 D 5 的輸出信號是相同的，應注意到反相器會輸出輸入信號的反相信號。

如圖 2 2 A 至 2 2 J 所示，由振盪電路中緩衝器 B U F 1 和 B U F 2 以及反相器 I N V 1，I N V 2 和 I N V 3 的輸出端，可取得工作比為 1 : 4，2 : 3 和 3 : 2 的時脈信號，換言之，由延遲元件 D 1 至 D 5 所輸入的低準位信號時段最少為 $2 t_d$ ，因此，本發明中所提出的振盪器電路可以獲得一穩定的振盪動作以及無飄移的時脈信號。

以下將配合圖 2 3 A 至 2 7 E，顯示由 3 級，4 級，5 級及 6 級反相及非反相延遲電路所構成的振盪電路實例。

圖 2 3 A 及 2 3 B 顯示反相及非反相延遲電路的簡化記號，以下將利用這些記號，顯示圖 2 4 至 2 7 E 中振盪

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (31)

電路的結構性實例。

首先，圖 2 4 顯示一個由三級反相延遲電路所構成的振盪電路電路圖，應注意的是，本電路實例具有一個與圖 9 所示振盪器電路實例的組態，如上述，在本發明所提出的振盪電路中，由三級反相延遲電路所構成的振盪電路具有最簡單的組態。

藉由此振盪電路，可產生一個工作比為 1 : 2 的時脈信號以及穩定的振盪動作。

圖 2 5 顯示一 4 級組態的振盪電路，這個電路是由 1 級的非反相延遲電路以及 3 級的反相延遲電路所組成，應注意的是本電路實例具有與圖 1 5 所示振盪電路實例相同的組態，如上述，藉由一個由一級非反相延遲電路及三級反相延遲電路所構成的振盪電路，可產生工作比為 1 : 3 和 2 : 2 二種型式的時脈信號以及取得穩定的振盪動作。

圖 2 6 A 及 2 6 C 顯示一個具 5 級組態振盪電路的電路圖，它是由 5 級的反相延遲電路或是二級非反相延遲電路以及三級反相延遲電路所組成，如圖示，共有三種具有 5 級組態的振盪電路，圖 2 6 A，2 6 B 及 2 6 C 顯示這些組態，應注意的這些電路實例的組態與圖 1 7，圖 1 9 及圖 2 1 中所示之振盪電路實例相似，如上述，藉由這些 5 級組態的振盪電路，可產生工作比 1 : 3，2 : 3 和 3 : 2 的時脈信號以及穩定的振盪動作。

圖 2 7 A 至 2 7 E 顯示 5 個具有 6 級組態的振盪電路實例，圖 2 7 A 中的電路圖顯示一個由一級非反相延遲電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

32K

五、發明說明 (32)

路及 5 級反相延遲電路所構成的振盪電路，而圖 2 7 B 至 2 7 E 中的振盪電路電路圖則是分別由三級的非反相延遲電路及三級的反相延遲電路所構成，如圖示，共有 4 種組態的振盪電路，視電路中組件的連結，振盪電路可由三級非反相延遲電路及三級反相延遲電路所構成，此處省略這些振盪電路的詳細說明，應注意到藉由這些 6 級組態的振盪電路，可在各個組態實例中取得一週期為 $12t_d$ 的時脈信號和穩定的振盪動作。

第 4 個實施例

圖 2 8 至 3 1 F 中的電路圖及波形圖顯示本發明所提出振盪電路的另一個實施例，以下，將配合這些附圖，說明這些電路實例的動作原理及組態，應注意的是，在以下所說明的各個振盪電路組態實例中，各級延遲元件的輸出信號可與參考電壓 V_{ref} 相比較，而比較所得之結果則傳送到下一級作為下一級的輸入信號，參考電壓 V_{ref} 被設定為延遲元件中輸出信號最大準位的一半，但本發明並不限定於此，比較電路中的參考電壓 V_{ref} 可被隨意地設定。

圖 2 8 中的電路圖顯示一個由三級反相延遲電路所構成的振盪電路，如圖示，本發明實例中的振盪電路是由反相器 $INV1$ ， $INV2$ 和 $INV3$ 以及延遲元件 $DL1$ ， $DL2$ 和 $DL3$ 所組成，這些反相器及延遲元件連接成環形以構成振盪電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明 (33)

更確切而言，反相器 I N V 1 的輸出端子被連接至延遲元件 D L 1 的輸入端，延遲元件 D L 1 的輸出端則連接至反相器 I N V 2 的輸入端，而反相器 I N V 2 的輸出端連接至延遲元件 D L 2 的輸入端，延遲元件 D L 2 的輸出端連接至反相器 I N V 3 的輸入端，而反相器 I N V 3 的輸出端則連接至延遲元件 D L 3 的輸入端，再者，延遲元件 D L 3 的輸出端連接至反相器 I N V 1 的輸入端以構成環形振盪電路。

延遲元件 D L 1，D L 2 和 D L 3 與例如是比較電路配合動作，延遲元件的輸出信號和參考電壓 V_{ref} 係利用這些比較電路作比較，而輸出信號的準位則依據比較的結果予以設定。

此處，當反相器 I N V 1 至 I N V 3 的輸出信號為 1 A 至 3 A，且延遲元件 D L 1 至 D L 3 的輸出信號為 1 B 至 3 B，則在圖 2 9 A 至 2 9 F 顯示出本發明實例中振盪電路的工作信號波形。以下將配合圖 2 8 及圖 2 9 A 至 2 9 F，說明本發明實例中振盪電路的動作。

如圖示，當反相器 I N V 1 的輸出信號 1 A 是在高準位時，延遲元件 D L 1 的輸出信號 1 B 係維持在一高準位，在延遲元件 D L 1 中的電容則依據此信號 1 A 的下降緣進行充電，同時，延遲元件 D L 1 的輸出信號則緩慢下降，之後，延遲元件 D L 1 的電容將依據反相器 I N V 1 中輸出信號 1 A 的上升緣進行放電，而延遲元件 D L 1 的輸出信號 1 B 則是上升，且具有一陡峭的上升緣。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

六、申請專利範圍

附件 2: 第 87106090 號專利申請案
中文申請專利範圍修正本

民國 90 年 7 月修正

1. 一種振盪器電路，包含至少為 3 的奇數個反相延遲電路，每一個反相延遲電路具有一個反相元件和一個與此反相元件輸出端相連的延遲元件，此反相延遲電路係連結成環形。

2. 如申請專利範圍第 1 項中的振盪器電路，其中的反相元件包含一個差動放大器電路。

3. 如申請專利範圍第 1 項中的振盪器電路，其中的延遲元件包含：

一個依據輸入信號進行充放電的電容，以及

一個用以供給充電電流給上述電容的電流源。

4. 如申請專利範圍第 3 項中的振盪器電路，亦具有一個用以比較上述延遲元件之輸出信號與一預設參考電壓的比較電路，且依據比較的結果，輸出一個信號準位。

5. 一種振盪器電路具有：

一奇數數目的反相延遲電路，各個延遲電路具有一個反相元件和一個與此反相元件輸出端相連的延遲元件，以及至少一個非反相延遲電路，此非反相延遲電路包含一個緩衝器和一個與此緩衝器輸出端相連的延遲元件，此奇數數目的反相延遲電路和至少一個非反相延遲電路係連結成環形。

6. 如申請專利範圍第 5 項中的振盪器電路，其中的

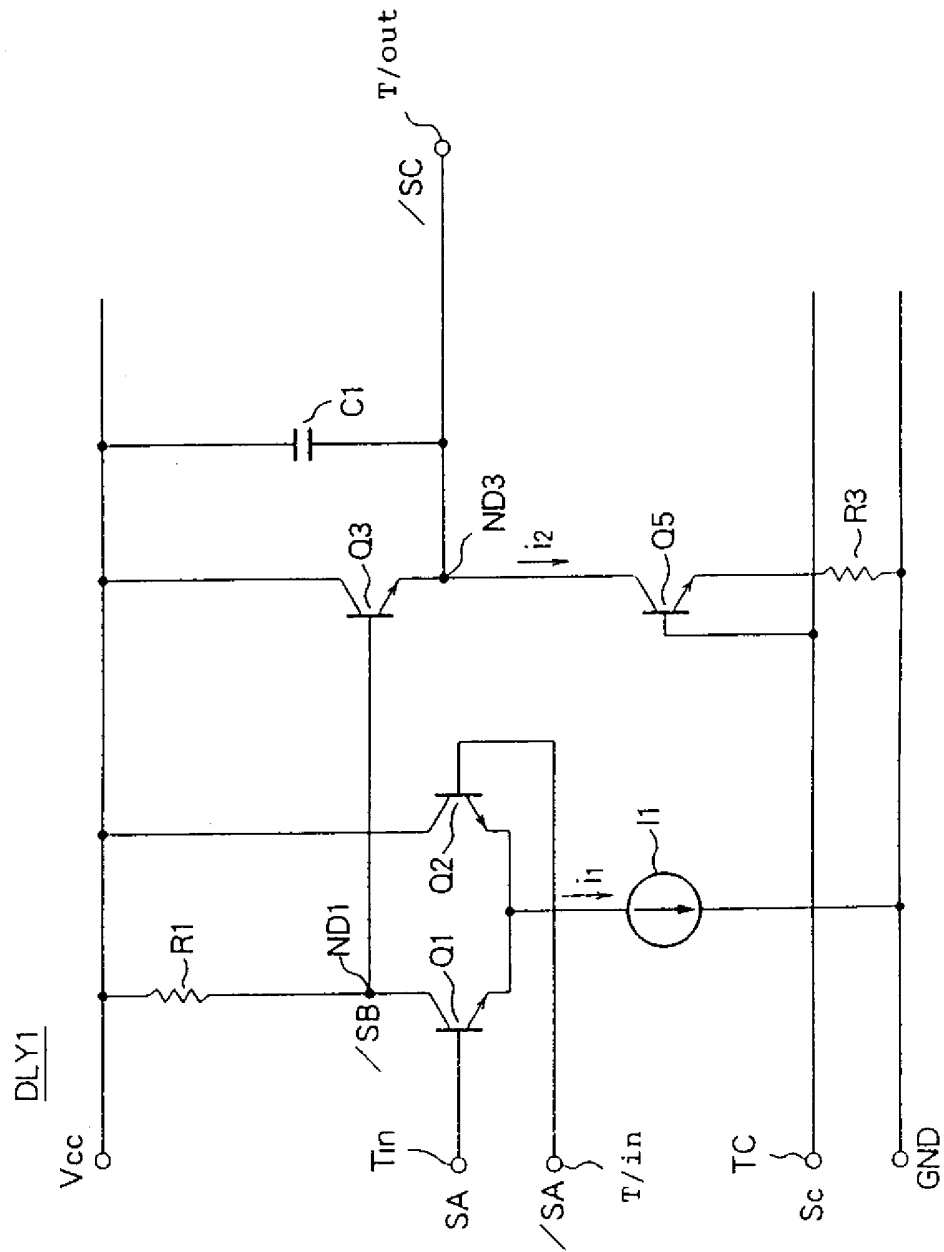
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

第 4 圖



66

