

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月14日(14.07.2022)



(10) 国際公開番号

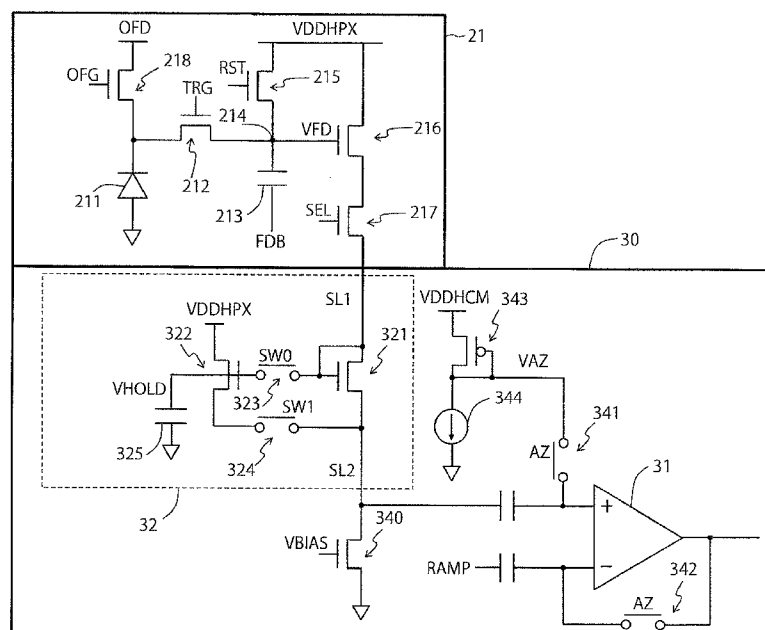
WO 2022/149388 A1

- (51) 国際特許分類:
H04N 5/378 (2011.01) H04N 5/374 (2011.01)
H03M 1/56 (2006.01) H04N 5/3745 (2011.01)
- (21) 国際出願番号: PCT/JP2021/044739
- (22) 国際出願日: 2021年12月6日(06.12.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-000561 2021年1月5日(05.01.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
- 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 熊田 啓志(KUMATA Keishi); 〒2430014
神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 中村 行孝, 外(NAKAMURA Yukitaka et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: IMAGING DEVICE AND RANGING SYSTEM

(54) 発明の名称: 撮像装置および測距システム

【図2】



(57) Abstract: [Problem] To provide an imaging device capable of improving electric charge transfer efficiency and suppressing reduction in frame rate. [Solution] An imaging device according to an embodiment of the present disclosure comprises: a photoelectric conversion element; a signal conversion unit for which voltage is boosted when electric charge transferred from the photoelectric conversion element is converted into a pixel signal; a selection transistor that cuts off a signal line of the pixel signal during a voltage boost period of the signal conversion unit; a comparator which has a

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

non-inversion input terminal to which the pixel signal is inputted via the selection transistor, an inversion input terminal to which a lamp signal is inputted, and an output terminal that outputs the comparison result between the pixel signal and the lamp signal; and a correction circuit that retains the potential of the non-inversion input terminal during the voltage boost period at the potential of the non-inversion input terminal before the voltage boost period.

(57) 要約: [課題] 電荷の転送効率を向上させつつ、フレームレートの低下を抑制することが可能な撮像装置を提供する。 [解決手段] 本開示の一実施形態に係る撮像装置は、光電変換素子と、光電変換素子から転送された電荷を画素信号に変換するときに昇圧される信号変換部と、信号変換部の昇圧期間に、画素信号の信号線を遮断する選択トランジスタと、選択トランジスタを介して画素信号が入力される非反転入力端子と、ランプ信号が入力される反転入力端子と、画素信号とランプ信号との比較結果を出力する出力端子と、を有するコンパレータと、昇圧期間における非反転入力端子の電位を、昇圧期間前の非反転入力端子の電位に保持する補正回路と、を備える。

明 細 書

発明の名称：撮像装置および測距システム

技術分野

[0001] 本開示は、撮像装置および測距システムに関する。

背景技術

[0002] 撮像装置や測距システム用途では、画素アレイの光電変換素子に蓄積された電荷の転送効率を高めるために、電荷を保持するFD（Floating Diffusion）を昇圧することが知られている。このとき、黒浮き（フレア）を回避するために、昇圧期間中に画素信号の信号線を遮断する場合がある。

先行技術文献

特許文献

[0003] 特許文献1：特表2008-544656号公報

発明の概要

発明が解決しようとする課題

[0004] FDの昇圧期間中に画素信号の信号線を遮断すると、画素信号を処理するコンパレータにおいて、電圧低下が発生する。この電圧低下によって、セトリング時間が増加してフレームレートが低下するおそれがある。

[0005] 本開示は、電荷の転送効率を向上させつつ、フレームレートの低下を抑制することが可能な撮像装置および測距システムを提供する。

課題を解決するための手段

[0006] 本開示の一実施形態に係る撮像装置は、光電変換素子と、光電変換素子から転送された電荷を画素信号に変換するときに昇圧される信号変換部と、信号変換部の昇圧期間に、画素信号の信号線を遮断する選択トランジスタと、前記選択トランジスタを介して画素信号が入力される非反転入力端子と、ランプ信号が入力される反転入力端子と、画素信号とランプ信号との比較結果を出力する出力端子と、を有するコンパレータと、昇圧期間における非反転入力端子の電位を、昇圧期間前の非反転入力端子の電位に保持する補正回路

と、を備える。

[0007] 前記補正回路は、

前記選択トランジスタと前記非反転入力端子との間に配置された第1トランジスタと、

前記第1トランジスタと一対の第2トランジスタと、

前記第1トランジスタのゲートと前記第2トランジスタのゲートとの間に配置された第1スイッチと、

前記第1トランジスタのソースと前記第2トランジスタのソースとの間に配置された第2スイッチと、

前記第2トランジスタのゲートに接続されたキャパシタと、を有し、

前記昇圧期間に、前記第1スイッチはオフ状態であるとともに前記第2スイッチはオン状態であってもよい。

[0008] 前記第1トランジスタのゲートーソース間のしきい値電圧が、前記第2トランジスタのゲートーソース間のしきい値電圧と同等であってもよい。

[0009] 前記昇圧期間の直前に、前記第1スイッチはオン状態からオフ状態に切り替わるとともに、前記第2スイッチはオフ状態からオン状態に切り替わってもよい。

[0010] 前記昇圧期間よりも前の前記コンパレータのオートゼロ期間に、前記選択トランジスタがオン状態からオフ状態に切り替わり、前記第1スイッチがオン状態からオフ状態に切り替わり、前記第2スイッチがオフ状態からオン状態に切り替わってもよい。

[0011] 前記第1スイッチが、Nチャネル型MOSFETであってもよい。

[0012] 前記光電変換素子、前記信号変換部、および前記選択トランジスタが第1半導体基板に配置され、前記コンパレータおよび前記補正回路が前記第1半導体基板に積層される第2半導体基板に配置されてもよい。

[0013] 前記光電変換素子、前記信号変換部、前記選択トランジスタ、前記コンパレータ、および前記補正回路が、一つの半導体基板に配置されてもよい。

[0014] 複数の前記光電変換素子が二次元状に配置され、

前記コンパレータおよび前記補正回路が、前記光電変換素子ごとに設けられてもよい。

[0015] 撮像装置は、前記前記複数の光電変換素子が同じタイミングで前記電荷を蓄積するグローバルシャッタ方式であってもよい。

[0016] 撮像装置は、前記前記複数の光電変換素子が異なるタイミングで前記電荷を蓄積するローリングシャッタ方式であってもよい。

[0017] 本開示の一実施形態に係る測距システムは、測距光を照射する照明装置と、測距光の反射光を受光する撮像装置と、を備える。撮像装置は、反射光を光電変換する光電変換素子と、光電変換素子から転送された電荷を画素信号に変換するときに昇圧される信号変換部と、信号変換部の昇圧期間に、画素信号の信号線を遮断する選択トランジスタと、選択トランジスタを介して画素信号が入力される非反転入力端子と、ランプ信号が入力される反転入力端子と、画素信号とランプ信号との比較結果を出力する出力端子と、を有するコンパレータと、昇圧期間における非反転入力端子の電位を、昇圧期間前の非反転入力端子の電位に保持する補正回路と、を有する。

[0018] 前記補正回路は、
前記選択トランジスタと前記非反転入力端子との間に配置された第1トランジスタと、

前記第1トランジスタと一対の第2トランジスタと、

前記第1トランジスタのゲートと前記第2トランジスタのゲートとの間に配置された第1スイッチと、

前記第1トランジスタのソースと前記第2トランジスタのソースとの間に配置された第2スイッチと、

前記第2トランジスタのゲートに接続されたキャパシタと、を有し、

前記昇圧期間に、前記第1スイッチはオフ状態であるとともに前記第2スイッチはオン状態であってもよい。

[0019] 前記第1トランジスタのゲートーソース間のしきい値電圧が、前記第2トランジスタのゲートーソース間のしきい値電圧と同等であってもよい。

[0020] 前記昇圧期間の直前に、前記第 1 スイッチはオン状態からオフ状態に切り替わるとともに、前記第 2 スイッチはオフ状態からオン状態に切り替わってもよい。

[0021] 前記光電変換素子、前記信号変換部、および前記選択トランジスタが第 1 半導体基板に配置され、前記コンパレータおよび前記補正回路が前記第 1 半導体基板に積層される第 2 半導体基板に配置されてもよい。

[0022] 前記光電変換素子、前記信号変換部、前記選択トランジスタ、前記コンパレータ、および前記補正回路が、一つの半導体基板に配置されてもよい。

図面の簡単な説明

[0023] [図1]第 1 実施形態に係る撮像装置の構成を示す図である。

[図2]画素と補正回路の回路構成を示す図である。

[図3]画素アレイと信号処理回路の位置関係の一例を示すレイアウト図である。

[図4]第 1 実施形態に係る撮像装置のタイミングチャートである。

[図5]第 2 実施形態に係る撮像装置の回路図である。

[図6]第 2 実施形態に係る撮像装置のタイミングチャートである。

[図7]第 3 実施形態に係る撮像装置の撮像装置の回路図である。

[図8]第 4 実施形態に係る測距システムの構成例を示すブロック図である。

[図9]第 4 実施形態における画素および信号処理回路の回路構成を示す図である。

[図10]第 4 実施形態に係る撮像装置のタイミングチャートである。

[図11]車両制御システムの概略的な構成の一例を示すブロック図である。

[図12]車外情報検出部および撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0024] (第 1 実施形態)

図 1 は、第 1 実施形態に係る撮像装置の構成を示す図である。図 1 に示す撮像装置 1 は、垂直走査回路 10 と、画素アレイ 20 と、信号処理回路 30 と、水平転送走査回路 40 と、を備える。

- [0025] 垂直走査回路 10 は、例えばシフトレジスタで構成され、画素アレイ 20 へ駆動信号を送信する。画素アレイ 20 には、複数の画素 21 が 2 次元状（行列状）に配置されている。複数の画素 21 は、垂直走査回路 10 によって垂直走査される。換言すると、複数の画素 21 は、垂直走査回路 10 から行ごとに入力される駆動信号に基づいて駆動する。撮像装置 1 は、全ての画素 21 が同じタイミングで電荷を蓄積する（露光する）グローバルシャッタ方式のイメージセンサとして機能する。
- [0026] 信号処理回路 30 は、画素アレイ 20 から出力された信号を処理する。本実施形態では、信号処理回路 30 は、画素アレイ 20 の列ごとに画素信号を処理するカラム ADC（Analog to Digital Converter）である。信号処理回路 30 には、コンパレータ 31 と、補正回路 32 と、ラッチ回路 33 と、を有する。コンパレータ 31、補正回路 32、およびラッチ回路 33 の数は、画素アレイ 20 の列数と同じである。
- [0027] コンパレータ 31 の非反転入力端子（+）には、画素 21 から読み出した画素信号が入力される。また、反転入力端子（-）には、三角波のランプ信号 RAMP が入力される。さらに、出力端子は、ランプ信号の電圧と画素信号の電圧とを比較した結果をラッチ回路 33 へ出力する。
- [0028] 補正回路 32 は、コンパレータ 31 の非反転入力端子（+）と画素アレイ 20 との間に配置されている。補正回路 32 は、この非反転入力端子（+）の電位を補正する。
- [0029] ラッチ回路 33 は、コンパレータ 31 の比較結果を一時的に記憶する。また、ラッチ回路 33 は、一時記憶した信号を所定のタイミングで水平転送走査回路 40 へ出力する。
- [0030] 水平転送走査回路 40 は、例えばシフトレジスタで構成され、水平走査を行う。具体的には、ラッチ回路 33 は、各ラッチ回路 33 に記憶された信号を画素アレイ 20 の列順に従って信号線 50 に送出する。
- [0031] 図 2 は、画素 21 と補正回路 32 の回路構成を示す図である。まず、画素 21 の回路構成について説明する。

- [0032] 図2に示すように、画素21は、フォトダイオード211、転送トランジスタ212、FD (Floating Diffusion) 213、ノード214、リセットトランジスタ215、増幅トランジスタ216、選択トランジスタ217、および排出トランジスタ218を有する。
- [0033] フォトダイオード211は、光電変換により入射光を電荷に変換して蓄積する光電変換素子の一例である。フォトダイオード211のアノードは接地され、カソードは転送トランジスタ212および排出トランジスタ218に接続されている。
- [0034] 転送トランジスタ212は、例えばNチャネル型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) で構成される。転送トランジスタ212のゲートには、垂直走査回路10から転送信号TRGが入力される。転送トランジスタ212は、転送信号TRGに基づいて駆動する。転送トランジスタ212がオン状態になると、フォトダイオード211に蓄積されている電荷がFD 213に転送される。
- [0035] FD 213は、増幅トランジスタ216のゲートに接続された所定の蓄積容量を有する浮遊拡散領域である。FD 213には、フォトダイオード211から転送される電荷が一時的に蓄積される。
- [0036] ノード214は、FD 213の一端と増幅トランジスタ216のゲートとの接続箇所である。FD 213に蓄積された電荷は、ノード214を介して増幅トランジスタ216へ転送される。
- [0037] 増幅トランジスタ216は、例えばNチャネル型MOSFETで構成される。増幅トランジスタ216は、FD 213に蓄積されている電荷量に応じたレベル、換言するとノード214の電圧VFDのレベルを示す画素信号を出力する。
- [0038] FD 213、ノード214および増幅トランジスタ216は、フォトダイオード211に蓄積された電荷を、その電荷量に応じたレベルの画素信号に変換する信号変換部として機能する。また、FD 213の他端の電圧FDBを可変にすることで、ノード214を昇圧することができる。これにより、

フォトダイオード211に蓄積された電荷の転送効率を高め、さらに飽和電荷量(Q_s)を増加させることができる。

[0039] リセットトランジスタ215は、例えばNチャネル型MOSFETで構成される。リセットトランジスタ215のゲートには、垂直走査回路10からリセット信号RSTが入力される。リセットトランジスタ215は、リセット信号RSTに基づいて駆動する。リセットトランジスタ215がオン状態になると、ノード214に蓄積されている電荷が電源線VDDHPXに排出されて、ノード214がリセットされる。ノード214のリセットが完了すると、リセットトランジスタ215はオン状態からオフ状態に切り替わる。

[0040] 選択トランジスタ217は、例えばNチャネル型MOSFETで構成される。選択トランジスタ217のゲートには、垂直走査回路10から選択信号SELが入力される。選択トランジスタ217は、選択信号SELに基づいて、画像信号を信号処理回路30へ伝送するか否かを切り替える。選択トランジスタ217がオン状態になると、画素信号が、信号線SL1を通じて信号処理回路30へ出力可能となる。一方、選択トランジスタ217がオフ状態になると、信号線SL1を通じた画素信号の伝送が遮断される。

[0041] 排出トランジスタ218は、例えばNチャネル型MOSFETで構成される。排出トランジスタ218は、フォトダイオード211とオーバーフローレインOFDとの間に直列的に配置される。また、排出トランジスタ218のゲートには、垂直走査回路10から排出信号OFGが入力される。排出トランジスタ218は、排出信号OFGに基づいて駆動する。排出トランジスタ218がオン状態になると、フォトダイオード211に蓄積された電荷が排出される。

[0042] 次に、補正回路32の回路構成について説明する。図2に示すように、補正回路32は、第1トランジスタ321と、第2トランジスタ322と、第1スイッチ323と、第2スイッチ324と、キャパシタ325と、を有する。

[0043] 第1トランジスタ321は、選択トランジスタ217とコンパレータ31

の非反転入力端子（＋）との間に配置される。第１トランジスタ３２１は、例えばＮチャネル型ＭＯＳＦＥＴで構成され、ゲートとドレインは短絡している。また、ゲートは、第１スイッチ３２３に接続されている。ドレインは、選択トランジスタ２１７のソースに接続されている。ソースは、コンパレータ３１の非反転入力端子に接続されているとともに、トランジスタ３４０を介して接地されている。

[0044] 第２トランジスタ３２２は、第１トランジスタ３２１と一対である。すなわち、第１トランジスタ３２１および第２トランジスタ３２２は、同じプロセスによって同じサイズに製造されているため、同等の電気的特性を有する。本実施形態では、第２トランジスタ３２２のゲート－ソース間のしきい値電圧は、第１トランジスタ３２１のゲート－ソース間のしきい値電圧と同等である。なお、このしきい値電圧は、信号線ＳＬ１のダイナミックレンジが狭くなることを回避するために、可能な限り低いことが望ましい。

[0045] 第１スイッチ３２３は、第１トランジスタ３２１のゲートと第２トランジスタ３２２のゲートとの間に配置されている。第１トランジスタ３２１は、信号処理回路３０の制御回路（不図示）から入力される制御信号ＳＷ０に基づいてスイッチング動作する。

[0046] 第２スイッチは、第１トランジスタ３２１のソースと第２トランジスタ３２２のソースとの間に配置されている。第２トランジスタ３２２も、上記制御回路から入力される制御信号ＳＷ１に基づいて駆動する。なお、第１トランジスタ３２１および第２トランジスタ３２２の一方がオン状態のときに他方はオフ状態となる。

[0047] キャパシタ３２５の一端は、第２トランジスタ３２２のゲートに接続され、他端は接地されている。選択トランジスタ２１７および第１スイッチ３２３がオン状態のときにキャパシタ３２５は充電される。また、選択トランジスタ２１７および第１スイッチ３２３がオフ状態で第２スイッチ３２４がオン状態のときに、信号線ＳＬ２の電圧を保持する。信号線ＳＬ２の電圧は、コンパレータ３１の反転入力端子（＋）の電圧に相当する。

- [0048] 本実施形態では、図2に示すように、コンパレータ31において、非反転入力端子(+)に入力される信号と、反転入力端子(-)に入力される信号との基準を設定するオートゼロを行うために複数の回路素子がコンパレータ31の周辺に配置されている。ここで、各回路素子について説明する。
- [0049] コンパレータ31の非反転入力端子(+)には、スイッチ341が接続され、反転入力端子(-)にはスイッチ342が接続されている。スイッチ341には、トランジスタ343が接続されている。トランジスタ343は、Pチャネル型MOSFETである。トランジスタ343のドレインは、電源線VDDHCMに接続され、ソースは電流源344に接続されている。
- [0050] 一方、スイッチ342は、コンパレータ31の出力端子に接続されている。すなわち、コンパレータ31において、反転入力端子(-)と出力端子は、スイッチ342を介して互いに接続されている。スイッチ341およびスイッチ342は、信号処理回路30の制御回路(不図示)から入力されたオートゼロ信号AZに基づいて駆動する。
- [0051] 図3は、画素アレイ20と信号処理回路30の位置関係の一例を示すレイアウト図である。本実施形態では、図3に示すように、画素アレイ20は、第1半導体基板(画素チップ)110に形成される。第1半導体基板110上では、複数の画素21が、二次元状に配置されている。
- [0052] 第1半導体基板110には、第2半導体基板(ロジックチップ)120が積層される。第2半導体基板120は、画素アレイ20に対向する領域120aを有する。この領域120aには、信号処理回路30が形成される。信号処理回路30の素子は、各画素21のフォトダイオード211の受光を妨げないように配置される。第1半導体基板110および第2半導体基板120は、例えば銅パッド、バンプ、またはTSV(Through Silicon Via)で互いに接合される。本実施形態のように、画素アレイ20と信号処理回路30とを別の半導体基板に配置する2層構造にすることによって、フォトダイオード211の受光面積を十分に確保することができる。
- [0053] なお、画素アレイ20および信号処理回路30は、上述した2層構造に限

定されず、共に第1半導体基板110に形成されていてもよい。この場合、信号処理回路30は、画素アレイ20の周辺に配置される。このように画素アレイ20および信号処理回路30を一つの半導体基板に形成すると、基板の接合処理が不要になる。

[0054] 図4は、上述した撮像装置1のタイミングチャートである。以下、図4を参照して撮像装置1の動作を説明する。

[0055] ハイレベルのリセット信号RSTが、画素21のリセットトランジスタ215のゲートに入力されると、リセットトランジスタ215はオン状態となる。これにより、ノード214の電圧VFDは上昇する。このとき、選択トランジスタ217も、ハイレベルの選択信号SELに基づいてオン状態となる。さらに、補正回路32の第1スイッチ323は、ハイレベルの制御信号SW0に基づいてオン状態であるとともに、第2スイッチ324は、ローレベルの制御信号SW1に基づいてオフ状態である。そのため、キャパシタ325の電圧VHOLDおよび信号線SL2の電圧VSL2も上昇する。

[0056] 続いて、コンパレータ31のオートゼロを行うオートゼロ(AZ)期間T1では、コンパレータ31に接続されたスイッチ341およびスイッチ342が、ハイレベルのオートゼロ信号に基づいてオン状態となる。オートゼロ期間T1が経過すると、スイッチ341およびスイッチ342は、オン状態からオフ状態に切り替わる。

[0057] 続いて、P(Pre charge)相期間T2では、コンパレータ31が、リセット信号RST後に画素21から出力された画素信号とランプ信号RAMPとの比較結果を出力する。この画素信号には、FD213に予め蓄積された電荷成分のみが含まれ、フォトダイオード211に蓄積された電荷成分は含まれない。

[0058] 続いて、FDブースト期間T3では、FD213の他端の電圧FDBが昇圧されるのに伴って電圧VFDが昇圧される。このとき、選択トランジスタ217は、ローレベルの選択信号SELに基づいてオフ状態となる。また、FDブースト期間T3(昇圧期間)の直前に、制御信号SW0がハイレベル

からローレベルに変化するのに伴って、第1スイッチ323は、オン状態からオフ状態に切り替わる。同時に、制御信号SW1がローレベルからハイレベルに変化するのに伴って第2スイッチ324は、オフ状態からオン状態に切り替わる。これにより、信号線SL2の電圧は、キャパシタ325によって保持される。

[0059] さらに、FDブースト期間T3の後半には、転送トランジスタ212は、ハイレベルの転送信号TRGに基づいてオン状態となる。これにより、フォトダイオード211に蓄積されている電荷がFD213に転送される。その後、D(Data)相では、選択トランジスタ217が、オフ状態からオン状態に切り替わるため、フォトダイオード211に蓄積された電荷成分を含む画素信号が、補正回路32を通じてコンパレータ31の非反転入力端子(+)に入力される。コンパレータ31は、この画素信号とランプ信号とを比較した結果をラッチ回路33へ出力する。

[0060] 上述した本実施形態に係る撮像装置1では、フォトダイオード211に蓄積された電荷をFD213に転送するとき、ノード214の電圧VFDが昇圧される。これにより、電荷の転送効率が高めることができる。電圧VFDが上昇すると、信号線SL2の電圧VSL2も上昇する。この上昇量が大きいと、非反転入力端子(+)からスイッチ341を通じてトランジスタ343へリーク電流が流れる場合がある。

[0061] しかし、本実施形態では、図4に示すように、FDブースト期間T3では、選択トランジスタ217がオフ状態となっている。これにより、信号線SL1が遮断されるため、コンパレータ31の非反転入力端子(+)の電位上昇を回避できる。その一方で、信号線SL1が遮断されると、非反転入力端子(+)の電位が低下する。そのため、電位を戻すためのセトリング時間が増加して、撮影画像のフレームレートの低下が懸念される。

[0062] これに対し、本実施形態では、補正回路32が設けられている。補正回路32によれば、FDブースト期間T3前には第1スイッチ323はオン状態であるとともに第2スイッチ324がオフ状態である。このとき、信号線S

L 2 の電圧 V_{SL2} は、下記の式 (1) で示される。

$$V_{SL2} = V_{SL1} - V_{th1} \quad (1)$$

式 (1) において、 V_{SL1} は信号線 $SL1$ の電圧であり、 V_{th1} は第 1 トランジスタ 321 のゲートソース間のしきい値電圧である。

[0063] 一方、FD ブースト期間 $T3$ 中には、第 1 スイッチ 323 はオフ状態であるととも第 2 スイッチ 324 はオン状態である。このとき、信号線 $SL2$ の電圧 V_{SL2} は、下記の式 (2) で示される。

$$V_{SL2} = V_{HOLD} - V_{th2} \quad (2)$$

式 (2) において、 V_{HOLD} はキャパシタ 325 の電圧であり、 V_{th2} は、第 2 トランジスタ 322 のゲートソース間のしきい値電圧である。

[0064] 本実施形態では、FD ブースト期間 $T3$ 前に、キャパシタ 325 は、電圧 V_{SL1} と同電位になるまで充電されるため、FD ブースト期間 $T3$ 中の電圧 V_{HOLD} は、電圧 V_{SL1} と同電位である。また、第 2 トランジスタ 322 のサイズは、第 1 トランジスタ 321 のサイズと同じであるため、両トランジスタのゲートソース間のしきい値電圧も同じになる。これにより、FD ブースト期間 $T3$ 中の電圧 V_{SL2} は、FD ブースト期間 $T3$ 前の電圧に保持される。

[0065] 本実施形態によれば、FD ブースト期間 $T3$ における電圧 V_{SL2} の変動を抑制することができる。よって、フォトダイオード 211 からノード 214 への電荷の転送効率を向上させつつ、撮影画像のフレームレートの低下を抑制することが可能となる。

[0066] また、本実施形態では、第 1 トランジスタ 321 のゲートソース間のしきい値電圧 V_{th1} が温度や製造プロセス等で変動しても、補正回路 32 において、この変動は、第 2 トランジスタ 322 のゲートソース間のしきい値電圧 V_{th2} で相殺される。そのため、しきい値電圧 V_{th1} の変動に応じて信号線 $SL2$ の電圧を調整する電源回路は不要になる。そのため、簡易で小型の回路構成で電荷の転送効率の向上と、撮影画像のフレームレートの低下抑制とを両立することができる。さらに、消費電力も小さくすること

ができる。

[0067] (第2実施形態)

図5は、第2実施形態に係る撮像装置の回路図である。第1実施形態と同様の構成要素には同じ符号を付し、詳細な説明を省略する。

[0068] 図5に示す撮像装置2は、補正回路32aを有する。補正回路32aでは、第1スイッチ323が、Nチャネル型MOSFETで構成されている。第1スイッチ323のドレインは、第1トランジスタ321のゲートに接続され、ソースは、第2トランジスタ322のゲートに接続されている。第1スイッチ323は、ゲートに入力された制御信号SW0に基づいてスイッチング動作する。

[0069] 図6は、本実施形態に係る撮像装置2のタイミングチャートである。以下、図6を参照して撮像装置1の動作について、第1実施形態と異なる点を中心に説明する。

[0070] 本実施形態では、コンパレータ31のオートゼロ(AZ)期間T1に、選択トランジスタ217がオン状態からオフ状態に切り替わり、第1スイッチ323がオン状態からオフ状態に切り替わり、第2スイッチ324がオフ状態からオン状態に切り替わる。

[0071] 第1スイッチ323は、上述したようにNチャネル型MOSFETで構成されている。そのため、信号の立下りによるチャージインジェクションおよびフィードスルーの影響によって、キャパシタ325の電圧VHOLDは、信号線SL1の電圧VSL1よりも低い電位に保持される。電圧VHOLDが、どの程度電圧VSL1よりも低くなるかは、キャパシタ325の保持容量と第1スイッチ323のチャネル面積の比、および第1スイッチ323の立下りスルーレートで決まる。

[0072] オートゼロ期間T1に続くP相期間T2では、選択トランジスタ217、第1スイッチ323、および第2スイッチ324の各状態を維持したまま、コンパレータ31は、第1実施形態と同様に、フォトダイオード211に蓄積された電荷成分を含まない画素信号とランプ信号RAMPとの比較結果を

出力する。

[0073] P相期間T2に続くFDブースト期間T3でも、選択トランジスタ217、第1スイッチ323、および第2スイッチ324は、オートゼロ期間T1と同じ状態に維持される。その後、FDブースト期間T3にD相期間において、選択トランジスタ217、第1スイッチ323、および第2スイッチ324の各状態が切り替わる。すなわち、選択トランジスタ217がオフ状態からオン状態に切り替わり、第1スイッチ323がオフ状態からオン状態に切り替わり、第2スイッチ324がオン状態からオフ状態に切り替わる。

[0074] 補正回路32aは、上記のように選択トランジスタ217、第1スイッチ323、および第2スイッチ324の各状態を切り替える制御をオートゼロ期間T1から開始することによって、太陽黒点に対する補正機能を有する。太陽黒点は、光量の大きな光がフォトダイオード211に入射し、電圧VFDおよび電圧VSL2がP相期間T2中に低下することが原因で発生する。太陽黒点は、出力画像の品質に影響を及ぼす。

[0075] しかし、本実施形態によれば、補正回路32aが、リセット信号RSTの直後、すなわちオートゼロ期間T1に電圧VSL2を保持する。そのため、出力画像は、太陽黒点による影響を受けなくなる。

[0076] なお、本実施形態では、チャージインジェクションおよびフィードスルーの影響により、電圧VHOLDは電圧VSL1よりも若干低くなる。この変動量も、出力画像の品質に影響を及ぼし得る。この解決策として、例えば、第1スイッチ323の立下りのスルーレートを遅くすることが望ましい。また、P相期間T2およびFDブースト期間T3に、第1スイッチ323の立下り時の電圧を、0Vではなくオートゼロ期間T1およびP相期間T2における電圧VSL1よりも少し低い値に設定することが望ましい。

[0077] (第3実施形態)

図7は、第3実施形態に係る撮像装置の撮像装置の回路図である。上述した第1実施形態と同様の構成要素には、同じ符号を付し、詳細な説明を省略する。

[0078] 本実施形態に係る撮像装置 3 は、複数の画素 21 間で電荷を蓄積する（露光する）タイミングが異なるローリングシャッタ方式のイメージセンサとして機能する。各画素 21 の構成は、図 7 に示すように、排出トランジスタ 218 を有さない点を除いて第 1 実施形態で説明した画素 21（図 3 参照）と同じである。

[0079] また、本実施形態でも、オートゼロ期間 T_1 、P 相期間 T_2 、FD ブースト期間 T_3 、および D 相期間における動作は、第 1 実施形態と同様である。そのため、FD ブースト期間 T_3 中の電圧 V_{SL2} は、FD ブースト期間 T_3 前の P 相期間 T_2 の電圧に保持される。よって、本実施形態においても、電荷の転送効率を向上させつつ、フレームレートの低下を抑制することが可能となる。

[0080] また、上述した第 2 実施形態と同様に、選択トランジスタ 217、第 1 スイッチ 323、および第 2 スイッチ 324 の各状態を切り替える制御をオートゼロ期間 T_1 から開始してもよい。この場合、太陽黒点に対する出力画像の品質低下を回避することが可能となる。

[0081] （第 4 実施形態）

図 8 は、第 4 実施形態に係る測距システムの構成例を示すブロック図である。図 4 に示す測距システム 4 は、ToF (Time of Flight) 法を用いて距離画像の撮影を行うシステムであり、照明装置 41 および撮像装置 42 を備える。

[0082] 照明装置 41 は、照明制御部 411 および発光素子 412 を備える。照明制御部 411 は、制御部 422 の制御に基づいて、発光素子 412 が測距光を照射するパターンを制御する。具体的には、照明制御部 411 は、制御部 422 から供給される照射信号に含まれる照射コードに従って、発光素子 412 が測距光を照射するパターンを制御する。例えば、照射コードは、「1」（High）と「0」（Low）の 2 値からなる。照明制御部 411 は、照射コードの値が「1」のとき発光素子 412 を点灯させ、照射コードの値が「0」のとき発光素子 412 を消灯させる。

- [0083] 発光素子 4 1 2 は、照明制御部 4 1 1 の制御に基づいて、所定の波長域の測距光を発する。発光素子 4 1 2 は、例えば、赤外線レーザダイオードである。発光素子 4 1 2 の種類、および、測距光の波長域は、測距システム 4 の用途等に応じて任意に設定することが可能である。
- [0084] 撮像装置 4 2 は、測距光が被写体 4 0 1 および被写体 4 0 2 により反射された反射光を受光する。撮像装置 4 2 は、撮像部 4 2 1、制御部 4 2 2、表示部 4 2 3、および、記憶部 4 2 4 を備える。
- [0085] 撮像部 4 2 1 は、レンズ 4 3 1、画素アレイ 4 3 2、および、信号処理回路 4 3 3 を有する。レンズ 4 3 1 は、入射光を画素アレイ 4 3 2 に結像させる。なお、レンズ 4 3 1 の構成は任意であり、例えば、複数のレンズ群によりレンズ 4 3 1 を構成することも可能である。
- [0086] 画素アレイ 4 3 2 は、制御部 4 2 2 の制御に基づいて被写体 4 0 1 および被写体 4 0 2 等の撮像を行う。また、画素アレイ 4 3 2 は、撮像によって得られた画素信号を信号処理回路 4 3 3 へ出力する。画素アレイ 4 3 2 には、第 1 実施形態で説明した画素アレイ 2 0 と同様に複数の画素 2 1 が二次元状に配置されている。
- [0087] 信号処理回路 4 3 3 は、制御部 4 2 2 の制御に基づいて、画素アレイ 4 3 2 の画素信号を処理する。例えば、信号処理回路 4 3 3 は、画素アレイ 4 3 2 の画素信号に基づいて、被写体までの距離を検出し、被写体までの距離を示す距離画像を生成する。信号処理回路 4 3 3 には、第 1 実施形態で説明したコンパレータ 3 1 および補正回路 3 2 等が配置されている。
- [0088] 制御部 4 2 2 は、例えば、FPGA (Field Programmable Gate Array)、DSP (Digital Signal Processor) 等の制御回路やプロセッサ等により構成される。制御部 4 2 2 は、照明制御部 4 1 1、画素アレイ 4 3 2、および、信号処理回路 4 3 3 の制御を行う。
- [0089] 表示部 4 2 3 は、例えば、液晶表示装置や有機 EL (Electro Luminescence) 表示装置等のパネル型表示装置からなる。
- [0090] 記憶部 4 2 4 は、任意の記憶装置や記憶媒体等により構成することができ

、距離画像等を記憶する。

[0091] 図9は、本実施形態における画素21および信号処理回路433の回路構成を示す図である。

[0092] まず、画素21の回路構成について説明する。画素21は、図9に示すように、検出回路210aおよび検出回路210bを有する。検出回路210aおよび検出回路210bは、フォトダイオード211のカソードにそれぞれ接続され、互いに異なるタイミングでフォトダイオード211に蓄積された電荷を検出する。

[0093] 検出回路210aは、転送トランジスタ212、FD213、ノード214、リセットトランジスタ215、増幅トランジスタ216、選択トランジスタ217を有する。一方、検出回路210bは、検出回路210aと一対であり、転送トランジスタ212、FD213、ノード214、リセットトランジスタ215、増幅トランジスタ216、選択トランジスタ217を有する。これらの素子については、第1実施形態で詳述しているため説明を省略する。

[0094] 次に、信号処理回路433の回路構成について説明する。信号処理回路433では、補正回路32が、検出回路210aおよび検出回路210bの選択トランジスタ217のソースにそれぞれ接続されている。各補正回路32の回路構成は、第1実施形態と同様であるため説明を省略する。

[0095] また、各補正回路32は、第1実施形態と同様にコンパレータ31の非反転入力端子(+)に接続されている。さらに、各コンパレータ31の周辺にも、第1実施形態と同様に、スイッチ341、スイッチ342、およびトランジスタ343、および電流源344が設けられている。

[0096] 本実施形態では、第1実施形態と同様に、画素アレイ432は、第1半導体基板110に形成され、信号処理回路433は、第1半導体基板110と接合される第2半導体基板120に形成される。なお、画素アレイ432および信号処理回路433は、上述した2層構造に限定されず、共に第1半導体基板110に形成されていてもよい。

[0097] 図10は、本実施形態に係る測距システム4のタイミングチャートである。以下、図10を参照して、測距システム4の動作について説明する。

[0098] まず、ハイレベルのリセット信号RSTが検出回路210aおよび検出回路210bの各々のリセットトランジスタ215のゲートに同時に入力される。このとき、各リセットトランジスタ215はオン状態となるので、検出回路210aのノード214の電圧VFD0および検出回路210bのノード214の電圧VFD1は上昇する。

[0099] 続いて、ハイレベルの転送信号TRG0が所定の周期で検出回路210aの転送トランジスタ212に入力される。また、ハイレベルの転送信号TRG1が、所定の周期で検出回路210bの転送トランジスタ212に入力される。ハイレベルの転送信号TRG0およびハイレベルの転送信号TRG1は、交互に各検出回路の転送トランジスタ212に入力される。

[0100] 転送信号TRG0がハイレベルの期間中には、検出回路210aにおいて、FD213の他端の電圧FDB0が昇圧されるのに伴ってノード214の電圧VFD0が昇圧される。そのため、転送信号TRG0がハイレベルの期間が、検出回路210aのFDブースト期間T3aとなる。一方、転送信号TRG1がハイレベルの期間中には、検出回路210bにおいて、FD213の他端の電圧FDB1が昇圧されるのに伴って検出回路210bのノード214の電圧VFD1が昇圧される。そのため、転送信号TRG1がハイレベルの期間が、検出回路210bのFDブースト期間T3bとなる。

[0101] FDブースト期間T3aの前では、検出回路210aに接続された補正回路32において、第1スイッチ323はオン状態であるとともに、第2スイッチ324がオフ状態である。また、FDブースト期間T3a中には、上記補正回路32において、第1スイッチ323はオフ状態となるとともに、第2スイッチ324がオン状態となる。そのため、第1実施形態と同様に、FDブースト期間T3a中の電圧VSL2は、FDブースト期間T3a前の電圧に保持される。

[0102] また、FDブースト期間T3bの前では、検出回路210bに接続された

補正回路 3 2 において、第 1 スイッチ 3 2 3 はオン状態であるとともに、第 2 スイッチ 3 2 4 がオフ状態である。また、F D ブースト期間 T 3 b 中には、上記補正回路 3 2 において、第 1 スイッチ 3 2 3 はオフ状態となるとともに、第 2 スイッチ 3 2 4 がオン状態となる。そのため、第 1 実施形態と同様に、F D ブースト期間 T 3 b 中の電圧 V S L 2 も、F D ブースト期間 T 3 b 前の電圧に保持される。

[0103] F D ブースト期間 T 3 a の後、電圧 V F D 0 が所定値よりも低くなるタイミングで、検出回路 2 1 0 a から出力された画素信号が信号処理回路 4 3 3 にて読み取られる。また、F D ブースト期間 T 3 b の後、電圧 V F D 1 が所定値よりも低くなるタイミングで、検出回路 2 1 0 b から出力された画素信号が信号処理回路 4 3 3 にて読み取られる。その後、各検出回路で読み取った画像信号の差分を計算することによって、測距システム 4 から被写体 4 0 1、4 0 2 までの距離を測定することができる。

[0104] 以上説明した本実施形態によれば、他の実施形態と同様に、F D ブースト期間におけるコンパレータ 3 1 の非反転入力端子 (+) の電圧変動を抑制することができる。よって、電荷の転送効率を向上させつつ、フレームレートの低下を抑制することが可能となる。

[0105] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0106] 図 1 1 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0107] 車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 1 1 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユ

ニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、および統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、および車載ネットワークＩ／Ｆ（Interface）１２０５３が図示されている。

[0108] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、および、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0109] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0110] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0111] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出

力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0112] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0113] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ（Advanced Driver Assistance System）の機能実現を目的とした協調制御を行うことができる。

[0114] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0115] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０３０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向

車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0116] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声および画像のうちの少なくとも一方の出力信号を送信する。図 11 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 およびインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイおよびヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0117] 図 12 は、撮像部 12031 の設置位置の例を示す図である。

[0118] 図 12 では、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0119] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドアおよび車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 および車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0120] なお、図 12 には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112 12113 は、それぞれサイドミラーに設けられた撮像部 12102、12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部

12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0121] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよい、位相差検出用の画素を有する撮像素子であってもよい。

[0122] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0 km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0123] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回

避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0124] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 1 2 0 5 2 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 1 2 0 6 2 を制御する。また、音声画像出力部 1 2 0 5 2 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 1 2 0 6 2 を制御してもよい。

[0125] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば撮像部 1 2 0 3 1 に適用され得る。具体的には、撮像部 4 2 1 は、撮像部 1 2 0 3 1 に適用することができる。本開示に係る技術を適用することにより、より測距精度の高い撮影画像を得ることができるため、安全性を向上することが可能になる。

[0126] なお、本技術は以下のような構成を取ることができる。

(1) 光電変換素子と、

前記光電変換素子から転送された電荷を画素信号に変換するときに昇圧される信号変換部と、

前記信号変換部の昇圧期間に、前記画素信号の信号線を遮断する選択トランジスタと、

前記選択トランジスタを介して前記画素信号が入力される非反転入力端子と、ランプ信号が入力される反転入力端子と、前記画素信号と前記ランプ信

号との比較結果を出力する出力端子と、を有するコンパレータと、

前記昇圧期間における前記非反転入力端子の電位を、前記昇圧期間前の前記非反転入力端子の電位に保持する補正回路と、を有する、撮像装置。

(2) 前記補正回路は、

前記選択トランジスタと前記非反転入力端子との間に配置された第1トランジスタと、

前記第1トランジスタと一対の第2トランジスタと、

前記第1トランジスタのゲートと前記第2トランジスタのゲートとの間に配置された第1スイッチと、

前記第1トランジスタのソースと前記第2トランジスタのソースとの間に配置された第2スイッチと、

前記第2トランジスタのゲートに接続されたキャパシタと、を有し、

前記昇圧期間に、前記第1スイッチはオフ状態であるとともに前記第2スイッチはオン状態である、(1)に記載の撮像装置。

(3) 前記第1トランジスタのゲートーソース間のしきい値電圧が、前記第2トランジスタのゲートーソース間のしきい値電圧と同等である、(2)に記載の撮像装置。

(4) 前記昇圧期間の直前に、前記第1スイッチはオン状態からオフ状態に切り替わるとともに、前記第2スイッチはオフ状態からオン状態に切り替わる、(2)に記載の撮像装置。

(5) 前記昇圧期間よりも前の前記コンパレータのオートゼロ期間に、前記選択トランジスタがオン状態からオフ状態に切り替わり、前記第1スイッチがオン状態からオフ状態に切り替わり、前記第2スイッチがオフ状態からオン状態に切り替わる、(2)に記載の撮像装置。

(6) 前記第1スイッチが、Nチャネル型MOSFETである、(5)に記載の撮像装置。

(7) 前記光電変換素子、前記信号変換部、および前記選択トランジスタが第1半導体基板に配置され、前記コンパレータおよび前記補正回路が前記

第1半導体基板に積層される第2半導体基板に配置される、(1)に記載の撮像装置。

(8) 前記光電変換素子、前記信号変換部、前記選択トランジスタ、前記コンパレータ、および前記補正回路が、一つの半導体基板に配置される、(1)に記載の撮像装置。

(9) 前記信号処理回路が、前記複数の画素の列ごとに前記画素信号を処理するカラムADC (Analog to Digital Converter) である、(1)に記載の撮像装置。

(10) 前記前記複数の光電変換素子が同じタイミングで前記電荷を蓄積するグローバルシャッタ方式である、(9)に記載の撮像装置。

(11) 前記前記複数の光電変換素子が異なるタイミングで前記電荷を蓄積するローリングシャッタ方式である、(9)に記載の撮像装置。

(12) 測距光を照射する照明装置と、
前記測距光の反射光を受光する撮像装置と、を備え、
前記撮像装置が、
前記反射光を光電変換する光電変換素子と、
前記光電変換素子から転送された電荷を画素信号に変換するときに昇圧される信号変換部と、

前記信号変換部の昇圧期間に、前記画素信号の信号線を遮断する選択トランジスタと、

前記選択トランジスタを介して前記画素信号が入力される非反転入力端子と、ランプ信号が入力される反転入力端子と、前記画素信号と前記ランプ信号との比較結果を出力する出力端子と、を有するコンパレータと、

前記昇圧期間における前記非反転入力端子の電位を、前記昇圧期間前の前記非反転入力端子の電位に保持する補正回路と、を有する、測距システム。

(13) 前記補正回路は、

前記選択トランジスタと前記非反転入力端子との間に配置された第1トランジスタと、

前記第 1 トランジスタと一対の第 2 トランジスタと、

前記第 1 トランジスタのゲートと前記第 2 トランジスタのゲートとの間に配置された第 1 スイッチと、

前記第 1 トランジスタのソースと前記第 2 トランジスタのソースとの間に配置された第 2 スイッチと、

前記第 2 トランジスタのゲートに接続されたキャパシタと、を有し、

前記昇圧期間に、前記第 1 スイッチはオフ状態であるとともに前記第 2 スイッチはオン状態である、(12)に記載の測距システム。

(14) 前記第 1 トランジスタのゲートーソース間のしきい値電圧が、前記第 2 トランジスタのゲートーソース間のしきい値電圧と同等である、(13)に記載の測距システム。

(15) 前記昇圧期間の直前に、前記第 1 スイッチはオン状態からオフ状態に切り替わるとともに、前記第 2 スイッチはオフ状態からオン状態に切り替わる、(13)に記載の測距システム。

(16) 前記光電変換素子、前記信号変換部、および前記選択トランジスタが第 1 半導体基板に配置され、前記コンパレータおよび前記補正回路が前記第 1 半導体基板に積層される第 2 半導体基板に配置される、(12)に記載の測距システム。

(17) 前記光電変換素子、前記信号変換部、前記選択トランジスタ、前記コンパレータ、および前記補正回路が、一つの半導体基板に配置される、(12)に記載の測距システム。

符号の説明

- [0127] 1～3：撮像装置
4：測距システム
20：画素アレイ
21：画素
30：信号処理回路
31：コンパレータ

3 2、3 2 a : 補正回路
4 1 : 照明装置
4 2 : 撮像装置
1 1 0 : 第 1 半導体基板
1 2 0 : 第 2 半導体基板
2 1 1 : フォトダイオード
2 1 3 : F D
2 1 4 : ノード
2 1 6 : 増幅トランジスタ
2 1 7 : 選択トランジスタ
3 2 1 : 第 1 トランジスタ
3 2 2 : 第 2 トランジスタ
3 2 3 : 第 1 スイッチ
3 2 4 : 第 2 スイッチ
3 2 5 : キャパシタ
4 3 2 : 画素アレイ
4 3 3 : 信号処理回路

請求の範囲

[請求項1]

光電変換素子と、

前記光電変換素子から転送された電荷を画素信号に変換するときに昇圧される信号変換部と、

前記信号変換部の昇圧期間に、前記画素信号の信号線を遮断する選択トランジスタと、

前記選択トランジスタを介して前記画素信号が入力される非反転入力端子と、ランプ信号が入力される反転入力端子と、前記画素信号と前記ランプ信号との比較結果を出力する出力端子と、を有するコンパレータと、

前記昇圧期間における前記非反転入力端子の電位を、前記昇圧期間前の前記非反転入力端子の電位に保持する補正回路と、を備える、撮像装置。

[請求項2]

前記補正回路は、

前記選択トランジスタと前記非反転入力端子との間に配置された第1トランジスタと、

前記第1トランジスタと一対の第2トランジスタと、

前記第1トランジスタのゲートと前記第2トランジスタのゲートとの間に配置された第1スイッチと、

前記第1トランジスタのソースと前記第2トランジスタのソースとの間に配置された第2スイッチと、

前記第2トランジスタのゲートに接続されたキャパシタと、を有し、

前記昇圧期間に、前記第1スイッチはオフ状態であるとともに前記第2スイッチはオン状態である、請求項1に記載の撮像装置。

[請求項3]

前記第1トランジスタのゲートーソース間のしきい値電圧が、前記第2トランジスタのゲートーソース間のしきい値電圧と同等である、請求項2に記載の撮像装置。

- [請求項4] 前記昇圧期間の直前に、前記第1スイッチはオン状態からオフ状態に切り替わるとともに、前記第2スイッチはオフ状態からオン状態に切り替わる、請求項2に記載の撮像装置。
- [請求項5] 前記昇圧期間よりも前の前記コンパレータのオートゼロ期間に、前記選択トランジスタがオン状態からオフ状態に切り替わり、前記第1スイッチがオン状態からオフ状態に切り替わり、前記第2スイッチがオフ状態からオン状態に切り替わる、請求項2に記載の撮像装置。
- [請求項6] 前記第1スイッチが、Nチャネル型MOSFETである、請求項5に記載の撮像装置。
- [請求項7] 前記光電変換素子、前記信号変換部、および前記選択トランジスタが第1半導体基板に配置され、前記コンパレータおよび前記補正回路が前記第1半導体基板に積層される第2半導体基板に配置される、請求項1に記載の撮像装置。
- [請求項8] 前記光電変換素子、前記信号変換部、前記選択トランジスタ、前記コンパレータ、および前記補正回路が、一つの半導体基板に配置される、請求項1に記載の撮像装置。
- [請求項9] 複数の前記光電変換素子が二次元状に配置され、
前記コンパレータおよび前記補正回路が、前記光電変換素子ごとに設けられている、請求項1に記載の撮像装置。
- [請求項10] 前記前記複数の光電変換素子が同じタイミングで前記電荷を蓄積するグローバルシャッタ方式である、請求項9に記載の撮像装置。
- [請求項11] 前記前記複数の光電変換素子が異なるタイミングで前記電荷を蓄積するローリングシャッタ方式である、請求項9に記載の撮像装置。
- [請求項12] 測距光を照射する照明装置と、
前記測距光の反射光を受光する撮像装置と、を備え、
前記撮像装置が、
前記反射光を光電変換する光電変換素子と、
前記光電変換素子から転送された電荷を画素信号に変換するときに

昇圧される信号変換部と、

前記信号変換部の昇圧期間に、前記画素信号の信号線を遮断する選択トランジスタと、

前記選択トランジスタを介して前記画素信号が入力される非反転入力端子と、ランプ信号が入力される反転入力端子と、前記画素信号と前記ランプ信号との比較結果を出力する出力端子と、を有するコンパレータと、

前記昇圧期間における前記非反転入力端子の電位を、前記昇圧期間前の前記非反転入力端子の電位に保持する補正回路と、を有する、測距システム。

[請求項13]

前記補正回路は、

前記選択トランジスタと前記非反転入力端子との間に配置された第1トランジスタと、

前記第1トランジスタと一対の第2トランジスタと、

前記第1トランジスタのゲートと前記第2トランジスタのゲートとの間に配置された第1スイッチと、

前記第1トランジスタのソースと前記第2トランジスタのソースとの間に配置された第2スイッチと、

前記第2トランジスタのゲートに接続されたキャパシタと、を有し、

前記昇圧期間に、前記第1スイッチはオフ状態であるとともに前記第2スイッチはオン状態である、請求項12に記載の測距システム。

[請求項14]

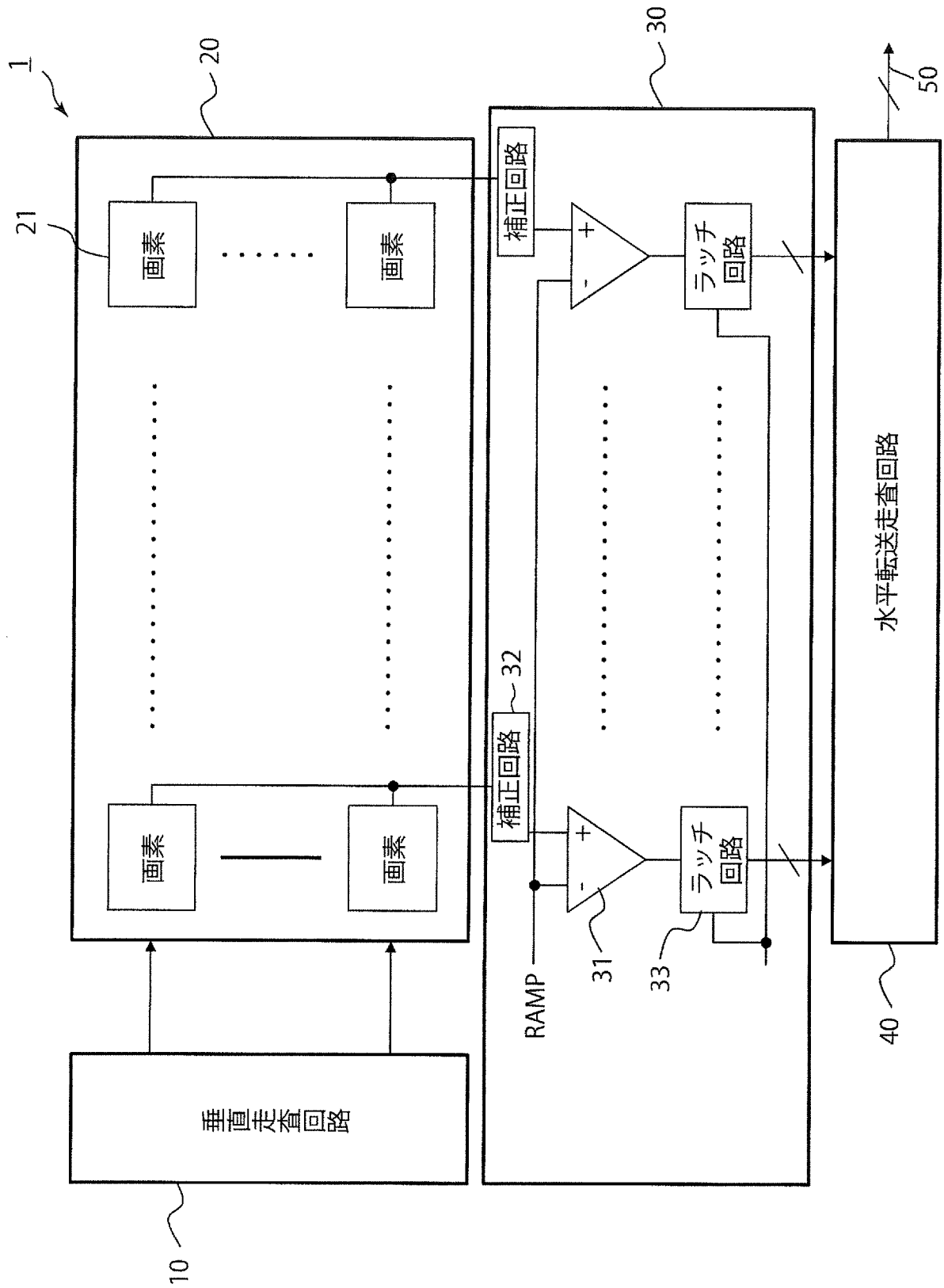
前記第1トランジスタのゲートーソース間のしきい値電圧が、前記第2トランジスタのゲートーソース間のしきい値電圧と同等である、請求項13に記載の測距システム。

[請求項15]

前記昇圧期間の直前に、前記第1スイッチはオン状態からオフ状態に切り替わるとともに、前記第2スイッチはオフ状態からオン状態に切り替わる、請求項13に記載の測距システム。

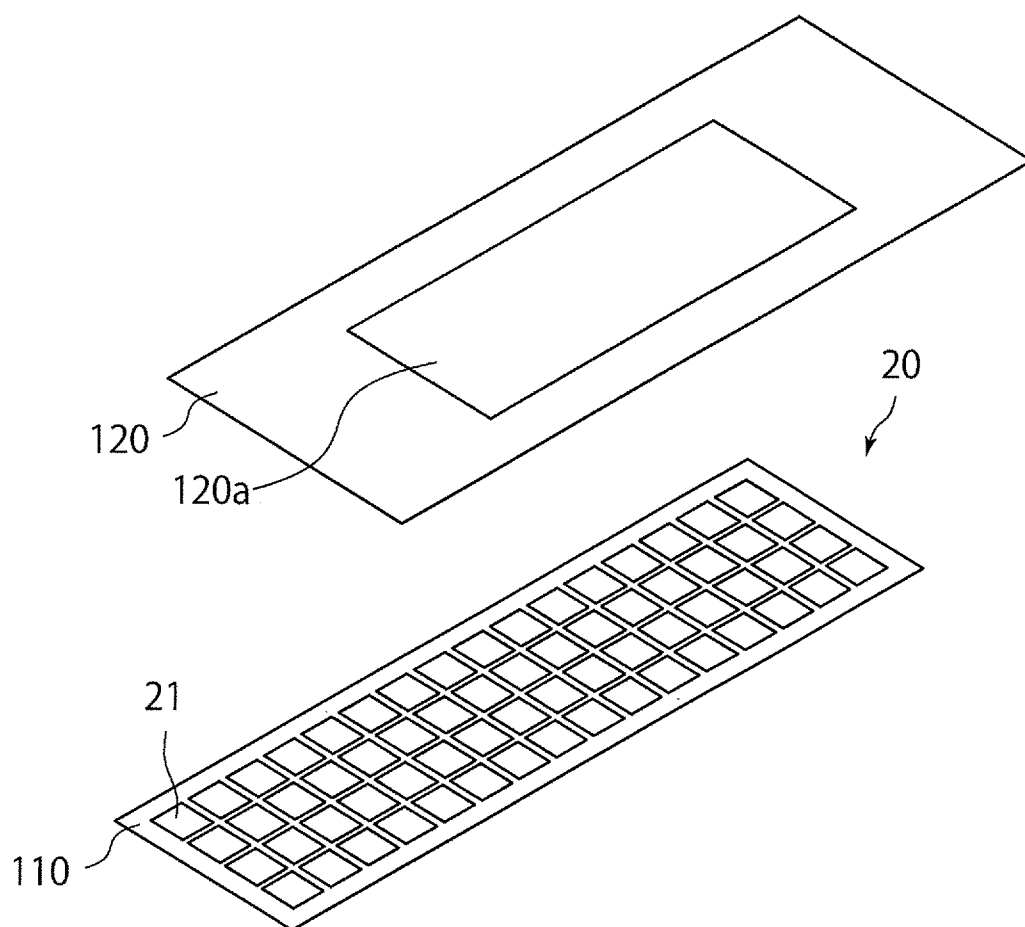
- [請求項16] 前記光電変換素子、前記信号変換部、および前記選択トランジスタが第1半導体基板に配置され、前記コンパレータおよび前記補正回路が前記第1半導体基板に積層される第2半導体基板に配置される、請求項12に記載の測距システム。
- [請求項17] 前記光電変換素子、前記信号変換部、前記選択トランジスタ、前記コンパレータ、および前記補正回路が、一つの半導体基板に配置される、請求項12に記載の測距システム。

[図1]

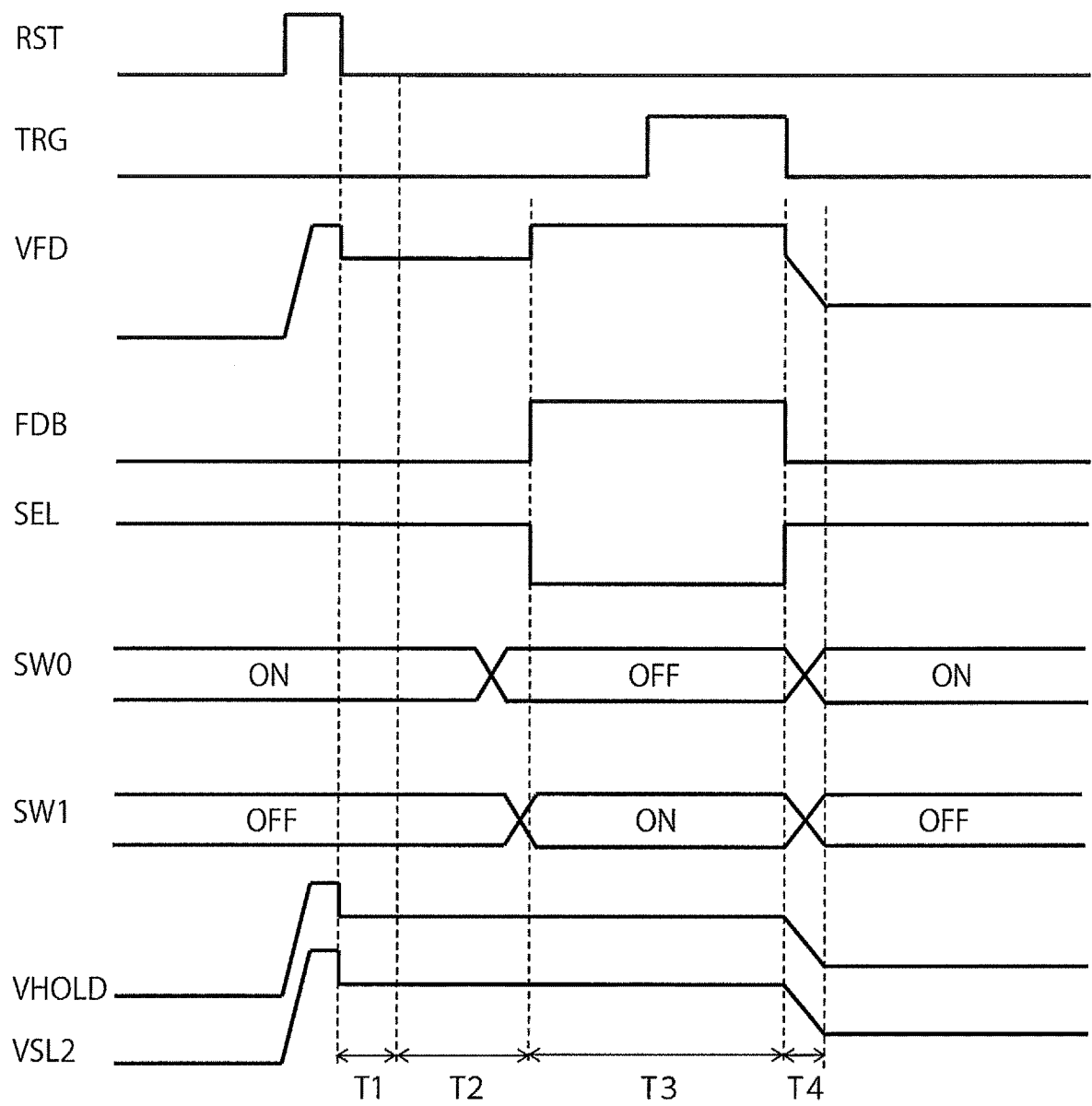


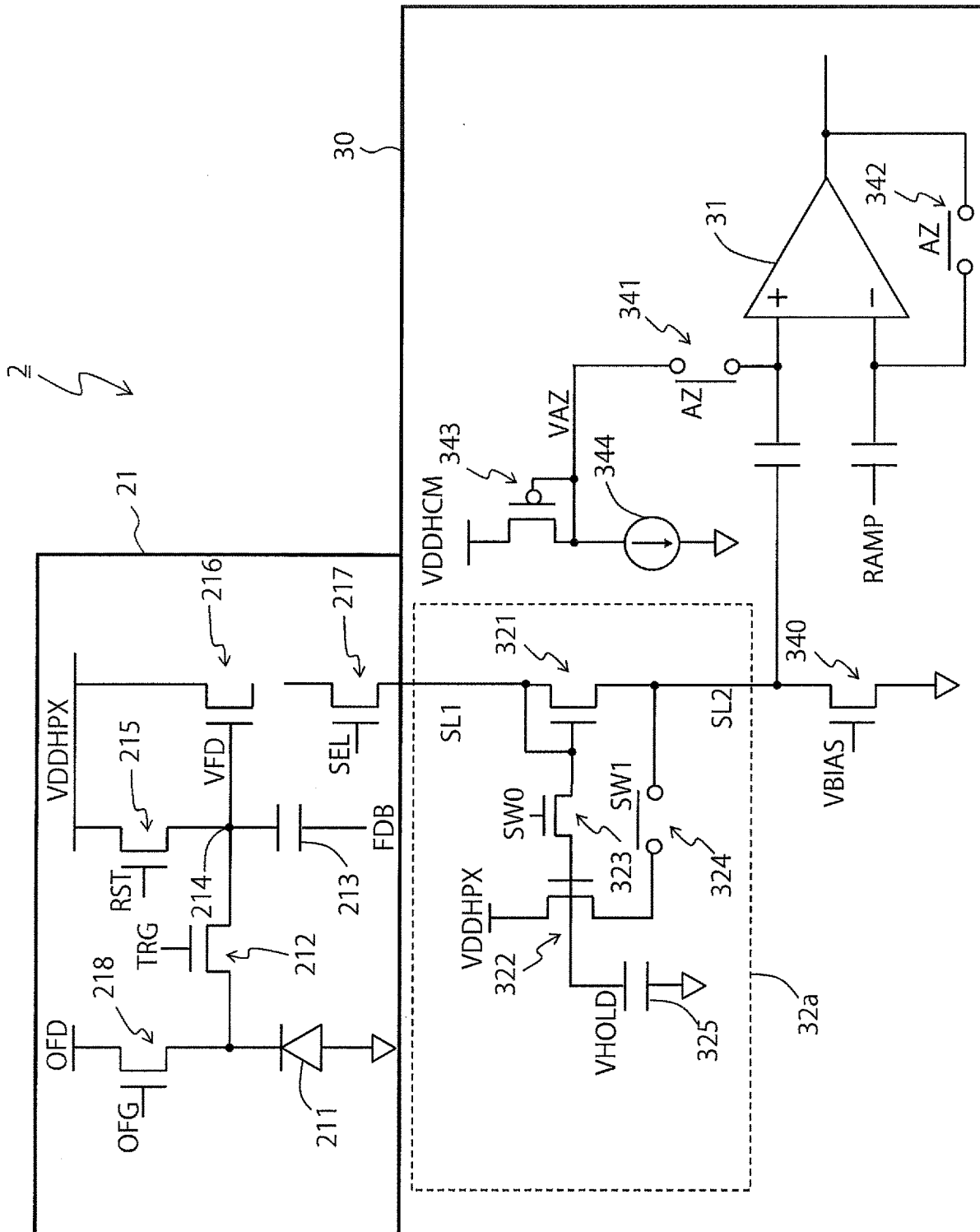
[illegible]

[図3]

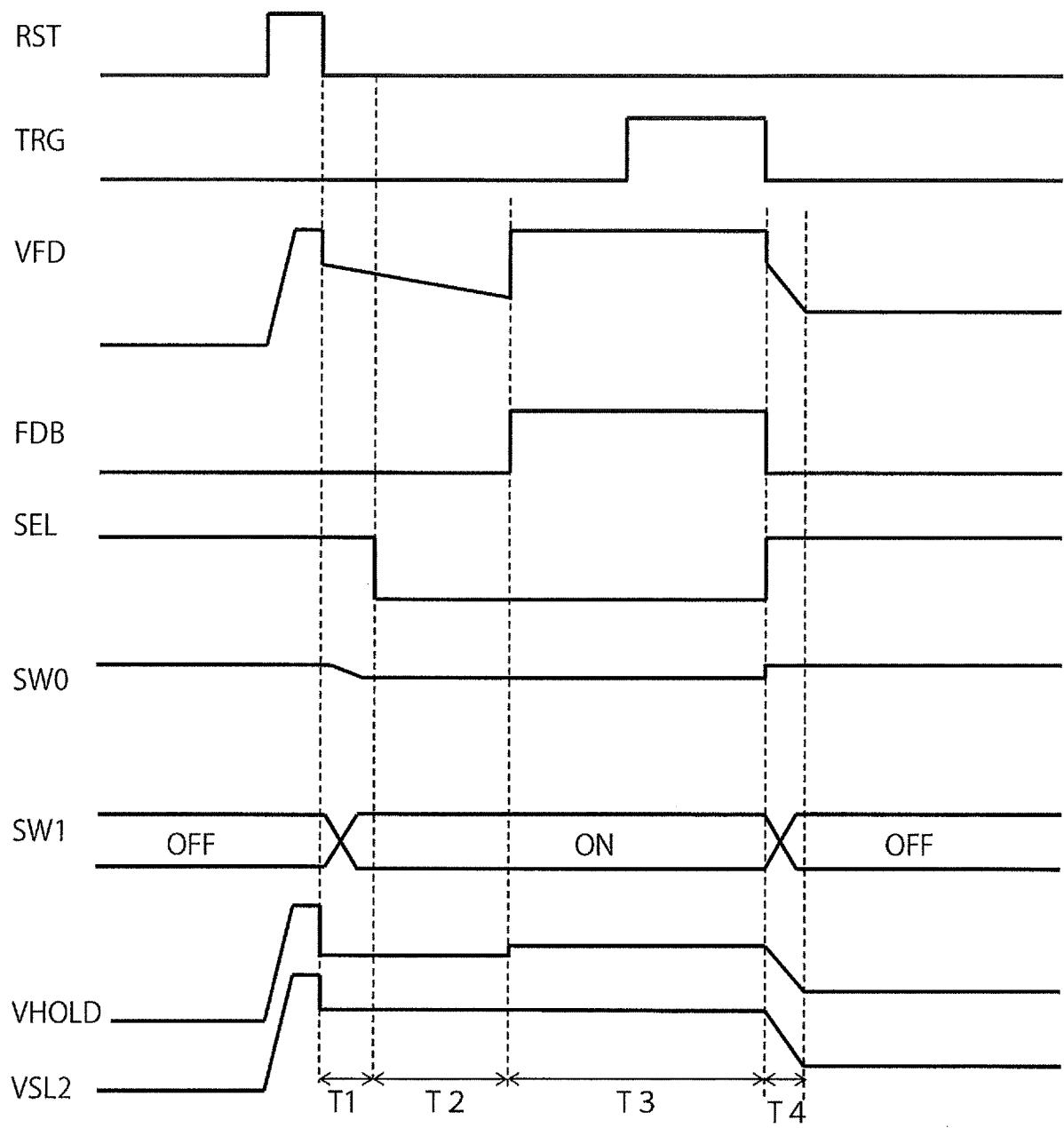


[図4]

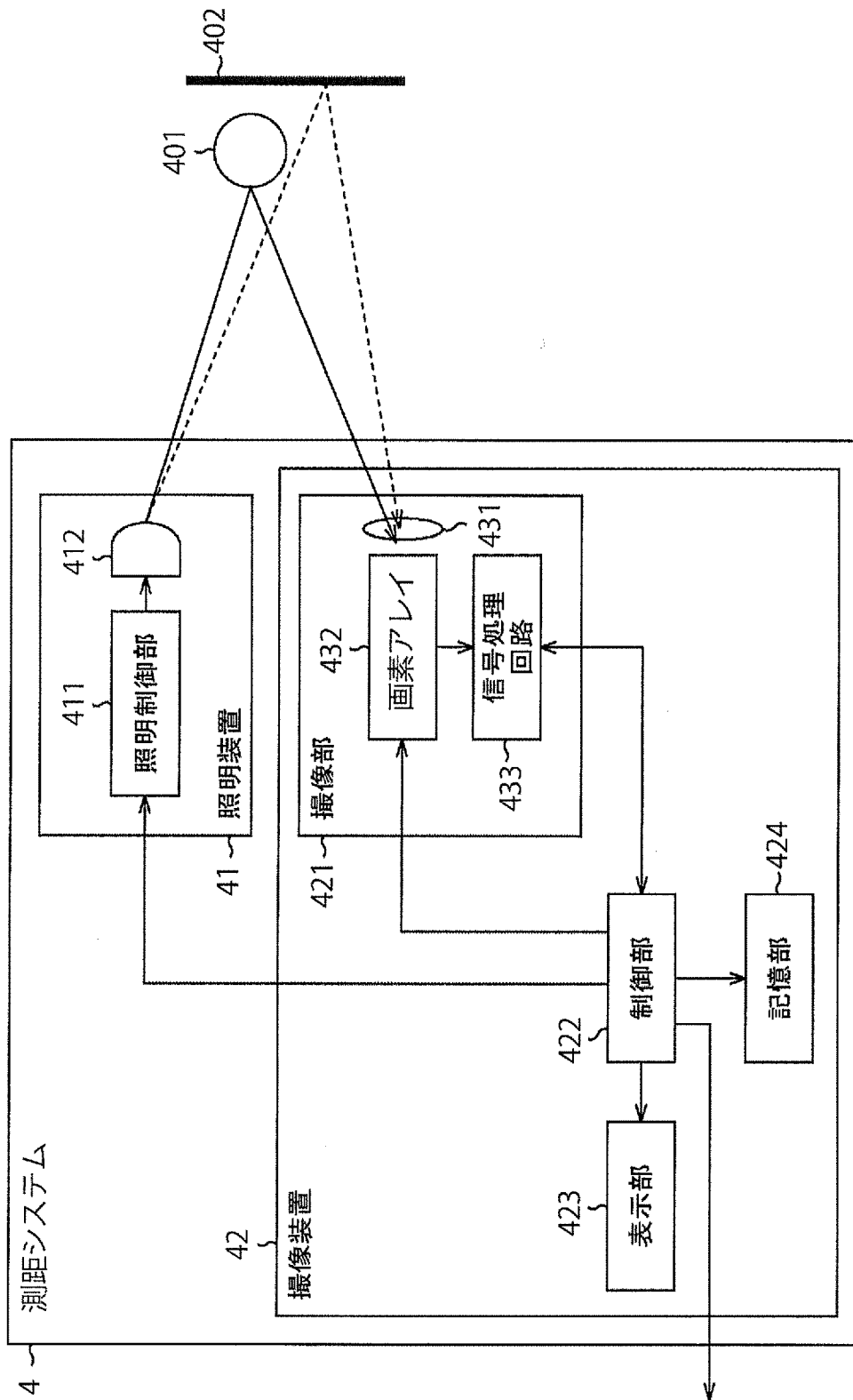


$$\mathbb{Z} \rightarrow \mathbb{Z}$$


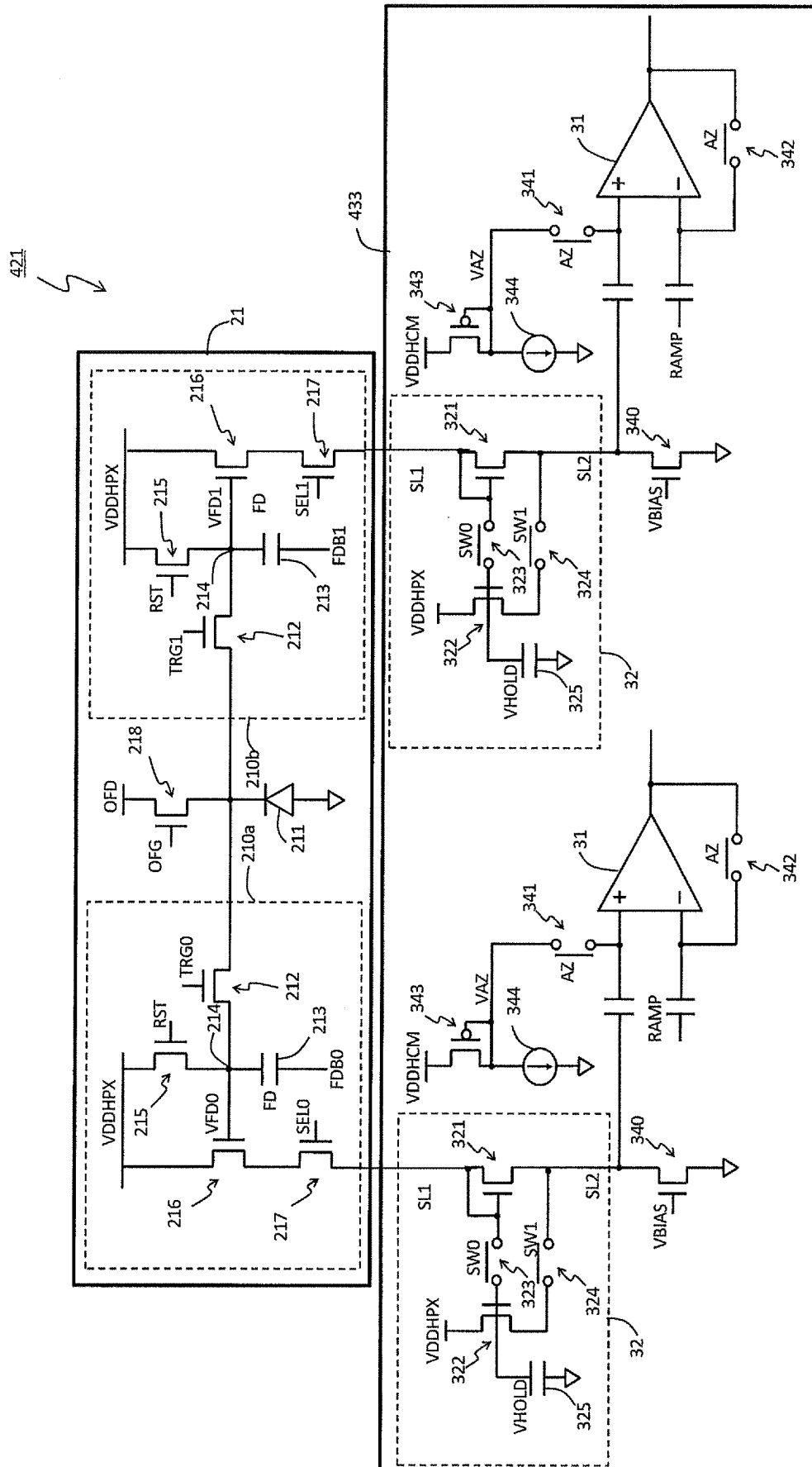
[図6]



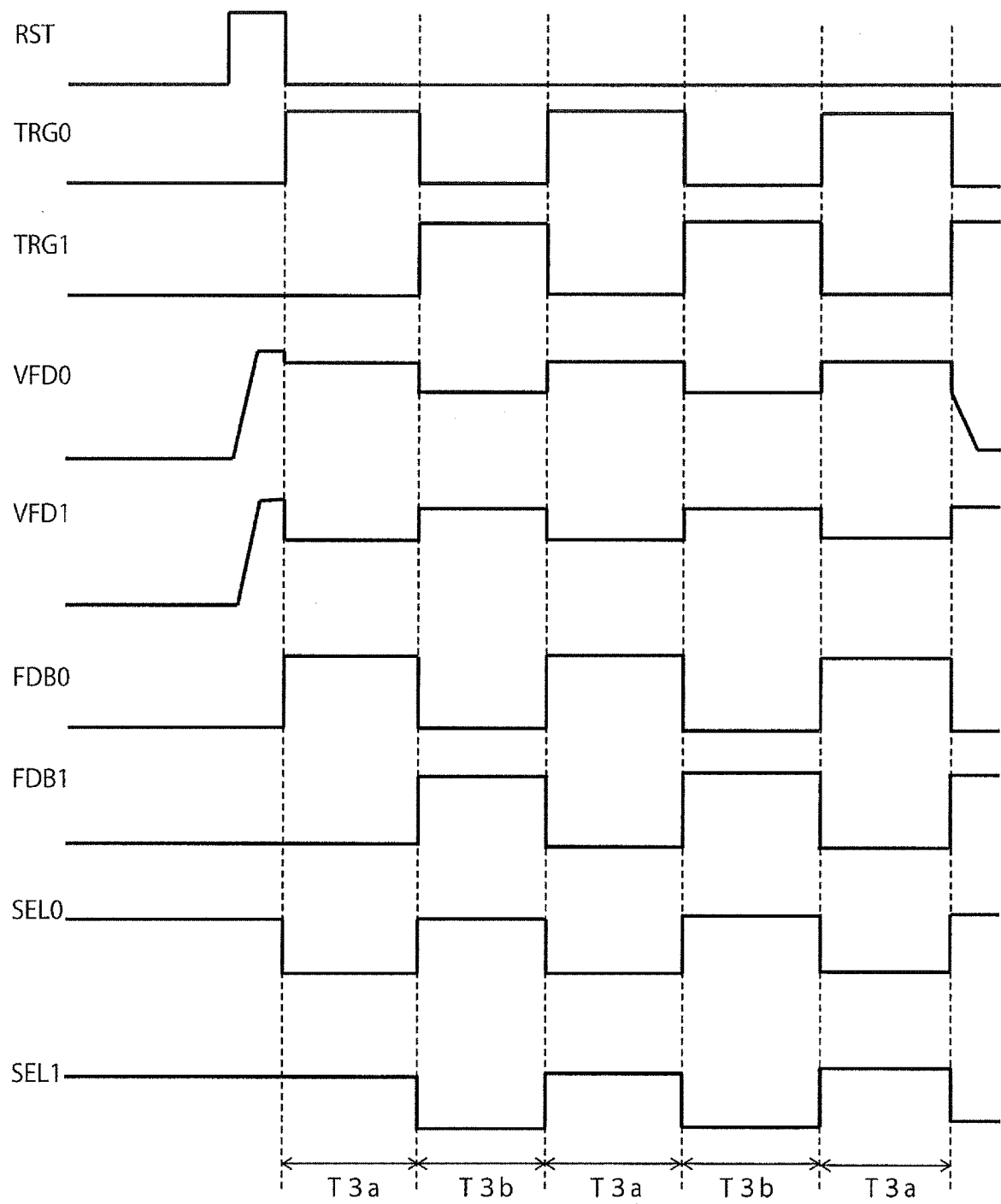
[図8]



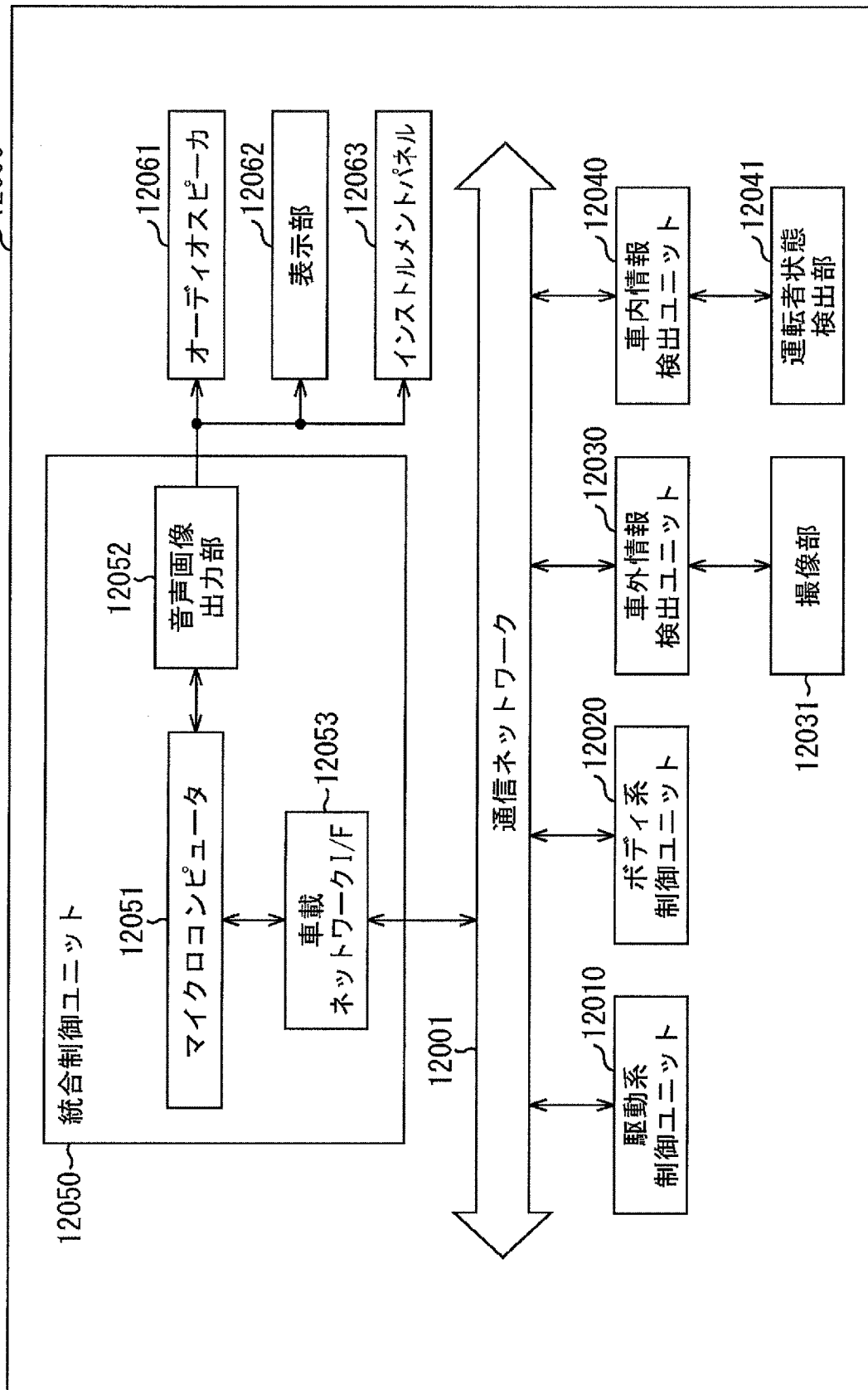
[図9]



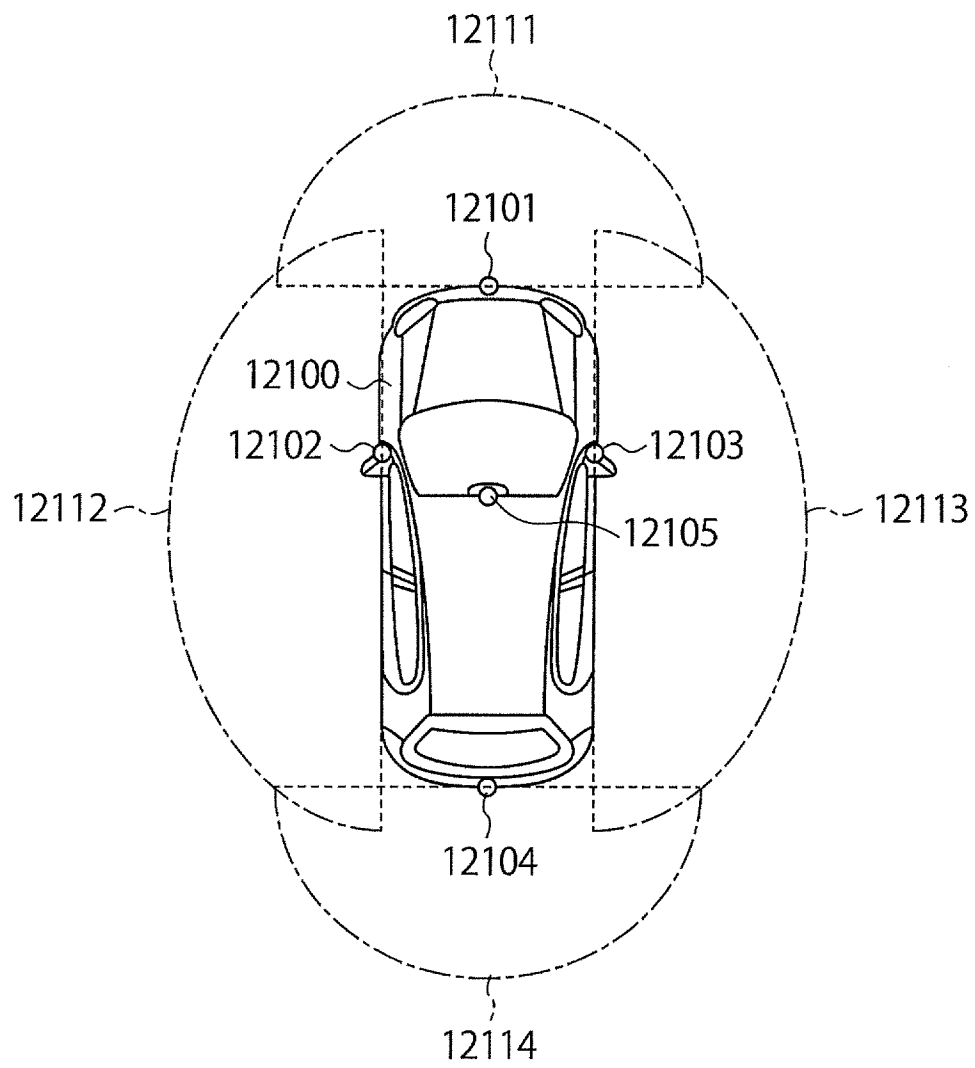
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/044739

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/378**(2011.01)i; **H03M 1/56**(2006.01)i; **H04N 5/374**(2011.01)i; **H04N 5/3745**(2011.01)i

FI: H04N5/378; H03M1/56; H04N5/374; H04N5/3745 500

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/378; H03M1/56; H04N5/374; H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-544656 A (MICRON TECHNOLOGY INC) 04 December 2008 (2008-12-04) paragraphs [0005]-[0010], fig. 4A	1-17
A	US 2019/0306445 A1 (SK HYNIX INC.) 03 October 2019 (2019-10-03) paragraph [0006]	1-17
A	JP 2005-323331 A (SONY CORP) 17 November 2005 (2005-11-17) paragraph [0058]	1-17
A	JP 2001-298662 A (INNOTECH CORP) 26 October 2001 (2001-10-26) paragraphs [0009]-[0018], fig. 2	1-17

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

08 February 2022

Date of mailing of the international search report

15 February 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/044739

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2008-544656	A	04 December 2008	US 2006/0278809 A1 entire text, all drawings EP 1900193 A entire text, all drawings KR 10-2008-0019292 A entire text, all drawings CN 101243681 A entire text, all drawings TW 200714045 A entire text, all drawings	
US	2019/0306445	A1	03 October 2019	KR 10-2019-0114328 A entire text, all drawings CN 110324543 A entire text, all drawings	
JP	2005-323331	A	17 November 2005	US 2005/0206548 A1 entire text, all drawings EP 1566891 A2 entire text, all drawings KR 10-2006-0043127 A entire text, all drawings CN 1681211 A entire text, all drawings	
JP	2001-298662	A	26 October 2001	US 6423958 B1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/378(2011.01)i; H03M 1/56(2006.01)i; H04N 5/374(2011.01)i; H04N 5/3745(2011.01)i FI: H04N5/378; H03M1/56; H04N5/374; H04N5/3745 500														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N5/378; H03M1/56; H04N5/374; H04N5/3745 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2022年													
日本国実用新案登録公報	1996-2022年													
日本国登録実用新案公報	1994-2022年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2008-544656 A（マイクロン テクノロジー， インク．）04.12.2008（2008-12-04） 段落[0005]-[0010]，図4A	1-17												
A	US 2019/0306445 A1（SK hynix Inc.）03.10.2019（2019-10-03） 段落[0006]	1-17												
A	JP 2005-323331 A（ソニー株式会社）17.11.2005（2005-11-17） 段落[0058]	1-17												
A	JP 2001-298662 A（イノテック株式会社）26.10.2001（2001-10-26） 段落[0009]-[0018]，図2	1-17												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 08.02.2022		国際調査報告の発送日 15.02.2022												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 鈴木 明 5V 2590 電話番号 03-3581-1101 内線 3541												

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/044739

引用文献			公表日	パテントファミリー文献			公表日
JP	2008-544656	A	04.12.2008	US	2006/0278809	A1	
				全文, 全図			
				EP	1900193	A	
				全文, 全図			
				KR	10-2008-0019292	A	
				全文, 全図			
				CN	101243681	A	
				全文, 全図			
				TW	200714045	A	
				全文, 全図			
US	2019/0306445	A1	03.10.2019	KR	10-2019-0114328	A	
				全文, 全図			
				CN	110324543	A	
				全文, 全図			
JP	2005-323331	A	17.11.2005	US	2005/0206548	A1	
				全文, 全図			
				EP	1566891	A2	
				全文, 全図			
				KR	10-2006-0043127	A	
				全文, 全図			
				CN	1681211	A	
				全文, 全図			
JP	2001-298662	A	26.10.2001	US	6423958	B1	
				全文, 全図			