

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4640425号
(P4640425)

(45) 発行日 平成23年3月2日(2011.3.2)

(24) 登録日 平成22年12月10日(2010.12.10)

(51) Int. Cl. F I
 HO2M 7/48 (2007.01) HO2M 7/48 Z
 HO2M 1/00 (2007.01) HO2M 1/00 R

請求項の数 2 (全 15 頁)

(21) 出願番号	特願2008-54051 (P2008-54051)	(73) 特許権者	000003218
(22) 出願日	平成20年3月4日(2008.3.4)		株式会社豊田自動織機
(65) 公開番号	特開2009-213272 (P2009-213272A)		愛知県刈谷市豊田町2丁目1番地
(43) 公開日	平成21年9月17日(2009.9.17)	(74) 代理人	100068755
審査請求日	平成22年2月24日(2010.2.24)		弁理士 恩田 博宣
		(74) 代理人	100105957
			弁理士 恩田 誠
		(72) 発明者	大西 宏幸
			愛知県刈谷市豊田町2丁目1番地 株式会 社 豊田自動織機 内
		(72) 発明者	長瀬 俊昭
			愛知県刈谷市豊田町2丁目1番地 株式会 社 豊田自動織機 内

最終頁に続く

(54) 【発明の名称】 電力変換装置

(57) 【特許請求の範囲】

【請求項1】

スイッチング素子が実装された基板と、
 平板状の本体部が前記基板の上方において前記基板と平行に、かつ相互に電氣的に絶縁された状態で近接して重なるように配置された正極用配線部材及び負極用配線部材と、
 正極端子が前記正極用配線部材の本体部に接続され、負極端子が前記負極用配線部材の本体部に接続されたコンデンサと、
 を備え、

前記正極用配線部材及び負極用配線部材は、前記本体部の幅方向の両端部から前記基板に向かって延びる基板側延設部が平板状に形成され、かつ、前記基板側延設部が平行状態で互いに近接した状態とされ、かつ、前記基板側延設部から延びる端子部にて前記基板に接合されるとともに当該近接した状態の各基板側延設部には切り欠き部が両基板側延設部間で互に対向するように設けられ、当該切り欠き部が基板側延設部の下端から少なくとも基板側延設部の上端まで延設され、

前記基板と平行に配置した前記正極用配線部材の本体部及び負極用配線部材の本体部のうちの前記基板と対向しない一方の本体部上にコンデンサが搭載されていることを特徴とする電力変換装置。

【請求項2】

前記端子部は複数設けられ、当該複数の端子部が前記基板に接合され、前記正極用配線部材及び負極用配線部材の基板側延設部における端子部の間に前記切り欠き部が形成され

ていることを特徴とする請求項 1 に記載の電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力変換装置に関する。

【背景技術】

【0002】

スイッチング素子とコンデンサを備えた電力変換装置において、特許文献 1 には、配線に寄生するインダクタンスを小さくする構造が開示されている。詳しくは、図 11 (a) , (b) に示すように、ベース 100 の上面に 6 枚の絶縁基板 101 が設けられ、各絶縁基板 101 にはコレクタパターン 102 とエミッタパターン 103 が形成され、コレクタパターン 102 にはスイッチングチップ 104 とダイオードチップ 105 が搭載され、スイッチングチップ 104 及びダイオードチップ 105 とエミッタパターン 103 との間をボンディングワイヤ 106 で接続している。P 側導体 107 は、平板状の主導体 107 a から下方に突設する接続導体 107 b により絶縁基板 101 に接続されている。同様に、N 側導体 108 は、平板状の主導体 108 a から下方に突設する接続導体 108 b により絶縁基板 101 に接続されている。主導体 107 a , 108 a は絶縁され積層状に設けられている。また、主導体 107 a , 108 a の端部において帯状の副導体 107 c , 108 c が絶縁され積層状に設けられ、副導体 107 c , 108 c の端部が外部接続端子 P 10 , N 10 となっている。

10

20

【特許文献 1】特開 2005 - 347561 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

ところが、P 側導体 107 及び N 側導体 108 について、絶縁基板 101 との接続部を、平板状の主導体 107 a , 108 a から折り曲げて平板状に構成した場合には、ベース 100 が熱により伸縮することで P 側導体 107 及び N 側導体 108 と絶縁基板 101 との接合部に応力が加わると、接合部の強度低下を招き信頼性が低下してしまう。詳しくは、熱サイクルが加わった際においてベース 100 と絶縁基板 101 の熱膨張係数の差により接合部に応力が加わったり P 側導体 107 及び N 側導体 108 と絶縁基板 101 との接合時に前記熱膨張係数の差により接合部に応力が加わり、接合部の強度低下を招く。

30

【0004】

本発明はこのような背景の下になされたものであって、その目的は、基板が熱により伸縮することで正極用配線部材及び負極用配線部材と基板との接合部に加わる応力を低減することができる電力変換装置を提供することにある。

【課題を解決するための手段】

【0005】

請求項 1 に記載の発明では、スイッチング素子が実装された基板と、平板状の本体部が前記基板の上方において前記基板と平行に、かつ相互に電氣的に絶縁された状態で近接して重なるように配置された正極用配線部材及び負極用配線部材と、正極端子が前記正極用配線部材の本体部に接続され、負極端子が前記負極用配線部材の本体部に接続されたコンデンサと、を備え、前記正極用配線部材及び負極用配線部材は、前記本体部の幅方向の両端部から前記基板に向かって延びる基板側延設部が平板状に形成され、かつ、前記基板側延設部が平行状態で互いに近接した状態とされ、かつ、前記基板側延設部から延びる端子部にて前記基板に接合されるとともに当該近接した状態の各基板側延設部には切り欠き部が両基板側延設部間で互いに対向するように設けられ、当該切り欠き部が基板側延設部の下端から少なくとも基板側延設部の上端まで延設され、前記基板と平行に配置した前記正極用配線部材の本体部及び負極用配線部材の本体部のうちの前記基板と対向しない一方の本体部上にコンデンサが搭載されていることを要旨とする。

40

【0006】

50

請求項 1 に記載の発明によれば、基板が熱により伸縮することで正極用配線部材及び負極用配線部材と基板との接合部に応力が加わるが、基板側延設部の下端から少なくとも基板側延設部の上端まで延設された切り欠き部の存在により接合部に加わる応力が低減される。また、基板と平行に配置した正極用配線部材の本体部及び負極用配線部材の本体部のうちの基板と対向しない一方の本体部上にコンデンサが搭載されているため、コンデンサをスイッチング素子を含めた基板側部品に一体化することができる。

【 0 0 0 7 】

請求項 2 に記載の発明では、請求項 1 に記載の電力変換装置において、前記端子部は複数設けられ、当該複数の端子部が前記基板に接合され、前記正極用配線部材及び負極用配線部材の基板側延設部における端子部の間に前記切り欠き部が形成されている。これにより、基板が熱により伸縮することで、正極用配線部材及び負極用配線部材の基板側延設部における端子部の間に応力が加わるが、端子部間（接合部間）に設けた切り欠き部によって、より効率的に応力緩和が図られる。

10

【発明の効果】

【 0 0 0 9 】

本発明によれば、基板が熱により伸縮することで正極用配線部材及び負極用配線部材と基板との接合部に加わる応力を低減することができる電力変換装置を提供することができる。

【発明を実施するための最良の形態】

【 0 0 1 0 】

20

以下、本発明を 3 相用のインバータ装置に具体化した一実施形態を図 1 ～ 図 9 にしたがって説明する。

先ずインバータ装置の回路構成を説明する。図 1 (a) に示すように、インバータ装置 1 1 は、6 個のスイッチング素子 Q 1 ～ Q 6 を有するインバータ回路 1 2 を備えている。各スイッチング素子 Q 1 ～ Q 6 には、M O S F E T (metal oxide semiconductor 電界効果トランジスタ) が使用されている。インバータ回路 1 2 は、第 1 及び第 2 のスイッチング素子 Q 1 , Q 2 、第 3 及び第 4 のスイッチング素子 Q 3 , Q 4 、第 5 及び第 6 のスイッチング素子 Q 5 , Q 6 がそれぞれ直列に接続されている。各スイッチング素子 Q 1 ～ Q 6 のドレインとソース間には、ダイオード D 1 ～ D 6 が、逆並列に接続されている。第 1 、第 3 及び第 5 のスイッチング素子 Q 1 , Q 3 , Q 5 及び各第 1 、第 3 及び第 5 のスイッチング素子 Q 1 , Q 3 , Q 5 に接続されたダイオード D 1 , D 3 , D 5 の組はそれぞれ上アームと呼ばれる。また、第 2 、第 4 及び第 6 のスイッチング素子 Q 2 , Q 4 , Q 6 及び第 2 、第 4 及び第 6 のスイッチング素子 Q 2 , Q 4 , Q 6 に接続されたダイオード D 2 , D 4 , D 6 の組はそれぞれ下アームと呼ばれる。

30

【 0 0 1 1 】

第 1 、第 3 及び第 5 のスイッチング素子 Q 1 , Q 3 , Q 5 のドレインが、配線 1 3 を介して電源入力用のプラス入力端子 1 4 に接続され、第 2 、第 4 及び第 6 のスイッチング素子 Q 2 , Q 4 , Q 6 のソースが、配線 1 5 を介して電源入力用のマイナス入力端子 1 6 に接続されている。配線 1 3 及び配線 1 5 間にはコンデンサ 1 7 が複数並列に接続されている。この実施形態ではコンデンサ 1 7 として電解コンデンサが使用され、コンデンサ 1 7 の正極（プラス）端子が配線 1 3 に接続され、コンデンサ 1 7 の負極（マイナス）端子が配線 1 5 に接続されている。

40

【 0 0 1 2 】

スイッチング素子 Q 1 , Q 2 の間の接合点は U 相端子 U に、スイッチング素子 Q 3 , Q 4 の間の接合点は V 相端子 V に、スイッチング素子 Q 5 , Q 6 の間の接合点は W 相端子 W に、それぞれ接続されている。各スイッチング素子 Q 1 ～ Q 6 のゲートは駆動信号入力端子 G 1 ～ G 6 に接続されている。各スイッチング素子 Q 1 ～ Q 6 のソースは信号端子 S 1 ～ S 6 に接続されている。

【 0 0 1 3 】

図 1 (a) では各上アーム及び各下アームがそれぞれ、1 個のスイッチング素子及び 1

50

個のダイオードで構成されているが、各アームを流れる電流量が大きな場合は、各アームを図1(b)に示すようにスイッチング素子QとダイオードDの組が複数並列に接続された構成としても差し支えない。この実施形態では各アームはそれぞれ4組のスイッチング素子Q及びダイオードDで構成されている。

【0014】

次にインバータ装置11の構造を説明する。

図2は、インバータ装置のカバーを省略した模式斜視図であり、図3は同じく平面図である。図4について(a)は図3のA-A線断面図であり、(b)は(a)の一部省略部分拡大図である。図5は基板上の結線状態を示す部分平面図である。図6について、(a)は図3のB-B線断面図であり、(b)は(a)の部分拡大図である。図7について、(a)はチップ部品が実装されたセラミック基板21の模式斜視図であり、(b)はセラミック基板21が実装された金属ベース20の模式斜視図である。図8について、(a)は金属ベース20に支持枠30が取り付けられた状態の模式斜視図であり、(b)は出力電極部材32U, 32V, 32Wを取り付けた状態の模式斜視図である。

10

【0015】

図2及び図3に示すように、インバータ装置11は、銅製の金属ベース20と、絶縁基板としてのセラミック基板21とで構成された基板22上に半導体チップ23が実装されている。半導体チップ23は、1個のスイッチング素子(MOSFET)及び1個のダイオードが一つのデバイスとして組み込まれている。即ち、半導体チップ23は、図1(b)に示される一つのスイッチング素子Q及び一つのダイオードDを備えたデバイスとなる。

20

【0016】

セラミック基板21は、図5に示すように、表面に回路パターン24a, 24b, 24c, 24dを有し、図4(b)に示すように、裏面にセラミック基板21と金属ベース20とを接合する接合層として機能する金属板25を有するセラミック板26で構成されている。セラミック板26は、例えば、窒化アルミニウム、アルミナ、窒化ケイ素等により形成され、回路パターン24a, 24b, 24c, 24d及び金属板25は、例えば、アルミニウムや銅等で形成されている。セラミック基板21は、金属板25を介して半田(図示せず)で金属ベース20に接合されている。以下、この明細書では、金属ベース20をインバータ装置11の底部(下部)として説明する。

30

【0017】

図5に示すように回路パターン24aはゲート信号用の回路パターン、回路パターン24bはドレイン用の回路パターン、回路パターン24cはソース用の回路パターン、回路パターン24dはソース信号用の回路パターンである。各回路パターン24a, 24b, 24c, 24dは帯状に形成されている。ドレイン用の回路パターン24bと、ソース用の回路パターン24cとは、隣接して平行に延びるように形成され、ゲート信号用の回路パターン24a及びソース信号用の回路パターン24dは、回路パターン24cと反対側において回路パターン24bと平行に延びるように形成されている。半導体チップ23は、ドレイン用の回路パターン24b上に半田で接合されている。半導体チップ23は、ゲートとゲート信号用の回路パターン24aとの間、ソースとソース用の回路パターン24cとの間及びソースとソース信号用の回路パターン24dとの間をワイヤボンディングにより電氣的に接続されている。

40

【0018】

図7(b)に示すように、金属ベース20はほぼ矩形状に形成され、セラミック基板21も矩形状に形成されている。セラミック基板21は12個設けられ、長手方向が金属ベース20の長手方向と直交する状態で各列6個となるように2列、6行に配置されている。そして、各行の2個のセラミック基板21上に配置された半導体チップ23がインバータ回路12の各アームを構成する。この実施形態では、半導体チップ23は、各セラミック基板21上に2個ずつ実装されており、4個の半導体チップ23がそれぞれ1つのアームを構成する。図5に示すように半導体チップ23は回路パターン24bの長手方向中央

50

部にスペースが存在し、スペースの両側に半導体チップ 23 が 1 個ずつ位置するように配置されている。

【0019】

図 3, 4 に示すように、基板 22 の上には板状の正極用配線部材 27 及び負極用配線部材 28 が配置されている。この実施形態では、正極用配線部材 27 の上方に負極用配線部材 28 が配置されている。正極用配線部材 27 は図 1 (a) における配線 13 を、負極用配線部材 28 は図 1 (a) における配線 15 をそれぞれ構成する。

【0020】

図 4 において正極用配線部材 27 及び負極用配線部材 28 について、長方形の平板状をなす本体部 27a, 28a は、基板 22 の上方において基板 22 と平行に、かつ相互に絶縁された状態で近接して重なるように配置されている。基板側延設部としての垂下部 27b, 28b が、本体部 27a, 28a の幅方向の端部両側から屈曲し基板 22 側に向かって延びている。垂下部 27b, 28b は、図 4 (b) 等 に示すように本体部 27a, 28a の幅方向の中心線に対して線対称に設けられている。垂下部 27b, 28b は、互いに重なる状態で配置されている。このように正極用配線部材 27 及び負極用配線部材 28 は、本体部 27a, 28a から基板 22 に向かって延びる基板側延設部としての垂下部 27b, 28b が平板状に形成され、かつ、垂下部 27b, 28b は、基板 22 (セラミック基板 21) との接合部の直近まで平行状態で互いに近接した状態に保持されている。

【0021】

垂下部 27b, 28b の下端から端子部 27c, 28c が下方に延び、さらに、その下端から本体部 27a, 28a と平行に延びるように屈曲形成されている (図 2 参照)。端子部 27c, 28c は複数 (この実施形態では 3 対 6 個) 設けられている。端子部 27c の先端において接合部 27c1 が、上アームを構成するセラミック基板 21 上のドレイン用の回路パターン 24b の中央部に超音波接合されている。一方、端子部 28c の先端において接合部 28c1 が、下アームを構成するセラミック基板 21 上のソース用の回路パターン 24c の中央部に超音波接合されている。そして、各接合部 27c1, 28c1 は、図 3 に示すように配線部材 27, 28 の同じ側に配置された各端子部 27c, 28c の超音波接合箇所が一直線上に位置するように設けられて、各回路パターン 24b, 24c に超音波接合されている。

【0022】

図 6 において垂下部 27b, 28b には切り欠き部 27d, 28d が複数、それぞれ対向するように設けられている。この切り欠き部 27d, 28d は垂下部 27b, 28b の下端から垂下部 27b, 28b の上端まで延設されている。また、正極用配線部材 27 及び負極用配線部材 28 での 1 つの垂下部 27b, 28b につき 3 つの端子部 27c, 28c が基板 22 に接合されており、切り欠き部 27d, 28d は正極用配線部材 27 及び負極用配線部材 28 の垂下部 27b, 28b における端子部 27c, 28c の間に形成されている。この切り欠き部 27d, 28d の幅はゲルの通過に支障のない大きさに形成されている。

【0023】

一方、正極用配線部材 27 の本体部 27a と負極用配線部材 28 の本体部 28a との間には、両者の電氣的絶縁性を確保するための絶縁シート 29 (図 4 (b) に図示) が配置されている。絶縁シート 29 として樹脂シートを挙げることができる。また、正極用配線部材 27 の本体部 27a、負極用配線部材 28 の本体部 28a 及び絶縁シート 29 にはコンデンサ 17 の正極端子 17a 及び負極端子 17b を挿通可能な長孔が形成されている。

【0024】

図 2, 3 に示すように、金属ベース 20 には、その周縁に沿うように電氣的絶縁性の支持枠 30 が、全てのセラミック基板 21 を枠内に収容する状態に固定されている。正極用配線部材 27 の本体部 27a の長手方向の一端部には、外部電源入力用のプラス入力端子 14 が形成されている。プラス入力端子 14 は、一部が支持枠 30 の外側に位置するように配置されている。負極用配線部材 28 の本体部 28a には、その長手方向の正極用配線

10

20

30

40

50

部材 27 のプラス入力端子 14 が形成された側と反対側の端部に、外部電源入力用のマイナス入力端子 16 が形成されている。マイナス入力端子 16 も、一部が支持枠 30 の外側に位置するように配置されている。

【 0025 】

図 4 に示すように、負極用配線部材 28 の本体部 28a 上、即ち正極用配線部材 27 の本体部 27a 及び負極用配線部材 28 の本体部 28a うちの基板 22 と対向しない一方の配線部材の本体部上に、複数（この実施形態では 4 個）のコンデンサ 17 が正極端子 17a 及び負極端子 17b が下向きになる状態で電気的な絶縁部材（図示せず）を介して配置されている。各コンデンサ 17 は、正極端子 17a 及び負極端子 17b がコンデンサ本体の一方の側に設けられ、正極端子 17a が正極用配線部材 27 の本体部 27a に接続され、負極端子 17b が負極用配線部材 28 の本体部 28a に接続されている。

10

【 0026 】

図 2 及び図 3 等に示すように、インバータ装置 11 の 3 つの出力電極部材 32U, 32V, 32W は、側面ほぼ L 字状に形成されるとともに、上方に向かって伸びる部分が支持枠 30 の近くに位置し、横方向に伸びる部分が正極用配線部材 27 の本体部 27a の下方においてその長手方向と直交する状態で配置されている。正極用配線部材 27 と出力電極部材 32U, 32V, 32W とは、シリコーンゲル 36（図 4（a）に図示）で絶縁が確保されている。また、ゲル 36 を用いて正極用配線部材 27 の垂下部 27b と負極用配線部材 28 の垂下部 28b との絶縁が確保されている。出力電極部材 32U は、第 1 のスイッチング素子 Q1 及びダイオード D1 で構成される上アームのソース用の回路パターン 24c と、第 2 のスイッチング素子 Q2 及びダイオード D2 で構成される下アームのドレイン用の回路パターン 24b とに超音波接合されている。出力電極部材 32V は、第 3 のスイッチング素子 Q3 及びダイオード D3 で構成される上アームのソース用の回路パターン 24c と、第 4 のスイッチング素子 Q4 及びダイオード D4 で構成される下アームのドレイン用の回路パターン 24b とに超音波接合されている。出力電極部材 32W は、第 5 のスイッチング素子 Q5 及びダイオード D5 で構成される上アームのソース用の回路パターン 24c と、第 6 のスイッチング素子 Q6 及びダイオード D6 で構成される下アームのドレイン用の回路パターン 24b とに超音波接合されている。

20

【 0027 】

図 3 等に示すように、各出力電極部材 32U, 32V, 32W は、セラミック基板 21 とほぼ同じ幅の銅板をプレス加工することで形成されている。図 5 に示すように、各出力電極部材 32U, 32V, 32W には、上アームを構成する 2 個のセラミック基板 21 の回路パターン 24b のほぼ中央部と、下アームを構成する 2 個のセラミック基板 21 の回路パターン 24c のほぼ中央部にそれぞれ接合される合計 4 個の接合部 35 がそれぞれ設けられている。図 8（b）に示すように各出力電極部材 32U, 32V, 32W は、ほぼ L 字状に屈曲され、かつ 2 個の接合部 35 が水平に伸びる部分の先端両側で、2 個の接合部 35 が屈曲部寄りそれぞれ下側に突出するように形成されている。各出力電極部材 32U, 32V, 32W は、各 2 個の接合部 35 の間に負極用配線部材 28 の端子部 28c を配置可能な空間 50 が設けられている。そして、各 2 個の接合部 35 は、図 3 に示すように、正極用配線部材 27 及び負極用配線部材 28 の接合部 27c1, 28c1 と一直線上に位置するように回路パターン 24b, 24c 上に接合されている。

30

40

【 0028 】

図 3, 5 に示すように、各アームに対応するそれぞれ 2 個のセラミック基板 21 のうち、出力電極部材 32U, 32V, 32W の先端側と対応するセラミック基板 21 のゲート信号用の回路パターン 24a には、駆動信号入力端子 G1 ~ G6 の第 1 端部が、ソース信号用の回路パターン 24d には信号端子 S1 ~ S6 の第 1 端部が、それぞれ接合されている。各端子 G1 ~ G6, S1 ~ S6 は、図 3 に示すように、第 2 端部が支持枠 30 から突出するように、支持枠 30 を貫通する状態で支持枠 30 に一体成形されている。なお、図 5 において各アームを構成する 2 個のセラミック基板 21 上に形成された、回路パターン 24a 同士及び回路パターン 24d 同士はそれぞれワイヤボンディングで電氣的に接続さ

50

れている。

【0029】

図4(a)に示すように、支持枠30内には半導体チップ23の絶縁性確保や保護のためにシリコンゲル36が充填、硬化されている。そして、金属ベース20上には、基板22の半導体チップ23、即ちスイッチング素子Q1～Q6が実装された側の面、正極用配線部材27、負極用配線部材28、コンデンサ17、出力電極部材32U, 32V, 32W及び支持枠30を囲繞するカバー37がボルトにより固定されるようになっている。

【0030】

次に前記のように構成されたインバータ装置11の製造方法を説明する。

先ずセラミック基板21上への半導体チップ23の実装工程が行われる。この工程では、図7(a)に示すように、セラミック基板21のドレイン用の回路パターン24b上に2個の半導体チップ23を、回路パターン24bの長手方向の中央部にスペースが存在するように半田付けにより接合する。次に図5に示したように半導体チップ23のゲートとゲート信号用の回路パターン24aとの間、半導体チップ23のソースとソース用の回路パターン24cとの間及び半導体チップ23のソースとソース信号用の回路パターン24dとの間をワイヤボンディングにより電氣的に接続する。

10

【0031】

次にセラミック基板21を金属ベース20上に接合する工程が行われる。この工程では、図7(b)に示すように、半導体チップ23が実装されたセラミック基板21を金属ベース20上に、6行2列に半田付けで接合し、図5に示すように同じアームを構成する各2個のセラミック基板21のゲート信号用の回路パターン24a同士及びソース信号用の回路パターン24d同士をワイヤボンディングにより電氣的に接続する。

20

【0032】

次に出力電極部材32U, 32V, 32Wをセラミック基板21に接合する工程が行われる。この工程では、図8(a)に示すように、先ず駆動信号入力端子G1～G6及び信号端子S1～S6が装備された支持枠30を、金属ベース20上にセラミック基板21を囲むように固定する。支持枠30の固定は接着剤やねじを用いて行われる。次に出力電極部材32U, 32V, 32Wを、図8(b)に示すように、各接合部35がドレイン用の回路パターン24b及びソース用の回路パターン24cのほぼ中央部と当接するように配置する(図5参照)。そして、超音波接合により各接合部35を順次回路パターン24b及び回路パターン24cに接合する。また、駆動信号入力端子G1～G6の第1端部を回路パターン24aに、信号端子S1～S6の第1端部を回路パターン24dに、それぞれ超音波接合により接合する。

30

【0033】

次に図9におけるコンデンサアッシー(組立品)38を組み立てる工程が行われる。この工程では、4個のコンデンサ17を正極端子17a及び負極端子17bが上向きになる状態において、所定間隔で1列に治具で固定する。その状態で絶縁材を介して負極用配線部材28を各コンデンサ17の負極端子17bにねじで固定する。次に絶縁シート29を負極用配線部材28の本体部28aとの間に配置した状態で正極用配線部材27をコンデンサ17の正極端子17aにねじで固定する。以上により、正極用配線部材27の本体部27a及び負極用配線部材28の本体部28a間の絶縁が確保された状態で、コンデンサ17の正極端子17aに正極用配線部材27が、負極端子17bに負極用配線部材28がそれぞれ電氣的に接合されたコンデンサアッシー38(図9参照)が組み立てられる。

40

【0034】

次にセラミック基板21にコンデンサアッシー38を超音波接合する工程が行われる。この工程では、先ず、コンデンサアッシー38をセラミック基板21上に載置する。図9に示すように、コンデンサアッシー38は、セラミック基板21の上方から支持枠30内の所定位置に配置される。この状態では、図3に示すように、正極用配線部材27及び負極用配線部材28の幅方向の同じ側に配置された各接合部27c1, 28c1が一直線上に位置する状態になる。

50

【 0 0 3 5 】

その状態で各接合部 27c1, 28c1 を順に超音波接合で回路パターン 24b, 24c に接合する。接合部 27c1, 28c1 とコンデンサ 17 とが近いため、端子部 27c, 28c の接合に半田付けを用いる場合、一般の耐熱性を特に考慮していないコンデンサを使用すると、半田付けのための加熱によりコンデンサ 17 が悪影響を受ける虞がある。しかし、接合部 27c1, 28c1 の接合が超音波接合で行われるため、コンデンサ 17 に加わる熱量が小さくなり、耐熱性の高い特殊なコンデンサを使用する必要がない。

【 0 0 3 6 】

次に図 4 に示すように半導体チップ 23 や各接合部等湿気や酸化を嫌う部分の電氣的絶縁及び保護のため、支持枠 30 内へのシリコングル 36 の注入、硬化処理が行われる（シリコングル 36 の充填、硬化が行われる）。ここで、図 6 に示すごとく正極用配線部材 27 及び負極用配線部材 28 の垂下部 27b, 28b に切り欠き部 27d, 28d が形成されているため、切り欠き部 27d, 28d がない場合に比較して、シリコングルの注入時にシリコングルが正極用配線部材 27 と負極用配線部材 28 との間に容易に流入する。そして、最後に図 4 (a) に示すようにカバー 37 が金属ベース 20 にボルトにより固定されて、インバータ装置 11 が完成する。

【 0 0 3 7 】

次に前記のように構成されたインバータ装置 11 の作用を説明する。

インバータ装置 11 は、例えば、車両の電源装置の一部を構成するものとして使用される。図 1 においてインバータ装置 11 は、プラス入力端子 14 及びマイナス入力端子 16 が直流電源（図示せず）に接続され、U 相端子 U、V 相端子 V 及び W 相端子 W がモータ（図示せず）に接続され、駆動信号入力端子 G1 ~ G6 及び信号端子 S1 ~ S6 が制御装置（図示せず）に接続された状態で使用される。

【 0 0 3 8 】

上アームの第 1、第 3 及び第 5 のスイッチング素子 Q1, Q3, Q5 及び下アームの第 2、第 4 及び第 6 のスイッチング素子 Q2, Q4, Q6 がそれぞれ所定周期でオン、オフ制御されることによりモータに交流が供給されてモータが駆動される。

【 0 0 3 9 】

図 2 等において正極用配線部材 27 及び負極用配線部材 28 には、スイッチング素子 Q1 ~ Q6 のスイッチング時に急峻に立ち上がる電流又は立ち下がる電流が流れ、その電流は正極用配線部材 27 及び負極用配線部材 28 で逆方向となる。正極用配線部材 27 及び負極用配線部材 28 の本体部 27a, 28a は平行な平板状に形成され、互いに近接して配置されているため、相互インダクタンスの効果により配線インダクタンスが低減する。また、垂下部 27b, 28b も平行に近接して配置されているため、即ち、互いに逆方向に流れる電流に対応する垂下部 27b, 28b においてインダクタンスをより低減することができる。

【 0 0 4 0 】

このようにしてコンデンサ 17 から半導体チップ 23 の直近までの配線のインダクタンスを低減でき、スイッチング素子 Q1 ~ Q6 のスイッチング動作時に発生するサージ電圧を抑制して半導体チップ 23 の破損を防止することができる。

【 0 0 4 1 】

また、金属ベース 20 がヒートシンク（放熱板）として機能する。そして、スイッチング素子 Q1 ~ Q6、ダイオード D1 ~ D6 が通電に伴い発熱し、金属ベース 20 がその熱により伸縮する。これにより、正極用配線部材 27 及び負極用配線部材 28 とセラミック基板 21 との接合部に応力が加わる。このとき、正極用配線部材 27 及び負極用配線部材 28 における垂下部 27b, 28b が平板状に形成され、かつ、当該平板状の垂下部 27b, 28b には本体部 27a, 28a の長手方向と交差する方向に切り欠き部 27d, 28d が垂下部 27b, 28b の上端まで形成されている。この切り欠き部 27d, 28d の存在により接合部に加わる応力が低減される。

【 0 0 4 2 】

10

20

30

40

50

このように熱サイクルが加わった際において金属ベース20とセラミック基板21の熱膨張係数の差により接合部に応力が加わる以外にも、正極用配線部材27及び負極用配線部材28とセラミック基板21との接合時に熱膨張係数の差により接合部に応力が加わるが、切り欠き部27d, 28dの存在により接合部に加わる応力が低減される。

【0043】

また、切り欠き部27d, 28dが垂下部27b, 28bにおける基板22との接合部の間の領域において形成されているので、金属ベース20が熱により伸縮することで、正極用配線部材27及び負極用配線部材28の垂下部27b, 28bにおけるセラミック基板21との接合部の間の領域において応力が加わるが、切り欠き部27d, 28dにより応力緩和が図られる。また、切り欠き部27d, 28dにより電流の流れを規制することもできる。つまり、図1(a), 図6(a)における正極用配線部材27を通して上アームに入る電流 i_1, i_2, i_3 を規制できるとともに負極用配線部材28を通して下アームから出る電流 i_4, i_5, i_6 を規制できる。

10

【0044】

上記実施形態によれば、以下のような効果を得ることができる。

(1) 正極用配線部材27及び負極用配線部材28は、本体部27a, 28aから基板22に向かって延びる垂下部(基板側延設部)27b, 28bが平板状に形成され、かつ、垂下部27b, 28bから延びる端子部27c, 28cにて基板22に接合されるとともに平板状の垂下部27b, 28bには切り欠き部27d, 28dが垂下部27b, 28bの下端から垂下部27b, 28bの上端まで延設されている。よって、基板22が熱により伸縮することで正極用配線部材27及び負極用配線部材28と基板22との接合部に加わる応力を低減することができる。

20

【0045】

(2) 端子部27c, 28cは複数設けられ、複数の端子部27c, 28cが基板22に接合され、正極用配線部材27及び負極用配線部材28の垂下部27b, 28bにおける端子部27c, 28cの間に切り欠き部27d, 28dが形成されている。これにより、基板22が熱により伸縮することで、正極用配線部材27及び負極用配線部材28の垂下部27b, 28bにおける端子部27c, 28cの間に応力が加わるが、端子部27c, 28c間(接合部間)に設けた切り欠き部27d, 28dによって、より効率的に応力緩和が図られる。

30

【0046】

(3) 基板22と平行に配置した正極用配線部材の本体部27a及び負極用配線部材の本体部28aのうちの基板22と対向しない一方の本体部28a上にコンデンサ17が搭載されているので、コンデンサ17をスイッチング素子としての半導体チップ23を含めた基板側部品に一体化することができる。

【0047】

実施形態は前記に限定されるものではなく、例えば、次のように具体化してもよい。

配線部材27, 28の垂下部(基板側延設部)27b, 28bに切り欠き部27d, 28dを、垂下部27b, 28bの下端から垂下部27b, 28bの上端まで延設したが、切り欠き部を、垂下部27b, 28bの下端から垂下部27b, 28bの上端を超えて延設してもよい。要は、切り欠き部27d, 28dは垂下部27b, 28bの下端から少なくとも垂下部27b, 28bの上端まで延設されていればよい。

40

【0048】

図4(b)での絶縁シート29に代わり板状のもの(例えば樹脂板)を用いることができ、他にも、正極用配線部材27及び負極用配線部材28の全体をゲルで絶縁してもよい。

【0049】

正極用配線部材27及び負極用配線部材28とセラミック基板21との接合は超音波接合以外にもレーザ溶接や半田付け等でもよい。同様に、出力電極部材32U, 32V, 32Wとセラミック基板21との接合は超音波接合以外にもレーザ溶接や半田付け等で

50

もよい。さらに、駆動信号入力端子 G 1 ~ G 6 及び信号端子 S 1 ~ S 6 とセラミック基板 2 1 との接合は超音波接合以外にもレーザー溶接や半田付け等でもよい。

【 0 0 5 0 】

正極用配線部材 2 7 及び負極用配線部材 2 8 の本体部 2 7 a , 2 8 a は、基板 2 2 と平行に、かつ相互に絶縁された状態で近接して重なるように配置されていればよく、負極用配線部材 2 8 が上側、即ち基板 2 2 と対向しない側に配置される構成に限らず、正極用配線部材 2 7 が上側に配置される構成としてもよい。しかし、電解コンデンサの場合、外側がグランドのため、負極用配線部材 2 8 が上側に配置される方が好ましい。

【 0 0 5 1 】

コンデンサ 1 7 の配置は、基板 2 2 と対応する位置、即ち金属ベース 2 0 の上方に限らない。例えば、図 1 0 に示すように、金属ベース 2 0 の側方に配置してもよい。正極用配線部材 2 7 及び負極用配線部材 2 8 は、負極用配線部材 2 8 の本体部 2 8 a がコンデンサ 1 7 側、即ち下側になるように平行に配置されるとともに、垂下部 2 7 b , 2 8 b , 端子部 2 7 c , 2 8 c が正極用配線部材 2 7 の本体部 2 7 a 及び負極用配線部材 2 8 の本体部 2 8 a の先端から下方に屈曲形成されている。そして、正極用配線部材 2 7 の接合部 2 7 c 1 がセラミック基板 2 1 上のドレイン用の回路パターン 2 4 b に接合され、負極用配線部材 2 8 の接合部 2 8 c 1 がセラミック基板 2 1 上のソース用の回路パターン 2 4 c に接合されている。この実施形態では、各アームが 1 個のセラミック基板 2 1 上に 2 個の半導体チップ 2 3 が実装された構成で、図 1 0 の紙面と垂直方向にセラミック基板 2 1 が 6 列に配置された構成になっている。そして、図 1 0 では回路パターン 2 4 b 以外の回路基板や出力電極部材 3 2 U 等の図示を省略している。この場合も、平板状の垂下部 2 7 b , 2 8 b に切り欠き部 2 7 d , 2 8 d を垂下部 2 7 b , 2 8 b の下端から少なくとも垂下部 2 7 b , 2 8 b の上端まで延設することにより、基板 2 2 が熱により伸縮することで正極用配線部材 2 7 及び負極用配線部材 2 8 と基板 2 2 との接合部に応力が加わるが、切り欠き部 2 7 d , 2 8 d の存在により接合部に加わる応力が低減される。また、切り欠き部 2 7 d , 2 8 d を垂下部 2 7 b , 2 8 b における基板 2 2 との接合部の間の領域において形成することにより、基板 2 2 が熱により伸縮することで、正極用配線部材 2 7 及び負極用配線部材 2 8 の垂下部 2 7 b , 2 8 b における基板 2 2 との接合部の間の領域において応力が加わるが、切り欠き部 2 7 d , 2 8 d により応力緩和が図られる。なお、図 1 0 では、セラミック基板 2 1 を金属ベース 2 0 に接合するための半田 H 及び半導体チップ 2 3 を回路パターン 2 4 b に接合するための半田 H を図示している。

【 0 0 5 2 】

各アームを 2 個のセラミック基板 2 1 で構成する代わりに、1 個のセラミック基板 2 1 で構成してもよく、この場合、ゲート信号用の回路パターン 2 4 a 間及びソース信号用の回路パターン 2 4 d 間をそれぞれ電氣的に接続するワイヤボンディングが不要になる。また、各アームのドレイン用の回路パターン 2 4 b 及びソース用の回路パターン 2 4 c と、正極用配線部材 2 7、負極用配線部材 2 8 及び出力電極部材 3 2 U , 3 2 V , 3 2 W の各接合部 2 7 c 1 , 2 8 c 1 , 3 5 との接合箇所は 2 箇所ではなく、1 箇所ずつでもよくなる。

【 0 0 5 3 】

各アームを構成するセラミック基板 2 1 を 1 個にしてセラミック基板 2 1 の数を少なくする構成に限らず、1 個のセラミック基板 2 1 上に複数のアームを構成するようにしてもよい。

【 0 0 5 4 】

金属ベース 2 0 をアルミニウム系金属で形成し、セラミック基板 2 1 として、両面にアルミニウム層が形成された DBA (Direct Brazing Aluminum) 基板を用い、DBA 基板の表面に回路パターン 2 4 a , 2 4 b , 2 4 c , 2 4 d を形成し、裏面を金属ベース 2 0 にアルミニウム系ろう材によりろう付けしてもよい。

【 0 0 5 5 】

セラミック基板 2 1 に代えて、絶縁基板として金属基板の表面に絶縁層を形成し、

10

20

30

40

50

絶縁層上に回路パターン 24 a , 24 b , 24 c , 24 d を形成した構成の物を使用してもよい。

【0056】

金属ベース 20 上に絶縁基板を半田付けあるいはろう付けで接合する代わりに、金属ベース 20 上に絶縁層を形成し、その絶縁層上に回路パターン 24 a , 24 b , 24 c , 24 d を形成してもよい。この場合、部品点数が少なくなるとともに、絶縁基板を金属ベース 20 上に接合する工程が不要になる。

【0057】

コンデンサ 17 の数は 4 個に限らず、インバータ装置 11 の定格電流値及び使用するコンデンサの容量により決まり、3 個以下でも 5 個以上でもよい。

10

コンデンサ 17 は電解コンデンサに限らず、例えば電気二重層コンデンサであってもよい。

【0058】

スイッチング素子 Q , Q1 ~ Q6 は MOSFET に限らず、他のパワートランジスタ（例えば、IGBT（絶縁ゲートバイポーラ型トランジスタ））やサイリスタを使用してもよい。

【0059】

各アームを構成するスイッチング素子 Q 及びダイオード D の組は 4 組に限らず、各アームを流れる電流量の大きさによって 3 組以下でも 5 組以上でもよい。また、複数組に限らず、1 組のスイッチング素子 Q 及びダイオード D の組で構成されてもよい。

20

【0060】

1 組のスイッチング素子及びダイオードは、1 個の半導体チップ 23 としてパッケージ化される構成に限らず、スイッチング素子及びダイオードがそれぞれ回路パターン上に実装された構成でもよい。

【0061】

インバータ装置 11 は、3 相交流を出力する構成に限らず、単相交流を出力する構成としてもよい。単相交流を出力する構成では上アーム及び下アームの組が 2 組存在する。

【0062】

電力変換装置は、インバータ装置 11 に限らず、例えば、DC - DC コンバータに適用してもよい。

30

コンデンサ 17 の正極端子 17 a と正極用配線部材 27 との接合及び負極端子 17 b と負極用配線部材 28 との接合は、ねじによる締め付け固定に限らず、コンデンサ 17 に対する熱の影響が半田付けに比較して小さな接合方法、例えば、精密抵抗溶接やレーザービーム溶接で行ってもよい。

【図面の簡単な説明】

【0063】

【図 1】(a) はインバータの回路図、(b) は一つのアームの回路図。

【図 2】インバータ装置のカバーを省略した模式斜視図。

【図 3】同じく平面図。

40

【図 4】(a) は図 3 の A - A 線断面図、(b) は (a) の一部省略部分拡大図。

【図 5】基板上的結線状態を示す部分平面図。

【図 6】(a) は図 3 の B - B 線断面図、(b) は (a) の部分拡大図。

【図 7】(a) はチップ部品が実装されたセラミック基板の模式斜視図、(b) はセラミック基板が実装された金属ベースの模式斜視図。

【図 8】(a) は金属ベースに支持枠が取り付けられた状態の模式斜視図、(b) は出力電極部材を取り付けた状態の模式斜視図。

【図 9】コンデンサアッシー、金属ベース、支持枠及び出力電極部材の関係を示す模式斜視図。

【図 10】別の実施形態の断面図。

50

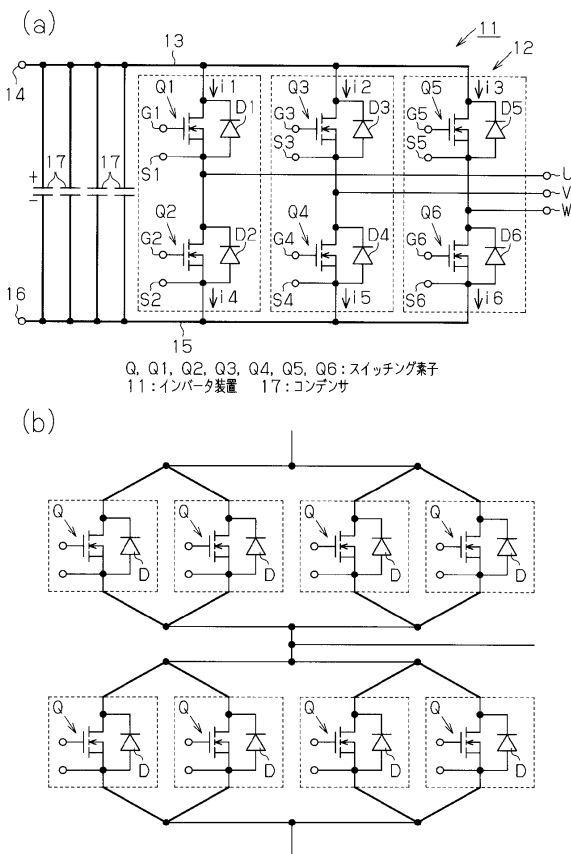
【図11】(a)は従来技術の斜視図、(b)は同じく分解斜視図。

【符号の説明】

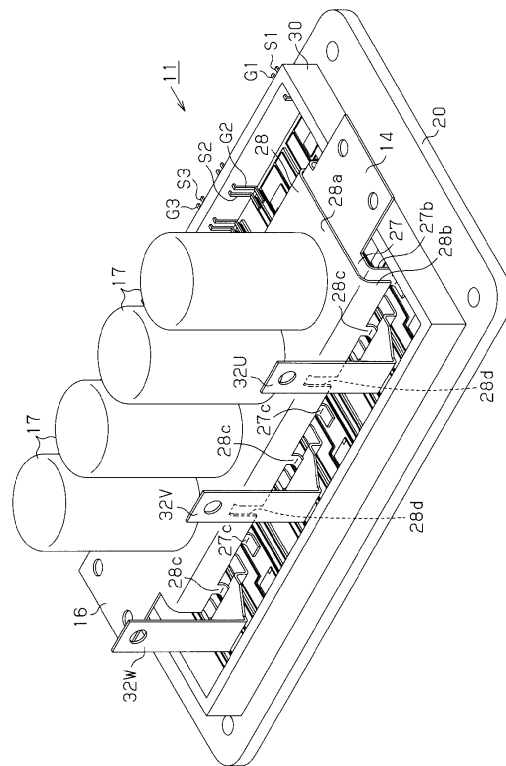
【0064】

Q, Q1, Q2, Q3, Q4, Q5, Q6...スイッチング素子、11...インバータ装置、17...コンデンサ、17a...正極端子、17b...負極端子、20...金属ベース、21...セラミック基板、22...基板、23...スイッチング素子としての半導体チップ、24b, 24c...回路パターン、26...セラミック板、27...正極用配線部材、27a...本体部、27b...基板側延設部としての垂下部、27c...端子部、27c1...接合部、27d...切り欠き部、28...負極用配線部材、28a...本体部、28b...基板側延設部としての垂下部、28c...端子部、28c1...接合部、28d...切り欠き部。

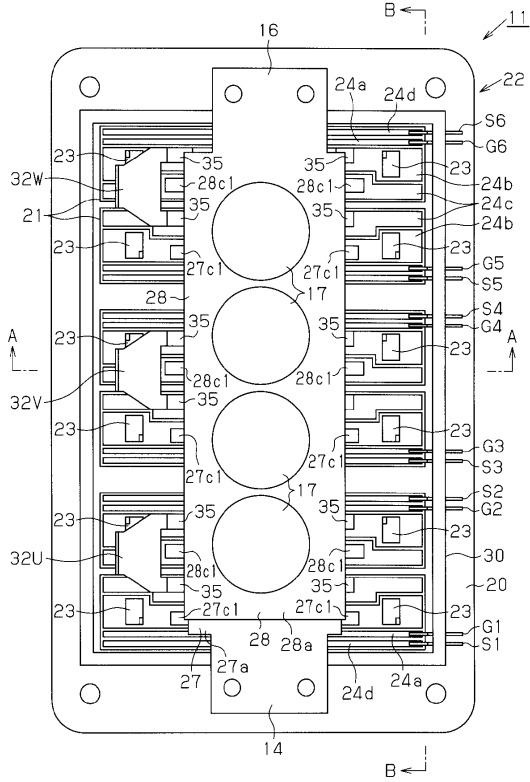
【図1】



【図2】

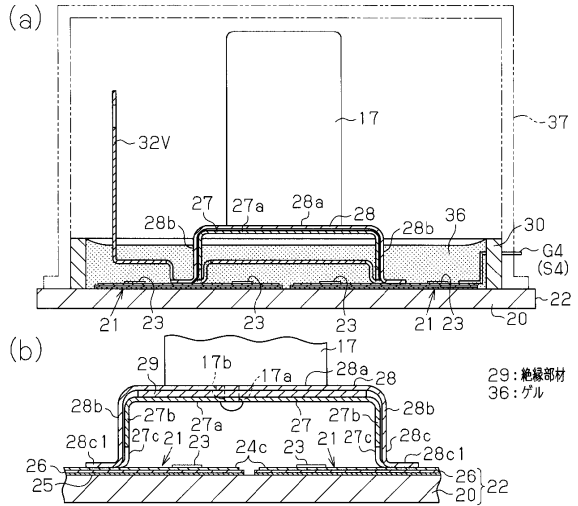


【図3】

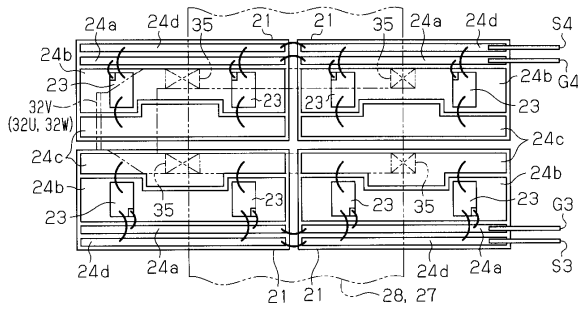


21:セラミック基板 23:半導体チップ

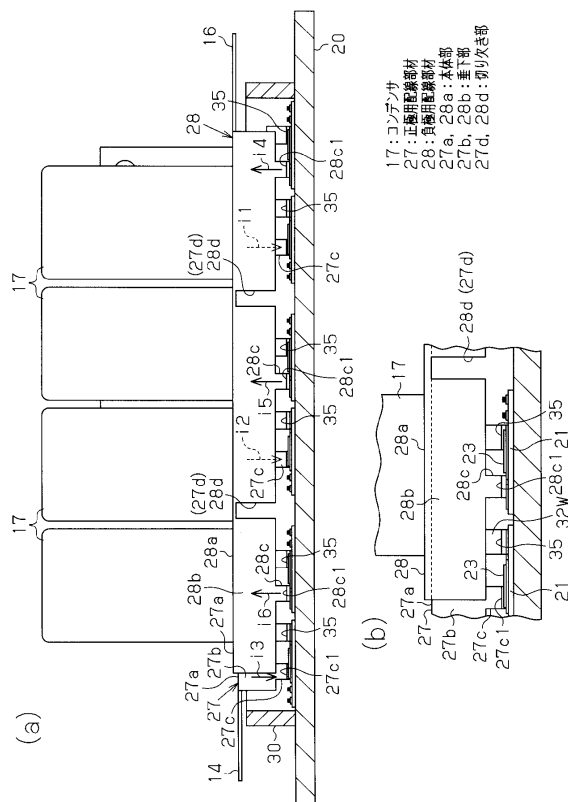
【図4】



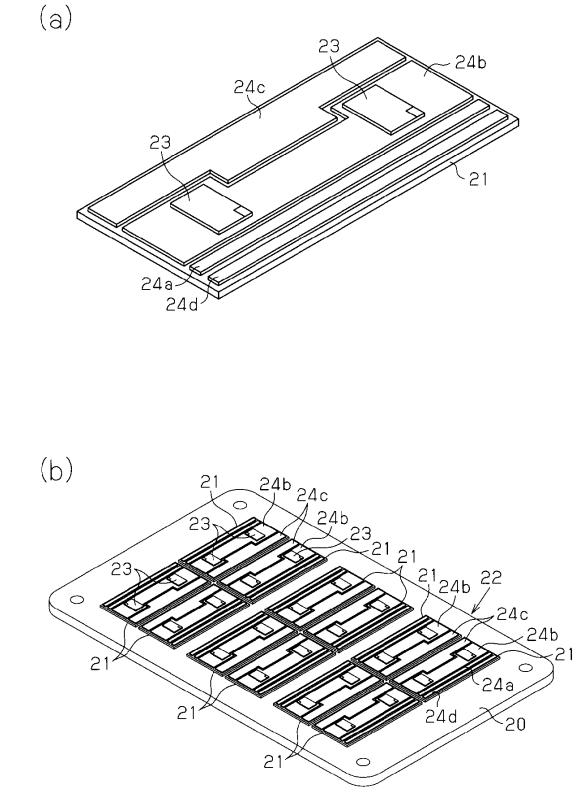
【図5】



【図6】



【図7】



フロントページの続き

- (72)発明者 石川 純
愛知県刈谷市豊田町2丁目1番地 株式会社 豊田自動織機 内
- (72)発明者 紺谷 一善
愛知県刈谷市豊田町2丁目1番地 株式会社 豊田自動織機 内
- (72)発明者 深津 利成
愛知県刈谷市豊田町2丁目1番地 株式会社 豊田自動織機 内

審査官 槻木澤 昌司

- (56)参考文献 特開2004-214452(JP,A)
特開2002-044964(JP,A)
特開2007-143272(JP,A)
特開2005-347561(JP,A)
特開2000-060126(JP,A)
特開2009-213270(JP,A)
特開2009-213271(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/48
H02M 1/00