



(12)发明专利申请

(10)申请公布号 CN 107170795 A
(43)申请公布日 2017.09.15

(21)申请号 201710197668.3

(22)申请日 2017.03.29

(71)申请人 西安电子科技大学

地址 710071 陕西省西安市太白南路2号

(72)发明人 毛维 丛冠宇 郝跃 杜鸣

张金凤

(74)专利代理机构 陕西电子工业专利中心

61205

代理人 王品华

(51) Int. Cl.

H01L 29/06(2006.01)

H01L 29/40(2006.01)

H01L 29/778(2006.01)

H01L 21/335(2006.01)

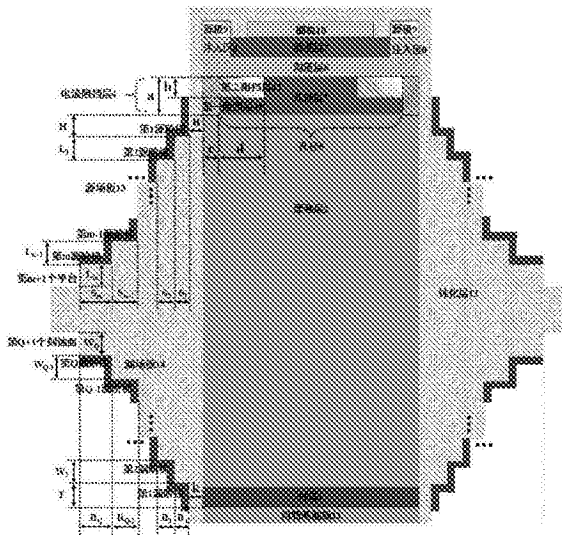
权利要求书3页 说明书15页 附图6页

(54)发明名称

源-漏复合场板垂直型电力电子器件

(57)摘要

本发明公开了一种源-漏复合场板垂直型电力电子器件,其自下而上包括:肖特基漏极(11)、衬底(1)、漂移层(2)、孔径层(3)、两个对称的电流阻挡层(4)、沟道层(6)、势垒层(7)和栅极(10),势垒层上的两侧淀积有两个源极(9),两个源极下方有两个注入区(8),除肖特基漏极底部以外的所有区域覆盖有钝化层(12),电流阻挡层之间形成孔径(5);电流阻挡层采用二级台阶结构,钝化层左右两边的上部和背面分别刻有整数个源阶梯和漏阶梯,阶梯上淀积有金属,分别形成源场板(13)和漏场板(14),源场板与源极电气连接,漏场板与漏极电气连接。本发明双向击穿电压高、导通电阻小、成品率高,可用于电力电子系统。



1. 一种源-漏复合场板垂直型电力电子器件,包括:衬底(1)、漂移层(2)、孔径层(3)、两个对称的电流阻挡层(4)、沟道层(6)、势垒层(7)和钝化层(12),势垒层(7)上的两侧淀积有两个源极(9),两个源极(9)下方通过离子注入形成两个注入区(8),源极(9)之间的势垒层(7)上面淀积有栅极(10),衬底(1)下面淀积有肖特基漏极(11),钝化层(12)完全包裹在除肖特基漏极(11)底部以外的所有区域,两个电流阻挡层(4)之间形成孔径(5),其特征在于:

所述两个电流阻挡层(4),采用由第一阻挡层(41)和第二阻挡层(42)构成的二级台阶结构,且第二阻挡层(42)位于第一阻挡层(41)的内侧;

所述钝化层(12),其两侧均采用双阶梯结构,即在钝化层的两边的上部区域刻有整数个源阶梯,下部区域刻有整数个漏阶梯;

每个源阶梯上淀积有金属,形成对称的两个整体源场板(13),该源场板(13)与源极(9)电气连接,形成阶梯源场板;

每个漏阶梯上淀积有金属,形成对称的两个整体漏场板(14),该漏场板(14)与肖特基漏极(11)电气连接,形成阶梯漏场板。

2. 根据权利要求1所述的器件,其特征在于源场板(13)的阶梯级数,是根据钝化层源阶梯数 m 确定, m 根据器件实际使用要求确定,其值为大于等于1的整数。

3. 根据权利要求1所述的器件,其特征在于漏场板(14)的阶梯级数,是根据钝化层漏阶梯数 Q 确定, Q 根据器件实际使用要求确定,其值为大于等于1的整数。

4. 根据权利要求1所述的器件,其特征在于第一阻挡层(41)的厚度 a 为 $0.5\sim 3\mu\text{m}$,宽度 c 为 $0.2\sim 1\mu\text{m}$,第二阻挡层(42)的厚度 b 为 $0.3\sim 1\mu\text{m}$,宽度 d 为 $1.4\sim 3.4\mu\text{m}$,且满足 $a>b$ 。

5. 根据权利要求1所述的器件,其特征在于钝化层两边的各级源阶梯高度 L_i 相同,且第1源阶梯上表面距离第一阻挡层下边界的垂直距离 H 与各级源阶梯高度相等,各级源阶梯宽度 S_i 不同,且自上而下依次增大, i 为整数且 $m\geq i\geq 1$;钝化层两边的各级漏阶梯高度 W_j 相同,宽度 R_j 不同,且自下而上依次增大, j 为整数且 $Q\geq j\geq 1$,第1漏阶梯下表面距离衬底(1)下边界的垂直距离 T 等于 W_j 。

6. 根据权利要求1所述的器件,其特征在于源场板(13)距离漂移层(2)最近处的水平间距 u 近似满足关系: $u=0.16+4.8\left(\frac{d}{a}\right)^{3.5}$, $d<3.5a$;漏场板(14)距离漂移层(2)最近处的水平间距 k 满足关系: $R_j>k$,其中:

a 为第一阻挡层(41)的厚度, d 为第二阻挡层(42)的宽度, R_j 为钝化层中各级漏阶梯宽度。

7. 一种制作源-漏复合场板垂直型电力电子器件的方法,包括如下步骤:

A. 在衬底(1)上外延 n^- 型GaN半导体材料,形成漂移层(2);

B. 在漂移层(2)上外延 n 型GaN半导体材料,形成厚度为 $0.5\sim 3\mu\text{m}$ 、掺杂浓度为 $1\times 10^{15}\sim 1\times 10^{18}\text{cm}^{-3}$ 的孔径层(3);

C. 在孔径层(3)上制作掩模,利用该掩模在孔径层内的两侧位置注入剂量为 $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ 的 p 型杂质,制作厚度 a 与孔径层厚度相同,宽度 c 为 $0.2\sim 1\mu\text{m}$ 的两个第一阻挡层(41);

D. 在两个第一阻挡层(41)和孔径层(3)上制作掩模,利用该掩模在左右第一阻挡层(41)之间的孔径层内的两侧注入剂量为 $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ 的 p 型杂质,制作厚度 b 为 0.3

~1 μm , 宽度d为1.4~3.4 μm 的两个第二阻挡层(42), 两个第一阻挡层(41)和两个第二阻挡层(42)构成二级台阶结构的电流阻挡层(4), 两个对称电流阻挡层(4)之间形成孔径(5);

E. 在两个第一阻挡层(41)、两个第二阻挡层(42)和孔径(5)上部外延GaN半导体材料, 形成厚度为0.04~0.2 μm 的沟道层(6);

F. 在沟道层(6)上部外延GaN基宽禁带半导体材料, 形成厚度为5~50nm的势垒层(7);

G. 在势垒层(7)上部制作掩模, 利用该掩模在势垒层内两侧注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的n型杂质, 以制作注入区(8), 其中, 两个注入区的深度均大于势垒层厚度, 且小于沟道层(6)与势垒层两者的总厚度;

H. 在两个注入区(8)上部和势垒层(7)上部制作掩模, 利用该掩模在两个注入区上部淀积金属, 以制作源极(9);

I. 在源极(9)上部和势垒层(7)上部制作掩模, 利用该掩模在势垒层上淀积金属, 以制作栅极(10);

J. 在衬底的背面上淀积金属, 以制作肖特基漏极(11);

K. 在除了肖特基漏极(11)底部以外的其他所有区域淀积绝缘介质材料, 形成包裹的钝化层(12);

L. 在钝化层(12)上部制作掩模, 利用该掩模在钝化层(12)左、右两侧的上部区域进行刻蚀, 形成第1个平台;

M. 制作第1源阶梯至第m源阶梯:

M1) 在钝化层(12)上部制作掩模, 利用该掩模, 在第1个平台内进行刻蚀, 形成第1源阶梯和第2个平台;

M2) 在钝化层(12)上部制作掩模, 利用该掩模, 在第2个平台内进行刻蚀, 形成第2源阶梯和第3个平台;

以此类推, 直至制作出第m源阶梯和第m+1个平台, m根据器件实际使用要求确定, 其值为大于等于1的整数;

N. 在带有m个源阶梯的钝化层(12)上制作掩模, 利用该掩模在左右两边的第1源阶梯至第m源阶梯上淀积连续的金属, 形成左右对称的两个源场板(13), 并将该两侧的源场板与源极电气连接; 该源场板(13)的上边界所在高度高于第一阻挡层(41)下边界所在高度, 源场板(13)距离漂移层(2)最近处的水平间距u近似满足关系 $u = 0.16 + 4.8 \left(\frac{d}{a}\right)^{3.5}$, $d < 3.5a$, a为第一阻挡层(41)的厚度, d为第二阻挡层(42)的宽度;

O. 在肖特基漏极(11)的背面和钝化层(12)的背面制作掩模, 利用该掩模在钝化层(12)背面的左、右两边内进行刻蚀, 形成第1个刻蚀面;

P. 制作第1漏阶梯至第Q漏阶梯:

P1) 在肖特基漏极(11)的背面和钝化层(12)的背面制作掩模, 利用该掩模, 在第1个刻蚀面内进行刻蚀, 制作第1漏阶梯和第2个刻蚀面;

P2) 在肖特基漏极(11)的背面和钝化层(12)的背面制作掩模, 利用该掩模, 在第2个刻蚀面内进行刻蚀, 制作第2漏阶梯和第3个刻蚀面;

以此类推, 直至制作出第Q漏阶梯和第Q+1个刻蚀面, Q根据器件实际使用要求确定, 其值为大于等于1的整数;

Q. 在肖特基漏极(11)的背面以及带有Q个漏阶梯的钝化层(12)的背面制作掩模, 利用

该掩模在左、右两边的第1漏阶梯至第Q漏阶梯上淀积连续的金属,形成左、右对称的两个漏场板(14),该漏场板的下边界所在高度低于或等于衬底的下边界所在高度,并将该两侧漏场板(14)与肖特基漏极(11)电气连接,完成整个器件的制作。

8. 根据权利要求7所述的方法,其特征在于步骤M中形成的各级源阶梯宽度 S_i ,均满足 $S_i > u$,且 S_i 自上而下依次增大, u 为漂移层与源场板(13)最近处的水平间距, i 为整数且 $m \geq i \geq 1$ 。

9. 根据权利要求7所述的方法,其特征在于步骤P中形成的各级漏阶梯宽度 R_j ,均满足 $R_j > k$,且 R_j 自下而上依次增大,其中 k 为漂移层(2)与漏场板(14)最近处的水平间距, j 为整数且 $Q \geq j \geq 1$ 。

源-漏复合场板垂直型电力电子器件

技术领域

[0001] 本发明属于微电子技术领域,涉及半导体器件,特别是源-漏复合场板垂直型电力电子器件,可用于电力电子系统。

技术背景

[0002] 功率半导体器件是电力电子技术的核心元件,随着能源和环境问题的日益突出,研发新型高性能、低损耗功率器件就成为提高电能利用率、节约能源、缓解能源危机的有效途径之一。而在功率器件研究中,高速、高压与低导通电阻之间存在着严重的制约关系,合理、有效地改进这种制约关系是提高器件整体性能的关键。随着微电子技术的发展,传统第一代Si半导体和第二代GaAs半导体功率器件性能已接近其材料本身决定的理论极限。为了能进一步减少芯片面积、提高工作频率、提高工作温度、降低导通电阻、提高击穿电压、降低整机体积、提高整机效率,以GaN为代表的宽禁带半导体材料,凭借其更大的禁带宽度、更高的临界击穿电场和更高的电子饱和漂移速度,且化学性能稳定、耐高温、抗辐射等突出优点,在制备高性能功率器件方面脱颖而出,应用潜力巨大。特别是采用GaN基异质结结构的横向高电子迁移率晶体管,即横向GaN基高电子迁移率晶体管HEMT器件,更是因其低导通电阻、高击穿电压、高工作频率等特性,成为了国内外研究和应用的热点、焦点。

[0003] 然而,在横向GaN基HEMT器件中,为了获得更高的击穿电压,需要增加栅漏间距,这会增大器件尺寸和导通电阻,减小单位芯片面积上的有效电流密度和芯片性能,从而导致芯片面积和研制成本的增加。此外,在横向GaN基HEMT器件中,由高电场和表面态所引起的电流崩塌问题较为严重,尽管当前已有众多抑制措施,但电流崩塌问题依然没有得到彻底解决。为了解决上述问题,研究者们提出了垂直型GaN基电流孔径异质结场效应器件,也是一种GaN基垂直型电力电子器件,参见AlGaIn/GaN current aperture vertical electron transistors, IEEE Device Research Conference, pp.31-32, 2002。GaN基电流孔径异质结场效应器件可通过增加漂移层厚度提高击穿电压,避免了牺牲器件尺寸和导通电阻的问题,因此可以实现高功率密度芯片。而且在GaN基电流孔径异质结场效应器件中,高电场区域位于半导体材料体内,这可以彻底地消除电流崩塌问题。2004年, Ilan Ben-Yaacov等人利用刻蚀后MOCVD再生长沟道技术研制出AlGaIn/GaN电流孔径异质结场效应器件,该器件未采用钝化层,最大输出电流为750mA/mm,跨导为120mS/mm,两端栅击穿电压为65V,且电流崩塌效应得到显著抑制,参见AlGaIn/GaN current aperture vertical electron transistors with regrown channels, Journal of Applied Physics, Vol.95, No.4, pp. 2073-2078, 2004。2012年, Srabanti Chowdhury等人利用Mg离子注入电流阻挡层结合等离子辅助MBE再生长AlGaIn/GaN异质结的技术,研制出基于GaN衬底的电流孔径异质结场效应器件,该器件采用3 μ m漂移层,最大输出电流为4kA \cdot cm⁻²,导通电阻为2.2m Ω \cdot cm²,击穿电压为250V,且抑制电流崩塌效果好,参见CAVET on Bulk GaN Substrates Achieved With MBE-Regrown AlGaIn/GaN Layers to Suppress Dispersion, IEEE Electron Device Letters, Vol.33, No.1, pp.41-43, 2012。同年,由Masahiro Sugimoto等人提出的一种增强

型GaN基电流孔径异质结场效应器件获得授权,参见Transistor,US8188514B2,2012。此外,2014年,Hui Nie等人基于GaN衬底研制出一种增强型GaN基电流孔径异质结场效应器件,该器件阈值电压为0.5V,饱和电流大于2.3A,击穿电压为1.5kV,导通电阻为 $2.2\text{m}\Omega \cdot \text{cm}^2$,参见1.5-kV and $2.2\text{-m}\Omega\text{-cm}^2$ Vertical GaN Transistors on Bulk-GaN Substrates,IEEE Electron Device Letters,Vol.35,No.9,pp.939-941,2014。

[0004] 传统GaN基电流孔径异质结场效应器件是基于GaN基宽禁带半导体异质结结构,其包括:衬底1、漂移层2、孔径层3、左、右两个对称的电流阻挡层4、孔径5、沟道层6、势垒层7和钝化层12;势垒层7上面的两侧淀积有源极9,源极9下方通过离子注入形成两个注入区8,源极9之间的势垒层7上面淀积有栅极10,衬底1下面淀积有漏极11,钝化层12完全包裹除了漏极底部以外的所有区域,如图1所示。

[0005] 经过十多年的理论和实验研究,研究者们发现,上述传统GaN基电流孔径异质结场效应器件结构上存在固有缺陷,会导致器件中电场强度分布极不均匀,尤其是在电流阻挡层与孔径区域交界面下方附近的半导体材料中存在极高的电场峰值,从而引起器件过早击穿。这使得实际工艺中很难实现通过增加n型GaN漂移层的厚度来持续提高器件的击穿电压。因此,传统结构GaN基电流孔径异质结场效应器件的击穿电压普遍不高。为了获得更高的器件击穿电压,并可以通过增加n型GaN漂移层的厚度来持续提高器件的击穿电压,2013年,Zhongda Li等人利用数值仿真技术研究了一种基于超结的增强型GaN基电流孔径异质结场效应器件,研究结果表明超结结构可以有效调制器件内部的电场分布,使处于关态时器件内部各处电场强度趋于均匀分布,因此器件击穿电压可达 $5\sim 20\text{kV}$,且采用 $3\mu\text{m}$ 半柱宽时击穿电压为 12.4kV ,而导通电阻仅为 $4.2\text{m}\Omega \cdot \text{cm}^2$,参见Design and Simulation of 5-20-kV GaN Enhancement-Mode Vertical Superjunction HEMT,IEEE Transactions on Electron Decices,Vol.60,No.10,pp.3230-3237,2013。采用超结的GaN基电流孔径异质结场效应器件从理论上可以获得高击穿电压,且可实现击穿电压随n型GaN漂移层厚度的增加而持续提高,是目前国内外已报道文献中击穿电压最高的一种非常有效的大功率器件结构。然而,超结结构的制造工艺难度非常大,尤其是厚n型GaN漂移层情况下,几乎无法实现高性能超结结构的制作。此外,在采用超结结构的GaN基电流孔径异质结场效应器件中,当器件导通时超结附近会产生额外的导通电阻,且该导通电阻会随着漂移层厚度的增加而不断增加,因此虽然器件的击穿电压随着漂移层厚度的增加而提高,但是器件的导通电阻也会相应的增加,器件中击穿电压与导通电阻之间的矛盾并没有彻底解决。因此,探索和研发制造工艺简单、击穿电压高、导通电阻小的新型GaN基电流孔径异质结场效应器件,意义非常重大。

[0006] 随着应用领域的扩展,在电动汽车、S类功率放大器、功率管理系统等许多技术领域中,为了有效地实现功率转换和控制,迫切需要具有双向阻断能力的高性能功率器件,即器件不仅要有很强的正向阻断能力,即正向击穿电压,还要同时具有很强的反向阻断能力,也就是希望器件在关态下具有很高的负的漏极击穿电压,即反向击穿电压。

[0007] 场板结构已成为横向GaN基HEMT器件中用于提高器件正向击穿电压和可靠性的一种成熟、有效的场终端技术,且该技术可以实现器件击穿电压随场板的长度和结构变化而持续增加。近年来,通过利用场板结构已使横向GaN基HEMT器件的性能取得了突飞猛进的提升,参见High Breakdown Voltage AlGaN-GaN Power-HEMT Design and High Current

Density Switching Behavior, IEEE Transactions on Electron Devices, Vol. 50, No. 12, pp. 2528-2531, 2003, 和 High Breakdown Voltage AlGaIn-GaN HEMTs Achieved by Multiple Field Plates, IEEE Electron Device Letters, Vol. 25, No. 4, pp. 161-163, 2004, 以及 High Breakdown Voltage Achieved on AlGaIn/GaN HEMTs With Integrated Slant Field Plates, IEEE Electron Device Letters, Vol. 27, No. 9, pp. 713-715, 2006。因此, 将场板结构引入GaN基电流孔径异质结场效应器件中, 以提高器件的正向击穿电压, 具有非常重要的优势。然而, 截至目前国内外仍然没有将场板结构成功应用于GaN基电流孔径异质结场效应器件中的先例, 这主要是由于GaN基电流孔径异质结场效应器件结构上的固有缺陷, 会导致器件漂移层中最强电场峰位于电流阻挡层与孔径层交界面下方附近, 该电场峰远离漂移层两侧表面, 因此场板结构几乎无法发挥有效调制器件中电场分布的作用, 即使在GaN基电流孔径异质结场效应器件中采用了场板结构, 器件性能也几乎没有任何提高。

[0008] 此外, 现有的GaN基电流孔径异质结场效应器件均采用欧姆漏极, 当器件漏极施加非常低的反向电压时, 器件中的电流阻挡层便会失效, 形成很大的漏源泄漏电流, 而且随着漏极反向电压的增加, 器件栅极也会正向开启, 并通过很大栅电流, 最终导致器件失效。因此, 现有的GaN基电流孔径异质结场效应器件均无法实现反向阻断功能, 即使将场板结构应用于GaN基电流孔径异质结场效应器件中, 对改善器件的反向阻断特性也无任何效果。

[0009] 综上所述, 针对上述技术瓶颈, 研发具备优良双向阻断能力的高性能垂直型GaN基电流孔径异质结场效应器件, 非常必要、迫切, 具有重要的现实意义。

发明内容

[0010] 本发明的目的在于针对上述已有技术的不足, 提供一种源-漏复合场板垂直型电力电子器件, 以减小器件的制作难度, 提高器件的正向击穿电压和反向击穿电压, 并实现正向击穿电压和反向击穿电压的可持续增加, 缓解器件击穿电压与导通电阻之间的矛盾, 改善器件的击穿特性和可靠性。

[0011] 为实现上述目的, 本发明的技术方案是这样实现的:

[0012] 一、器件结构

[0013] 一种源-漏复合场板垂直型电力电子器件, 包括: 衬底1、漂移层2、孔径层3、两个对称的电流阻挡层4、沟道层6、势垒层7和钝化层12, 势垒层7上的两侧淀积有两个源极9, 两个源极9下方通过离子注入形成两个注入区8, 源极9之间的势垒层7上面淀积有栅极10, 衬底1下面淀积有肖特基漏极11, 钝化层12完全包裹在除肖特基漏极11底部以外的所有区域, 两个电流阻挡层4之间形成孔径5, 其特征在于:

[0014] 所述两个电流阻挡层4, 采用由第一阻挡层41和第二阻挡层42构成的二级台阶结构, 且第二阻挡层42位于第一阻挡层41的内侧;

[0015] 所述钝化层12, 其两侧均采用双阶梯结构, 即在钝化层的两边的上部区域刻有整数个源阶梯, 下部区域刻有整数个漏阶梯;

[0016] 每个源阶梯上淀积有金属, 形成对称的两个整体源场板13, 该源场板13与源极9电气连接, 形成阶梯源场板;

[0017] 每个漏阶梯上淀积有金属, 形成对称的两个整体漏场板14, 该漏场板14与肖特基

漏极11电气连接,形成阶梯漏场板。

[0018] 二、制作方法

[0019] 本发明制作源-漏复合场板垂直型电力电子器件的方法,包括如下过程:

[0020] A. 在衬底1上外延n⁻型GaN半导体材料,形成漂移层2;

[0021] B. 在漂移层2上外延n型GaN半导体材料,形成厚度为0.5~3 μm 、掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$ 的孔径层3;

[0022] C. 在孔径层3上制作掩模,利用该掩模在孔径层内的两侧位置注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的p型杂质,制作厚度a与孔径层厚度相同,宽度c为0.2~1 μm 的两个第一阻挡层41;

[0023] D. 在两个第一阻挡层(41)和孔径层3上制作掩模,利用该掩模在左右第一阻挡层41之间的孔径层内的两侧注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的p型杂质,制作厚度b为0.3~1 μm ,宽度d为1.4~3.4 μm 的两个第二阻挡层42,两个第一阻挡层41和两个第二阻挡层42构成二级台阶结构的电流阻挡层4,两个对称电流阻挡层4之间形成孔径5;

[0024] E. 在两个第一阻挡层41、两个第二阻挡层42和孔径5上部外延GaN半导体材料,形成厚度为0.04~0.2 μm 的沟道层6;

[0025] F. 在沟道层6上部外延GaN基宽禁带半导体材料,形成厚度为5~50nm的势垒层7;

[0026] G. 在势垒层7上部制作掩模,利用该掩模在势垒层内两侧注入剂量为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-2}$ 的n型杂质,以制作注入区8,其中,两个注入区的深度均大于势垒层厚度,且小于沟道层6与势垒层两者的总厚度;

[0027] H. 在两个注入区8上部和势垒层7上部制作掩模,利用该掩模在两个注入区上部淀积金属,以制作源极9;

[0028] I. 在源极9上部和势垒层7上部制作掩模,利用该掩模在势垒层上淀积金属,以制作栅极10;

[0029] J. 在衬底的背面上淀积金属,以制作肖特基漏极11;

[0030] K. 在除了肖特基漏极11底部以外的其他所有区域淀积绝缘介质材料,形成包裹的钝化层12;

[0031] L. 在钝化层12上部制作掩模,利用该掩模在钝化层12左、右两侧的上部区域进行刻蚀,形成第1个平台;

[0032] M. 制作第1源阶梯至第m源阶梯:

[0033] M1) 在钝化层12上部制作掩模,利用该掩模,在第1个平台内进行刻蚀,形成第1源阶梯和第2个平台;

[0034] M2) 在钝化层12上部制作掩模,利用该掩模,在第2个平台内进行刻蚀,形成第2源阶梯和第3个平台;

[0035] 以此类推,直至制作出第m源阶梯和第m+1个平台,m根据器件实际使用要求确定,其值为大于等于1的整数;

[0036] N. 在带有m个源阶梯的钝化层12上制作掩模,利用该掩模在左右两边的第1源阶梯至第m源阶梯上淀积连续的金属,形成左右对称的两个源场板13,并将该两侧的源场板与源极电气连接;该源场板13的上边界所在高度高于第一阻挡层41下边界所在高度,源场板13

距离漂移层2最近处的水平间距 u 近似满足关系 $u=0.16+4.8\left(\frac{d}{a}\right)^{3.5}$, $d<3.5a$, a 为第一阻挡层41的厚度, d 为第二阻挡层42的宽度;

[0037] O. 在肖特基漏极11的背面和钝化层12的背面制作掩模, 利用该掩模在钝化层12背面的左、右两边内进行刻蚀, 形成第1个刻蚀面;

[0038] P. 制作第1漏阶梯至第Q漏阶梯:

[0039] P1) 在肖特基漏极11的背面和钝化层12的背面制作掩模, 利用该掩模, 在第1个刻蚀面内进行刻蚀, 制作第1漏阶梯和第2个刻蚀面;

[0040] P2) 在肖特基漏极11的背面和钝化层12的背面制作掩模, 利用该掩模, 在第2个刻蚀面内进行刻蚀, 制作第2漏阶梯和第3个刻蚀面;

[0041] 以此类推, 直至制作出第Q漏阶梯和第Q+1个刻蚀面, Q根据器件实际使用要求确定, 其值为大于等于1的整数; 各级漏阶梯宽度 R_j , 均满足 $R_j>k$, 且 R_j 自下而上依次增大, 其中 k 为漂移层2与漏场板14最近处的水平间距, j 为整数且 $Q\geq j\geq 1$ 。

[0042] Q. 在肖特基漏极11的背面以及带有Q个漏阶梯的钝化层12的背面制作掩模, 利用该掩模在左、右两边的第1漏阶梯至第Q漏阶梯上淀积连续的金属, 形成左、右对称的两个漏场板14, 该漏场板的下边界所在高度低于或等于衬底的下边界所在高度, 并将该两侧漏场板14与肖特基漏极11电气连接, 完成整个器件的制作。

[0043] 本发明器件与传统GaN基电流孔径异质结场效应器件比较, 具有以下优点:

[0044] a. 实现正向击穿电压持续增加。

[0045] 本发明采用二级台阶形式的电流阻挡层, 使器件内部的第一阻挡层、第二阻挡层与孔径层交界面下方附近均会产生一个电场峰, 且第一阻挡层对应的电场峰值大于第二阻挡层对应的电场峰值; 由于第一阻挡层的电场峰非常接近漂移层两侧表面, 便可以利用阶梯形源场板有效减弱漂移层两侧表面附近第一阻挡层对应的电场峰, 并可以在阶梯形源场板的每个阶梯处漂移层两侧表面附近形成新的电场峰, 且该电场峰数目与阶梯形源场板的阶梯数相等;

[0046] 通过调整阶梯形源场板与漂移层之间钝化层的厚度、电流阻挡层的尺寸和掺杂、阶梯的宽度和高度等, 可以使得电流阻挡层与孔径层交界面下方附近的电场峰值与阶梯形源场板对应的漂移层内各电场峰值相等, 且小于GaN基宽禁带半导体材料的击穿电场, 从而提高了器件的正向击穿电压, 且通过增加阶梯形源场板的阶梯数目可实现正向击穿电压的持续增加。

[0047] b. 实现反向击穿电压持续增加。

[0048] 本发明采用了阶梯形漏场板, 利用该阶梯形漏场板有效调制漂移层内电场分布, 使得器件漂移层内的高电场区面积显著增加, 并可在阶梯形漏场板的每个阶梯处漂移层两侧表面附近形成新的电场峰, 且电场峰数目与阶梯形漏场板的阶梯数相等;

[0049] 通过调整阶梯形漏场板与漂移层之间钝化层的厚度、阶梯的宽度和高度等, 可以使得阶梯形漏场板对应的漂移层内各电场峰值近似相等, 且小于GaN基宽禁带半导体材料的击穿电场, 从而提高了器件的反向击穿电压, 且通过增加阶梯形漏场板的阶梯数目可实现击穿电压的持续增加。

[0050] c. 在提高器件击穿电压的同时, 器件导通电阻几乎恒定。

[0051] 本发明通过在器件两侧采用阶梯形场板的方法来提高器件击穿电压,由于场板不会影响到器件导通电阻,当器件导通时,在器件内部漂移层只存在由电流阻挡层所产生的耗尽区和肖特基漏极附近的耗尽区,即高阻区,并未引入其它耗尽区,因此,随着阶梯形源场板和阶梯形漏场板阶梯数目增加,器件的正向击穿电压和反向击穿电压持续增加,而导通电阻几乎保持恒定。

[0052] d. 工艺简单,易于实现,提高了成品率。

[0053] 本发明器件结构中,阶梯形场板的制作是通过在漂移层两侧的钝化层中刻蚀阶梯并淀积金属而实现的,其工艺简单,且不会对器件中半导体材料产生损伤,避免了采用超结的Ga_N基电流孔径异质结场效应器件结构所带来的工艺复杂化问题,大大提高了器件的成品率。

[0054] 以下结合附图和实施例进一步说明本发明的技术内容和效果。

附图说明

[0055] 图1是传统Ga_N基电流孔径异质结场效应器件的结构图;

[0056] 图2是本发明源-漏复合场板垂直型电力电子器件的结构图;

[0057] 图3是本发明制作源-漏复合场板垂直型电力电子器件的流程图;

[0058] 图4是本发明制作第1源阶梯至第m源阶梯的流程图;

[0059] 图5是本发明制作第1漏阶梯至第Q漏阶梯的流程图;

[0060] 图6是对本发明器件仿真所得正向击穿情况下的二维电场分布图;

[0061] 图7是对本发明器件仿真所得反向击穿情况下的二维电场分布图。

具体实施方式

[0062] 参照图2,本发明源-漏复合场板垂直型电力电子器件是基于Ga_N基宽禁带半导体异质结结构,其包括:衬底1、漂移层2、孔径层3、两个对称的电流阻挡层4、沟道层6、势垒层7和钝化层12,势垒层7上的两侧淀积有两个源极9,两个源极下方通过离子注入形成两个注入区8,源极9之间的势垒层7上面淀积有栅极10,衬底1下面淀积有肖特基漏极11,钝化层12完全包裹在除肖特基漏极11底部以外的所有区域。其中:

[0063] 所述衬底1,采用n⁻型Ga_N材料;

[0064] 所述漂移层2,位于衬底1上部,其厚度为5~100μm,掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$;

[0065] 所述孔径层3,位于漂移层2上部,其厚度为0.5~3μm,掺杂浓度为 $1 \times 10^{15} \sim 1 \times 10^{18} \text{cm}^{-3}$;

[0066] 所述电流阻挡层4,是由第一阻挡层41和第二阻挡层42构成的二级台阶结构,其中:两个第一阻挡层位于孔径层3内的左右两侧,两个第二阻挡层42位于两个第一阻挡层41内侧,各阻挡层均采用p型掺杂;该第一阻挡层41的厚度a为0.5~3μm,宽度c为0.2~1μm,该第二阻挡层42的厚度b为0.3~1μm,宽度d为1.4~3.4μm,且满足a>b,两个对称的电流阻挡层4之间形成孔径5;

[0067] 所述沟道层6,位于两个电流阻挡层4和孔径5上部,其厚度为0.04~0.2μm;

[0068] 所述势垒层7,位于沟道层6上部,其由若干层相同或不同的Ga_N基宽禁带半导体材

料组成,厚度为5~50nm;

[0069] 所述栅极10,其与左右两个电流阻挡层4的水平交叠长度均大于 $0\mu\text{m}$;

[0070] 所述肖特基漏极11,采用肖特基结构;

[0071] 所述器件两边的钝化层12,其两侧均采用双阶梯结构,即在钝化层的两边的上部区域刻有 m 个源阶梯,下部区域刻有 Q 个漏阶梯;每个源阶梯处淀积有金属,形成对称的两个整体源场板13,该源场板13与源极9电气连接,形成阶梯源场板;每个漏阶梯处淀积有金属,形成对称的两个整体漏场板14,该漏场板14与肖特基漏极11电气连接,形成阶梯漏场板;源场板13的阶梯级数,是根据钝化层源阶梯数 m 确定,漏场板14的阶梯级数,是根据钝化层漏阶梯数 Q 确定; m 根据器件实际使用要求确定,其值为大于等于1的整数, Q 根据器件实际使用要求确定,其值为大于等于1的整数;该钝化层12采用 SiO_2 、 SiN 、 Al_2O_3 、 Sc_2O_3 、 HfO_2 、 TiO_2 中的任意一种或其它绝缘介质材料;

[0072] 钝化层12中的各级源阶梯自上而下依次为第1源阶梯,第2源阶梯至第 m 源阶梯,且第1源阶梯的宽度为 S_1 和高度为 L_1 ,第2源阶梯的宽度为 S_2 和高度为 L_2 ,第 i 源阶梯的宽度为 S_i 和高度为 L_i ,第 m 源阶梯的宽度为 S_m 和高度为 L_m , $L_m = \dots = L_i = \dots = L_2 = L_1$,且第1源阶梯上表面距离第一阻挡层下边界的垂直距离 H 与各级源阶梯高度相等;各级源阶梯宽度 S_i 不同,且自上而下依次增大, i 为整数且 $m \geq i \geq 1$;各级漏阶梯自下而上依次为第1漏阶梯,第2漏阶梯至第 Q 漏阶梯,第1漏阶梯的宽度为 R_1 ,高度为 W_1 ;第2漏阶梯的宽度为 R_2 ,高度为 W_2 ;第 j 漏阶梯的宽度为 R_j ,高度为 W_j ;第 Q 漏阶梯的宽度为 R_Q ,高度为 W_Q ,且满足如下关系式: $R_Q > \dots > R_j > \dots > R_2 > R_1$, $W_Q = \dots = W_j = \dots = W_2 = W_1$,且第1漏阶梯下表面距离衬底1下边界的垂直距离 T 等于 W_j ; i 为整数且 $m \geq i \geq 1$, j 为整数且 $Q \geq j \geq 1$;

[0073] 源场板13距离漂移层2最近处的水平间距 u 近似满足关系 $u = 0.16 + 4.8 \left(\frac{d}{a}\right)^{0.35}$,且 $S_i > u$, $d < 3.5a$;各级源阶梯的高度 L_i 会随着 u 的增加而相应的增大;源场板13的上边界所在高度高于第一阻挡层41下边界所在高度;漏场板14距离漂移层2最近处的水平间距 k 为 $0.05 \sim 0.2\mu\text{m}$,满足关系: $R_j > k$,且各级漏阶梯的高度 W_j 会随着 k 的增加而相应地增大;漏场板的下边界所在高度低于或等于衬底1的下边界所在高度;其中: a 为第一阻挡层41的厚度, d 为第二阻挡层42的宽度, S_i 为钝化层中各级源阶梯宽度, R_j 为钝化层中各级漏阶梯宽度。

[0074] 参照图3,本发明制作源-漏复合场板垂直型电力电子器件的过程,给出如下三种实施例:

[0075] 实施例一:制作钝化层为 SiN ,且阶梯源场板和阶梯漏场板的阶梯数均为2的源-漏复合场板垂直型电力电子器件。

[0076] 步骤1.在衬底1上外延 n^- 型 GaN ,形成漂移层2,如图3a。

[0077] 采用 n^- 型 GaN 做衬底1,使用金属有机物化学气相淀积技术,在衬底1上外延厚度为 $100\mu\text{m}$ 、掺杂浓度为 $1 \times 10^{15}\text{cm}^{-3}$ 的 n^- 型 GaN 半导体材料,形成漂移层2,其中:

[0078] 外延采用的工艺条件为:温度为 950°C ,压强为40Torr,以 SiH_4 为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为 $100\mu\text{mol}/\text{min}$ 。

[0079] 步骤2.在漂移层上外延 n 型 GaN ,形成孔径层3,如图3b。

[0080] 使用金属有机物化学气相淀积技术,在漂移层2上外延厚度为 $0.5\mu\text{m}$ 、掺杂浓度为 $1 \times 10^{15}\text{cm}^{-3}$ 的 n 型 GaN 半导体材料,形成孔径层3,其中:

[0081] 外延采用的工艺条件为:温度为 950°C ,压强为40Torr,以 SiH_4 为掺杂源,氢气流量

为4000sccm,氨气流量为4000sccm,镓源流量为100 μ mol/min。

[0082] 步骤3.制作第一阻挡层41,如图3c。

[0083] 3a) 在孔径层3上制作掩模;

[0084] 3b) 使用离子注入技术,在孔径层内的两侧位置注入剂量为 $1 \times 10^{15} \text{cm}^{-2}$ 的p型杂质Mg,制作厚度a为0.5 μ m,宽度c为0.2 μ m的两个第一阻挡层41。

[0085] 步骤4.制作第二阻挡层42,如图3d。

[0086] 4a) 在孔径层3和两个第一阻挡层41上制作掩模;

[0087] 4b) 使用离子注入技术,在左、右第一阻挡层41之间的孔径层3内两侧注入剂量为 $1 \times 10^{15} \text{cm}^{-2}$ 的p型杂质Mg,制作厚度b为0.3 μ m,宽度d为1.4 μ m的两个第二阻挡层42,两个第一阻挡层与两个第二阻挡层构成两个对称的二级台阶结构的电流阻挡层4,左右电流阻挡层4之间形成孔径5。

[0088] 步骤5.外延GaN材料制作沟道层6,如图3e。

[0089] 使用分子束外延技术,在两个第一阻挡层41、两个第二阻挡层42和孔径5的上部外延厚度为0.04 μ m的GaN材料,形成沟道层6。

[0090] 所述分子束外延技术,其工艺条件为:真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$,射频功率为400W,反应剂采用N₂、高纯Ga源。

[0091] 步骤6.外延Al_{0.5}Ga_{0.5}N,制作势垒层7,如图3f。

[0092] 使用分子束外延技术在沟道层6上外延厚度为5nm的Al_{0.5}Ga_{0.5}N材料,形成势垒层7,其中:

[0093] 分子束外延的工艺条件为:真空度小于等于 $1.0 \times 10^{-10} \text{mbar}$,射频功率为400W,反应剂采用N₂、高纯Ga源、高纯Al源;

[0094] 步骤7.制作左、右两个注入区8,如图3g。

[0095] 7a) 在势垒层7上部制作掩模;

[0096] 7b) 使用离子注入技术,在势垒层内的两侧注入剂量为 $1 \times 10^{15} \text{cm}^{-2}$ 的n型杂质Si,形成深度为0.01 μ m的注入区8;

[0097] 7c) 在1200 $^{\circ}$ C温度下进行快速热退火。

[0098] 步骤8.制作源极9,如图3h。

[0099] 8a) 在两个注入区8上部和势垒层7上部制作掩模;

[0100] 8b) 使用电子束蒸发技术,在两个注入区上部淀积Ti/Au/Ni组合金属,形成源极9,其中:自下而上所淀积金属Ti的厚度为0.02 μ m、Au的厚度为0.3 μ m、Ni的厚度为0.05 μ m;

[0101] 电子束蒸发的工艺条件为:真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于3 $\text{\AA}/\text{s}$ 。

[0102] 步骤9.制作栅极10,如图3i。

[0103] 9a) 在源极9上部和势垒层7上部制作掩模;

[0104] 9b) 使用电子束蒸发技术,在势垒层7上淀积Ni/Au/Ni组合金属,形成栅极10,栅极10与左右两个电流阻挡层4的水平交叠长度均为0.5 μ m,其中:自下而上所淀积金属Ni的厚度为0.02 μ m、Au的厚度为0.2 μ m、Ni的厚度为0.04 μ m;

[0105] 电子束蒸发的工艺条件为:真空度小于 $1.8 \times 10^{-3} \text{Pa}$,功率范围为200~1000W,蒸发速率小于3 $\text{\AA}/\text{s}$ 。

[0106] 步骤10.制作肖特基漏极11,如图3j。

[0107] 使用电子束蒸发技术,在衬底1背面依次淀积Ni、Au、Ni,形成Ni/Au/Ni组合金属,完成肖特基漏极11的制作,且Ni的厚度为 $0.02\mu\text{m}$ 、Au的厚度为 $0.7\mu\text{m}$ 、Ni的厚度为 $0.05\mu\text{m}$;

[0108] 淀积金属所采用的工艺条件为:真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为 $200 \sim 1000\text{W}$,蒸发速率小于 $3\text{\AA}/\text{s}$ 。

[0109] 步骤11.淀积SiN绝缘介质材料,形成包裹的钝化层12,如图3k。

[0110] 使用等离子体增强化学气相淀积技术,在除了肖特基漏极11底部以外的其他所有区域淀积SiN绝缘介质材料,形成包裹的钝化层12,其中:

[0111] 淀积钝化层的工艺条件是:气体为 NH_3 、 N_2 及 SiH_4 ,气体流量分别为 2.5sccm 、 950sccm 和 250sccm ,温度、射频功率和压强分别为 300°C 、 25W 和 950mTorr 。

[0112] 步骤12.在钝化层内的左、右两边刻蚀第1个平台,如图3l。

[0113] 在钝化层12上部制作掩模,使用反应离子刻蚀技术在钝化层12左、右两边上部区域进行刻蚀,形成第1个平台,其中:

[0114] 反应离子刻蚀的工艺条件为: CF_4 流量为 45sccm , O_2 流量为 5sccm ,压强为 15mTorr ,功率为 250W 。

[0115] 步骤13.制作第1源阶梯和第2源阶梯,如图3m。

[0116] 参照图4,本步骤的具体实现如下:

[0117] 13a) 在钝化层12上部制作掩模;

[0118] 13b) 使用反应离子刻蚀技术,在第1个平台内进行刻蚀,制作第1源阶梯和第2个平台,第1源阶梯与漂移层2的最小水平间距为 $0.49\mu\text{m}$,第1源阶梯宽度 S_1 为 $0.55\mu\text{m}$,第1源阶梯高度 L_1 为 $4\mu\text{m}$,且第1源阶梯上表面距离第一阻挡层下边界的垂直距离也为 $4\mu\text{m}$;

[0119] 13c) 在钝化层12上部制作掩模;

[0120] 14d) 使用反应离子刻蚀技术,在钝化层12左、右两边的第2个平台内进行刻蚀,制作第2源阶梯和第3个平台,第2源阶梯宽度 S_2 为 $0.7\mu\text{m}$,第2源阶梯高度 L_2 为 $4\mu\text{m}$;

[0121] 反应离子刻蚀的工艺条件为: CF_4 流量为 45sccm , O_2 流量为 5sccm ,压强为 15mTorr ,功率为 250W 。

[0122] 步骤14.制作源场板13,如图3n。

[0123] 14a) 在带有2个源阶梯的钝化层12上部制作掩模;

[0124] 14b) 使用电子束蒸发技术,即在真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为 $200 \sim 1000\text{W}$,蒸发速率小于 $3\text{\AA}/\text{s}$ 的工艺条件下,在左、右两边的第1源阶梯至第2源阶梯上淀积连续的金属,制作左、右对称的两个源场板13,该源场板13与漂移层2最近处水平间距为 $0.49\mu\text{m}$,且源场板的上边界所在高度高于第一阻挡层41下边界所在高度 $0.3\mu\text{m}$,并将该两侧的源场板与源极电气连接。

[0125] 步骤15.在钝化层背面的左、右两边制作第1个刻蚀面,如图3o。

[0126] 在肖特基漏极11的背面和钝化层12的背面制作掩模,使用反应离子刻蚀技术在钝化层12背面的左、右两边内进行刻蚀,形成第1个刻蚀面,其中:

[0127] 反应离子刻蚀的工艺条件为: CF_4 流量为 45sccm , O_2 流量为 5sccm ,压强为 15mTorr ,功率为 250W 。

[0128] 步骤16.制作第1漏阶梯和第2漏阶梯,如图3p。

[0129] 参照图5,本步骤的具体实现如下:

[0130] 16a) 在肖特基漏极11的背面和钝化层12的背面制作掩模;

[0131] 16b) 使用反应离子刻蚀技术,在第1个刻蚀面内进行刻蚀,制作第1漏阶梯和第2个刻蚀面,第1漏阶梯与漂移层2的间距为 $0.2\mu\text{m}$,第1漏阶梯宽度 R_1 为 $1\mu\text{m}$,第1漏阶梯高度 W_1 为 $4\mu\text{m}$,且第1漏阶梯下表面距离衬底1下边界的垂直距离也为 $4\mu\text{m}$;

[0132] 16c) 在肖特基漏极11的背面和钝化层12的背面制作掩模;

[0133] 16d) 使用反应离子刻蚀技术,在第2个刻蚀面内进行刻蚀,制作第2漏阶梯和第3个刻蚀面,第2漏阶梯宽度 R_2 为 $3\mu\text{m}$,第2漏阶梯高度 W_2 为 $4\mu\text{m}$;

[0134] 反应离子刻蚀的工艺条件为: CF_4 流量为 45sccm , O_2 流量为 5sccm ,压强为 15mTorr ,功率为 250W 。

[0135] 步骤17.制作漏场板13,如图3q。

[0136] 17a) 在肖特基漏极11的背面以及带有2个漏阶梯的钝化层12的背面制作掩模;

[0137] 17b) 使用电子束蒸发技术,即在真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为 $200 \sim 1000\text{W}$,蒸发速率小于 $3\text{\AA}/\text{s}$ 的工艺条件下,在左、右两边的漏阶梯上淀积连续的金属,制作左、右对称的两个漏场板14,该漏场板14与漂移层2最近处水平间距 k 为 $0.2\mu\text{m}$,且漏场板下边界所在高度低于衬底1下边界所在高度 $0.2\mu\text{m}$,并将该两侧漏场板与肖特基漏极电气连接。

[0138] 实施例二:制作钝化层为 SiO_2 ,且阶梯源场板和阶梯漏场板的阶梯数均为3的源-漏复合场板垂直型电力电子器件。

[0139] 第一步.在衬底1上外延 n^- 型GaN,形成漂移层2,如图3a。

[0140] 在温度为 1000°C ,压强为 45Torr ,以 SiH_4 为掺杂源,氢气流量为 4400sccm ,氨气流量为 4400sccm ,镓源流量为 $110\mu\text{mol}/\text{min}$ 的工艺条件下,采用 n^- 型GaN做衬底1,使用金属有机物化学气相淀积技术,在衬底1上外延厚度为 $35\mu\text{m}$ 、掺杂浓度为 $4 \times 10^{16}\text{cm}^{-3}$ 的 n^- 型GaN材料,完成漂移层2的制作。

[0141] 第二步.在漂移层上外延 n 型GaN,形成孔径层3,如图3b。

[0142] 在温度为 1000°C ,压强为 45Torr ,以 SiH_4 为掺杂源,氢气流量为 4400sccm ,氨气流量为 4400sccm ,镓源流量为 $110\mu\text{mol}/\text{min}$ 的工艺条件下,使用金属有机物化学气相淀积技术,在漂移层2上外延厚度为 $1.5\mu\text{m}$ 、掺杂浓度为 $6 \times 10^{16}\text{cm}^{-3}$ 的 n 型GaN材料,完成孔径层3的制作。

[0143] 第三步.制作第一阻挡层41,如图3c。

[0144] 3.1) 在孔径层3上制作掩模;

[0145] 3.2) 使用离子注入技术,在孔径层内的两侧位置注入剂量为 $6 \times 10^{15}\text{cm}^{-2}$ 的 p 型杂质Mg,制作厚度 a 为 $1.5\mu\text{m}$,宽度 c 为 $0.4\mu\text{m}$ 的两个第一阻挡层41。

[0146] 第四步.制作第二阻挡层42,如图3d。

[0147] 4.1) 在孔径层3和两个第一阻挡层41上制作掩模;

[0148] 4.2) 使用离子注入技术,在左、右第一阻挡层41之间的孔径层3内两侧注入剂量为 $5 \times 10^{15}\text{cm}^{-2}$ 的 p 型杂质Mg,形成厚度 b 为 $0.5\mu\text{m}$,宽度 d 为 $2\mu\text{m}$ 的两个第二阻挡层42,两个第一阻挡层与两个第二阻挡层构成两个对称的二级台阶结构的电流阻挡层4,左右电流阻挡层4之间形成孔径5。

[0149] 第五步.外延GaN材料,制作沟道层6,如图3e。

[0150] 在真空度小于等于 1.0×10^{-10} mbar, 射频功率为400W, 反应剂采用 N_2 、高纯Ga源的工艺条件下, 使用分子束外延技术, 在第一阻挡层41、第二阻挡层42和孔径5上部, 外延厚度为 $0.12 \mu\text{m}$ 的GaN材料, 完成沟道层6的制作。

[0151] 第六步. 外延 $Al_{0.3}Ga_{0.7}N$, 制作势垒层7, 如图3f。

[0152] 在真空度小于等于 1.0×10^{-10} mbar, 射频功率为400W, 反应剂采用 N_2 、高纯Ga源、高纯Al源的工艺条件下, 使用分子束外延技术, 在沟道层6上外延厚度为25nm的 $Al_{0.3}Ga_{0.7}N$ 材料, 完成势垒层7的制作。

[0153] 第七步. 制作左、右两个注入区8, 如图3g。

[0154] 7.1) 在势垒层7上制作掩模;

[0155] 7.2) 使用离子注入技术, 在势垒层内的两侧注入剂量为 $5 \times 10^{15} \text{cm}^{-2}$ 的n型杂质Si, 制作深度为 $0.04 \mu\text{m}$ 的注入区8; 然后在 1200°C 温度下进行快速热退火。

[0156] 第八步. 制作源极9, 如图3h。

[0157] 8.1) 在两个注入区8上部和势垒层7上制作掩模;

[0158] 8.2) 在真空度小于 1.8×10^{-3} Pa, 功率范围为200~1000W, 蒸发速率小于 3Å/s 的工艺条件下, 使用电子束蒸发技术, 在两侧的注入区上部淀积Ti/Au/Ni组合金属, 完成源极9的制作, 且自下而上, Ti的厚度为 $0.02 \mu\text{m}$ 、Au的厚度为 $0.3 \mu\text{m}$ 、Ni的厚度为 $0.05 \mu\text{m}$ 。

[0159] 第九步. 制作栅极10, 如图3i。

[0160] 9.1) 在两个源极9上部与势垒层7上制作掩模;

[0161] 9.2) 在真空度小于 1.8×10^{-3} Pa, 功率范围为200~1000W, 蒸发速率小于 3Å/s 的工艺条件下, 使用电子束蒸发技术, 在势垒层7上淀积Ni/Au/Ni组合金属, 完成栅极10的制作, 且自下而上, Ni的厚度为 $0.02 \mu\text{m}$ 、Au的厚度为 $0.2 \mu\text{m}$ 、Ni的厚度为 $0.04 \mu\text{m}$, 栅极10与左右两个电流阻挡层4的水平交叠长度均为 $0.5 \mu\text{m}$ 。

[0162] 第十步. 制作肖特基漏极11, 如图3j。

[0163] 在真空度小于 1.8×10^{-3} Pa, 功率范围为200~1000W, 蒸发速率小于 3Å/s 的工艺条件下, 使用电子束蒸发技术, 在整个衬底1背面依次淀积Pt、Au、Ni, 形成Pt/Au/Ni组合金属, 完成肖特基漏极11的制作, 且Pt的厚度为 $0.02 \mu\text{m}$ 、Au的厚度为 $0.7 \mu\text{m}$ 、Ni的厚度为 $0.05 \mu\text{m}$ 。

[0164] 第十一步. 淀积 SiO_2 绝缘介质材料, 形成包裹的钝化层12, 如图3k。

[0165] 在 N_2O 流量为850sccm, SiH_4 流量为200sccm, 温度为 250°C , 射频功率为25W, 压力为1100mTorr的工艺条件下, 使用等离子体增强化学气相淀积技术, 淀积 SiO_2 绝缘介质材料, 以包裹除了肖特基漏极11底部以外的其他所有区域, 完成钝化层12的制作

[0166] 第十二步. 在钝化层内的左、右两侧刻蚀第1个平台, 如图3l。

[0167] 12.1) 在钝化层12上部制作一次掩模;

[0168] 12.2) 在 CF_4 流量为20sccm, O_2 流量为2sccm, 压强为20mTorr, 偏置电压为100V的工艺条件下, 使用反应离子刻蚀技术, 在左、右两边钝化层内进行刻蚀, 完成第1个平台的制作。

[0169] 第十三步. 制作第1源阶梯、第2源阶梯和第3源阶梯, 如图3m。

[0170] 参照图4, 本步骤的具体实现如下:

[0171] 13.1) 在钝化层12上部制作掩模, 再在 CF_4 流量为20sccm, O_2 流量为2sccm, 压强为20mTorr, 偏置电压为100V的工艺条件下, 使用反应离子刻蚀技术, 在钝化层12左、右两边第

1个平台内进行刻蚀,制作第1源阶梯和第2个平台,第1源阶梯与漂移层2之间的最小水平间距为 $0.19\mu\text{m}$,第1源阶梯的宽度 S_1 为 $0.25\mu\text{m}$ 、高度 L_1 为 $1.5\mu\text{m}$,且第1源阶梯上表面距离第一阻挡层下边界的垂直距离也为 $1.5\mu\text{m}$;

[0172] 13.2) 在钝化层12上部制作一次掩模,再在 CF_4 流量为 20sccm , O_2 流量为 2sccm ,压强为 20mTorr ,偏置电压为 100V 的工艺条件下,使用反应离子刻蚀技术,在钝化层12左、右两边第2个平台内进行刻蚀,制作第2源阶梯和第3个平台,第2源阶梯的宽度 S_2 为 $0.5\mu\text{m}$ 、高度 L_2 为 $1.5\mu\text{m}$;

[0173] 13.3) 在钝化层12上部制作一次掩模,再在 CF_4 流量为 20sccm , O_2 流量为 2sccm ,压强为 20mTorr ,偏置电压为 100V 的工艺条件下,使用反应离子刻蚀技术,在钝化层12左、右两边第3个平台内进行刻蚀,制作第3源阶梯和第4个平台,第3源阶梯的宽度 S_3 为 $0.85\mu\text{m}$ 、高度 L_3 为 $1.5\mu\text{m}$ 。

[0174] 第十四步.制作源场板13,如图3n。

[0175] 14.1) 在钝化层12上制作一次掩模;

[0176] 14.2) 在真空度小于 $1.8 \times 10^{-3}\text{Pa}$,功率范围为 $200 \sim 1000\text{W}$,蒸发速率小于 $3\text{\AA}/\text{s}$ 的工艺条件下,使用电子束蒸发技术,在钝化层12左、右两边的第1源阶梯、第2源阶梯和第3源阶梯上淀积连续的金属,完成源场板13的制作,并将源场板与源极电气连接,源场板13与漂移层2最近处水平间距 u 为 $0.19\mu\text{m}$,且源场板的上边界所在高度高于第一阻挡层41下边界所在高度 $0.2\mu\text{m}$ 。

[0177] 第十五步.在钝化层背面的左、右两边制作第1个刻蚀面,如图3o。

[0178] 15.1) 在肖特基漏极11的背面和钝化层12的背面制作掩模;

[0179] 15.2) 在 CF_4 流量为 45sccm , O_2 流量为 5sccm ,压强为 15mTorr ,功率为 250W 的工艺条件下,使用反应离子刻蚀技术在钝化层12背面的左、右两边内进行刻蚀,形成第1个刻蚀面。

[0180] 第十六步.制作第1漏阶梯、第2漏阶梯和第3漏阶梯,如图3p。

[0181] 参照图5,本步骤的具体实现如下:

[0182] 16.1) 在肖特基漏极11的背面和钝化层12的背面制作掩模,再在 CF_4 流量为 45sccm , O_2 流量为 5sccm ,压强为 15mTorr ,功率为 250W 的工艺条件下,使用反应离子刻蚀技术,在第1个刻蚀面内进行刻蚀,制作第1漏阶梯和第2个刻蚀面,第1漏阶梯与漂移层2之间的最小水平间距为 $0.1\mu\text{m}$,第1漏阶梯宽度 R_1 为 $0.15\mu\text{m}$,第1漏阶梯高度 W_1 为 $1.5\mu\text{m}$,且第1漏阶梯下表面距离衬底1下边界的垂直距离也为 $1.5\mu\text{m}$;

[0183] 16.2) 在肖特基漏极11的背面和钝化层12的背面制作掩模,再在 CF_4 流量为 45sccm , O_2 流量为 5sccm ,压强为 15mTorr ,功率为 250W 的工艺条件下,使用反应离子刻蚀技术,在第2个刻蚀面内进行刻蚀,制作第2漏阶梯和第3个刻蚀面;第2漏阶梯宽度 R_2 为 $0.4\mu\text{m}$,第2漏阶梯高度 W_2 为 $1.5\mu\text{m}$;

[0184] 16.3) 在肖特基漏极11的背面和钝化层12的背面制作掩模,在 CF_4 流量为 45sccm , O_2 流量为 5sccm ,压强为 15mTorr ,功率为 250W 的工艺条件下,使用反应离子刻蚀技术,在第3个刻蚀面内进行刻蚀,制作第3漏阶梯和第4个刻蚀面;第3漏阶梯宽度 R_3 为 $0.7\mu\text{m}$,第3漏阶梯高度 W_3 为 $1.5\mu\text{m}$ 。

[0185] 第十七步.制作漏场板13,如图3q。

[0186] 17.1) 在肖特基漏极11的背面以及带有3个漏阶梯的钝化层12的背面制作掩模;

[0187] 17.2) 使用电子束蒸发技术,即在真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于 $3 \text{ \AA}/\text{s}$ 的工艺条件下,在左、右两边的漏阶梯上淀积连续的金属,制作左、右对称的两个漏场板14,该漏场板14与漂移层2最近处水平间距 k 为 $0.1 \mu\text{m}$,漏场板下边界所在高度低于衬底1下边界所在高度 $0.2 \mu\text{m}$,并将两侧的漏场板与肖特基漏极电气连接,完成整个器件的制作。

[0188] 实施例三:制作钝化层为 SiO_2 ,且阶梯源场板和阶梯漏场板的阶梯数均为2的源-漏复合场板垂直型电力电子器件。

[0189] 步骤A.采用温度为 950°C ,压强为40Torr,以 SiH_4 为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为 $100 \mu\text{mol}/\text{min}$ 的工艺条件,采用 n^- 型GaN做衬底1,使用金属有机物化学气相淀积技术,在衬底上外延厚度为 $5 \mu\text{m}$ 、掺杂浓度为 $1 \times 10^{18} \text{ cm}^{-3}$ 的 n^- 型GaN材料,制作漂移层2,如图3a。

[0190] 步骤B.采用温度为 950°C ,压强为40Torr,以 SiH_4 为掺杂源,氢气流量为4000sccm,氨气流量为4000sccm,镓源流量为 $100 \mu\text{mol}/\text{min}$ 的工艺条件,使用金属有机物化学气相淀积技术,在漂移层2上外延厚度为 $3 \mu\text{m}$ 、掺杂浓度为 $1 \times 10^{18} \text{ cm}^{-3}$ 的 n 型GaN材料,制作孔径层3,如图3b。

[0191] 步骤C.在孔径层3上制作掩模,再使用离子注入技术,在孔径层内的两侧位置注入剂量为 $1 \times 10^{16} \text{ cm}^{-2}$ 的 p 型杂质Mg,制作厚度 a 为 $3 \mu\text{m}$,宽度 c 为 $1 \mu\text{m}$ 的两个第一阻挡层41,如图3c。

[0192] 步骤D.在孔径层3和两个第一阻挡层41上制作掩模,再使用离子注入技术,在左、右第一阻挡层41之间的孔径层3内两侧位置注入剂量为 $1 \times 10^{16} \text{ cm}^{-2}$ 的 p 型杂质Mg,制作厚度 b 为 $1 \mu\text{m}$,宽度 d 为 $3.4 \mu\text{m}$ 的两个第二阻挡层42,两个第一阻挡层与两个第二阻挡层构成两个对称的二级台阶结构的电流阻挡层4,左右电流阻挡层4之间形成孔径5,如图3d。

[0193] 步骤E.采用真空度小于等于 1.0×10^{-10} mbar,射频功率为400W,反应剂采用 N_2 、高纯Ga源的工艺条件,使用分子束外延技术,在两个第一阻挡层41、两个第二阻挡层42和孔径5上部外延厚度为 $0.2 \mu\text{m}$ 的GaN材质的沟道层6,如图3e。

[0194] 步骤F.采用真空度小于等于 1.0×10^{-10} mbar,射频功率为400W,反应剂采用 N_2 、高纯Ga源、高纯Al源的工艺条件,使用分子束外延技术,在沟道层6上外延厚度为50nm的 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 材质的势垒层7,如图3f。

[0195] 步骤G.在势垒层7上部制作掩模,再使用离子注入技术,在势垒层内两侧注入剂量为 $1 \times 10^{16} \text{ cm}^{-2}$ 的 n 型杂质Si,制作深度为 $0.06 \mu\text{m}$ 的两个注入区8;然后,在 1200°C 下进行快速热退火,如图3g。

[0196] 步骤H.在两个注入区8上部和势垒层7上制作掩模,再采用真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于 $3 \text{ \AA}/\text{s}$ 的工艺条件,使用电子束蒸发技术,在两侧的注入区上部淀积金属,制作源极9,所淀积的金属为Ti/Au/Ni金属组合,且自下而上,Ti的厚度为 $0.02 \mu\text{m}$ 、Au的厚度为 $0.3 \mu\text{m}$ 、Ni的厚度为 $0.05 \mu\text{m}$,如图3h。

[0197] 步骤I.在源极9上部和势垒层7上制作掩模;再采用真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于 $3 \text{ \AA}/\text{s}$ 的工艺条件,使用电子束蒸发技术,在势垒层7上淀积Ni/Au/Ni组合金属,完成栅极10的制作,且自下而上,Ni的厚度为 $0.02 \mu\text{m}$ 、Au的厚度为 $0.2 \mu\text{m}$ 、Ni的厚度为 $0.04 \mu\text{m}$,栅极10与左右两个电流阻挡层4的水平交叠长度均为 $0.3 \mu\text{m}$,如图

3i。

[0198] 步骤J.采用真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于 $3\text{\AA}/\text{s}$ 的工艺条件,使用电子束蒸发技术,在整个衬底1的背面上淀积金属,制作肖特基漏极11,其中所淀积的金属依次为W、Au、Ni,形成W/Au/Ni金属组合,且W的厚度为 $0.02\mu\text{m}$,Au的厚度为 $0.7\mu\text{m}$,Ni的厚度为 $0.02\mu\text{m}$,如图3j。

[0199] 步骤K.采用 N_2O 流量为850sccm, SiH_4 流量为200sccm,温度为 250°C ,射频功率为25W,压力为1100mTorr的工艺条件,使用等离子体增强化学气相淀积技术,淀积 SiO_2 绝缘介质材料,以包裹除了肖特基漏极11底部以外的其他所有区域,完成钝化层12的制作,如图3k。

[0200] 步骤L.在钝化层12上部制作一次掩模,再采用 CF_4 流量为20sccm, O_2 流量为2sccm,压强为20mTorr,偏置电压为100V的工艺条件,使用反应离子刻蚀技术,在左、右两边钝化层内刻蚀,形成第一个平台,如图3l。

[0201] 步骤M.在钝化层12左、右两边的平台内刻蚀制作第1源阶梯和第2源阶梯,如图3m。

[0202] 参照图4,本步骤的具体实现如下:

[0203] M1)在钝化层12上部制作一次掩模,再使用反应离子刻蚀技术,在钝化层12左、右两边第1个平台内进行刻蚀,制作第1源阶梯和第2个平台,第1源阶梯与漂移层2之间的最小水平间距为 $0.18\mu\text{m}$,第1源阶梯宽度 S_1 为 $0.21\mu\text{m}$ 、高度 L_1 为 $0.5\mu\text{m}$,且第1源阶梯上表面距离第一阻挡层下边界的垂直距离也为 $0.5\mu\text{m}$;

[0204] M2)在钝化层12上部制作一次掩模,再使用反应离子刻蚀技术,在钝化层12左、右两侧第2个平台内进行刻蚀,制作第2源阶梯和第3个平台,第2源阶梯宽度 S_2 为 $0.45\mu\text{m}$ 、高度 L_2 为 $0.5\mu\text{m}$;

[0205] 所述反应离子刻蚀均采用 CF_4 流量为20sccm, O_2 流量为2sccm,压强为20mTorr,偏置电压为100V的工艺条件。

[0206] 步骤N.在钝化层12上部制作第一次掩模,再采用真空度小于 1.8×10^{-3} Pa,功率范围为200~1000W,蒸发速率小于 $3\text{\AA}/\text{s}$ 的工艺条件,使用电子束蒸发技术,在左、右两边的第1源阶梯和第2源阶梯上淀积连续的金属,完成源场板13的制作,且源场板的上边界所在高度高于第一阻挡层41下边界所在高度 $0.5\mu\text{m}$,并将源场板与源极电气连接,如图3n。

[0207] 步骤O.在肖特基漏极11的背面和钝化层12的背面制作掩模,再采用 CF_4 流量为20sccm, O_2 流量为2sccm,压强为20mTorr,偏置电压为100V的工艺条件,使用反应离子刻蚀技术,在钝化层12背面的左、右两边内进行刻蚀,形成第1个刻蚀面,如图3o。

[0208] 步骤P.在钝化层背面的左、右两边制作第1漏阶梯和第2漏阶梯,如图3p。

[0209] 参照图5,本步骤的具体实现如下:

[0210] P1)在肖特基漏极11的背面和钝化层12的背面制作掩模,再使用反应离子刻蚀技术,在钝化层12背面的左、右两边第1个刻蚀面内进行刻蚀,制作第1漏阶梯和第2个刻蚀面,第1漏阶梯与漂移层2之间的最小水平间距为 $0.05\mu\text{m}$,第1漏阶梯宽度 R_1 为 $0.1\mu\text{m}$ 、高度 W_1 为 $0.5\mu\text{m}$,且第1漏阶梯下表面距离衬底1下边界的垂直距离也为 $0.5\mu\text{m}$;

[0211] P2)在肖特基漏极11的背面和钝化层12的背面制作掩模,再使用反应离子刻蚀技术,在钝化层12背面的左、右两边第2个刻蚀面内进行刻蚀,制作第2漏阶梯和第3个刻蚀面,第2漏阶梯宽度 R_2 为 $0.28\mu\text{m}$ 、高度 W_2 为 $0.5\mu\text{m}$;

[0212] 所述反应离子刻蚀均采用CF₄流量为20sccm, O₂流量为2sccm, 压强为20mTorr, 偏置电压为100V的工艺条件。

[0213] 步骤Q. 在肖特基漏极11的背面以及带有2个漏阶梯的钝化层12的背面制作掩模, 再采用真空度小于 1.8×10^{-3} Pa, 功率范围为200~1000W, 蒸发速率小于3Å/s的工艺条件, 使用电子束蒸发技术, 在左、右两边的各漏阶梯上淀积连续的金属, 制作左、右对称的两个漏场板14, 该漏场板14与漂移层2最近处水平间距k为0.05μm, 漏场板下边界所在高度低于衬底1下边界所在高度0.3μm, 并将该两侧的漏场板与肖特基漏极电气连接, 完成整个器件的制作, 如图3q。

[0214] 本发明的效果可通过以下仿真进一步说明。

[0215] 仿真1: 对本发明器件在正向击穿情况下的二维电场分布进行仿真, 结果如图6, 其中器件采用了4个源阶梯和4个漏阶梯, 击穿电压为1800V。

[0216] 由图6可以看出, 正向击穿情况下, 本发明器件中电场强度分布均匀, 在器件内部以及漂移层两侧表面附近形成了连续平缓的高电场区, 且高场区的范围大, 说明采用二级台阶形式的电流阻挡层后, 本发明器件结构可以有效地调制器件内部和漂移层两侧表面附近的电场分布。因此本发明器件可以有效实现正向阻断功能。

[0217] 仿真2: 对本发明器件在反向击穿情况下的二维电场分布进行仿真, 结果如图7, 其中器件的击穿电压为-1520V。

[0218] 由图7可以看出, 反向击穿情况下, 本发明器件中电场强度分布均匀, 在器件内部以及漂移层两侧表面附近形成了连续平缓的高电场区, 且高场区的范围大, 说明本发明器件结构可以有效地调制器件内部和漂移层两侧表面附近的电场分布。因此本发明器件可以有效实现反向阻断功能。

[0219] 以上描述仅是本发明的几个具体实施例, 并不构成对本发明的限制, 显然对于本领域的专业人员来说, 在了解了本发明内容和原理后, 能够在不背离本发明的原理和范围的情况下, 根据本发明的方法进行形式和细节上的各种修正和改变, 但是这些基于本发明的修正和改变仍在本发明的权利要求保护范围之内。

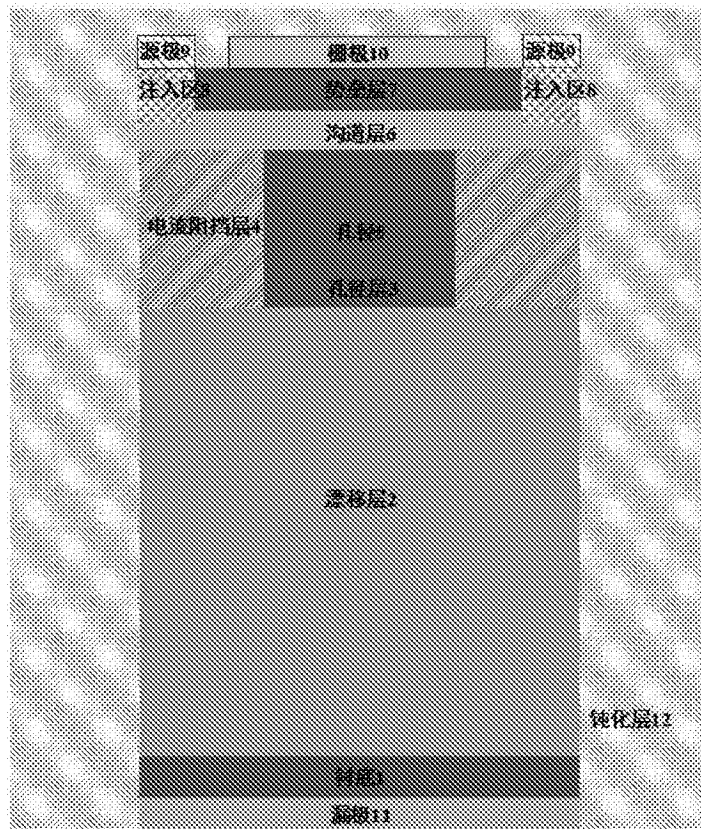


图1

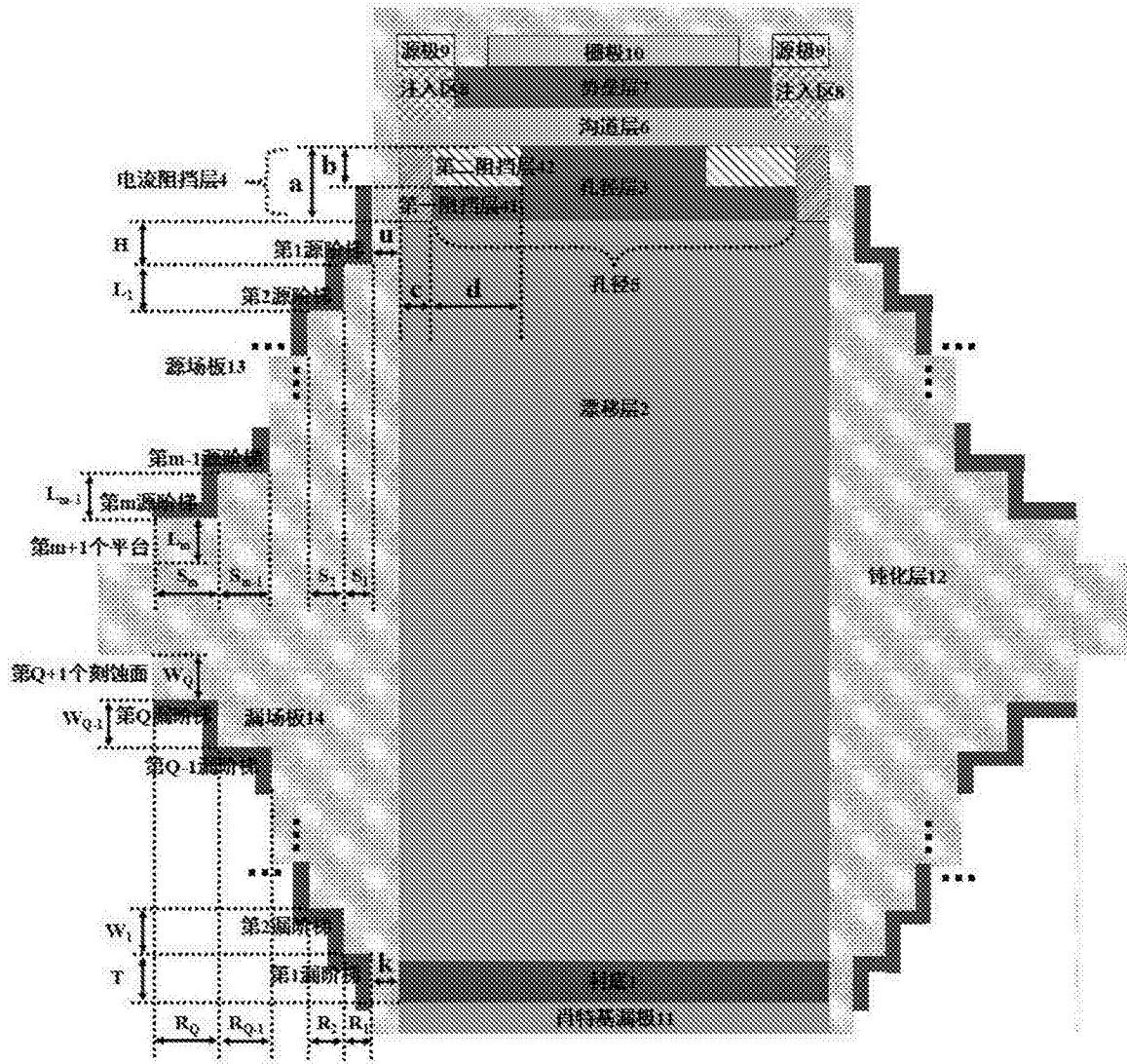


图2

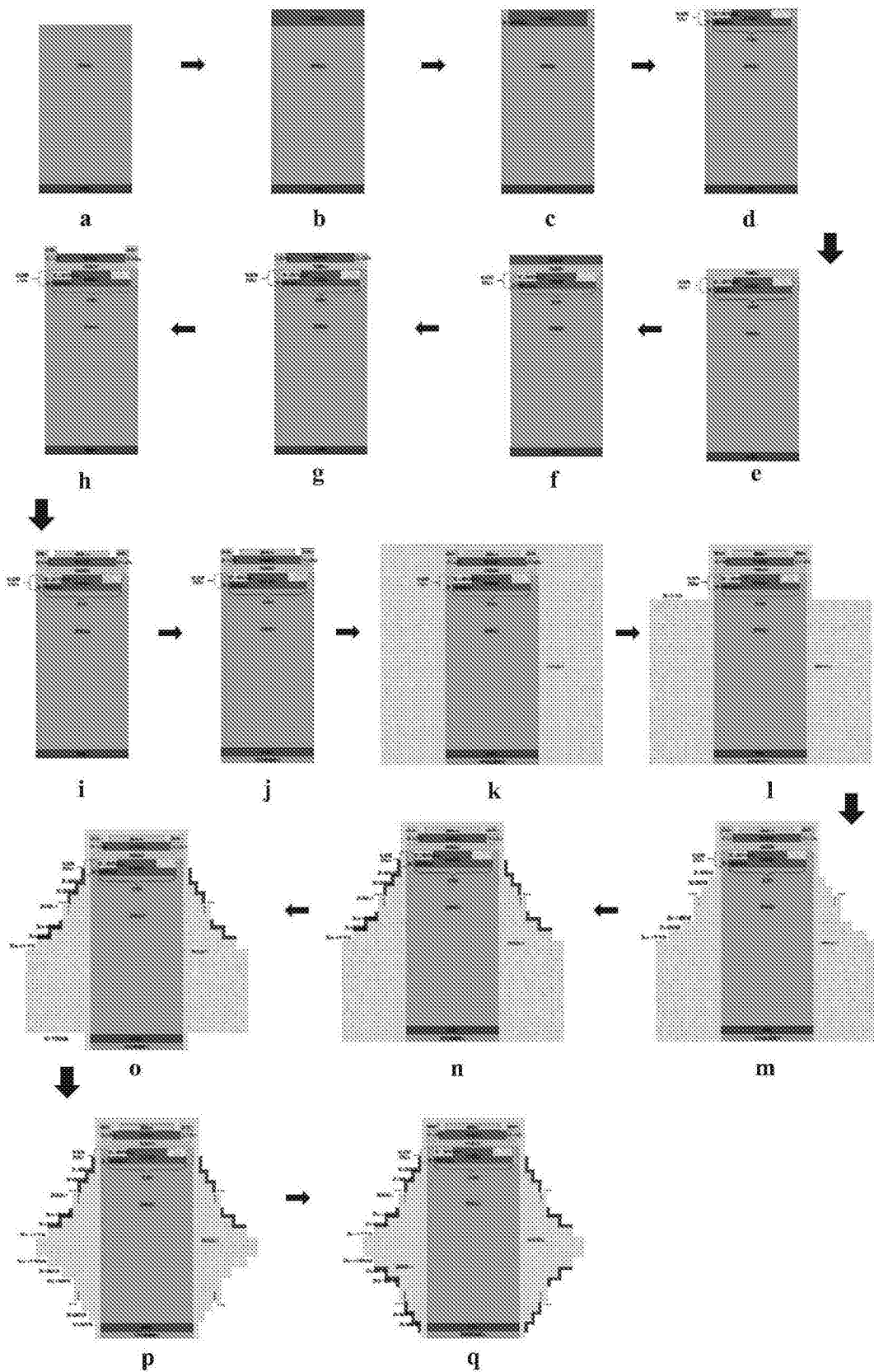


图3

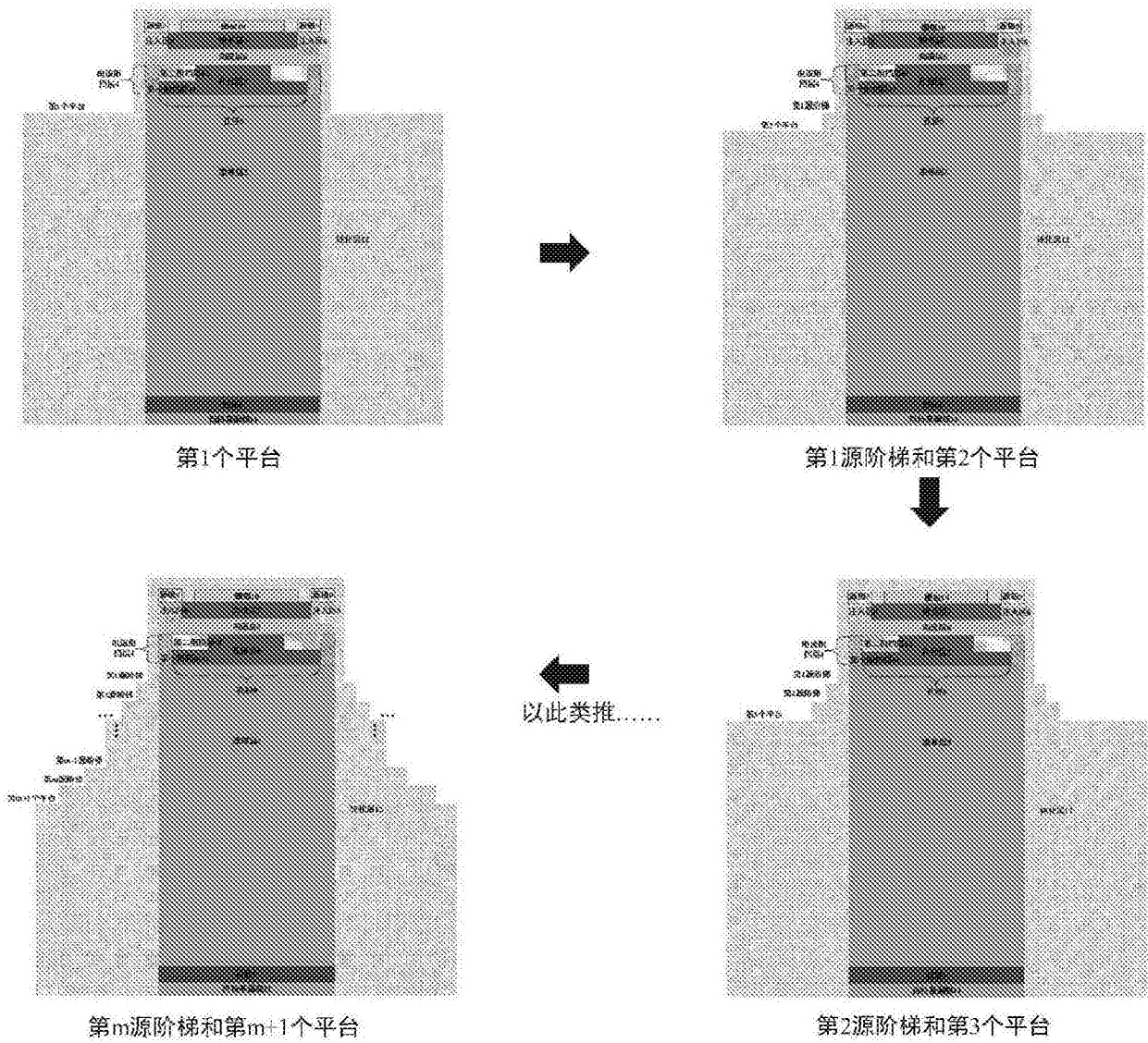


图4

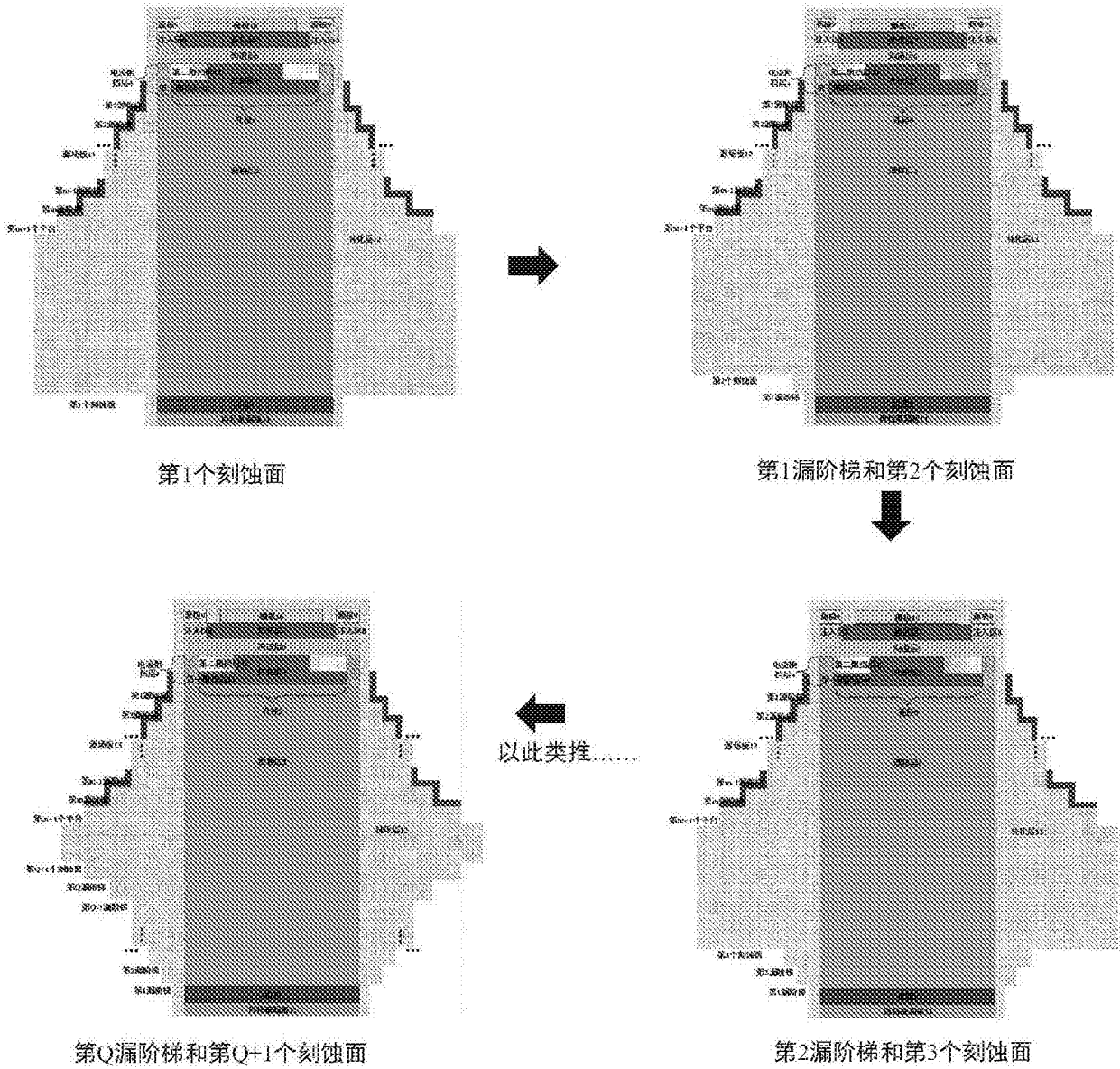


图5

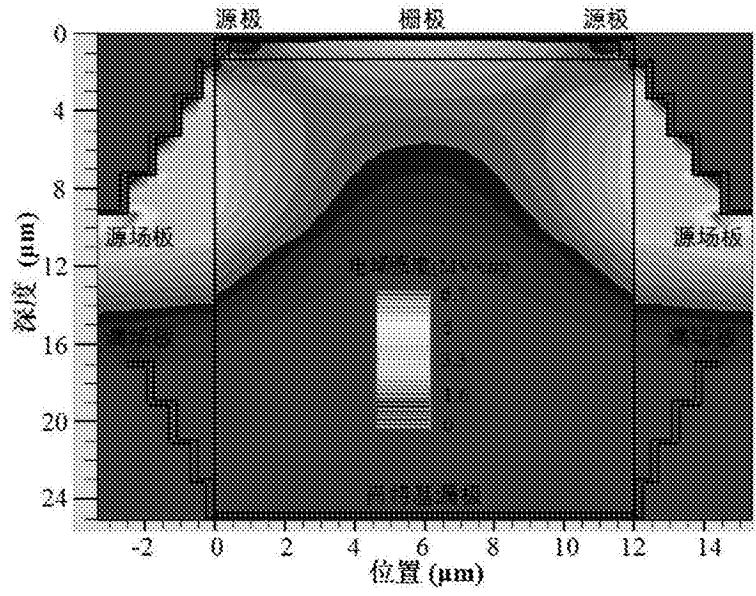


图6

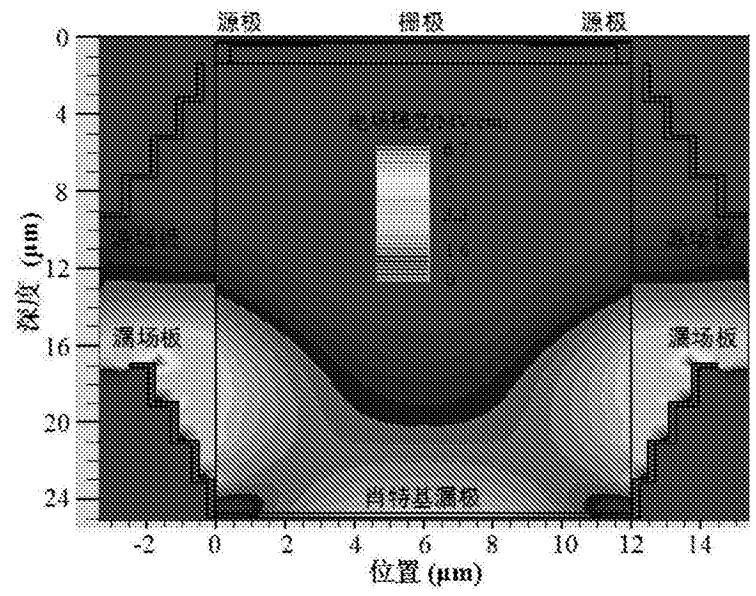


图7