

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-524924

(P2009-524924A)

(43) 公表日 平成21年7月2日(2009.7.2)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B	5 F 1 1 O
	H O 1 L 29/78 6 1 6 V	
	H O 1 L 29/78 6 1 7 T	
	H O 1 L 29/78 6 2 6 A	

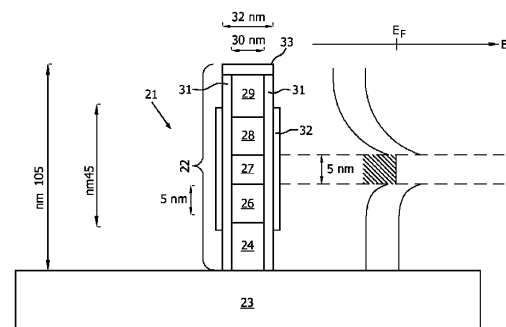
審査請求 有 予備審査請求 未請求 (全 16 頁)

(21) 出願番号	特願2008-551929 (P2008-551929)	(71) 出願人	507219491
(86) (22) 出願日	平成19年1月24日 (2007.1.24)		エヌエックスピー ビー ヴィ
(85) 翻訳文提出日	平成20年9月19日 (2008.9.19)		オランダ国 5 6 5 6 エイジー アインド
(86) 国際出願番号	PCT/IB2007/050241		ーフエン ハイ テク キャンパス 6 O
(87) 国際公開番号	W02007/086009	(74) 代理人	100147485
(87) 国際公開日	平成19年8月2日 (2007.8.2)		弁理士 杉村 憲司
(31) 優先権主張番号	06100816.5	(74) 代理人	100134005
(32) 優先日	平成18年1月25日 (2006.1.25)		弁理士 澤田 達也
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100143568
			弁理士 英 貢
		(72) 発明者	フレッド ヒュレック
			オーストリア国 1 1 0 2 ウィーン ガ
			ッセイル シューダー ガッセ 8-1 2
			エヌエックスピー セミコンダクターズ
			オーストリア ゲーエムペーハー内
			最終頁に続く

(54) 【発明の名称】 ナノワイヤ・トンネルトランジスタ

(57) 【要約】

トランジスタが、真性または低濃度ドーピング領域(26, 28)によって分離されたソース(24)およびドレイン(29)を有するナノワイヤ(22, 22')を備えている。真性または低濃度ドーピング領域(26, 28)とソース(24)またはドレイン(29)の一方との間の界面にポテンシャルバリアが形成される。ポテンシャルバリアの付近にゲート電極(32)を設けて、ゲート電極(32)に適切な電圧を印加することによって、ポテンシャルバリアの実効的な高さおよび／または幅を調整することができる。



【特許請求の範囲】

【請求項 1】

真性または低濃度ドーピング領域によって分離されたソースおよびドレインを有するナノワイヤを備えたトランジスタにおいて、

前記真性または低濃度ドーピング領域と前記ソースまたは前記ドレインの一方との界面にポテンシャルバリアが形成され、前記ポテンシャルバリアの付近にゲート電極を設けて、前記ゲート電極に適切な電圧を印加することによって、前記ポテンシャルバリアの実効的な高さおよび／または幅を調整することができることを特徴とするトランジスタ。

【請求項 2】

請求項 1 に記載のトランジスタにおいて、前記ソースと前記ドレインとの間にある前記真性または低濃度ドーピング領域の内部にバリア領域が配置されていることを特徴とするトランジスタ。

10

【請求項 3】

請求項 1 に記載のトランジスタにおいて、前記バリア領域が高濃度にドーピングされた半導体材料であることを特徴とするトランジスタ。

【請求項 4】

請求項 3 に記載のトランジスタにおいて、前記バリア領域を形成する前記半導体材料がインジウムヒ素であり、前記バリア領域に隣接する前記真性または低濃度ドーピング領域がシリコンまたはガリウムヒ素製であることを特徴とするトランジスタ。

【請求項 5】

請求項 1 に記載のトランジスタにおいて、前記バリア領域が金属製であることを特徴とするトランジスタ。

20

【請求項 6】

請求項 1 に記載のトランジスタにおいて、前記ナノワイヤが半導体基板上に成長することを特徴とするトランジスタ。

【請求項 7】

請求項 1 に記載のトランジスタにおいて、前記ナノワイヤが、前記トランジスタの前記ソースおよび前記ドレインを形成する高濃度にドーピングされた終端部を有することを特徴とするトランジスタ。

【請求項 8】

請求項 5 に記載のトランジスタにおいて、前記ナノワイヤの外面が絶縁層によって覆われていることを特徴とするトランジスタ。

30

【請求項 9】

請求項 8 に記載のトランジスタにおいて、前記絶縁層の表面上に金属層が堆積されてゲート電極を形成することを特徴とするトランジスタ。

【請求項 10】

請求項 8 に記載のトランジスタにおいて、前記絶縁層が、誘電層であるか、前記ゲート電極に対するショットキーバリアを形成するワイドバンドギャップ半導体であることを特徴とするトランジスタ。

【請求項 11】

請求項 10 に記載のトランジスタにおいて、前記ゲート電極に対するショットキーバリアを形成する前記ワイドバンドギャップ半導体がデルタドーピング層を含むことを特徴とするトランジスタ。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トンネルトランジスタに関するものである。本発明はとくに、請求項 1 に記載のナノワイヤ・トンネルトランジスタに関するものである。

【背景技術】

【0002】

50

金属酸化膜半導体電界効果トランジスタ (M O S F E T) のチャネル長がナノメートルの大きさになると共に、短チャネル効果は一層顕著になる。したがってナノスケールの M O S F E T を良好なデバイス性能で実現するために、効果的なゲート制御が必要になる。この理由により、マルチゲート、つまり「ゲートオールアラウンド型」または「ラップアラウンド型」のゲートトランジスタを可能にするシリコンナノワイヤが探求されている。

【0003】

縦型エピタキシャル半導体ナノワイヤデバイスは、将来可能なトランジスタデバイスの候補として探求されてきた。研究されてきた多くの装置の中で、「ラップアラウンド型」ゲートデバイスは最も広範に検討されている。後者のデバイスは、ナノワイヤの周囲に環状のゲート電極を設けられてナノワイヤ内部の電気特性を制御する。

10

【0004】

気-液-固 (V L S : Vapor-Liquid-Solid) 技術によって、多種多様な半導体材料 (S i G e、Z n O、G a A s、I n A s等) の単結晶ナノワイヤを成長させることが可能である。

【0005】

V L S 技術は縦のヘテロ構造ナノワイヤ (L O H N : Longitudinal Heterostructure Nanowire) を成長させることも可能にする。L O H N 構造は、実質的な結晶材料の少なくとも1つのセグメントを備え、組成の異なる材料の少なくとも1つの他のセグメントがこれに隣接し、これらのセグメント間に接合が形成される。L O H N 構造は、2つの隣接するセグメントのみに限定されず、組成の異なる複数の材料を含むことができる。「組成の異なる」という用語によって、次の可能性が包括される：

20

- a) 真性でもドーピングされたものでも、化学組成の異なる材料、および
- b) 異なる結晶方向を有する材料、例えば同一材料であるが異なる結晶方向を有する材料。

【0006】

ナノワイヤのヘテロ構造は、異なる材料が交互するか周期的に存在する場合、あるいは、セグメントの少なくとも2つが異なる材料から成るマルチ (多) セグメント・ナノワイヤの場合のように、長軸方向に見ると組成の異なる材料を含みうる。

【0007】

しかし、ナノメートルスケールの寸法を有するデバイスは、多くの明らかな欠点を有する。具体的には：

30

1. 活性領域内の不純物ドーピングの変動は、大きくかつ不可避であるものと想定される。
2. デバイスのトランスコンダクタンスは、ゲート長に依存する。ナノワイヤ電界効果トランジスタデバイスでは、非常に短いゲート長は、大きな技術的困難性を伴って初めて作製することができる。

【0008】

【非特許文献1】服部、中江、白藤：応用物理学会誌、第31巻、L1467～L1469頁、1992年

【0009】

ドーピング濃度およびチャネル長により依存しない横型 M O S F E T デバイスの概念は1992年に提案され、服部、中江、白藤による、応用物理学会誌、第31巻、L1467～L1469頁、1992年に記載されている。このデバイスは、金属のソース領域およびドレイン領域を使用している。これらの領域間のショットキーバリアは、ゲート電極に印加されるゲート電圧によって調整することができる。

40

【発明の開示】

【発明が解決しようとする課題】

【0010】

なされてきたすべての進歩にかかわらず、改良型トランジスタの必要性はまだ残されている。

【課題を解決するための手段】

50

【0011】

本発明は、真性または低濃度ドーピング領域によって分離されたソースおよびドレインを有するナノワイヤを備えているトランジスタを提案する。真性または低濃度ドーピング領域とソースまたはドレインの一方との界面にポテンシャルバリア（電位障壁）が形成される。ポテンシャルバリアの付近にゲート電極を設けて、このゲート電極に適切な電圧を印加することによって、ポテンシャルバリアの実効的な高さおよび／または幅を調整することができる。

【0012】

本発明のトランジスタの有利な好適例では、ソースとドレインとの間にある上記真性または低ドーピング領域の内部にバリア領域を配置する。

10

【0013】

本発明によれば、バリア領域は高濃度にドーピングされた半導体材料とすることができる。バリア領域の材料は、隣接する低濃度ドーピングまたは真性の半導体領域に対する狭いバリアを形成するように選択しなければならない。このような材料の例として、トランジスタの適切な動作を保証するための適切な電子親和力を有する種々の金属および高濃度ドーピング半導体領域がある。

【0014】

本発明のトランジスタの実用的な好適例では、上記バリア領域を形成する半導体材料はインジウムヒ素であり、これに隣接する上記真性または低濃度ドーピング領域はシリコンまたはガリウムヒ素製である。

20

【0015】

他の好適例では、上記バリア領域は金属製である。この場合には、バリア領域の界面におけるポテンシャルバリアは、通常ショットキーバリアと称される。

【0016】

上記ナノワイヤは、半導体基板上に成長させることが好ましい。

【0017】

本発明の有利な改良では、上記ナノワイヤが高濃度にドーピングされた端部を有して上記トランジスタのソースおよびドレインを形成する。

【0018】

本発明のトランジスタの1つの実用的な好適例では、上記ナノワイヤの外面が絶縁層によって覆われている。この場合には、この絶縁層上に金属層が堆積されてゲート電極を形成することが好ましい。特定の好適例では、上記絶縁層は誘電体層またはワイドバンドギャップ半導体であり、ゲート電極に対するショットキーバリアを形成する。特定の好適例の1つでは、ゲート電極に対するショットキーバリアを形成するワイドバンドギャップ半導体は、デルタドーピング層を含む。

30

【発明を実施するための最良の形態】

【0019】

図面を参照した以下の説明を読めば、本発明をより良く理解することができ、本発明の他の特徴および利点が明らかになる。同様または対応する要素は同一の参照番号で表す。

【0020】

図1に、服部、中江、白藤による、応用物理学会誌、第31巻（1992年）、L1467～L1469頁に記載されたトンネル効果トランジスタを示す。この既知のトランジスタは横型トランジスタ構造であり、このトランジスタはショットキーバリア接合の内部電界放出を用いる。このトランジスタは、その全体を参照番号1で表し、通常のp型シリコン基板2上に製造される。高濃度にn型ドーピングされたチャンネル層3を、通常のリンまたはヒ素イオンの注入によって基板の上側の実現する。チャンネル層3は、マスキングステップによって横方向に規定される。さらなるマスキングステップによって、ソース4およびドレイン6が、パラジウムシリサイド（PdSi）をチャンネル層3上に成長させることによって堆積される。ソース4とドレイン6とは、酸化シリコン（SiO₂）製の絶縁体層7によって分離され、絶縁層7上に金属ゲート8が堆積される。

40

50

【0021】

図2aに、図1に示すバンド構造を示し、ここではソース4とドレイン6との間にバイアス電圧が印加されず、かつゲート電圧は0である。通常のように、フェルミレベル E_F は、トランジスタ構造全体のバンド図を横切る直線である。ソース4とチャンネル層3との間に界面11が存在する。ドレイン6とチャンネル層3との間に界面12が存在する。界面11、12にショットキーバリアが形成される。図2aには、ショットキーバリアの高さを $e\Phi$ で示す。図2bに同じバンド構造を示し、ここではバイアス電圧がソース4とドレイン6との間に印加されているが、ゲート電圧はまだ印加されていない。ソース4とチャンネル3の間のショットキーバリアは、電子がソース4からドレイン6へ流れることを防止する。

10

【0022】

最後に、図2cに、ソース-ドレイン間のバイアス電圧および正のゲート電圧が印加されたトランジスタ1を示す。図に示すように、ソース4とチャンネル3との間のショットキーバリアはより薄くなり、これにより、電子 e^- はソース4からショットキーバリアを通してトンネル移動し、チャンネル3の導電バンドを通してドレイン6へ流れることができる。従って、図2cに示す状態はオン状態として表されるのに対し、図2bに示す状態はオフ状態として表される。このようにして、ソース4からドレイン6への電流がゲート電圧によって制御される。

【0023】

【非特許文献2】IEEE Electron Device Letters, Vol. 15, No. 10, 1994, 412ページ

20

【0024】

図3に、IEEE Electron Device Letters, Vol. 15, No. 10, 1994, 412ページに記載されたショットキー・トンネルトランジスタを示す。このトンネルトランジスタでは、電子は、蓄積層17とゲート8との間に形成された非常に薄いショットキーバリアを通してトンネル移動することができる。図1に示すトランジスタとは異なり、このトンネルトランジスタは単一のショットキーバリアのみを含む。

【0025】

図4に、本発明によるトランジスタの概略構造を断面図で示す。トランジスタ全体を参照番号21で示す。トランジスタ21はナノワイヤ22を備え、ナノワイヤ22は基板23の上に直接成長し、縦型のヘテロ構造として実現される。本発明は、約100nm以下、好適には約5nm~50nmの範囲内の直径、及び約50nm~約200 μ mの範囲内の長さを有するナノワイヤの構造に関するものである。基板23に隣接した所では、ナノワイヤ22は高濃度にn型ドーピングされたシリコンから成り、トランジスタ21のソース24を形成する。基板23から離れた所では、ナノワイヤ22は真性または低濃度ドーピング領域26が軸方向に続き、ソース24をバリア領域27から分離する。バリア領域27は金属材料製である。本実施例では、この金属材料はコバルトシリサイド($CoSi_2$)である。しかし、他の具体例では、シリコンナノワイヤ22と相性が良いインジウムヒ素($InAs$)のような小さいバンドギャップを有する他の金属材料または高濃度ドーピング半導体も同様に使用することができる。基板23からさらに軸方向に離れた所では、縦型のナノワイヤ22のヘテロ構造は、第2の真性または低濃度ドーピング領域28が再び続き、これにより、バリア27は第1と第2の真性領域26、28の間にはさまれる。ナノワイヤ22は、高濃度にn型ドーピングされたシリコン領域で終端して、トランジスタ21のドレイン29を形成する。ナノワイヤ22の周囲は、電気絶縁性の誘電層31で覆われる。誘電層31の外面上に金属ゲート層32が堆積される。ゲート層32は例えばアルミニウム製である。しかし、アルミニウムは一例にすぎず、他の金属層も同様に使用することができる。ドレイン29の上には抵抗接点33が存在する。

30

40

【0026】

図1に関連して説明した横型トランジスタ構造のように、ショットキーバリアはバリア領域27と真性または低濃度ドーピング層26、28との間に形成される。バイアス電圧がソース24とドレイン29との間に印加されず、かつゲート電圧が印加されなければ、

50

ショットキーバリアは電子がソース 24 からドレイン 29 に流れることを防止する。ショットキーバリアの高さは、ゲート 32 に印加されるゲート電圧によって調整することができる。ソース・ドレイン・バイアス電圧が印加され、ゲート電圧がショットキーバリアを低くすると、ソース 24 からドレイン 26 に電流が流れる。図 4 の右側には、トランジスタ 21 の電子構造を概略的に示す。バリア 27 と真性または低濃度ドーピング領域 26、28 との界面にショットキーバリアが形成される。

【0027】

他の実施例では、誘電層 31 がワイドバンドギャップ半導体層（例えば $\text{Al}_{1-x}\text{Ga}_x\text{As}$ ）に置き換えられ、このワイドバンドギャップ半導体層はゲート電極の界面にショットキーバリアを形成する。この実施例の代案の変形例では、ワイドバンドギャップ半導体層は、デルタドーピング層（図 4 には図示せず）を含むことも含まないこともできる。このデルタドーピング層は、追加的な不純物をナノワイヤの内部に導入することなしにナノワイヤ 22 の内部の電荷担体密度を増加させる。

【0028】

電流は、ショットキーバリアを横切る熱電子放出電流およびショットキーバリアを通るトンネル電流から成る。全電流はショットキーバリアの実効的な高さおよび幅に指数関数的に依存し、これらはゲート電圧によって調整することができる。このようにして、トランジスタ動作を達成することができる。明らかにわかるように、実効ゲート長はバリア領域の厚さによって規定され、したがって非常に薄くなり得る。したがって、ゲート容量を非常に小さくすることができ、トランジスタが高周波で動作するのに適する。換言すれば、ゲートの長さが従来のマスキング技術によって規定されず、エピタキシャル成長するバリア領域 27 の厚さによって規定されるので、本発明によるトランジスタのゲート長は従来のトランジスタ構造に比べてずっと短くすることができる。

【0029】

なお完全な説明のため、「ショットキーバリア」という用語は一般に、金属-半導体の界面に用いられる。したがって、バリア領域 27 が高濃度にドーピングされた低バンドギャップの半導体（例えば InAs ）から成る場合、このバリア領域はより一般的なポテンシャルバリアによって真性または低濃度ドーピング領域から分離される。

【0030】

トランジスタ構造 21 の寸法も、図 4 から同様に理解することができる。シリコン基板 23 の表面に対する法線方向のトランジスタ構造の全長は 105 nm である。ナノワイヤ 22 の直径は約 30 nm であり、その周囲は 1 nm の厚さを有する電気絶縁性の誘電層 31 で覆われている。従って誘電層 31 に覆われたナノワイヤの総径は 32 nm である。ゲート電極 32 の長さは、ナノワイヤの長軸方向に 45 nm であるのに対し、バリア領域 27 の厚さは長軸方向に 5 nm しかない。しかし、これらの寸法は例として提示するに過ぎず、本発明の範囲を制限するものとして理解すべきではない。

【0031】

また、本発明の他の実施例では、真性または低濃度ドーピング領域 26、28 は、シリコン（ Si ）製の代わりにガリウムヒ素（ GaAs ）製である。

【0032】

図 5a~図 5h を参照する以下の説明では、図 4 に示すトランジスタ 21 を製造するために処理ステップの 1 つの可能な順序を提案する。なお、説明する処理方法は 1 つの好適な方法に過ぎず、当業者は、作製するデバイスの特定パラメータに応じて、開示する処理方法から多数の変形例を考案することができる。

【0033】

製造プロセスは、標準的な n 型シリコン基板 23 から始まり、この基板は注入によって高濃度に n 型ドーピングされる。ドーピングレベルは 10^{+19} cm^{-3} のオーダーであり、このレベルはヒ素（ As ）イオンまたはリン（ P ）イオンの注入によって達成される。このステップ用には、市販の注入装置を使用する。

【0034】

標準的な光リソグラフィによって触媒領域を規定し、この触媒領域は、成長触媒 34 として作用する前駆物質の金属層を含む。触媒 34 は、半導体ナノワイヤの成長のために使用する。金または鉄によるシリコン含有ガスの触媒分解によってナノワイヤを形成することができることはよく知られている。この技術は、一般に気-液-固 (VLS) メカニズムと称される。金属およびシリコンを含むナノ液滴は、成長するワイヤの先端に配置する。不都合なことに、金および鉄はシリコン中で大きな拡散係数を有し、深い電子準位を発生させ、このことは仕上がったデバイスの電子性能にとって不利である。したがって、金属層が必要な際には常に、半導体処理技術では金属シリサイドがより好適である。本発明用に、ニッケルシリサイドおよびコバルトシリサイドを使用した。以下では簡単のため、コバルトに基づくプロセスを説明するが、このことは本発明の範囲を制限するものではない。

10

【0035】

提案する方法によれば、コバルト層は、化学気相成長法 (CVD) によって市販のシリコン基板上に堆積される。 CoCl_4 ガスは、 H_2 雰囲気中の反応装置内に導入する。 CoCl_4 の分圧は 0, 06 Pa であり、反応装置の全圧は 670 Pa である。シリコン基板の表面では、 CoCl_4 は基板のシリコンと反応し CoSi_2 を形成する。基板の堆積温度は 600 ~ 700 °C の範囲内になるように選定する。後続するアニーリング (アニール加熱) ステップでは、900 °C のオーダーまで上昇させた温度でコバルトシリサイドの形成を終了する。コバルトシリサイド上にシリコンナノワイヤを成長させるために、約 650 °C、2.7 kPa の水素雰囲気中に分圧 70 Pa の SiH_2Cl_2 を有する反応装置内の雰囲気中に基板を曝露させる。これらの条件下で、シリコンナノワイヤがコバルトシリサイド上に成長する。

20

【0036】

シリコン/ゲルマニウムヘテロ構造としてナノワイヤを成長させることが望ましい場合には、レーザーを利用して、加熱炉内で目標物質 (ターゲット) からゲルマニウムを蒸散させる。レーザー光線は、ゲルマニウム原子が蒸散するまで、加熱炉内に配置されたゲルマニウム目標物質の表面を加熱する。蒸散したゲルマニウム原子はナノワイヤ内に取り込まれる。成長条件次第で、ナノワイヤを Si/Ge ヘテロ構造として軸方向に成長させることができ、すなわち、ナノワイヤの組成は軸方向に変化する。コバルトシリサイドとナノワイヤとの界面において好適に分解反応が行われる限り、1次元の成長が維持される。同様に、Ge 目標物質から蒸散する Ge 原子も、コバルトシリサイドとナノワイヤとの界面において、成長するナノワイヤ内に取り込まれる。シリコンとゲルマニウムの供給を交互にオン/オフ切り替えすることによって、Si/Ge ヘテロ構造を有するナノワイヤが、ナノワイヤの軸方向に成長する。

30

【0037】

ナノワイヤは、流入するガス流にアルシン (AsH_3) またはホスフィン (PH_3) を添加することによって n 型にドーピングされる。そのドーピングレベルは、アルシンまたはホスフィンガスの分圧によって決まる。

【0038】

成長パラメータを適切に選択することによって、図 5a に示すヘテロ接合を成長させることができる。この場合のバリア領域 27 は、高濃度 n 型ドーピング Ge によって形成される。他の具体例では、バリア領域 27 は、InAs、あるいはナノワイヤとして気相から成長させることのできる他の小バンドギャップの半導体から成る。

40

【0039】

なお、「ヘテロ構造」とは、本発明の関係では、シリコン及びゲルマニウムのような異なる材料の組成、例えば n 型ドーピング及び p 型ドーピングのような異なるドーピング型を有するシリコンのような同一材料の組成、そして最後に、ナノワイヤの軸方向または放射方向に異なる結晶方向を有するシリコンのような同一材料の組成を有するナノワイヤを意味する。例えばナノワイヤの表面を変調ドーピングしたナノワイヤの放射方向のヘテロ構造は、高いキャリア移動度の意味で非常に有利になりうる。

50

【0040】

ナノワイヤ22の成長を終了すると、その構造を酸化シリコン(SiO_2)層36で覆う(図5b)。そして、金属層37(例えばアルミニウム)を、 SiO_2 層36上に堆積させる(図5c)。次のステップでは、金属層37は、厚い高濃度にn型ドーピングされた多結晶シリコン層38によって覆うが、ナノワイヤ22の最上部は除く(図5d)。金属層37の多結晶シリコン層によって覆われていない所を、適切なウェットエッチングによってエッチング除去する(図5e)。そして、他の SiO_2 層39を堆積させる(図5f)。平坦化ステップ後に(図5g)、ドレイン29に抵抗接点33を作製する。ゲート電極を形成する金属層38への接点は、多結晶シリコン層に接触させることによる従来の方法で作製する。ソース24は、多結晶シリコン層およびシリコン酸化層38、39内に窓を開口して高濃度にn型ドーピングされた基板23への接点を作製するによって接触させる。

10

【0041】

他の実施例では、多結晶シリコン層を金属層に置き換える。また、誘電層36を形成する酸化シリコンは、ゲート電極38に対する界面にショットキーバリアを形成するワイドバンドギャップ半導体のような他の材料に置き換えることができる。ワイドバンドギャップ半導体の成長中に、デルタドーピング層を含めることができる。

【0042】

図6に、ナノワイヤ22'を備えたトランジスタ21'の代案実施例を示す。このトランジスタはバリア領域を含まず、ドレイン29と真性または低濃度ドーピング領域26との間にショットキーバリアが1つだけ形成されている。ドレインと真性または低濃度ドーピング領域26と間のショットキーバリアは、図4に示すトランジスタについて説明したのと同様の方法で調整される。図4に示すトランジスタ21は、ソース24およびドレイン29に関して対称であり、すなわちソースとドレインの電位を交換することは、ソースからドレインへの電流を反転させるに過ぎず、電流の大きさは変化しない。これとは異なり、トランジスタ21'はショットキーダイオードを1つだけ含むので非対称である。

20

【0043】

ナノワイヤ22'は、成長触媒34を利用したVLS成長プロセスによって、ナノワイヤ22に相当する方法で成長する(図7a)。主な相違は、ナノワイヤ22内にバリアが成長しないということである。これに続いて、この構造を誘電層36で覆う。誘電層36の表面上に多結晶シリコン層37を堆積させる(図7a)。平坦化ステップ(図7b)後に、ソース24、ドレイン29およびゲート32への接点を作製する(図6)。代案として、誘電層36をワイドバンドギャップ半導体材料に置き換えることができ、すでに上述したように、この半導体材料にデルタドーピング層を設けることができる。

30

【図面の簡単な説明】

【0044】

【図1】従来技術において知られている横型ショットキー・ソース・ドレインMOSFETトランジスタの構造略図を示す図である。

【図2】図2(a)~(c)は、異なるバイアス電圧を印加した、図1に示すトランジスタの電子バンド構造を示す図である。

【図3】既知のショットキー・トンネルトランジスタの概略図である。

40

【図4】本発明の第1実施例によるナノワイヤトランジスタの概略構造、およびそのバンド構造を示す図である。

【図5-1】図5(a)、5(b)は、図4のナノワイヤトランジスタ構造を製造する一連の処理ステップを示す図である。

【図5-2】図5(c)、5(d)は、図4のナノワイヤトランジスタ構造を製造する一連の処理ステップを示す図である。

【図5-3】図5(e)、5(f)は、図4のナノワイヤトランジスタ構造を製造する一連の処理ステップを示す図である。

【図5-4】図5(g)、5(h)は、図4のナノワイヤトランジスタ構造を製造する一連の処理ステップを示す図である。

50

【図 6】 本発明の第 2 実施例によるナノワイヤトランジスタの概略構造、およびそのバンド構造を示す図である。

【図 7】 図 7 (a) および 7 (b) は、図 6 のナノワイヤトランジスタ構造を製造する一連の処理ステップを示す図である。

【図 1】

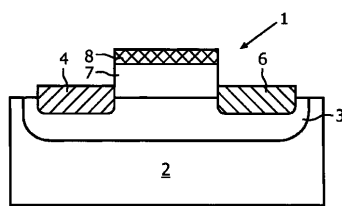


FIG. 1 従来技術

【図 2 c】

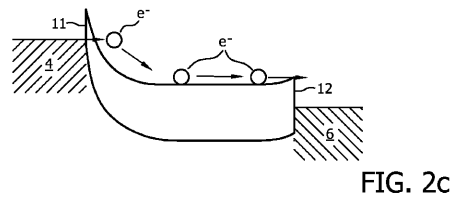


FIG. 2c

【図 3】

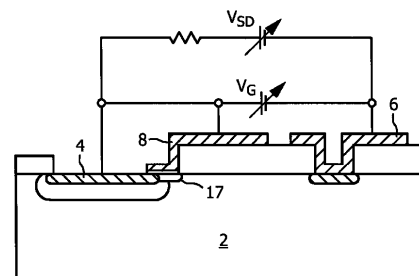


FIG. 3 従来技術

【図 2 a】

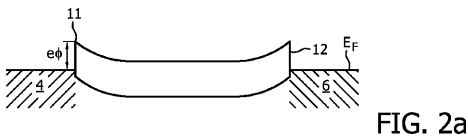


FIG. 2a

【図 2 b】

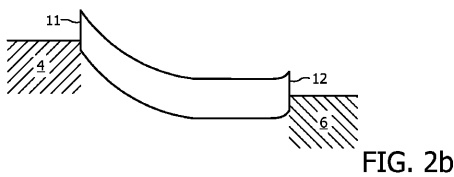


FIG. 2b

【図 4】

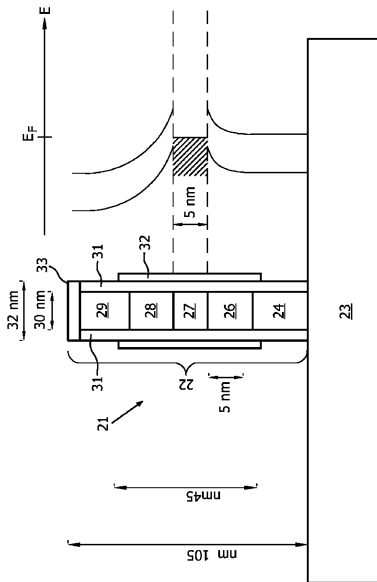


FIG. 4

【図 5 a】

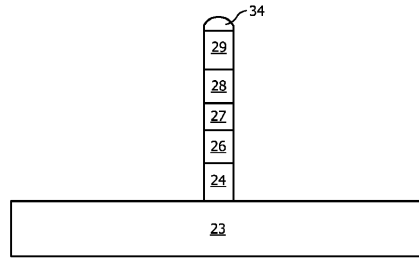


FIG. 5a

【図 5 b】

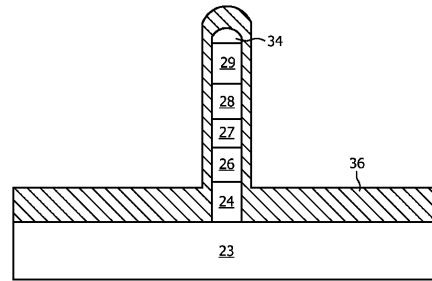


FIG. 5b

【図 5 c】

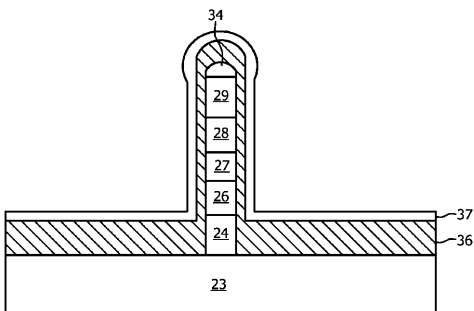


FIG. 5c

【図 5 e】

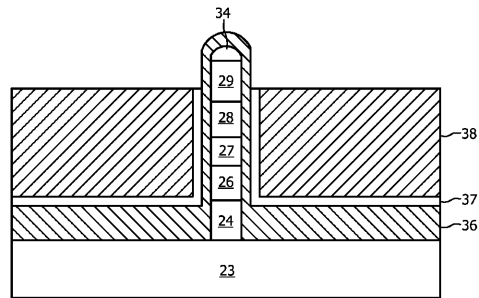


FIG. 5e

【図 5 d】

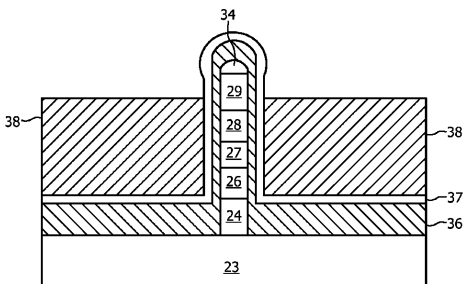


FIG. 5d

【図 5 f】

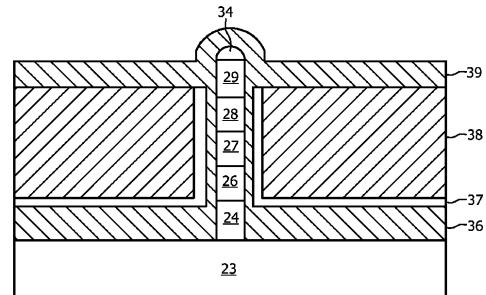


FIG. 5f

【図 5 g】

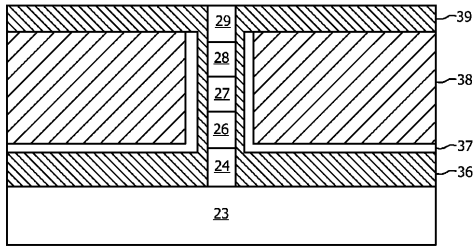


FIG. 5g

【図 5 h】

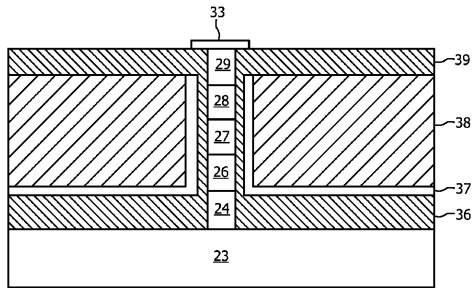


FIG. 5h

【図 6】

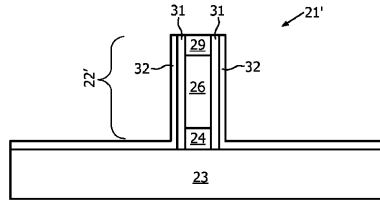


FIG. 6

【図 7 a】

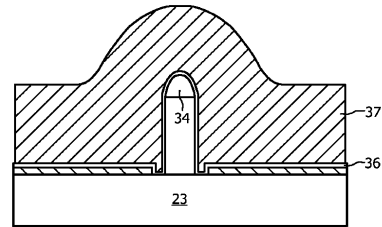


FIG. 7a

【図 7 b】

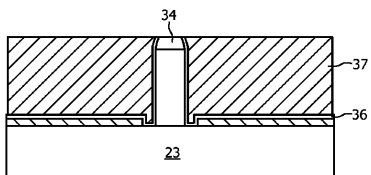


FIG. 7b

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2007/050241

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L29/06 H01L29/10 H01L29/78 H01L21/336		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, COMPENDEX, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	SANG-MO KOO ET AL: "Silicon nanowires as enhancement-mode Schottky barrier field-effect transistors" NANOTECHNOLOGY, IOP, BRISTOL, GB, vol. 16, no. 9, 1 September 2005 (2005-09-01), pages 1482-1485, XP020091246 ISSN: 0957-4484 page 1482 - page 1493; figures 1,3 ----- -/--	1,2,6
☒ Further documents are listed in the continuation of Box C.		
☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "G" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
14 May 2007		29/05/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer
		Ott, André

INTERNATIONAL SEARCH REPORT

International application No

PCT/IB2007/050241

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	RAO V R ET AL: "Low Temperature-High Pressure Grown Thin Gate Dielectrics for MOS Applications" MICROELECTRONIC ENGINEERING, ELSEVIER PUBLISHERS BV., AMSTERDAM, NL, vol. 48, no. 1-4, September 1999 (1999-09), pages 223-226, XP004193293 ISSN: 0167-9317 figure 1	1-3,6-11
X	RAMGOPAL RAO V ET AL: "Simulation, fabrication and characterization of high performance planar-doped-barrier sub 100 nm channel MOSFETs" ELECTRON DEVICES MEETING, 1997. TECHNICAL DIGEST., INTERNATIONAL WASHINGTON, DC, USA 7-10 DEC. 1997, NEW YORK, NY, USA, IEEE, US, 7 December 1997 (1997-12-07), pages 811-814, XP010265627 ISBN: 0-7803-4100-7 page 32.6.1, column 1; figure 1	1-3,6-11
A	WO 2004/004927 A2 (BTG INT LTD [GB]; SAMUELSON LARS IVAR [SE]; OHLSSON JONAS BJOERN [SE]) 15 January 2004 (2004-01-15) figure 5	4
A	WO 2005/124872 A (KONINKL PHILIPS ELECTRONICS NV [NL]; HIJZEN ERWIN A [BE]; BAKKERS ERIK) 29 December 2005 (2005-12-29) page 7, line 27 - page 8, line 20; figure 2	1,6-11
A	ZHAO Q ET AL: "Nanopatterning of epitaxial CoSi2 using oxidation in a local stress field and fabrication of nanometer metal-oxide-semiconductor field-effect transistors" JOURNAL OF APPLIED PHYSICS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, vol. 96, no. 10, 15 November 2004 (2004-11-15), pages 5775-5780, XP012068931 ISSN: 0021-8979 abstract	5

-/--

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2007/050241

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	LEE C: "SINGLE-ELECTRON TUNNELLING TRANSISTOR IN SIGE/SI DOUBLE-BARRIER STRUCTURES" SEMICONDUCTOR SCIENCE AND TECHNOLOGY, IOP, BRISTOL, GB, vol. 13, no. 8A, August 1998 (1998-08), pages A115-A118, XP000768875 ISSN: 0268-1242 abstract; figure 1 -----	1-4

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/IB2007/050241

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2004004927 A2	15-01-2004	AU 2003244851 A1	23-01-2004
		CA 2491941 A1	15-01-2004
		CN 1681975 A	12-10-2005
		EP 1525339 A2	27-04-2005
		JP 2005532181 T	27-10-2005
		KR 20050042774 A	10-05-2005
WO 2005124872 A	29-12-2005	EP 1759417 A1	07-03-2007

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ブラブハット アガーワル

オーストリア国 1102 ウィーン ガッセイル シューダー ガッセ 8-12 エヌエック
スピー セミコンダクターズ オーストリア ゲーエムペーハー内

Fターム(参考) 5F110 AA04 CC09 DD05 DD06 EE03 FF01 FF02 GG01 GG02 GG04
GG19 GG25 GG35 GG37 GG44 HJ01 HJ17