

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2016-192561

(P2016-192561A)

(43) 公開日 平成28年11月10日 (2016. 11. 10)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 C	3 K 1 0 7
H O 1 L 21/205 (2006.01)	H O 1 L 29/78 6 1 8 E	5 F 0 4 5
H O 1 L 51/50 (2006.01)	H O 1 L 21/205	5 F 1 1 0
H O 5 B 33/14 (2006.01)	H O 5 B 33/14 A	
	H O 5 B 33/14 Z	

審査請求 有 請求項の数 2 O L (全 40 頁)

(21) 出願番号	特願2016-116901 (P2016-116901)	(71) 出願人	000153878
(22) 出願日	平成28年6月13日 (2016. 6. 13)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-224186 (P2014-224186) の分割	(72) 発明者	山崎 舜平
原出願日	平成20年6月27日 (2008. 6. 27)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2007-179091 (P2007-179091)		半導体エネルギー研究所内
(32) 優先日	平成19年7月6日 (2007. 7. 6)	(72) 発明者	鈴木 幸恵
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	桑原 秀明
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		Fターム (参考)	3K107 AA01 AA05 BB01 CC11 CC21
			CC45 EE04 FF15
			5F045 AA08 AB03 AB04 CA15 DA52
			最終頁に続く

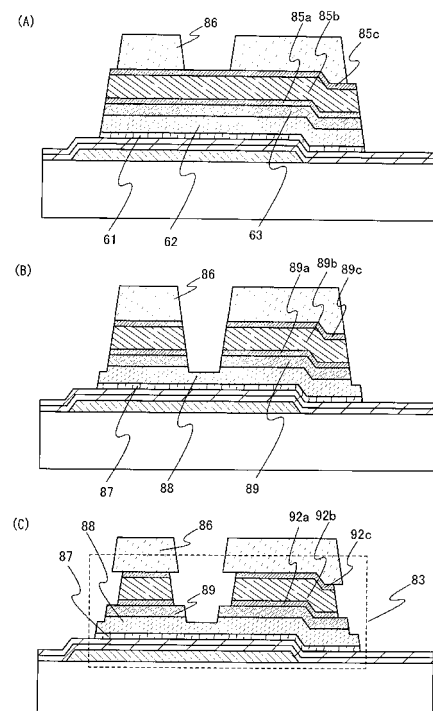
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】電気特性が良好であり、信頼性の高い薄膜トランジスタを有する発光装置を量産高く作製する方法を提案することを課題とする。

【解決手段】逆スタガ型の薄膜トランジスタを有する発光装置において、逆スタガの薄膜トランジスタは、ゲート電極上にゲート絶縁膜が形成され、ゲート絶縁膜上にチャネル形成領域として機能する微結晶半導体膜が形成され、微結晶半導体膜上にバッファ層が形成され、バッファ層上に一對のソース領域及びドレイン領域が形成され、ソース領域及びドレイン領域の一部を露出するようにソース領域及びドレイン領域に接する一對のソース電極及びドレイン電極が形成される。

【選択図】 図 2



【特許請求の範囲】**【請求項 1】**

基板上のゲート電極と、
前記ゲート電極上のゲート絶縁膜と、
前記ゲート絶縁膜上の半導体膜と、
前記半導体膜上の導電膜と、を有し、
前記半導体膜は、第 1 の膜と、前記第 1 の膜上の第 2 の膜と、前記第 2 の膜上の第 3 の膜と、を有し、
前記第 2 の膜の膜厚は、前記第 3 の膜の膜厚より大きく、
前記第 2 の膜の上部は、前記第 3 の膜と一致した端部を有し、
前記第 2 の膜の下部は、前記第 3 の膜よりも突出した形状を有することを特徴とする半導体装置。

10

【請求項 2】

基板上のゲート電極と、
前記ゲート電極上のゲート絶縁膜と、
前記ゲート絶縁膜上の半導体膜と、
前記半導体膜上の導電膜と、を有し、
前記半導体膜は、第 1 の膜と、前記第 1 の膜上の第 2 の膜と、前記第 2 の膜上の第 3 の膜と、を有し、
前記第 2 の膜の膜厚は、前記第 3 の膜の膜厚より大きく、
前記第 2 の膜の上部は、前記第 3 の膜と一致した端部を有し、
前記第 2 の膜の下部は、前記第 3 の膜よりも突出した形状を有し、
前記第 2 の膜は、中央部に凹部を有し、
前記第 1 の膜は、凹部を有さないことを特徴とする半導体装置。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、少なくとも画素部に薄膜トランジスタを用いた発光装置に関する。

【背景技術】**【0002】**

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数十～数百 nm 程度）をチャネル形成領域に用いて薄膜トランジスタを構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

30

【0003】

画像表示装置のスイッチング素子として、非晶質半導体膜をチャネル形成領域に用いた薄膜トランジスタ、または多結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタ等が用いられている。多結晶半導体膜の形成方法としては、パルス発振のエキシマレーザービームを光学系により線状に加工して、非晶質珪素膜に対し線状ビームを走査させながら照射して結晶化する技術が知られている。

40

【0004】

また、画像表示装置のスイッチング素子として、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタが用いられている（特許文献 1 及び 2）。

【先行技術文献】**【特許文献】****【0005】**

【特許文献 1】特開平 4 - 2 4 2 7 2 4 号公報

【特許文献 2】特開 2 0 0 5 - 4 9 8 3 2 号公報

【発明の概要】**【発明が解決しようとする課題】**

50

【 0 0 0 6 】

多結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタは、非晶質半導体膜をチャネル形成領域に用いた薄膜トランジスタに比べて電界効果移動度が2桁以上高く、半導体表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。しかしながら、非晶質半導体膜をチャネル形成領域に用いた場合に比べて、半導体膜の結晶化のために工程が複雑化するため、その分歩留まりが低減し、コストが高まるという問題がある。

【 0 0 0 7 】

また、微結晶半導体膜の結晶粒の表面は、酸化されやすいという問題がある。このため、チャネル形成領域の結晶粒が酸化されると、結晶粒の表面に酸化膜が形成されてしまい、当該酸化膜がキャリアの移動の障害となり、薄膜トランジスタの電気特性が低下するという問題がある。

10

【 0 0 0 8 】

上述した問題に鑑み、本発明は、電気特性が良好であり、信頼性の高い薄膜トランジスタを有する発光装置およびその発光装置を量産高く作製する方法を提案することを課題とする。

【課題を解決するための手段】

【 0 0 0 9 】

逆スタガ型の薄膜トランジスタを有する発光装置において、逆スタガの薄膜トランジスタは、ゲート電極上にゲート絶縁膜が形成され、ゲート絶縁膜上にチャネル形成領域として機能する微結晶半導体膜（セミアモルファス半導体膜ともいう。）が形成され、微結晶半導体膜上にバッファ層が形成され、バッファ層上に一对のソース領域及びドレイン領域が形成され、ソース領域及びドレイン領域の一部を露出するようにソース領域及びドレイン領域に接する一对のソース電極及びドレイン電極が形成される。このため、ソース領域及びドレイン領域は、ソース電極及びドレイン電極に接する領域と、ソース電極及びドレイン電極に接しない領域とを有する。また、ソース電極及びドレイン電極の外側において、ソース領域及びドレイン領域の一部、並びにバッファ層の一部が露出している。また、ソース電極及びドレイン電極の端部の外側にソース領域及びドレイン領域の端部、並びにバッファ層の端部が形成される。

20

【 0 0 1 0 】

ソース電極及びドレイン電極の端部と、ソース領域及びドレイン領域の端部が一致せず、ソース電極及びドレイン電極の端部の外側にソース領域及びドレイン領域の端部が形成されることにより、ソース電極及びドレイン電極の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。

30

【 0 0 1 1 】

また、バッファ層は一部に凹部を有し、当該凹部の側面とソース領域及びドレイン領域の端部とが一致している。バッファ層は一部に凹部を有し、ソース領域及びドレイン領域の間のキャリアが移動する距離が長いため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。

【 0 0 1 2 】

また、微結晶半導体膜とソース領域及びドレイン領域との間に、バッファ層が形成されている。微結晶半導体膜はチャネル形成領域として機能する。また、バッファ層は、微結晶半導体膜の酸化を防止すると共に、高抵抗領域として機能する。微結晶半導体膜とソース領域及びドレイン領域との間に、高抵抗率の非晶質半導体膜を用いてバッファ層が形成されている。これらのため、本発明の薄膜トランジスタは、電界効果移動度が高く、且つオフの場合（即ち、ゲート電圧が負の電圧の場合）リーク電流が少なく、ドレイン耐圧が高い。

40

【 0 0 1 3 】

バッファ層としては、非晶質半導体膜があり、更には、窒素、水素、またはハロゲンのいずれか一つ以上を含む非晶質半導体膜であることが好ましい。非晶質半導体膜に、窒素、

50

水素、またはハロゲンのいずれか一つを含むことで、微結晶半導体膜に含まれる結晶粒が酸化されることを低減することが可能である。

【0014】

バッファ層は、プラズマCVD法、スパッタリング法等で形成することができる。また、非晶質半導体膜を形成した後、非晶質半導体膜を窒素プラズマ、水素プラズマ、またはハロゲンプラズマで処理して非晶質半導体膜を窒素化、水素化またはハロゲン化することができる。

【0015】

バッファ層を微結晶半導体膜の表面に設けることで、微結晶半導体膜に含まれる結晶粒の酸化を低減することが可能であるため、薄膜トランジスタの電気特性の劣化を低減することができる。

10

【0016】

微結晶半導体膜は、多結晶半導体膜と異なり、微結晶半導体膜として直接基板上に成膜することができる。具体的には、水素化珪素を原料ガスとし、プラズマCVD装置を用いて成膜することができる。上記方法を用いて作製された微結晶半導体膜は、0.5nm~20nmの結晶粒を非晶質半導体中に含む微結晶半導体膜も含んでいる。よって、多結晶半導体膜を用いる場合と異なり、半導体膜の成膜後に結晶化の工程を設ける必要がない。薄膜トランジスタの作製における工程数を削減することができ、発光装置の歩留まりを高め、コストを抑えることができる。また、周波数が1GHz以上のマイクロ波を用いたプラズマは電子密度が高く、原料ガスである水素化珪素の解離が容易となる。このため、周波数が1GHz以上のマイクロ波を用いたプラズマCVD法を用いることで、周波数が数十MHz~数百MHzのマイクロ波プラズマCVD法と比較して、微結晶半導体膜を容易に作製することが可能であり、成膜速度を高めることが可能である。このため、発光装置の量産性を高めることが可能である。

20

【0017】

また、微結晶半導体膜をチャネル形成領域に用い、薄膜トランジスタ(TFT)を作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて発光装置を作製する。微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタは、その電界効果移動度が $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と、非晶質半導体膜をチャネル形成領域に用いた薄膜トランジスタの2~20倍の電界効果移動度を有しているため、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

30

【0018】

また、発光装置は発光素子を含む。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。

【0019】

また、発光装置は、発光素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該発光装置を作製する過程における、発光素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を発光素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、発光素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

40

【0020】

なお、本明細書中における発光装置とは、画像表示デバイス、発光デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または発光素子にCOG(Chip On Glass)方式によりIC(集積回

50

路) が直接実装されたモジュールも全て発光装置に含むものとする。

【発明の効果】

【0021】

本発明により、電気特性が良好であり、信頼性の高い薄膜トランジスタを有する発光装置を量産高く作製することができる。

【図面の簡単な説明】

【0022】

【図1】本発明の発光装置の作製方法を説明する断面図である。

【図2】本発明の発光装置の作製方法を説明する断面図である。

【図3】本発明の発光装置の作製方法を説明する断面図である。

10

【図4】本発明の発光装置の作製方法を説明する断面図である。

【図5】本発明の発光装置の作製方法を説明する上面図である。

【図6】本発明の発光装置の作製方法を説明する断面図である。

【図7】本発明の発光装置の作製方法を説明する断面図である。

【図8】本発明の発光装置の作製方法を説明する断面図である。

【図9】本発明の発光装置の作製方法を説明する上面図である。

【図10】本発明のマイクロ波プラズマCVD装置を説明する上面図である。

【図11】本発明に適用可能な多階調マスクを説明する図である。

【図12】本発明の表示パネルを説明する斜視図である。

【図13】本発明の発光装置を用いた電子機器を説明する斜視図である。

20

【図14】本発明の発光装置を用いた電子機器を説明する図である。

【図15】本発明の発光装置の作製方法を説明する断面図である。

【図16】本発明の発光装置に適用可能な画素を説明する断面図である。

【図17】本発明の発光表示パネルを説明する上面図及び断面図である。

【図18】本発明の発光装置の構成を説明するブロック図である。

【図19】本発明の発光装置の駆動回路の構成を説明する等価回路図である。

【図20】本発明の発光装置の駆動回路の構成を説明する等価回路図である。

【図21】本発明の発光装置の駆動回路のレイアウトを説明する上面図である。

【図22】微結晶半導体膜をラマン分光法で測定した結果を示す図である。

【図23】デバイスシミュレーションに用いたモデル図を示す図である。

30

【図24】デバイスシミュレーションにより得られた電流電圧特性を示す図である。

【図25】デバイスシミュレーションに得られた薄膜トランジスタの電子濃度分布を示す図である。

【発明を実施するための形態】

【0023】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【0024】

40

(実施の形態1)

本実施の形態では、発光装置に用いられる薄膜トランジスタの作製工程について、図1乃至図12を用いて説明する。図1乃至図4、図6乃至図8は、薄膜トランジスタの作製工程を示す断面図であり、図5、及び図9は、一画素における薄膜トランジスタ及び画素電極の接続領域の上面図である。

【0025】

微結晶半導体膜を有する薄膜トランジスタは、p型よりもn型の方が、電界効果移動度が高いので駆動回路に用いるのにより適している。同一の基板上に形成する薄膜トランジスタを全て同じ極性にそろえておくことが、工程数を抑えるためにも望ましい。ここでは、nチャネル型の薄膜トランジスタを用いて説明する。

50

【0026】

図1(A)に示すように、基板50上にゲート電極51を形成する。基板50は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板50がマザーガラスの場合、基板の大きさは、第1世代(320mm×400mm)、第2世代(400mm×500mm)、第3世代(550mm×650mm)、第4世代(680mm×880mm、または730mm×920mm)、第5世代(1000mm×1200mmまたは1100mm×1250mm)、第6世代1500mm×1800mm)、第7世代(1900mm×2200mm)、第8世代(2160mm×2460mm)、第9世代(2400mm×2800mm、2450mm×3050mm)、第10世代(2950mm×3400mm)等を用いることができる。

10

【0027】

ゲート電極51は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。ゲート電極51は、スパッタリング法や真空蒸着法で基板50上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。なお、ゲート電極51の密着性向上と下地への拡散を防ぐバリアメタルとして、上記金属材料の窒化物膜を、基板50及びゲート電極51の間に設けてもよい。ここでは、第1のフォトリソマスクを用いて形成したレジストマスクを用いて基板50上に形成された導電膜をエッチングしてゲート電極51を形成する。

20

【0028】

なお、ゲート電極51上には、絶縁膜、半導体膜、配線等を形成するので、段切れ防止のため端部がテーパ状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極に接続する配線も同時に形成することができる。

【0029】

次に、ゲート電極51上に、ゲート絶縁膜52a、52b、微結晶半導体膜53、バッファ層54、一導電型を付与する不純物元素が添加された半導体膜55、導電膜65a~65cを順に形成する。次に、導電膜65c上にレジスト80を塗布する。なお、少なくとも、ゲート絶縁膜52a、52b、微結晶半導体膜53、及びバッファ層54を連続的に形成することが好ましい。さらには、ゲート絶縁膜52a、52b、微結晶半導体膜53、バッファ層54、及び一導電型を付与する不純物元素が添加された半導体膜55を連続的に形成することが好ましい。少なくとも、ゲート絶縁膜52a、52b、微結晶半導体膜53、及びバッファ層54を大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されことなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

30

【0030】

ゲート絶縁膜52a、52bはそれぞれ、CVD法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ここでは、ゲート絶縁膜52a、52bとして、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に積層して形成する形態を示す。なお、ゲート絶縁膜を2層とせず、基板側から窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に3層積層して形成することができる。また、ゲート絶縁膜を、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層で形成することができる。

40

【0031】

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS: Hydroge

50

n Forward Scattering)を用いて測定した場合に、濃度範囲として酸素が50～70原子%、窒素が0.5～15原子%、珪素が25～35原子%、水素が0.1～10原子%の範囲で含まれるものをいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が5～30原子%、窒素が20～55原子%、珪素が25～35原子%、水素が10～30原子%の範囲で含まれるものをいう。但し、酸化窒化珪素または窒化酸化珪素を構成する原子の合計を100原子%としたとき、窒素、酸素、珪素及び水素の含有比率が上記の範囲内に含まれるものとする。

【0032】

微結晶半導体膜53は、非晶質と結晶構造(単結晶、多結晶を含む)の中間的な構造の半導体を含む膜である。この半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、粒径が0.5～20nmの柱状または針状結晶が基板表面に対して法線方向に成長している。また、微結晶半導体と非晶質半導体とが混在している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 521 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 521 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手(ダングリングボンド)を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。このような微結晶半導体膜に関する記述は、例えば、米国特許4,409,134号で開示されている。

【0033】

この微結晶半導体膜は、周波数が数十MHz～数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができる。代表的には、 SiH_4 、 Si_2H_6 などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を50倍以上1000倍以下、好ましくは50倍以上200倍以下、更に好ましくは100倍とする。なお、水素化珪素の代わりに、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いることができる。

【0034】

また、微結晶半導体膜は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いn型の電気伝導性を示すので、薄膜トランジスタのチャネル形成領域として機能する微結晶半導体膜に対しては、p型を付与する不純物元素を、成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。p型を付与する不純物元素としては、代表的には硼素であり、 B_2H_6 、 BF_3 などの不純物気体を1ppm～1000ppm、好ましくは1～100ppmの割合で水素化珪素に混入させると良い。そしてボロンの濃度を、例えば $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とすると良い。

【0035】

また、微結晶半導体膜の酸素濃度を、 $5 \times 10^{19} \text{ cm}^{-3}$ 以下、 $1 \times 10^{19} \text{ cm}^{-3}$ 以下、窒素及び炭素の濃度それぞれを $3 \times 10^{18} \text{ cm}^{-3}$ 以下とすることが好ましい。酸素、窒素、及び炭素が微結晶半導体膜に混入する濃度を低減することで、微結晶半導体膜がn型化になることを防止することができる。

【0036】

微結晶半導体膜53は、0nmより厚く200nm以下、好ましくは1nm以上100nm以下、好ましくは5nm以上50nm以下で形成する。微結晶半導体膜53は後に形成される薄膜トランジスタのチャネル形成領域として機能する。微結晶半導体膜53の厚

10

20

30

40

50

さを5 nm以上50 nmとすることで、後に形成される薄膜トランジスタは、完全空乏型となる。また、微結晶半導体膜53は成膜速度が非晶質半導体膜の成膜速度の $1/10 \sim 1/100$ と遅いため、膜厚を薄くすることでスループットを向上させることができる。微結晶半導体膜は微結晶で構成されているため、非晶質半導体膜と比較して抵抗が低い。このため、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタは、電流電圧特性を示す曲線の立ち上がり部分の傾きが急峻となり、スイッチング素子としての応答性が優れ、高速動作が可能となる。また、薄膜トランジスタのチャネル形成領域に微結晶半導体膜を用いることで、薄膜トランジスタの閾値の変動を抑制することが可能である。このため、電気特性のばらつきの少ない発光装置を作製することができる。

【0037】

また、微結晶半導体膜は非晶質半導体膜と比較して移動度が高い。このため、発光素子のスイッチングとして、チャネル形成領域が微結晶半導体膜で形成される薄膜トランジスタを用いることで、チャネル形成領域の面積、即ち薄膜トランジスタの面積を縮小することが可能である。このため、一画素あたりに占める薄膜トランジスタの面積が小さくなり、画素の開口率を高めることが可能である。この結果、解像度の高い装置を作製することができる。

【0038】

バッファ層54は、 SiH_4 、 Si_2H_6 などの水素化珪素を用いて、プラズマCVD法により形成することができる。また、上記水素化珪素に、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して非晶質半導体膜を形成することができる。水素化珪素の流量の1倍以上20倍以下、好ましくは1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素を用いて、水素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と窒素またはアンモニアとを用いることで、窒素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と、フッ素、塩素、臭素、またはヨウ素を含む気体(F_2 、 Cl_2 、 HF 、 HCl 等)を用いることで、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。なお、水素化珪素の代わりに、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いることができる。

【0039】

また、バッファ層54は、ターゲットに非晶質半導体を用いて水素、または希ガスでスパッタリングして非晶質半導体膜を形成することができる。このとき、アンモニア、窒素、または N_2O を雰囲気中に含ませることにより、窒素を含む非晶質半導体膜を形成することができる。また、雰囲気中にフッ素、塩素、臭素、またはヨウ素を含む気体(F_2 、 Cl_2 、 HF 、 HCl 等)に含ませることにより、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。

【0040】

また、バッファ層54として、微結晶半導体膜53の表面にプラズマCVD法またはスパッタリング法により非晶質半導体膜を形成した後、非晶質半導体膜の表面を水素プラズマ、窒素プラズマ、またはハロゲンプラズマで処理して、非晶質半導体膜の表面を水素化、窒素化、またはハロゲン化してもよい。または、非晶質半導体膜の表面を、ヘリウムプラズマ、ネオンプラズマ、アルゴンプラズマ、クリプトンプラズマ等で処理してもよい。

【0041】

バッファ層54は、結晶粒を含まない非晶質半導体膜で形成することが好ましい。このため、周波数が数十MHz~数百MHzの高周波プラズマCVD法、またはマイクロ波プラズマCVD法で形成する場合は、結晶粒を含まない非晶質半導体膜となるように、成膜条件を制御することが好ましい。

【0042】

バッファ層54は、後のソース領域及びドレイン領域の形成プロセスにおいて、一部エッチングされる場合があるが、そのときに、バッファ層54の一部がエッチング後に残存する厚さで形成することが好ましい。代表的には、150 nm以上200 nm以下の厚さで

10

20

30

40

50

形成することが好ましい。

【0043】

なお、バッファ層54には、リンやボロン等の一導電型を付与する不純物元素が添加されていないことが好ましい。特に、閾値を制御するために微結晶半導体膜に含まれるボロン、または一導電型を付与する不純物元素が添加された半導体膜に含まれるリンがバッファ層54に混入されないことが好ましい。この結果、PN接合によるリーク電流の発生領域をなくすことで、リーク電流の低減を図ることができる。また、一導電型を付与する不純物元素が添加された半導体膜と微結晶半導体膜との間に、リンやボロン等の一導電型を付与する不純物元素が添加されない非晶質半導体膜を形成することで、微結晶半導体膜とソース領域及びドレイン領域それぞれに含まれる不純物が拡散するのを妨げることが可能である。

10

【0044】

微結晶半導体膜53の表面に、非晶質半導体膜、更には水素、窒素、またはハロゲンを含む非晶質半導体膜を形成することで、微結晶半導体膜53に含まれる結晶粒の表面の自然酸化を防止することが可能である。特に、非晶質半導体と微結晶粒が接する領域では、局部応力により亀裂が入りやすい。この亀裂が酸素に触れると結晶粒は酸化され、酸化珪素が形成される。しかしながら、微結晶半導体膜53の表面にバッファ層を形成することで、微結晶粒の酸化を防ぐことができる。また、バッファ層を形成することで、後にソース領域及びドレイン領域を形成する際に発生するエッチング残渣が微結晶半導体膜に混入することを防ぐことができる。

20

【0045】

また、バッファ層54は、非晶質半導体膜を用いて、または、水素、窒素、若しくはハロゲンを含む非晶質半導体膜で形成する。非晶質半導体膜のエネルギーギャップが微結晶半導体膜に比べて大きく（非晶質半導体膜のエネルギーギャップは1.6 eV以上1.8 eV以下、微結晶半導体膜のエネルギーギャップは1.1 eV以上1.5 eV以下）、また抵抗が高く、移動度が低く、微結晶半導体膜の1/5～1/10である。このため、後に形成される薄膜トランジスタにおいて、ソース領域及びドレイン領域と、微結晶半導体膜との間に形成されるバッファ層は高抵抗領域として機能し、微結晶半導体膜がチャネル形成領域として機能する。このため、薄膜トランジスタのオフ電流を低減することができる。当該薄膜トランジスタを発光装置のスイッチング素子として用いた場合、発光装置のコントラストを向上させることができる。

30

【0046】

一導電型を付与する不純物元素が添加された半導体膜55は、nチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、水素化珪素に PH_3 などの不純物気体を加えれば良い。また、pチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、水素化珪素に B_2H_6 などの不純物気体を加えれば良い。一導電型を付与する不純物元素が添加された半導体膜55は、微結晶半導体膜、または非晶質半導体で形成することができる。さらには一導電型を付与する不純物元素が添加された半導体膜55を、一導電型を付与する不純物が添加された非晶質半導体膜と、一導電型を付与する不純物が添加された微結晶半導体膜との積層で形成してもよい。バッファ層54側に一導電型を付与する不純物元素が添加された非晶質半導体膜を形成し、その上に一導電型を付与する不純物元素が添加された微結晶半導体膜を形成することで、抵抗が段階的に変化するため、キャリアが流れやすくなり、移動度を高めることができる。一導電型を付与する不純物元素が添加された半導体膜55は2 nm以上50 nm以下の厚さで形成する。一導電型を付与する不純物元素が添加された半導体膜の膜厚を、薄くすることでスループットを向上させることができる。

40

【0047】

ここで、ゲート絶縁膜52a、52bから一導電型を付与する不純物元素が添加された半導体膜55を連続成膜ことが可能なプラズマCVD装置について、図10を用いて示す。図10はプラズマCVD装置の上断面を示す模式図であり、共通室1120の周りに、

50

ロード室 1 1 1 0、アンロード室 1 1 1 5、反応室 (1) ~ 反応室 (4) 1 1 1 1 ~ 1 1 1 4 を備えた構成となっている。共通室 1 1 2 0 と各室の間にはゲートバルブ 1 1 2 2 ~ 1 1 2 7 が備えられ、各室で行われる処理が、相互に干渉しないように構成されている。基板はロード室 1 1 1 0、アンロード室 1 1 1 5 のカセット 1 1 2 8、1 1 2 9 に装填され、共通室 1 1 2 0 の搬送手段 1 1 2 1 により反応室 (1) ~ 反応室 (4) 1 1 1 1 ~ 1 1 1 4 へ運ばれる。この装置では、堆積膜種ごとに反応室をあてがうことが可能であり、複数の異なる被膜を大気に触れさせることなく連続して形成することができる。

【 0 0 4 8 】

反応室 (1) ~ 反応室 (4) それぞれにおいて、ゲート絶縁膜 5 2 a、5 2 b、微結晶半導体膜 5 3、バッファ層 5 4、及び一導電型を付与する不純物元素が添加された半導体膜 5 5 を積層形成する。この場合は、原料ガスの切り替えにより異なる種類の膜を連続的に複数積層することができる。この場合、ゲート絶縁膜を形成した後、反応室内にシラン等の水素化珪素を導入し、残留酸素及び水素化珪素を反応させて、反応物を反応室外に排出することで、反応室内の残留酸素濃度を低減させることができる。この結果、微結晶半導体膜に含まれる酸素の濃度を低減することができる。また、微結晶半導体膜に含まれる結晶粒の酸化を防止することができる。

10

【 0 0 4 9 】

または、反応室 (1) 及び反応室 (3) でゲート絶縁膜 5 2 a、5 2 b、微結晶半導体膜 5 3、及びバッファ層 5 4 を形成し、反応室 (2) 及び反応室 (4) で一導電型を付与する不純物元素が添加された半導体膜 5 5 を形成する。一導電型を付与する不純物のみ単独で成膜することにより、チャンバに残存する一導電型を付与する不純物元素が他の膜に混入することを防ぐことができる。

20

【 0 0 5 0 】

このように、複数のチャンバが接続されたマイクロ波プラズマ C V D 装置で、同時にゲート絶縁膜 5 2 a、5 2 b、微結晶半導体膜 5 3、バッファ層 5 4、及び一導電型を付与する不純物元素が添加された半導体膜 5 5 を成膜することができるため、量産性を高めることができる。また、ある反応室がメンテナンスやクリーニングを行っていても、残りの反応室において成膜処理が可能となり、成膜のタクトを向上させることができる。また、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

30

【 0 0 5 1 】

また、反応室 (1) でゲート絶縁膜 5 2 a、5 2 b を形成し、反応室 (2) で微結晶半導体膜 5 3 及びバッファ層 5 4 を形成し、反応室 (3) で一導電型を付与する不純物元素が添加された半導体膜 5 5 を形成することができる。また、ゲート絶縁膜 5 2 a を酸化珪素膜または酸化窒化珪素膜で形成し、ゲート絶縁膜 5 2 b を窒化珪素膜または窒化酸化珪素膜で形成する場合、反応室を 5 つ設け、反応室 (1) で、ゲート絶縁膜 5 2 a の酸化珪素膜または酸化窒化珪素膜を形成し、反応室 (2) で、ゲート絶縁膜 5 2 b の窒化珪素膜または窒化酸化珪素膜を形成し、反応室 (3) で、微結晶半導体膜を形成し、反応室 (4) でバッファ層を形成し、反応室 (5) で、一導電型を付与する不純物元素が添加された半導体膜を形成してもよい。また、微結晶半導体膜は成膜速度が遅いため、複数の反応室で微結晶半導体膜を成膜してもよい。例えば、反応室 (1) でゲート絶縁膜 5 2 a、5 2 b を形成し、反応室 (2) 及び (3) で微結晶半導体膜 5 3 を形成し、反応室 (4) でバッファ層 5 4 を形成し、反応室 (5) で一導電型を付与する不純物元素が添加された半導体膜 5 5 を形成してもよい。このように、複数の反応室で同時に微結晶半導体膜 5 3 を成膜することでスループットを向上させることができる。なお、このとき、各反応室の内壁を成膜する種類の膜でコーティングすることが好ましい。

40

【 0 0 5 2 】

このような構成のプラズマ C V D 装置を用いれば、各反応室で種類の類似する膜または一種類の膜を成膜することが可能であり、且つ大気に曝すことなく連続して形成することができるため、前に成膜した膜の残留物や大気中に浮遊する不純物元素に汚染されることなく

50

、各積層界面を形成することができる。

【0053】

なお、図10に示すプラズマCVD装置には、ロード室及びアンロード室が別々に設けられているが、一つとしロード/アンロード室とでもよい。また、プラズマCVD装置に予備室を設けてもよい。予備室で基板を予備加熱することで、各反応室において成膜までの加熱時間を短縮することが可能であるため、スループットを向上させることができる。

【0054】

以下に、成膜処理について説明する。これらの成膜処理は、その目的に応じて、ガス供給部から供給するガスを選択すれば良い。

【0055】

ここでは、ゲート絶縁膜52aに、酸化窒化珪素膜を形成し、ゲート絶縁膜52bに窒化酸化珪素膜を形成する方法を一例としてあげる。

【0056】

はじめに、マイクロ波プラズマCVD装置の反応室の処理容器の内部を、フッ素ラジカルでクリーニングする。なお、フッ素ラジカルは、反応室の外側に設けられたプラズマ発生器に、フッ化炭素、フッ化窒素、またはフッ素を導入し、解離し、フッ素ラジカルを反応室に導入することで、反応室内をクリーニングすることができる。

【0057】

フッ素ラジカルでクリーニングした後、反応室内部に水素を大量に導入することで、反応室内の残留フッ素と水素を反応させて、残留フッ素の濃度を低減することができる。このため、後に反応室の内壁に成膜する保護膜へのフッ素の混入量を減らすことが可能であり、保護膜の厚さを薄くすることが可能である。

【0058】

次に、反応室の処理容器内壁表面に保護膜として酸化窒化膜を堆積する。ここでは、処理容器内の圧力を1～200Pa、好ましくは1～100Paとし、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上のガスを導入する。さらには、希ガスのいずれか一種及び水素を導入する。特に、プラズマ着火用ガスとしてヘリウム、更にはヘリウムと水素を用いることが好ましい。

【0059】

ヘリウムのイオン化エネルギーは24.5eVと高いエネルギーを持つが、約20eVに準安定状態があるので、放電中においては約4eVでイオン化が可能である。このため、放電開始電圧が低く、また放電を維持しやすい。よって、プラズマを均一に維持することが可能であると共に、省電力化が可能である。

【0060】

また、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上及び酸素ガスを導入してもよい。希ガスと共に、酸素ガスを処理容器内に導入することで、プラズマの着火を容易とすることができる。

【0061】

次に、電源装置の電源をオンにし、電源装置の出力は500～6000W、好ましくは4000～6000Wとしてプラズマを発生させる。次に、ガス供給部から原料ガスを処理容器内に導入する。具体的には、原料ガスとして、一酸化二窒素、希ガス、及びシランを導入することで、処理容器の内壁表面に保護膜として酸化窒化珪素膜を形成する。このときの水素化珪素の流量を50～300sccm、一酸化二窒素の流量を500～6000sccmとし、保護膜の膜厚を500～2000nmとする。

【0062】

次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、電源装置の電源をオフにした後、処理容器内の支持台上に基板を導入する。

【0063】

次に、上記保護膜と同様の工程により、基板上にゲート絶縁膜52aとして酸化窒化珪素膜を堆積させる。

10

20

30

40

50

【 0 0 6 4 】

所定の厚さの酸化窒化珪素膜が堆積されたら、原料ガスの供給を停止し、処理容器内の圧力を低下し、電源装置の電源をオフにする。

【 0 0 6 5 】

次に、処理容器内の圧力を $1 \sim 200 \text{ Pa}$ 、好ましくは $1 \sim 100 \text{ Pa}$ とし、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上と、原料ガスであるシラン、一酸化二窒素、及びアンモニアを導入する。なお、原料ガスとして、アンモニアの代わりに窒素を導入しても良い。次に、電源装置の電源をオンにし、電源装置の出力は $500 \sim 6000 \text{ W}$ 、好ましくは $4000 \sim 6000 \text{ W}$ としてプラズマを発生させる。次に、ガス供給部から原料ガスを処理容器内に導入し、基板 1130 の酸化窒化珪素膜上にゲート絶縁膜として窒化酸化珪素膜を形成する。次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、電源装置の電源をオフにして、成膜プロセスを終了する。

10

【 0 0 6 6 】

以上の工程により、反応室内壁の保護膜を酸化窒化珪素膜とし、基板上に酸化窒化珪素膜及び窒化酸化珪素膜を連続的に成膜することで、上層側の窒化酸化珪素膜中に酸化珪素等の不純物の混入を低減することができる。電源装置としてマイクロ波を発生させることが可能な電源装置を用いたマイクロ波プラズマ CVD 法により上記膜を形成することで、プラズマ密度が高くなり耐圧の高い膜を形成することができ、当該膜をゲート絶縁膜として用いると、トランジスタの閾値のばらつきを低減することができる。また、BT 特性を向上させることができる。また、静電気に対する耐性が高まり、高い電圧が印加されても破壊にくいトランジスタを作製することができる。また、経時破壊の少ないトランジスタを作製することができる。また、ホットキャリアダメージの少ないトランジスタを作製することができる。

20

【 0 0 6 7 】

また、ゲート絶縁膜として、マイクロ波プラズマ CVD 装置により形成した酸化窒化珪素膜単層の場合、上記保護膜の形成方法及び酸化窒化珪素膜の形成方法を用いる。特に、シランに対する一酸化二窒素の流量比を 50 倍以上 300 倍以下、好ましくは 50 倍以上 250 倍以下とすると、耐圧の高い酸化窒化珪素膜を形成することができる。

【 0 0 6 8 】

次に、プラズマ CVD 法による微結晶半導体膜及びバッファ層として非晶質半導体膜を連続的に成膜する成膜処理方法について示す。まず、上記ゲート絶縁膜と同様により、反応室内をクリーニングする。次に、処理容器内に保護膜として珪素膜を堆積する。ここでは、処理容器内の圧力を $1 \sim 200 \text{ Pa}$ 、好ましくは $1 \sim 100 \text{ Pa}$ とし、プラズマ着火用ガスとして、ヘリウム、アルゴン、キセノン、クリプトン等の希ガスのいずれか一種以上を導入する。なお、希ガスと共に水素を導入してもよい。

30

【 0 0 6 9 】

次に、電源装置の電源をオンにし、電源装置の出力は $500 \sim 6000 \text{ W}$ 、好ましくは $4000 \sim 6000 \text{ W}$ としてプラズマを発生させる。次に、ガス供給部から原料ガスを処理容器内に導入する。原料ガスとして、具体的には、水素化珪素ガス、及び水素ガスを導入することで、処理容器の内壁表面に保護膜として微結晶珪素膜を形成する。また、水素化珪素ガス及び水素ガスに加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を 5 倍以上 1000 倍以下、好ましくは 50 倍以上 200 倍以下、更に好ましくは 100 倍以上 150 倍とする。また、このときの保護膜の膜厚を $500 \sim 2000 \text{ nm}$ とする。なお、電源装置の電源をオンにする前に、処理容器内に上記希ガスの他、水素化珪素ガス及び水素ガスを導入してもよい。

40

【 0 0 7 0 】

また、水素化珪素ガス、及び水素ガスに加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して、保護膜として非晶質半導体膜を

50

形成することができる。

【0071】

次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、電源装置の電源をオフにした後、処理容器内の支持台上に基板を導入する。

【0072】

次に、基板上に形成されるゲート絶縁膜52bの表面を水素プラズマ処理してもよい。微結晶半導体膜を形成する前に水素プラズマ処理することにより、ゲート絶縁膜及び微結晶半導体膜の界面における格子歪を低減することが可能であり、ゲート絶縁膜及び微結晶半導体膜の界面特性を向上させることができる。このため、後に形成される薄膜トランジスタの電気特性を向上させることができる。

10

【0073】

また、上記水素プラズマ処理において、処理容器内に形成された保護膜である非晶質半導体膜または微結晶半導体膜をも水素プラズマ処理することにより、保護膜がエッチングされてゲート絶縁膜52bの表面に少量の半導体が堆積する。当該半導体が結晶成長の核となり、当該核によって、微結晶半導体膜が堆積する。この結果、ゲート絶縁膜及び微結晶半導体膜の界面における格子歪を低減することが可能であり、ゲート絶縁膜及び微結晶半導体膜の界面特性を向上させることができる。このため、後に形成される薄膜トランジスタの電気特性を向上させることができる。

【0074】

次に、上記保護膜と同様の工程により、基板上に微結晶珪素膜を堆積させる。微結晶珪素膜の膜厚を0nmより厚く50nm以下、好ましくは0nmより厚く20nm以下とする。

20

【0075】

所定の厚さの微結晶珪素膜が堆積されたら、次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、電源装置の電源をオフにして、微結晶半導体膜成膜プロセスを終了する。

【0076】

次に、処理容器内の圧力を下げ、原料ガスの流量を調整する。具体的には、水素ガスの流量を微結晶半導体膜の成膜条件より大幅に低減する。代表的には、水素化珪素の流量の1倍以上20倍以下、好ましくは1倍以上10倍以下、更に好ましくは1倍以上5倍以下の流量の水素ガスを導入する。または、水素ガスを処理容器内に導入せず、水素化珪素ガスを導入する。このように水素化珪素に対する水素の流量を低減することにより、バッファ層として非晶質半導体膜の成膜速度を向上させることができる。または、水素化珪素ガスに加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈する。次に、電源装置の電源をオンにし、電源装置の出力は500～6000W、好ましくは4000～6000Wとしてプラズマ200を発生させて、非晶質半導体膜を形成することができる。非晶質半導体膜の成膜速度は微結晶半導体膜に比べて高いため、処理容器内の圧力を低く設定することができる。このときの非晶質半導体膜の膜厚を200～400nmとする。

30

【0077】

所定の厚さの非晶質半導体膜が堆積されたら、次に、原料ガスの供給を停止し、処理容器内の圧力を低下し、電源装置の電源をオフにして、非晶質半導体膜の成膜プロセスを終了する。

40

【0078】

なお、微結晶半導体膜53及びバッファ層54である非晶質半導体膜をプラズマが着火したまま形成してもよい。具体的には微結晶半導体膜53を形成する原料ガスである水素化珪素に対する水素の流量比を徐々に低減させて微結晶半導体膜53及びバッファ層54である非晶質半導体膜を積層する。このような手法により微結晶半導体膜53及びバッファ層54の界面に不純物が堆積せず、歪の少ない界面を形成することが可能であり、後に形成される薄膜トランジスタの電気特性を向上させることができる。

50

【0079】

微結晶半導体膜53を形成する場合、周波数が1GHz以上のマイクロ波プラズマCVD装置を用いることが好ましい。マイクロ波プラズマは、電子密度が高く、原料ガスから多くのラジカルが形成され、基板1130へ供給されるため、基板でのラジカルの表面反応が促進され、微結晶シリコンの成膜速度を高めることができる。また、1MHzから20MHz、代表的には13.56MHzの高周波、または20MHzより大きく120MHz程度までのVHF帯の高周波、代表的には27.12MHz、60MHzを用いたプラズマCVD法により、微結晶半導体膜を形成することができる。

【0080】

なお、ゲート絶縁膜及び半導体膜それぞれの作製工程において、反応室の内壁に500～2000nmの保護膜が形成されている場合は、上記クリーニング処理及び保護膜形成処理を省くことができる。

【0081】

次に、一導電型を付与する不純物元素が添加された半導体膜55上に、導電膜65a～65cを形成する。導電膜65a～65cは、アルミニウム、銅、若しくはシリコン、チタン、ネオジム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、一導電型を付与する不純物元素が添加された半導体膜と接する側の膜を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、導電膜としては、導電膜65a～65c3層が積層した構造の導電膜を示し、導電膜65a、65cにモリブデン膜、導電膜65bにアルミニウム膜を用いた積層導電膜や、導電膜65a、65cにチタン膜、導電膜65bにアルミニウム膜を用いた積層導電膜を示す。導電膜65a～65cは、スパッタリング法や真空蒸着法で形成する。

【0082】

レジスト80は、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。

【0083】

次に、第2のフォトマスクとして多階調マスク59を用いて、レジスト80に光を照射して、レジスト80を露光する。

【0084】

ここで、多階調マスク59を用いた露光について、図11を用いて説明する。

【0085】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に3つの露光レベルを行うことが可能なマスクであり、一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することが可能である。

【0086】

多階調マスクの代表例としては、図11(A)に示すようなグレートーンマスク59a、図11(C)に示すようなハーフトーンマスク59bがある。

【0087】

図11(A)に示すように、グレートーンマスク59aは、透光性を有する基板163及びその上に形成される遮光部164並びに回折格子165で構成される。遮光部164においては、光の透過率が0%である。一方、回折格子165はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過率を制御することができる。なお、回折格子165は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

。

10

20

30

40

50

【0088】

透光性を有する基板163は、石英等の透光性を有する基板を用いることができる。遮光部164及び回折格子165は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0089】

グレートンマスク59aに露光光を照射した場合、図11(B)に示すように、遮光部164においては、光透過率166は0%であり、遮光部164及び回折格子165が設けられていない領域では光透過率166は100%である。また、回折格子165においては、10~70%の範囲で調整可能である。回折格子165における光の透過率の調整は、回折格子のスリット、ドット、またはメッシュの間隔あるいはピッチの調整により可能である。

10

【0090】

図11(C)に示すように、ハーフトンマスク59bは、透光性を有する基板163及びその上に形成される半透過部167並びに遮光部168で構成される。半透過部167は、MoSiN、MoSi、MoSiO、MoSiON、CrSiなどを用いることができる。遮光部168は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0091】

ハーフトンマスク59bに露光光を照射した場合、図11(D)に示すように、遮光部168においては、光透過率169は0%であり、遮光部168及び半透過部167が設けられていない領域では光透過率169は100%である。また、半透過部167においては、10~70%の範囲で調整可能である。半透過部167に於ける光の透過率の調整は、半透過部167の材料により調整により可能である。

20

【0092】

多階調マスクを用いて露光した後、現像することで、図1(B)に示すように、膜厚の異なる領域を有するレジストマスク81を形成することができる。

【0093】

次に、レジストマスク81により、微結晶半導体膜53、バッファ層54、一導電型を付与する不純物元素が添加された半導体膜55、及び導電膜65a~65cをエッチングし分離する。この結果、図2(A)に示すような、微結晶半導体膜61、バッファ層62、一導電型を付与する不純物元素が添加された半導体膜63、及び導電膜85a~85cを形成することができる。なお、図2(A)は図5(A)のA-Bにおける断面図に相当する(但しレジストマスク86を除く)。

30

【0094】

微結晶半導体膜61、バッファ層62の端部側面が傾斜していることにより、バッファ層62上に形成されるソース領域及びドレイン領域と微結晶半導体膜61との間にリーク電流が生じること防止することが可能である。また、ソース電極及びドレイン電極と、微結晶半導体膜61との間にリーク電流が生じるのを防止することが可能である。微結晶半導体膜61及びバッファ層62の端部側面の傾斜角度は、30°~90°、好ましくは45°~80°である。このような角度とすることで、段差形状によるソース電極またはドレイン電極の段切れを防ぐことができる。

40

【0095】

次に、レジストマスク81をアッシングする。この結果、レジストの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のレジスト(ゲート電極51の一部と重畳する領域)は除去され、図2(A)に示すように、分離されたレジストマスク86を形成することができる。

【0096】

次に、レジストマスク86を用いて一導電型を付与する不純物元素が添加された半導体膜63、及び導電膜85a~85cをエッチングし分離する。ここでは、ドライエッチングにより、導電膜85a~85cを分離する。この結果、図2(B)に示すような、一對の

50

導電膜 89a ~ 89c、及び一对のソース領域及びドレイン領域 89 を形成することができる。なお、当該エッチング工程において、バッファ層 62 の一部もエッチングする。一部エッチングされたバッファ層をバッファ層 88 と示す。ソース領域及びドレイン領域の形成工程と、バッファ層の凹部とを同一工程で形成することができる。ここでは、バッファ層 88 の一部が、面積が縮小したレジストマスク 86 で一部エッチングされたため、導電膜 85a ~ 85c の外側にバッファ層 88 が突出した形状となる。

【0097】

次に、図 2 (C) に示すように、導電膜 89a ~ 89c の一部をエッチングしソース電極及びドレイン電極 92a ~ 92c を形成する。ここでは、レジストマスク 86 を用いて導電膜 89a ~ 89c をウエットエッチングすると、導電膜 89a ~ 89c の端部が選択的にエッチングされる。この結果、レジストマスク 86 及び導電膜 89a ~ 89c より面積の小さいソース電極及びドレイン電極 92a ~ 92c を形成することができる。ソース電極及びドレイン電極 92a ~ 92c の端部と、ソース領域及びドレイン領域 89 の端部は一致せずずれており、ソース電極及びドレイン電極 92a ~ 92c の端部の外側に、ソース領域及びドレイン領域 89 の端部が形成される。この後、レジストマスク 86 を除去する。

10

【0098】

なお、図 2 (C) は、図 5 (B) の A - B の断面図に相当する。図 5 (B) に示すように、ソース領域及びドレイン領域 89 の端部は、ソース電極及びドレイン電極 92c の端部の外側に位置することが分かる。また、バッファ層 88 の端部はソース電極及びドレイン電極 92c 及びソース領域及びドレイン領域 89 の端部の外側に位置する。また、ソース電極及びドレイン電極の一方はソース領域及びドレイン領域の他方を部分的に囲む形状（具体的には、U 字型、C 字型）である。このため、キャリアが移動する領域の面積を増加させることが可能であるため、電流量を増やすことが可能であり、薄膜トランジスタの面積を縮小することができる。また、ゲート電極の内側において、微結晶半導体膜 87、ソース電極及びドレイン電極 92c が重畳されているため、ゲート電極の端部における凹凸の影響が少なく、被覆率の低減及びリーク電流の発生を抑制することができる。なお、ソース電極またはドレイン電極の一方は、ソース配線またはドレイン配線としても機能する。

20

【0099】

図 2 (C) に示すように、ソース電極及びドレイン電極 92a ~ 92c の端部と、ソース領域及びドレイン領域 89 の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極 92a ~ 92c の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

30

【0100】

以上の工程により、チャネルエッチ型の薄膜トランジスタ 83 を形成することができる。また、2 枚のフォトリソマスクを用いて薄膜トランジスタを形成することができる。

【0101】

本実施の形態で示す薄膜トランジスタは、ゲート電極上にゲート絶縁膜、微結晶半導体膜、バッファ層、ソース領域及びドレイン領域、ソース電極及びドレイン電極が積層され、チャネル形成領域として機能する微結晶半導体膜の表面をバッファ層が覆う。また、バッファ層の一部には凹部（溝）が形成されており、当該凹部以外の領域がソース領域及びドレイン領域で覆われる。即ち、バッファ層に形成される凹部により、ソース領域及びドレイン領域の間のキャリアが移動する距離が長いため、ソース領域及びドレイン領域の間でのリーク電流を低減することができる。また、バッファ層の一部をエッチングすることにより凹部を形成するため、ソース領域及びドレイン領域の形成工程において発生するエッチング残渣を除去することができるため、残渣を介してソース領域及びドレイン領域にリーク電流（寄生チャネル）が発生することを回避することができる。

40

【0102】

50

また、チャネル形成領域として機能する微結晶半導体膜とソース領域及びドレイン領域との間に、バッファ層が形成されている。また、微結晶半導体膜の表面がバッファ層で覆われている。高抵抗率の非晶質半導体膜で形成されたバッファ層は、微結晶半導体膜と、ソース領域及びドレイン領域との間にまで延在しているため、薄膜トランジスタがオフの場合（即ち、ゲート電圧を負の電圧とした場合）の、リーク電流を低減することができると共に、高い電圧の印加による劣化を低減することができる。また、微結晶半導体膜の表面に水素で表面が終端された非晶質半導体膜がバッファ層として形成されているため、微結晶半導体膜の酸化を防止することが可能であると共に、ソース領域及びドレイン領域の形成工程に発生するエッチング残渣が微結晶半導体膜に混入することを防ぐことができる。このため、電気特性が高く、且つドレイン耐圧に優れた薄膜トランジスタである。

10

【0103】

また、ソース電極及びドレイン電極の端部と、ソース領域及びドレイン領域の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。

【0104】

次に、図3（A）に示すように、ソース電極及びドレイン電極92a～92c、ソース領域及びドレイン領域89、バッファ層88、微結晶半導体膜87、及びゲート絶縁膜52b上に絶縁膜76を形成する。絶縁膜76は、ゲート絶縁膜52a、52bと同様に形成することができる。なお、絶縁膜76は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。また、絶縁膜76に窒化珪素膜を用いることで、バッファ層88中の酸素濃度を $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることができる。

20

【0105】

次に、絶縁膜76にコンタクトホールを形成し、当該コンタクトホールにおいてソース電極またはドレイン電極92cに接する画素電極77を形成する。なお、図3（B）は、図5（C）のA-Bの断面図に相当する。

【0106】

画素電極77は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

30

【0107】

また、画素電極77として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000 \Omega/\square$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1 \Omega \cdot \text{cm}$ 以下であることが好ましい。

【0108】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

40

【0109】

以上により発光装置に用いることが可能な素子基板を形成することができる。

【0110】

なお、図2（A）に示すように、微結晶半導体膜61、バッファ層62、一導電型を付与する不純物元素が添加された半導体膜63、及び導電膜85a～85cを形成した後、図4（A）に示すように、レジストマスク86を用いて導電膜85a～85cをエッチングする。ここでは、レジストマスク86を用いて導電膜85a～85cをウェットエッチングにより等方的にエッチングすると、導電膜85a～85cが選択的にエッチングされる

50

。この結果、レジストマスク 8 6 より面積の小さいソース電極及びドレイン電極 9 2 a ~ 9 2 c を形成することができる。

【 0 1 1 1 】

次に、図 4 (B) に示すように、レジストマスク 8 6 を用いて一導電型を付与する不純物元素が添加された半導体膜 6 3 をエッチングする。ここでは、ドライエッチングにより一導電型を付与する不純物元素が添加された半導体膜 6 3 を異方的にエッチングすると、レジストマスク 8 6 と同程度の面積のソース領域及びドレイン領域 8 9 を形成することができる。

【 0 1 1 2 】

ソース電極及びドレイン電極 9 2 a ~ 9 2 c の端部と、ソース領域及びドレイン領域 8 9 の端部は一致せず、ずれた形状となることで、ソース電極及びドレイン電極 9 2 a ~ 9 2 c の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

10

【 0 1 1 3 】

図 1 乃至図 4 に示すように、ウェットエッチングで導電膜をエッチングし、ドライエッチングで一導電型を付与する不純物元素が添加された半導体膜をエッチングすることで、少ないフォトリソマスク数でソース電極及びドレイン電極の端部と、ソース領域及びドレイン領域の端部が一致せず、異なる構造にすることができる。

20

【 0 1 1 4 】

次に、上記形態とは異なる薄膜トランジスタの作製方法について、図 6 乃至図 9 を用いて説明する。ここでは、ソース電極またはドレイン電極と、ソース配線またはドレイン配線とが異なる形態について以下に示す。

【 0 1 1 5 】

図 6 (A) に示すように、基板 5 0 上にゲート電極 5 1 を形成する。次に、ゲート電極 5 1 上に、ゲート絶縁膜 5 2 a、5 2 b、微結晶半導体膜 5 3、バッファ層 5 4、一導電型を付与する不純物元素が添加された半導体膜 5 5、及び導電膜 6 5 a を順に形成する。次に、導電膜 6 5 a 上にレジストを塗布し、図 1 (A) に示す多階調マスクを用いて厚さの異なる領域を有するレジストマスク 8 1 を形成する。

30

【 0 1 1 6 】

次に、レジストマスク 8 1 により、微結晶半導体膜 5 3、バッファ層 5 4、一導電型を付与する不純物元素が添加された半導体膜 5 5、及び導電膜 6 5 a をエッチングし分離する。この結果、図 6 (B) に示すような、微結晶半導体膜 6 1、バッファ層 6 2、一導電型を付与する不純物元素が添加された半導体膜 6 3、及び導電膜 8 5 a を形成する。なお、図 6 (B) は図 9 (A) の A - B における断面図に相当する（但しレジストマスク 8 6 を除く）。

40

【 0 1 1 7 】

次に、レジストマスク 8 1 をアッシングして分離されたレジストマスク 8 6 を形成する。次に、レジストマスク 8 6 を用いて一導電型を付与する不純物元素が添加された半導体膜 6 3、及び導電膜 8 5 a をエッチングし分離する。ここでは、ドライエッチングにより一導電型を付与する不純物元素が添加された半導体膜 6 3、及び導電膜 8 5 a を分離する。この結果、図 6 (C) に示すような、一対の導電膜 8 9 a、及び一対のソース領域及びドレイン領域 8 9 を形成することができる。なお、当該エッチング工程において、バッファ層 6 2 の一部もエッチングする。一部エッチングされたバッファ層をバッファ層 8 8 と示す。ここでは、バッファ層 8 8 の一部が、面積が縮小したレジストマスク 8 6 で一部エッチングされたため、導電膜 8 5 a の外側にバッファ層 8 8 が突出した形状となる。本実施の形態に示すように、バッファ層の側面において、階段状になっているため、後に形成される絶縁膜の被覆率が高まる。このため、絶縁膜上に形成される画素電極と、薄膜トランジスタとの間におけるリーク電流を低減することができる。

50

【 0 1 1 8 】

次に、レジストマスク 86 をアッシングする。この結果、図 7 (A) に示すように、レジストマスクの面積が縮小し、厚さが薄くなる。次にアッシングされたレジストマスク 91 を用いて導電膜 89a の一部をエッチングすることで、図 7 (B) に示すように、ソース電極及びドレイン電極 92a を形成する。ソース電極及びドレイン電極 92a の端部と、ソース領域及びドレイン領域 89 の端部は一致せずずれる。ここでは、レジストマスク 91 を用いてドライエッチングにより導電膜 89a の露出部を異方的にエッチングする。この後、レジストマスク 91 を除去する。

【0119】

この結果、導電膜 89a より面積の小さいソース電極及びドレイン電極 92a を形成する。この後、レジストマスク 91 を除去する。なお、図 7 (B) は、図 9 (B) の A - B の断面図に相当する。図 9 (B) に示すように、ソース領域及びドレイン領域 89 の端部は、ソース電極及びドレイン電極 92a の端部の外側に位置することが分かる。また、バッファ層 88 の端部は、ソース電極及びドレイン電極 92a、並びにソース領域及びドレイン領域 89 の外側に位置する。また、ソース電極及びドレイン電極 92a はそれぞれ分離されていて、隣接する画素に形成される電極と接続していない。なお、ここでは、レジストマスク 86 をアッシングして形成したレジストマスク 91 を用いてソース電極及びドレイン電極 92a を形成したが、図 1 乃至図 4 に示す工程に示すように、レジストマスク 86 を用いてウェットエッチングしてソース電極及びドレイン電極 92a を形成してもよい。

10

【0120】

図 7 (B) に示すように、ソース電極及びドレイン電極 92a の端部と、ソース領域及びドレイン領域 89 の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極 92a の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

20

【0121】

次に、図 7 (C) に示すように、ソース電極及びドレイン電極 92a、ソース領域及びドレイン領域 89、バッファ層 88、及びゲート絶縁膜 52b 上に絶縁膜 76 を形成する。絶縁膜 76 は、ゲート絶縁膜 52a、52b と同様に形成することができる。

30

【0122】

次に、図 8 (A) に示すように、絶縁膜 76 にコンタクトホールを形成し、当該コンタクトホールにおいてソース電極またはドレイン電極 92a の一方に接し、且つ積層された配線 93b、93c を形成する。なお、図 8 (A) は、図 9 (C) の A - B の断面図に相当する。また、配線 93b、93c は、隣接する画素に形成されるソース電極またはドレイン電極を接続する配線である。

【0123】

次に、図 8 (B) に示すように、次に、コンタクトホールにおいてソース電極またはドレイン電極 92a の他方に接する画素電極 77 を形成する。なお、図 8 (B) は、図 9 (D) の A - B の断面図に相当する。

40

【0124】

以上の工程により、チャネルエッチ型の薄膜トランジスタ 84 を形成することができる。チャネルエッチ型の薄膜トランジスタは、作製工程数が少なく、コスト削減が可能である。また、微結晶半導体膜でチャネル形成領域を構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線 (ゲート線) 側の駆動回路を形成する素子として利用することができる。

【0125】

本実施の形態により、電気特性の信頼性の高い薄膜トランジスタを作製することができる。

【0126】

50

(実施の形態 2)

次に、発光装置の作製工程について、図 2、及び図 15 を用いて説明する。発光装置としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。また、ここでは、薄膜トランジスタの作製工程として図 1 及び図 2 を用いるが、適宜図 4、図 6 乃至図 8 を用いることができる。

【0127】

有機 EL 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

10

【0128】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 EL 素子を用いて説明する。また、発光素子の駆動を制御する薄膜トランジスタとして、図 2 (C) に示すチャネルエッチ型の薄膜トランジスタを用いて示すが、チャネル保護型の薄膜トランジスタを適宜用いることができる。

20

【0129】

図 1 及び図 2 の工程を経て、図 15 に示すように基板 50 上に薄膜トランジスタ 83 および 85 を形成し、薄膜トランジスタ 83 上に保護膜として機能する絶縁膜 76 を形成する。なお、薄膜トランジスタ 85 は駆動回路 121 に形成されるものであり、薄膜トランジスタ 83 は画素部 122 に形成されるものである。次に、絶縁膜 76 上に平坦化膜 111 を形成し、平坦化膜 111 上に薄膜トランジスタ 83 のソース電極またはドレイン電極に接続する画素電極 112 を形成する。

30

【0130】

平坦化膜 111 は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシリコンを用いて形成することが好ましい。

【0131】

図 15 (A) では画素の薄膜トランジスタが n 型であるので、画素電極 112 として、陰極を用いるのが望ましいが、逆に p 型の場合は陽極を用いるのが望ましい。具体的には、陰極としては、仕事関数が小さい公知の材料、例えば、Ca、Al、CaF、MgAg、AlLi 等を用いることができる。

【0132】

次に図 15 (B) に示すように、平坦化膜 111 及び画素電極 112 の端部上に、隔壁 113 を形成する。隔壁 113 は開口部を有しており、該開口部において画素電極 112 が露出している。隔壁 113 は、有機樹脂膜、無機絶縁膜または有機ポリシリコンを用いて形成する。特に感光性の材料を用い、画素電極上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

40

【0133】

次に、隔壁 113 の開口部において画素電極 112 と接するように、発光層 114 を形成する。発光層 114 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0134】

そして発光層 114 を覆うように、陽極材料を用いた共通電極 115 を形成する。共通

50

電極 115 は、実施の形態 1 に画素電極 77 として列挙した透光性を有する導電性材料を用いた透光性導電膜で形成することができる。共通電極 115 として上記透光性導電膜の他に、窒化チタン膜またはチタン膜を用いても良い。図 15 (B) では、共通電極 115 とし ITO を用いている。隔壁 113 の開口部において、画素電極 112 と発光層 114 と共通電極 115 が重なり合うことで、発光素子 117 が形成されている。この後、発光素子 117 に酸素、水素、水分、二酸化炭素等が侵入しないように、共通電極 115 及び隔壁 113 上に保護膜 116 を形成することが好ましい。保護膜 116 としては、窒化珪素膜、窒化酸化珪素膜、DLC 膜等を形成することができる。

【0135】

さらに、実際には、図 15 (B) まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

10

【0136】

次に、発光素子の構成について、図 16 を用いて説明する。ここでは、駆動用 TFT が n 型の場合を例に挙げて、画素の断面構造について説明する。

【0137】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

20

【0138】

上面射出構造の発光素子について図 16 (A) を用いて説明する。

【0139】

図 16 (A) に、駆動用 TFT 7001 が n 型で、発光素子 7002 から発せられる光が陽極 7005 側に抜ける場合の、画素の断面図を示す。図 16 (A) では、発光素子 7002 の陰極 7003 と駆動用 TFT 7001 が電気的に接続されており、陰極 7003 上に発光層 7004、陽極 7005 が順に積層されている。陰極 7003 は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi 等が望ましい。そして発光層 7004 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 7003 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 7005 は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。

30

【0140】

陰極 7003 及び陽極 7005 で発光層 7004 を挟んでいる領域が発光素子 7002 に相当する。図 16 (A) に示した画素の場合、発光素子 7002 から発せられる光は、白抜きの矢印で示すように陽極 7005 側に射出する。

40

【0141】

次に、下面射出構造の発光素子について図 16 (B) を用いて説明する。駆動用 TFT 7011 が n 型で、発光素子 7012 から発せられる光が陰極 7013 側に射出する場合の、画素の断面図を示す。図 16 (B) では、駆動用 TFT 7011 と電気的に接続された透光性を有する導電性材料 7017 上に、発光素子 7012 の陰極 7013 が成膜されており、陰極 7013 上に発光層 7014、陽極 7015 が順に積層されている。なお、陽極 7015 が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜 7016 が成膜されていてもよい。陰極 7013 は、図 16 (A) の場合と同様

50

に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm程度）とする。例えば20 nmの膜厚を有するA1を、陰極7013として用いることができる。そして発光層7014は、図16（A）と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図16（A）と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料添加した樹脂等を用いることもできる。

【0142】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図16（B）に示した画素の場合、発光素子7012から発せられる光は、白抜きの矢印で示すように陰極7013側に射出する。

【0143】

次に、両面射出構造の発光素子について、図16（C）を用いて説明する。図16（C）では、駆動用TFT7021と電氣的に接続された透光性を有する導電性材料7027上に、発光素子7022の陰極7023が成膜されており、陰極7023上に発光層7024、陽極7025が順に積層されている。陰極7023は、図16（A）の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20 nmの膜厚を有するA1を、陰極7023として用いることができる。そして発光層7024は、図16（A）と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7025は、図16（A）と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

【0144】

陰極7023と、発光層7024と、陽極7025とが重なっている部分が発光素子7022に相当する。図16（C）に示した画素の場合、発光素子7022から発せられる光は、白抜きの矢印で示すように陽極7025側と陰極7023側の両方に射出する。

【0145】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0146】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用TFT）と発光素子が電氣的に接続されている例を示したが、駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

【0147】

なお本実施の形態で示す発光装置は、図16に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0148】

以上の工程により、発光装置を作製することができる。本実施の形態の発光装置は、オフ電流が少なく、電気特性の信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い発光装置である。また、レーザ結晶化工程のない微結晶半導体膜を用いた薄膜トランジスタを用いているため、視認性の高い発光装置を量産高く作製することができる。

【0149】

（実施の形態3）

次に、本発明の発光装置の一形態である発光パネルの構成について、以下に示す。

【0150】

図12（A）に、信号線駆動回路6013のみを別途形成し、基板6011上に形成された画素部6012と接続している発光パネルの形態を示す。画素部6012及び走査線駆動回路6014は、微結晶半導体膜をチャンネル形成領域に用いた薄膜トランジスタを用

10

20

30

40

50

いて形成する。微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタよりも高い電界効果移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路 6013 は、単結晶の半導体をチャネル形成領域に用いたトランジスタ、多結晶の半導体をチャネル形成領域に用いた薄膜トランジスタ、または SOI を用いたトランジスタであっても良い。画素部 6012 と、信号線駆動回路 6013 と、走査線駆動回路 6014 とに、それぞれ電源の電位、各種信号等が、FPC 6015 を介して供給される。

【0151】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

【0152】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えば FPC 上に貼り合わせるようにしても良い。図 12 (B) に、信号線駆動回路 6023 のみを別途形成し、基板 6021 上に形成された画素部 6022 及び信号線駆動回路 6023 とを接続している発光装置パネルの形態を示す。画素部 6022 及び走査線駆動回路 6024 は、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いて形成する。信号線駆動回路 6023 は、FPC 6025 を介して画素部 6022 と接続されている。画素部 6022 と、信号線駆動回路 6023 と、走査線駆動回路 6024 とに、それぞれ電源の電位、各種信号等が、FPC 6025 を介して供給される。

【0153】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電氣的に接続するようにしても良い。図 12 (C) に、信号線駆動回路が有するアナログスイッチ 6033a を、画素部 6032、走査線駆動回路 6034 と同じ基板 6031 上に形成し、信号線駆動回路が有するシフトレジスタ 6033b を別途異なる基板に形成して貼り合わせる発光装置パネルの形態を示す。画素部 6032 及び走査線駆動回路 6034 は、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いて形成する。信号線駆動回路が有するシフトレジスタ 6033b は、FPC 6035 を介して画素部 6032 と接続されている。画素部 6032 と、信号線駆動回路と、走査線駆動回路 6034 とに、それぞれ電源の電位、各種信号等が、FPC 6035 を介して供給される。

【0154】

図 12 に示すように、本発明の発光装置は、駆動回路の一部または全部を、画素部と同じ基板上に、微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを用いて形成することができる。

【0155】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知の COG 方法、ワイヤボンディング方法、或いは TAB 方法などを用いることができる。また接続する位置は、電氣的な接続が可能であるならば、図 12 に示した位置に限定されない。また、コントローラ、CPU、メモリ等を別途形成し、接続するようにしても良い。

【0156】

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

【0157】

図 18 に本発明の発光装置のブロック図を示す。図 18 に示す発光装置は、発光素子を備えた画素を複数有する画素部 700 と、各画素を選択する走査線駆動回路 702 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 703 とを有する。

【0158】

図 18 において信号線駆動回路 703 は、シフトレジスタ 704、アナログスイッチ 705 を有している。シフトレジスタ 704 には、クロック信号 (CLK)、スタートパルス信号 (SP) が入力されている。クロック信号 (CLK) とスタートパルス信号 (SP) が入力されると、シフトレジスタ 704 においてタイミング信号が生成され、アナログスイッチ 705 に入力される。

【0159】

またアナログスイッチ 705 には、ビデオ信号 (video signal) が与えられている。アナログスイッチ 705 は入力されるタイミング信号に従ってビデオ信号をサンプリングし、後段の信号線に供給する。

【0160】

次に、走査線駆動回路 702 の構成について説明する。走査線駆動回路 702 は、シフトレジスタ 706、バッファ 707 を有している。また場合によってはレベルシフトを有していても良い。走査線駆動回路 702 において、シフトレジスタ 706 にクロック信号 (CLK) 及びスタートパルス信号 (SP) が入力されることによって、選択信号が生成される。生成された選択信号はバッファ 707 において緩衝増幅され、対応する走査線に供給される。走査線には、1 ライン分の画素のトランジスタのゲートが接続されている。そして、1 ライン分の画素のトランジスタを一斉に ON にしなくてはならないので、バッファ 707 は大きな電流を流すことが可能なものが用いられる。

【0161】

フルカラーの発光装置で、R (赤)、G (緑)、B (青) に対応するビデオ信号を、順にサンプリングして対応する信号線に供給している場合、シフトレジスタ 704 とアナログスイッチ 705 とを接続するための端子数が、アナログスイッチ 705 と画素部 700 の信号線を接続するための端子数の 1/3 程度に相当する。よって、アナログスイッチ 705 を画素部 700 と同じ基板上に形成することで、アナログスイッチ 705 を画素部 700 と異なる基板上に形成した場合に比べて、別途形成した基板の接続に用いる端子の数を抑えることができ、接続不良の発生確率を抑え、歩留まりを高めることができる。

【0162】

なお、図 18 の走査線駆動回路 702 は、シフトレジスタ 706、及びバッファ 707 を有するが、シフトレジスタ 706 で走査線駆動回路 702 を構成してもよい。

【0163】

なお、図 18 に示す構成は、本発明の発光装置の一形態を示したに過ぎず、信号線駆動回路と走査線駆動回路の構成はこれに限定されない。

【0164】

次に、極性が全て同一の微結晶半導体膜を用いた薄膜トランジスタを含むシフトレジスタの一形態について図 19 及び図 20 を用いて説明する。図 19 に、本実施の形態のシフトレジスタの構成を示す。図 19 に示すシフトレジスタは、複数のフリップフロップ (フリップフロップ 701-1 ~ 701-n) で構成される。また、第 1 のクロック信号、第 2 のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

【0165】

図 19 のシフトレジスタの接続関係について説明する。図 19 のシフトレジスタは、i 段目のフリップフロップ 701-i (フリップフロップ 701-1 ~ 701-n のうちいずれか) は、図 20 に示した第 1 の配線 501 が第 7 の配線 717-i-1 に接続され、図 20 に示した第 2 の配線 502 が第 7 の配線 717-i+1 に接続され、図 20 に示した第 3 の配線 503 が第 7 の配線 717-i に接続され、図 20 に示した第 6 の配線 506 が第 5 の配線 715 に接続される。

【0166】

10

20

30

40

50

また、図 20 に示した第 4 の配線 504 が奇数段目のフリップフロップでは第 2 の配線 712 に接続され、偶数段目のフリップフロップでは第 3 の配線 713 に接続され、図 20 に示した第 5 の配線 505 が第 4 の配線 714 に接続される。

【0167】

ただし、1 段目のフリップフロップ 701 - 1 の図 20 に示す第 1 の配線 501 は第 1 の配線 711 に接続され、n 段目のフリップフロップ 701 - n の図 20 に示す第 2 の配線 502 は第 6 の配線 716 に接続される。

【0168】

なお、第 1 の配線 711、第 2 の配線 712、第 3 の配線 713、第 6 の配線 716 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 4 の配線 714、第 5 の配線 715 を、それぞれ第 1 の電源線、第 2 の電源線と呼んでもよい。

10

【0169】

次に、図 19 に示すフリップフロップの詳細について、図 20 に示す。図 20 に示すフリップフロップは、第 1 の薄膜トランジスタ 171、第 2 の薄膜トランジスタ 172、第 3 の薄膜トランジスタ 173、第 4 の薄膜トランジスタ 174、第 5 の薄膜トランジスタ 175、第 6 の薄膜トランジスタ 176、第 7 の薄膜トランジスタ 177 及び第 8 の薄膜トランジスタ 178 を有する。本実施の形態において、第 1 の薄膜トランジスタ 171、第 2 の薄膜トランジスタ 172、第 3 の薄膜トランジスタ 173、第 4 の薄膜トランジスタ 174、第 5 の薄膜トランジスタ 175、第 6 の薄膜トランジスタ 176、第 7 の薄膜トランジスタ 177 及び第 8 の薄膜トランジスタ 178 は、n チャネル型トランジスタとし、ゲート・ソース間電圧 (V_{gs}) がしきい値電圧 (V_{th}) を上回ったとき導通状態になるものとする。

20

【0170】

次に、図 20 に示すフリップフロップの接続構成について、以下に示す。

【0171】

第 1 の薄膜トランジスタ 171 の第 1 の電極 (ソース電極またはドレイン電極の一方) が第 4 の配線 504 に接続され、第 1 の薄膜トランジスタ 171 の第 2 の電極 (ソース電極またはドレイン電極の他方) が第 3 の配線 503 に接続される。

【0172】

30

第 2 の薄膜トランジスタ 172 の第 1 の電極が第 6 の配線 506 に接続され、第 2 の薄膜トランジスタ 172 の第 2 の電極が第 3 の配線 503 に接続される。

【0173】

第 3 の薄膜トランジスタ 173 の第 1 の電極が第 5 の配線 505 に接続され、第 3 の薄膜トランジスタ 173 の第 2 の電極が第 2 の薄膜トランジスタ 172 のゲート電極に接続され、第 3 の薄膜トランジスタ 173 のゲート電極が第 5 の配線 505 に接続される。

【0174】

第 4 の薄膜トランジスタ 174 の第 1 の電極が第 6 の配線 506 に接続され、第 4 の薄膜トランジスタ 174 の第 2 の電極が第 2 の薄膜トランジスタ 172 のゲート電極に接続され、第 4 の薄膜トランジスタ 174 のゲート電極が第 1 の薄膜トランジスタ 171 のゲート電極に接続される。

40

【0175】

第 5 の薄膜トランジスタ 175 の第 1 の電極が第 5 の配線 505 に接続され、第 5 の薄膜トランジスタ 175 の第 2 の電極が第 1 の薄膜トランジスタ 171 のゲート電極に接続され、第 5 の薄膜トランジスタ 175 のゲート電極が第 1 の配線 501 に接続される。

【0176】

第 6 の薄膜トランジスタ 176 の第 1 の電極が第 6 の配線 506 に接続され、第 6 の薄膜トランジスタ 176 の第 2 の電極が第 1 の薄膜トランジスタ 171 のゲート電極に接続され、第 6 の薄膜トランジスタ 176 のゲート電極が第 2 の薄膜トランジスタ 172 のゲート電極に接続される。

50

【 0 1 7 7 】

第 7 の薄膜トランジスタ 1 7 7 の第 1 の電極が第 6 の配線 5 0 6 に接続され、第 7 の薄膜トランジスタ 1 7 7 の第 2 の電極が第 1 の薄膜トランジスタ 1 7 1 のゲート電極に接続され、第 7 の薄膜トランジスタ 1 7 7 のゲート電極が第 2 の配線 5 0 2 に接続される。第 8 の薄膜トランジスタ 1 7 8 の第 1 の電極が第 6 の配線 5 0 6 に接続され、第 8 の薄膜トランジスタ 1 7 8 の第 2 の電極が第 2 の薄膜トランジスタ 1 7 2 のゲート電極に接続され、第 8 の薄膜トランジスタ 1 7 8 のゲート電極が第 1 の配線 5 0 1 に接続される。

【 0 1 7 8 】

なお、第 1 の薄膜トランジスタ 1 7 1 のゲート電極、第 4 の薄膜トランジスタ 1 7 4 のゲート電極、第 5 の薄膜トランジスタ 1 7 5 の第 2 の電極、第 6 の薄膜トランジスタ 1 7 6 の第 2 の電極及び第 7 の薄膜トランジスタ 1 7 7 の第 2 の電極の接続箇所をノード 1 4 3 とする。さらに、第 2 の薄膜トランジスタ 1 7 2 のゲート電極、第 3 の薄膜トランジスタ 1 7 3 の第 2 の電極、第 4 の薄膜トランジスタ 1 7 4 の第 2 の電極、第 6 の薄膜トランジスタ 1 7 6 のゲート電極及び第 8 の薄膜トランジスタ 1 7 8 の第 2 の電極の接続箇所をノード 1 4 4 とする。

【 0 1 7 9 】

なお、第 1 の配線 5 0 1 、第 2 の配線 5 0 2 、第 3 の配線 5 0 3 及び第 4 の配線 5 0 4 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 5 の配線 5 0 5 を第 1 の電源線、第 6 の配線 5 0 6 を第 2 の電源線と呼んでもよい。

【 0 1 8 0 】

図 2 0 に示したフリップフロップの上面図の一例を図 2 1 に示す。

【 0 1 8 1 】

導電膜 9 0 1 は、第 1 の薄膜トランジスタ 1 7 1 の第 1 の電極として機能する部分を含み、画素電極と同時に形成される配線 9 5 1 を介して第 4 の配線 5 0 4 と接続される。

【 0 1 8 2 】

導電膜 9 0 2 は第 1 の薄膜トランジスタ 1 7 1 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 9 5 2 を介して第 3 の配線 5 0 3 と接続される。

【 0 1 8 3 】

導電膜 9 0 3 は、第 1 の薄膜トランジスタ 1 7 1 のゲート電極、及び第 4 の薄膜トランジスタ 1 7 4 のゲート電極として機能する部分を含む。

【 0 1 8 4 】

導電膜 9 0 4 は、第 2 の薄膜トランジスタ 1 7 2 の第 1 の電極、第 6 の薄膜トランジスタ 1 7 6 の第 1 の電極、第 4 の薄膜トランジスタ 1 7 4 の第 1 の電極、及び第 8 の薄膜トランジスタ 1 7 8 の第 1 の電極として機能する部分を含み、第 6 の配線 5 0 6 と接続される。

【 0 1 8 5 】

導電膜 9 0 5 は、第 2 の薄膜トランジスタ 1 7 2 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 9 5 4 を介して第 3 の配線 5 0 3 と接続される。

【 0 1 8 6 】

導電膜 9 0 6 は第 2 の薄膜トランジスタ 1 7 2 のゲート電極、及び第 6 の薄膜トランジスタ 1 7 6 のゲート電極として機能する部分を含む。

【 0 1 8 7 】

導電膜 9 0 7 は、第 3 の薄膜トランジスタ 1 7 3 の第 1 の電極として機能する部分を含み、配線 9 5 5 を介して第 5 の配線 5 0 5 と接続される。

【 0 1 8 8 】

導電膜 9 0 8 は、第 3 の薄膜トランジスタ 1 7 3 の第 2 の電極、及び第 4 の薄膜トランジスタ 1 7 4 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 9 5 6 を介して導電膜 9 0 6 と接続される。

【 0 1 8 9 】

10

20

30

40

50

導電膜 909 は、第 3 の薄膜トランジスタ 173 のゲート電極として機能する部分を含み、配線 955 を介して第 5 の配線 505 と接続される。

【0190】

導電膜 910 は、第 5 の薄膜トランジスタ 175 の第 1 の電極として機能する部分を含み、画素電極と同時に形成される配線 959 を介して第 5 の配線 505 と接続される。

【0191】

導電膜 911 は、第 5 の薄膜トランジスタ 175 の第 2 の電極、及び第 7 の薄膜トランジスタ 177 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 958 を介して導電膜 903 と接続される。

【0192】

導電膜 912 は、第 5 の薄膜トランジスタ 175 のゲート電極として機能する部分を含み、画素電極と同時に形成される配線 960 を介して第 1 の配線 501 と接続される。

【0193】

導電膜 913 は、第 6 の薄膜トランジスタ 176 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 957 を介して導電膜 903 と接続される。

【0194】

導電膜 914 は、第 7 の薄膜トランジスタ 177 のゲート電極として機能する部分を含み、画素電極と同時に形成される配線 962 を介して第 2 の配線 502 と接続される。

【0195】

導電膜 915 は、第 8 の薄膜トランジスタ 178 のゲート電極として機能する部分を含み、画素電極と同時に形成される配線 961 を介して導電膜 912 と接続される。

【0196】

導電膜 916 は、第 8 の薄膜トランジスタ 178 の第 2 の電極として機能する部分を含み、画素電極と同時に形成される配線 953 を介して導電膜 906 と接続される。

【0197】

なお、微結晶半導体膜 981 ~ 988 の一部は、それぞれ第 1 の薄膜トランジスタ ~ 第 8 の薄膜トランジスタのチャネル形成領域として機能する。

【0198】

なお、図 19 及び図 20 に示したような回路を、微結晶半導体をチャネル形成領域に用いたトランジスタで構成することにより、レイアウト面積を小さくすることが出来る。そのため、発光装置の額縁を小さくすることができる。例えば、非晶質半導体膜をチャネル形成領域に用いた場合と微結晶半導体膜をチャネル形成領域に用いた場合とを比較すると、微結晶半導体膜をチャネル形成領域に用いた場合の方が、トランジスタの電界効果移動度が大きいため、トランジスタのチャネル幅を小さくすることが出来る。その結果、発光装置を狭額縁化させることが可能となる。一例としては、第 2 の薄膜トランジスタ 172 のチャネル幅は、3000 μm 以下、より望ましくは、2000 μm 以下であることが望ましい。

【0199】

なお、図 20 における第 2 の薄膜トランジスタ 172 は、第 3 の配線 503 にローレベルの信号を出力する期間が長い。その間、第 2 の薄膜トランジスタ 172 は、ずっとオン状態になっている。したがって、第 2 の薄膜トランジスタ 172 には、強いストレスが加わり、トランジスタ特性が劣化しやすくなっている。トランジスタ特性が劣化すると、しきい値電圧が徐々に大きくなっていく。その結果、電流値が小さくなっていく。そこで、トランジスタが劣化しても、十分な電流を供給できるようにするため、第 2 の薄膜トランジスタ 172 のチャネル幅は大きいことが望ましい。あるいは、トランジスタが劣化しても、回路動作に支障がないように、補償されていることが望ましい。例えば、第 2 の薄膜トランジスタ 172 と並列に、トランジスタを配置し、第 2 の薄膜トランジスタ 172 と交互にオン状態となるようにすることによって、劣化の影響を受けにくくすることが望ましい。

【0200】

10

20

30

40

50

しかしながら、非晶質半導体膜をチャネル形成領域に用いた場合と微結晶半導体膜をチャネル形成領域に用いた場合とを比較すると、微結晶半導体膜をチャネル形成領域に用いた場合の方が、劣化しにくい。したがって、微結晶半導体膜をチャネル形成領域に用いた場合は、トランジスタのチャネル幅を小さくすることが出来る。または、劣化に対する補償用の回路を配置しなくても正常に動作させることが出来る。これらにより、レイアウト面積を小さくすることが出来る。

【0201】

次に、本発明の発光装置の一形態に相当する発光表示パネルの外観及び断面について、図17を用いて説明する。図17(A)は、第1の基板上に形成された微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの上面図であり、図17(B)は、図17(A)のA-A'における断面図相当する。

10

【0202】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、充填材4007と共に密封されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路4003が実装されている。なお本実施の形態では、多結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタを有する信号線駆動回路を、第1の基板4001に貼り合わせる例について説明するが、単結晶半導体をチャネル形成領域に用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図17では、信号線駆動回路4003に含まれる、多結晶半導体膜で形成された薄膜トランジスタ4009を例示する。

20

【0203】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図17(B)では、画素部4002に含まれる薄膜トランジスタ4010とを例示している。なお本実施の形態では、薄膜トランジスタ4010が駆動用TFTであると仮定するが、薄膜トランジスタ4010は電流制御用TFTであっても良いし、消去用TFTであっても良い。薄膜トランジスタ4010は微結晶半導体膜をチャネル形成領域に用いた薄膜トランジスタに相当する。

30

【0204】

また4011は発光素子に相当し、発光素子4011が有する画素電極4030は、薄膜トランジスタ4010のソース電極またはドレイン電極4017と電氣的に接続されている。そして本実施の形態では、発光素子4011の透光性を有する導電性材料4012が電氣的に接続されている。なお発光素子4011の構成は、本実施の形態に示した構成に限定されない。発光素子4011から取り出す光の方向や、薄膜トランジスタ4010の極性などに合わせて、発光素子4011の構成は適宜変えることができる。

40

【0205】

また、別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、図17(B)に示す断面図では図示されていないが、引き回し配線4014及び4015を介して、FPC4018から供給されている。

【0206】

本実施の形態では、接続端子4016が、発光素子4011が有する画素電極4030と同じ導電膜から形成されている。また、引き回し配線4014、4015は、配線4017と同じ導電膜から形成されている。

【0207】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して

50

電氣的に接続されている。

【0208】

発光素子4011からの光の取り出し方向に位置する基板は、透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0209】

また、充填材4007としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施の形態では充填材として窒素を用いた。

10

【0210】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0211】

なお、図17では、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

20

【0212】

本実施の形態は、他の実施の形態に記載した構成と組み合わせて実施することが可能である。

【0213】

（実施の形態4）

本発明により得られる発光装置等によって、アクティブマトリクス型ELモジュールに用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【0214】

その様な電子機器としては、ビデオカメラやデジタルカメラ等のカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図13に示す。

30

【0215】

図13（A）はテレビジョン装置である。表示モジュールを、図13（A）に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。FPCまで取り付けられた表示パネルのことを表示モジュールとも呼ぶ。表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカー部2009、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

40

【0216】

図13（A）に示すように、筐体2001に発光素子を利用した表示用パネル2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機2006により行うことが可能であり、このリモコン装置にも出力する情報を表示する表示部2007が設けられていても良い。

【0217】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の表示用

50

パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面 2003 を視野角の優れた発光表示パネルで形成し、サブ画面を低消費電力で表示可能な発光表示パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面 2003 を発光表示パネルで形成し、サブ画面を発光表示パネルで形成し、サブ画面は点滅可能とする構成としても良い。

【0218】

図 14 はテレビ装置の主要な構成を示すブロック図を示している。表示パネル 900 には、画素部 921 が形成されている。信号線駆動回路 922 と走査線駆動回路 923 は、表示パネル 900 に COG 方式により実装されていても良い。

【0219】

その他の外部回路の構成として、映像信号の入力側では、チューナ 924 で受信した信号のうち、映像信号を増幅する映像信号増幅回路 925 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 926 と、その映像信号をドライバ IC の入力仕様に換するためのコントロール回路 927 などを有している。コントロール回路 927 は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路 928 を設け、入力デジタル信号を m 個に分割して供給する構成としても良い。

【0220】

チューナ 924 で受信した信号のうち、音声信号は、音声信号増幅回路 929 に送られ、その出力は音声信号処理回路 930 を経てスピーカ 933 に供給される。制御回路 931 は受信局（受信周波数）や音量の制御情報を入力部 932 から受け、チューナ 924 や音声信号処理回路 930 に信号を送出する。

【0221】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

【0222】

図 13 (B) は携帯電話機 2201 の一例を示している。この携帯電話機 2201 は、表示部 2202、操作部 2203 などを含んで構成されている。表示部 2202 においては、上記実施の形態で説明した発光装置を適用することで、量産性を高めることができる。

【0223】

また、図 13 (C) に示す携帯型のコンピュータは、本体 2401、表示部 2402 等を含んでいる。表示部 2402 に、上記実施の形態に示す発光装置を適用することにより、量産性を高めることができる。

【0224】

図 13 (D) は卓上照明器具であり、照明部 2501、傘 2502、可変アーム 2503、支柱 2504、台 2505、電源 2506 を含む。本発明を用いて形成される発光装置を照明部 2501 に用いることにより作製される。なお、照明器具には天井固定型の照明器具または壁掛け型の照明器具なども含まれる。本発明により大幅な製造コストの低減を図ることができ、安価な卓上照明器具を提供することができる。

【実施例 1】

【0225】

微結晶珪素膜を成膜し、その膜をラマン分光法で結晶性を測定した結果を図 22 に示す。

【0226】

微結晶珪素膜の成膜条件は、RF 電源周波数を 13.56 MHz とし、成膜温度を 280 とし、水素流量とシランガス流量の比を 100 : 1 とし、280 Pa の圧力で成膜を行った。また、図 22 (A) は、ラマン散乱スペクトルであり、成膜時の RF 電源の電力を 100 W とした微結晶珪素膜と、300 W とした微結晶珪素膜とを比較した測定結果である。

【0227】

なお、単結晶シリコンの結晶ピーク位置は、 521 cm^{-1} である。なお、アモルファスシリコンは勿論、結晶ピークと言えるものは測定できず、図22(B)に示すように 480 cm^{-1} になだらかなピークが測定されるだけである。本明細書の微結晶珪素膜とは、ラマン分光器で測定して 481 cm^{-1} 以上 520 cm^{-1} 以下に結晶ピーク位置を確認できるものを指す。

【0228】

成膜時のRF電源の電力を100Wとした微結晶珪素膜の結晶ピーク位置は、 518.6 cm^{-1} であり、半値幅(FWHM)は、 11.9 cm^{-1} であり、結晶/アモルファスピーク強度比(I_c/I_a)は、4.1である。

【0229】

また、成膜時のRF電源の電力を300Wとした微結晶珪素膜の結晶ピーク位置は、 514.8 cm^{-1} であり、半値幅(FWHM)は、 18.7 cm^{-1} であり、結晶/アモルファスピーク強度比(I_c/I_a)は、4.4である。

【0230】

図22(A)に示すように、RF電力によって結晶ピーク位置と半値幅に大きな差が出ている。これは、大電力ではイオン衝撃が増加し粒成長が阻害されるため小粒径になる傾向があるためと考えられる。また、図22(A)の測定に用いた微結晶珪素膜を形成したCVD装置の電源周波数が13.56MHzであるので結晶/アモルファスピーク強度比(I_c/I_a)は、4.1または4.4となっているが、RF電源周波数が27MHzであれば、結晶/アモルファスピーク強度比(I_c/I_a)を6とすることができるとも確認している。従って、さらに27MHzよりも高いRF電源周波数、例えば、2.45GHzのRF電源周波数とすることでさらに、結晶/アモルファスピーク強度比(I_c/I_a)を高めることができる。

【実施例2】

【0231】

本実施例では、本発明に示す薄膜トランジスタのトランジスタ特性及び電子密度分布についてデバイスシミュレーションを行った結果を示す。デバイスシミュレーションには、Silvaco社製デバイスシミュレータ"ATLAS"を用いている。

【0232】

図23にデバイス構造を示す。絶縁性基板2301は酸化珪素(誘電率4.1)を主成分とするガラス基板(厚さ $0.5\text{ }\mu\text{m}$)を仮定している。なお、絶縁性基板2301の厚さは、実際の製造工程では 0.5 mm 、 0.7 mm などが使われることが多いが、絶縁性基板2301の下面における電界が、薄膜トランジスタ特性に影響が無い程度に十分な厚さに定義している。

【0233】

絶縁性基板2301上に、モリブデンで形成される(厚さ 150 nm)のゲート電極2303を積層している。モリブデンの仕事関数は 4.6 eV としている。

【0234】

ゲート電極2303の上に、窒化珪素膜(誘電率7.0、厚さ 110 nm)と酸化窒化珪素膜(誘電率4.1、厚さ 110 nm)との積層構造のゲート絶縁膜2305を積層している。

【0235】

ゲート絶縁膜2305の上に、 $\mu\text{c-Si}$ 膜2307、 a-Si 膜2309を積層している。ここでは、厚さ 0 nm の $\mu\text{c-Si}$ 膜2307及び厚さ 100 nm の a-Si 膜の積層と、厚さ 10 nm の $\mu\text{c-Si}$ 膜2307及び厚さ 90 nm の a-Si 膜2309の積層と、厚さ 50 nm の $\mu\text{c-Si}$ 膜2307及び厚さ 50 nm の a-Si 膜2309の積層と、厚さ 90 nm の $\mu\text{c-Si}$ 膜2307及び厚さ 10 nm の a-Si 膜2309の積層と、厚さ 100 nm の $\mu\text{c-Si}$ 膜2307及び厚さ 0 nm の a-Si 膜2309の積層とにそれぞれ条件振りをしている。

【0236】

10

20

30

40

50

また、a - Si 膜 2309 は、第 1 の a - Si (n^+) 膜 2311 と第 2 の a - Si (n^+) 膜 2313 と重畳する領域においては、上記厚さのほか更に 50 nm の a - Si 膜を積層している。即ち、第 1 の a - Si (n^+) 膜 2311 と第 2 の a - Si (n^+) 膜 2313 が形成されない領域において、a - Si 膜 2309 は一部 50 nm エッチングされた凹部状である。

【0237】

a - Si 膜 2309 上に、第 1 の a - Si (n^+) 膜 2311 (厚さ 50 nm) と第 2 の a - Si (n^+) 膜 2313 (厚さ 50 nm) とを各々積層している。図 23 に示す薄膜トランジスタにおいて、第 1 の a - Si (n^+) 膜 2311 と第 2 の a - Si (n^+) 膜 2313 との距離が、チャネル長 L になる。ここでは、チャネル長 L を 6 μm としている。また、チャネル幅 W を 15 μm としている。

10

【0238】

第 1 の a - Si (n^+) 膜 2311 と第 2 の a - Si (n^+) 膜 2313 との上に、モリブデン Mo で形成される (厚さ 300 nm) のソース電極 2315 とドレイン電極 2317 とを各々積層している。ソース電極 2315 及び第 1 の a - Si (n^+) 膜 2311、並びにドレイン電極 2317 及び第 2 の a - Si (n^+) 膜 2313 の間は、オーミック接触と定義している。

【0239】

図 24 に、図 23 に示す薄膜トランジスタにおいて、 μc - Si 膜及び a - Si 膜の膜厚を変えて、デバイスシミュレーションを行った際の、DC 特性 (V_g - I_d 特性、 $V_d = 14\text{V}$) の結果を示す。また、図 25 に、 μc - Si 膜 2307 の厚さを 10 nm、a - Si 膜の厚さを 90 nm としたときの薄膜トランジスタの電子濃度分布を示す。図 25 (A) は、薄膜トランジスタがオン状態 (V_g が + 10 V、 V_d が 14 V) の電子濃度分布の結果を示し、図 25 (B) はオフ状態 (V_g が - 10 V、 V_d が 14 V) の電子濃度分布の結果を示す。

20

【0240】

図 24 より、a - Si 膜の厚さを厚くするにつれ、オフ電流が低減することが分かる。また、a - Si 膜の厚さを 50 nm 以上とすることにより、 V_g が - 20 V のときのドレイン電流を $1 \times 10^{-13}\text{A}$ 未満とすることができる。

【0241】

また、 μc - Si 膜の厚さを厚くするにつれ、オン電流が増加することが分かる。また、 μc - Si 膜の厚さを 10 nm 以上とすることにより、 V_g が 20 V のときのドレイン電流を $1 \times 10^{-5}\text{A}$ 以上とすることができる。

30

【0242】

図 25 (A) より、オン状態においては、電子密度が a - Si 膜よりも μc - Si 膜において高いことが分かる。即ち、電気伝導度の高い μc - Si 膜において電子密度が高いため、オン状態においては、電子は流れやすく、ドレイン電流が上昇することがわかる。

【0243】

図 25 (B) より、オフ状態においては、電子密度が μc - Si 膜よりも a - Si 膜において高いことが分かる。即ち、電気伝導度の低い a - Si 膜において電子密度が高いため、オフ状態においては、電子は流れにくく、a - Si 膜をチャネル形成領域に用いる薄膜トランジスタと同様のドレイン電流となることがわかる。

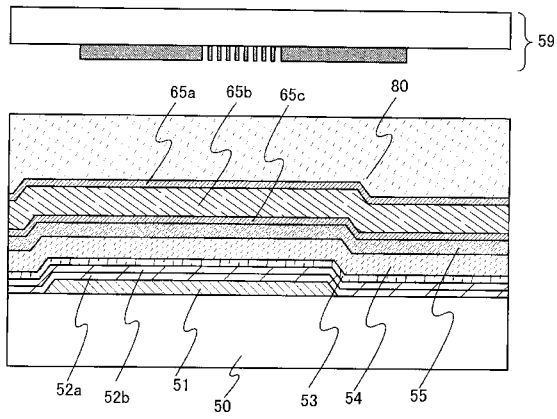
40

【0244】

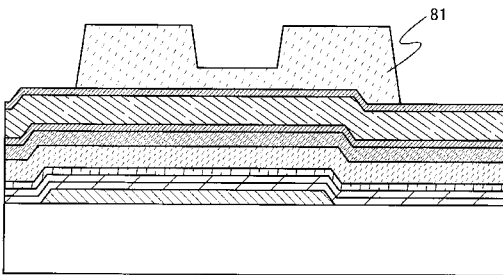
以上のことから、図 23 に示すような、ゲート絶縁膜上に μc - Si 膜が形成され、 μc - Si 膜上に a - Si 膜が形成され、a - Si 膜上にソース領域及びドレイン領域が形成される薄膜トランジスタは、オフ電流を低減すると共に、オン電流を高めることが可能であることがわかる。

【図 1】

(A)

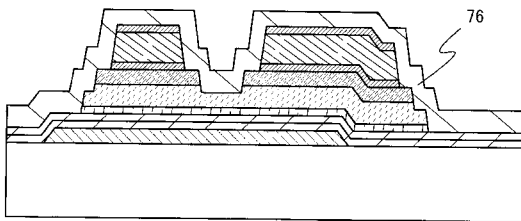


(B)

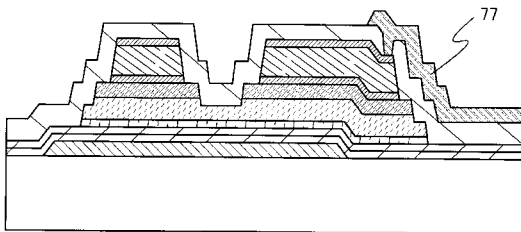


【図 3】

(A)

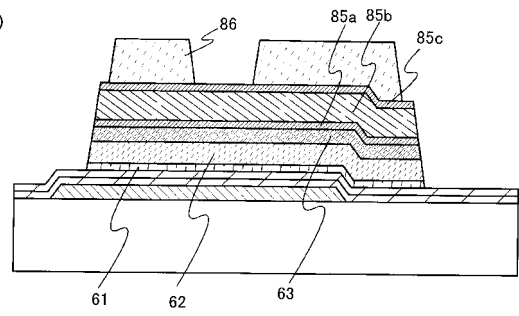


(B)

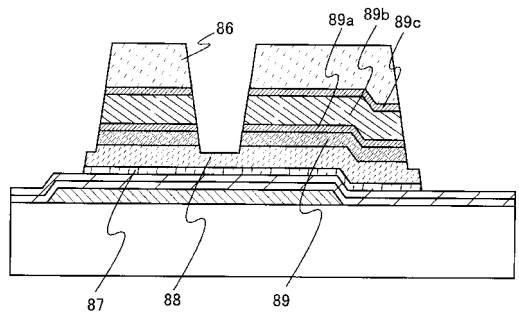


【図 2】

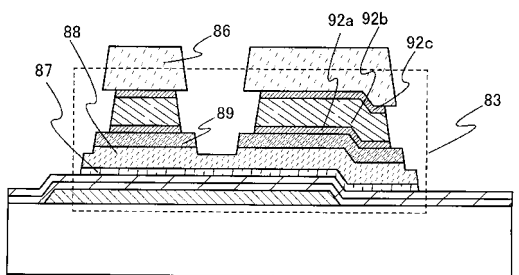
(A)



(B)

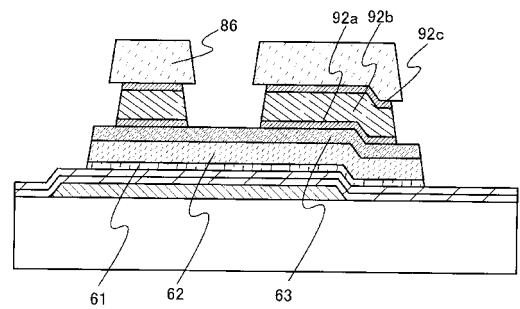


(C)

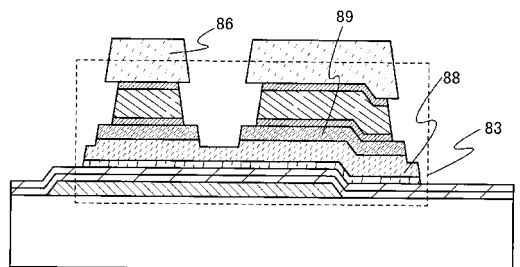


【図 4】

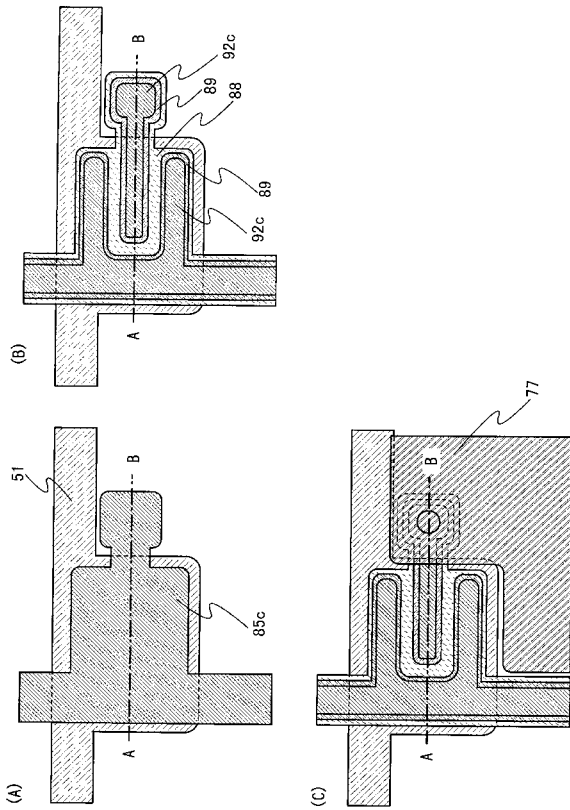
(A)



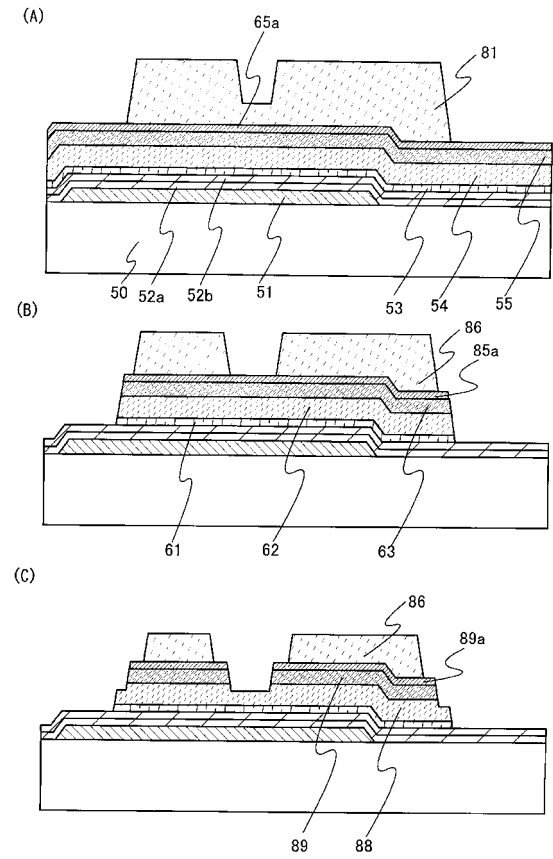
(B)



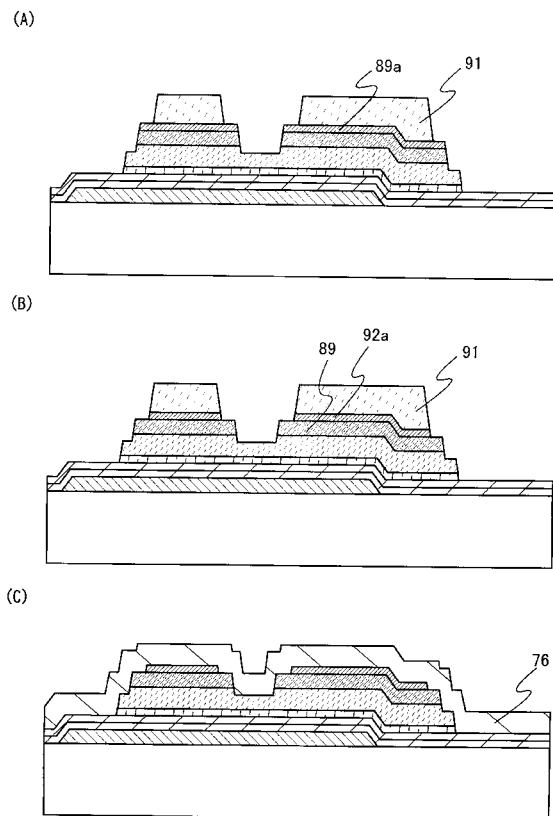
【図 5】



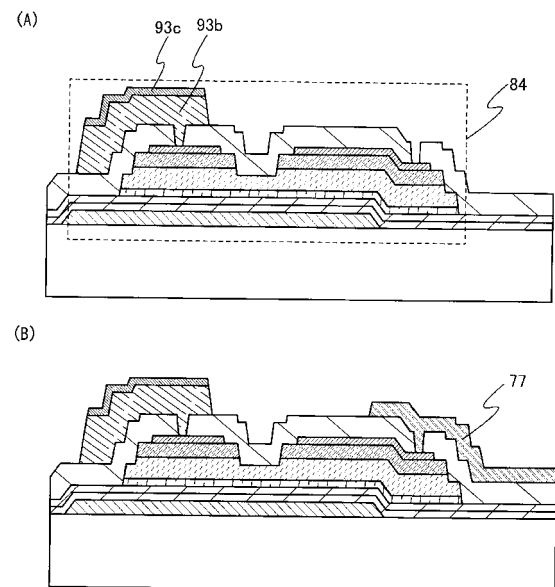
【図 6】



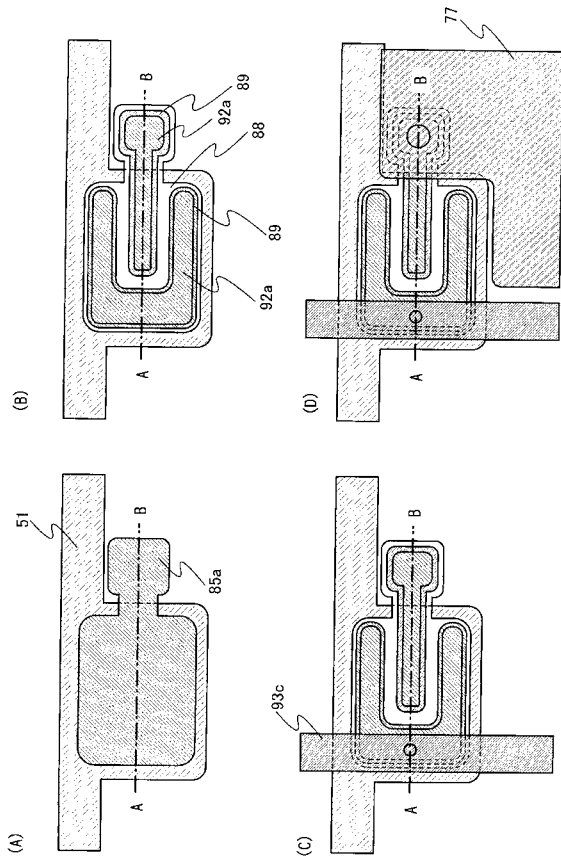
【図 7】



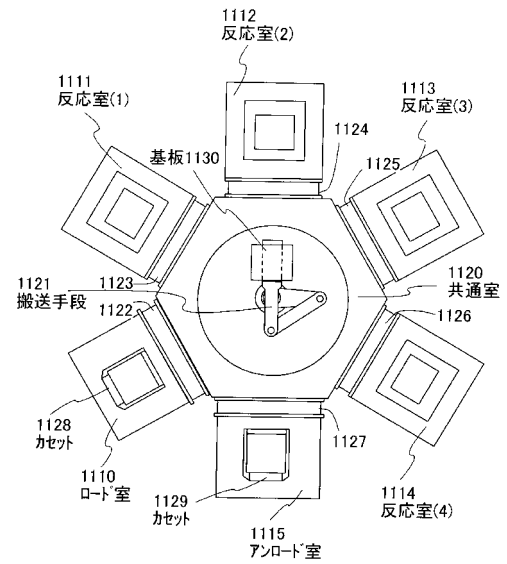
【図 8】



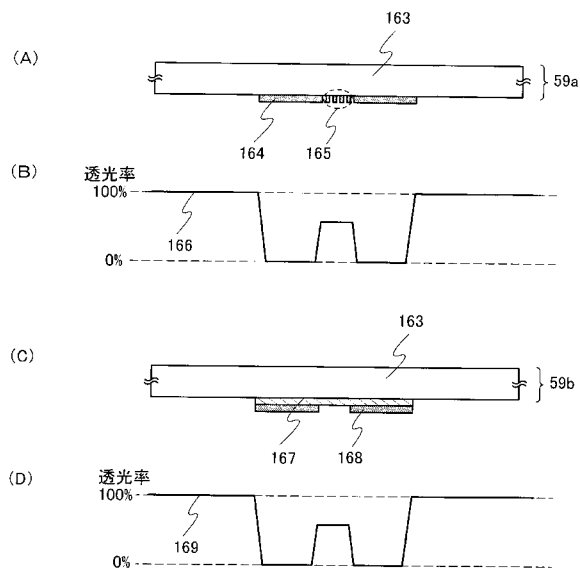
【図 9】



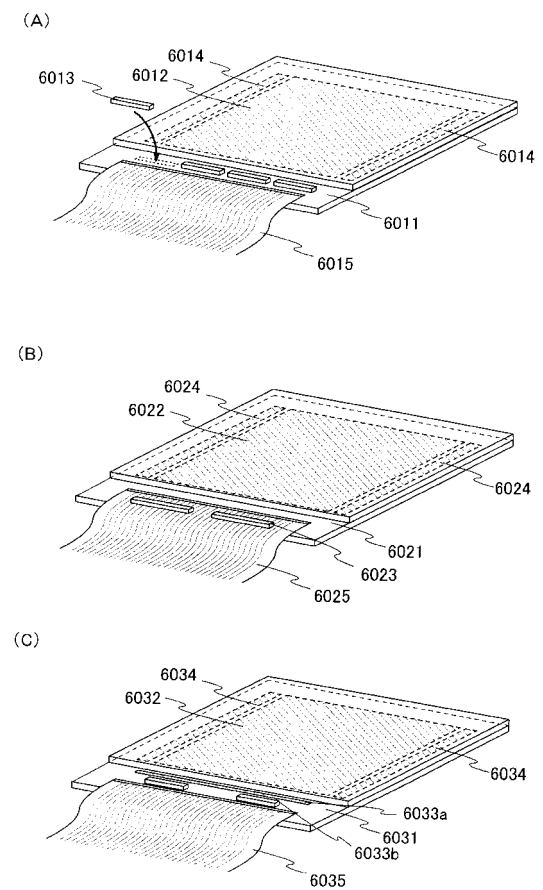
【図 10】



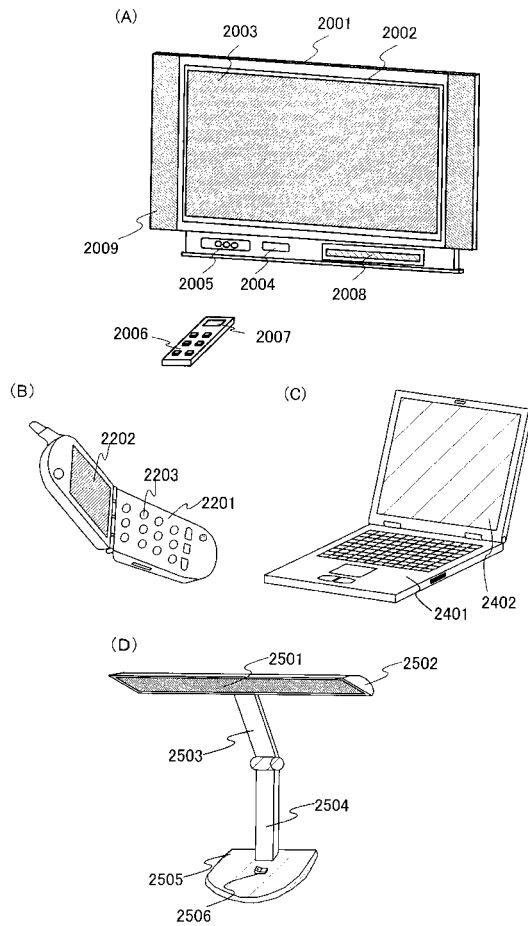
【図 11】



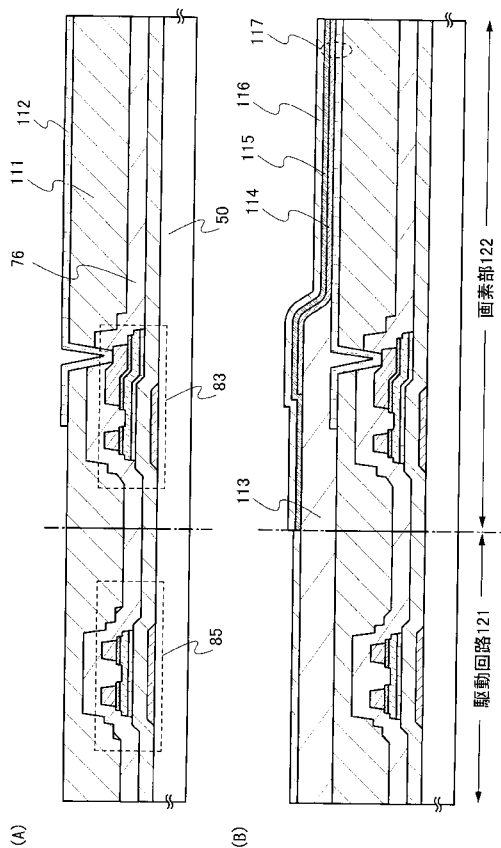
【図 12】



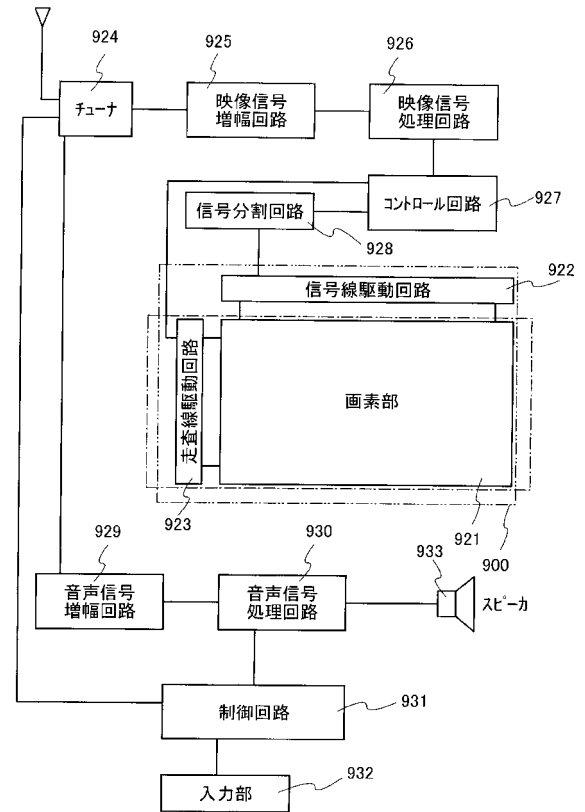
【図 13】



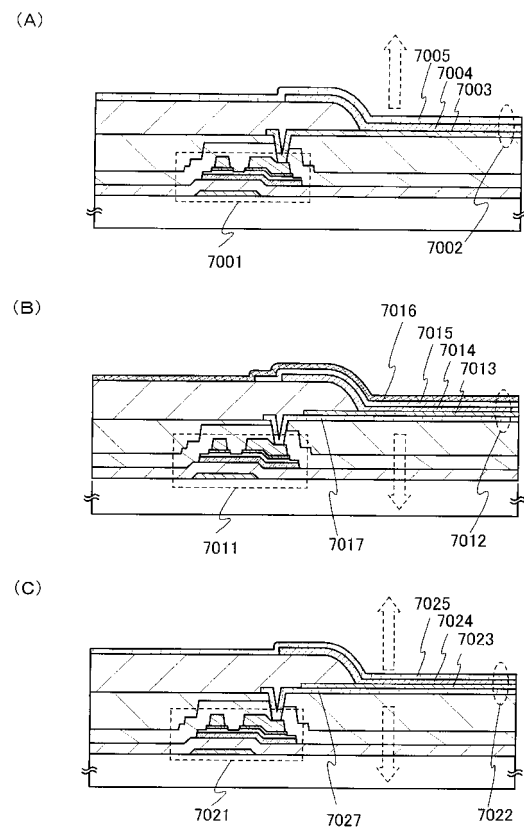
【図 15】



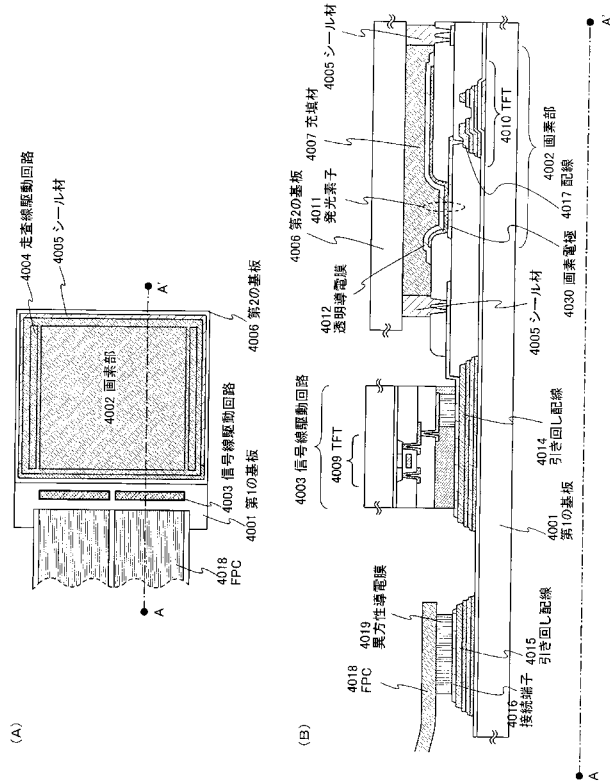
【図 14】



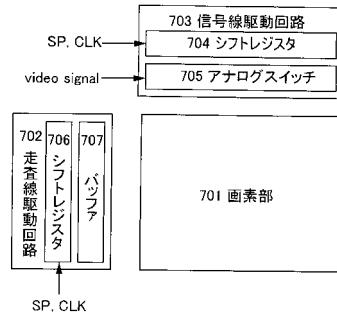
【図 16】



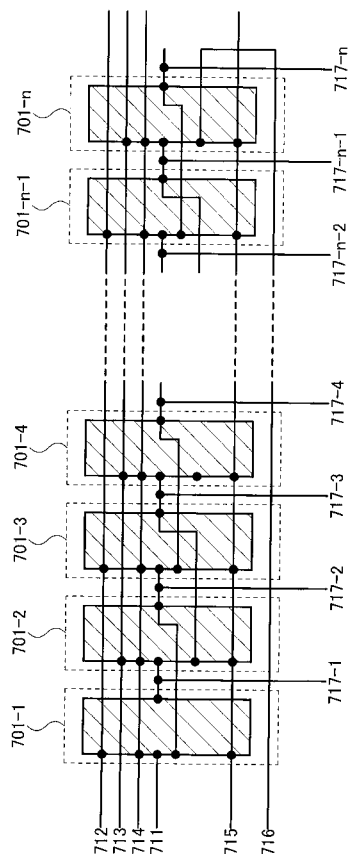
【図 17】



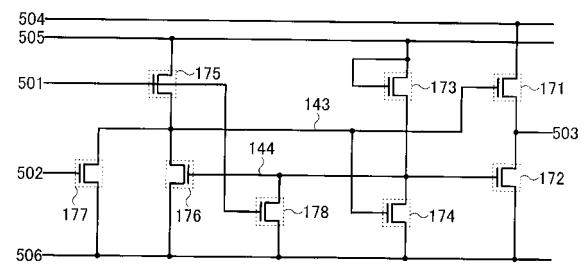
【図 18】



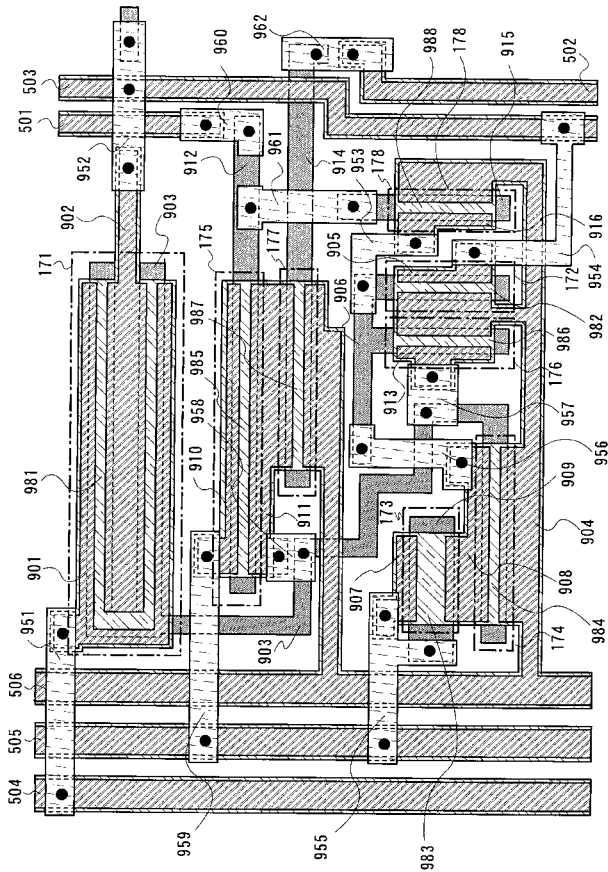
【図 19】



【図 20】

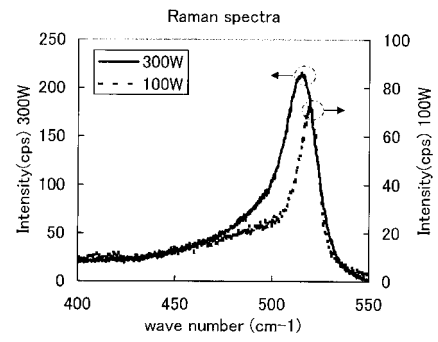


【図 2 1】

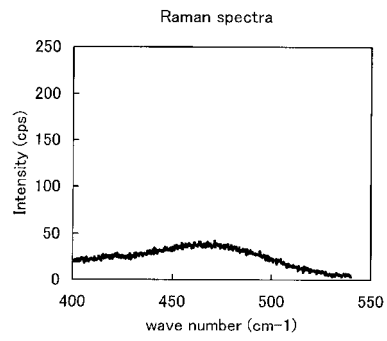


【図 2 2】

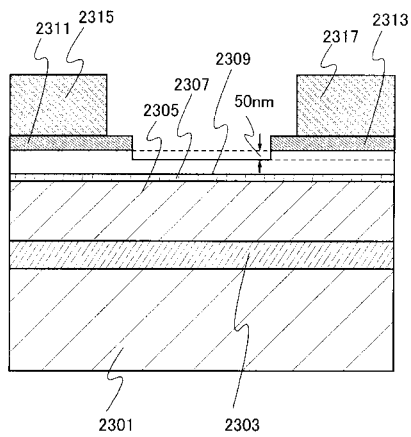
(A)



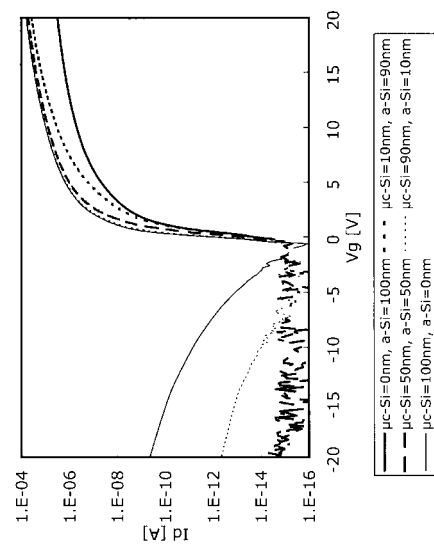
(B)



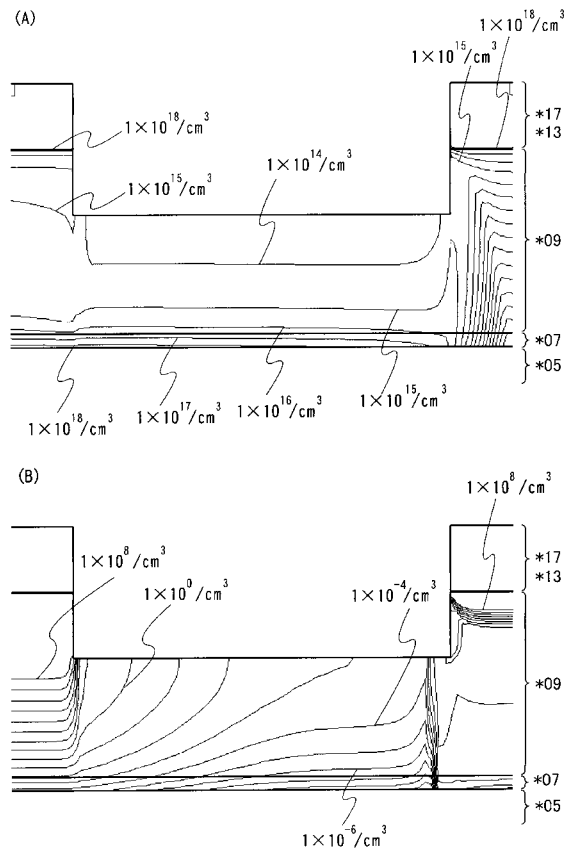
【図 2 3】



【図 2 4】



【図 25】



フロントページの続き

F ターム(参考) 5F110 AA06 AA13 AA14 AA30 BB02 BB03 CC07 DD01 DD02 EE01
EE03 EE04 EE06 EE11 EE14 EE23 EE43 EE44 FF02 FF03
FF04 FF06 FF09 FF10 FF28 FF29 FF30 GG02 GG06 GG07
GG14 GG15 GG16 GG19 GG22 GG24 GG25 GG28 GG29 GG32
GG33 GG34 GG35 GG43 GG45 GG57 GG58 HJ01 HK01 HK02
HK03 HK04 HK06 HK09 HK15 HK16 HK18 HK21 HK22 HK32
HK33 HK35 HL01 HL07 HM02 HM12 NN03 NN05 NN23 NN27
NN71 QQ01 QQ02 QQ09 QQ19 QQ25