



[12] 发明专利申请公开说明书

[21]申请号 95117711.7

[51]Int.CI⁶

H04L 12/10

[43]公开日 1996 年 6 月 19 日

[22]申请日 95.9.13

[30]优先权

[32]94.9.13 [33]FR[31]9410909

[71]申请人 飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72]发明人 A·弗格尼斯

P·艾伯特

[74]专利代理机构 中国专利代理(香港)有限公司

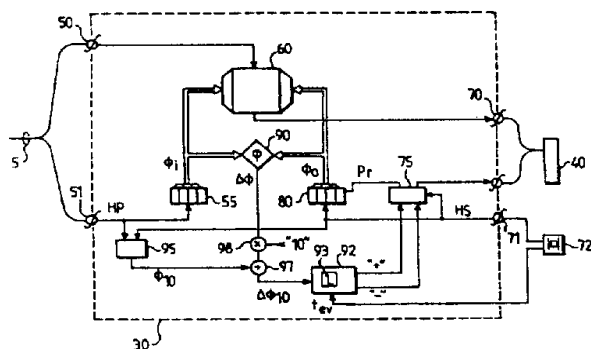
代理人 马铁良 王 岳

权利要求书 3 页 说明书 8 页 附图页数 8 页

[54]发明名称 包含可调整比特流的传输系统和复用 / 去复用设备

[57]摘要

传输系统和复用 / 去复用设备用的相位对准装置 30, 具有以第一时钟信号速率加在入口 51 的输入数据的入口, 和以加在入口 71 的第二时钟信号速率产生调整数据流的入口 70, 在数据流中比特可被插入或删除。写入计数器 55 和读出计数器 80 可将数据写入, 读出公共存储器 60, 比较单元 90, 测量计数器 55 和 80 的内容差, 利用内容差变化, 中间步骤加到单元 95、97 和 98, 使控制调整的装置 92 可用阈值为 0.5 的 $\Sigma - \Delta$ 调制器构成。



权 利 要 求 书

1. 一种传输系统, 该系统包含以第一速率传送的数据和以第二速率传送的调整比特流, 该系统具有:

一个入口, 用于输入由以第一时钟速率产生的比率构成的数据,

一个入口, 用于以第二时钟速率产生所述比特流, 在比特流中可插入或删除比特,

一个缓冲存储器,

写入装置, 在该缓冲存储器的写单元写入以第一速率输入数据的所述入口来的数据,

读出装置, 从该缓冲存储器的读出单元读出以第二速率存储的数据和构成所述的比特流,

存储单元比较装置, 用于产生读出单元码与写单元码的比较码,

调整装置, 用于根据比较码的变化在输出数据中插入和/或删除比特,

其特征在于比较装置具有:

一个内插单元, 用于产生比较码的变化之间的中间值,

和在于调整装置具有:

一个判定电路, 它有利于控制调整的一个判写阈值, 而且其值可以是这些中间值之一。

2. 根据权利要求1的传输系统, 其特征在于调整装置是由称为 Σ - Δ 调制器的电路构成的。

3. 一种包含以第一定时传送的数据和以第二定时传送的可调整

比特流的复用/去复用设备,该设备包括至少一个相位对准设备,它有:

用于输入以第一时钟速率产生的比特构成的数据的一个入口,
以第二时钟速率产生所述比特流的一个入口,在该比特流中可插入或删除比特,

一个缓冲存储器,

写入装置,在该缓冲存储器的写单元写入从以第一速率输入数据的所述入口来的数据,

读出装置,从该缓冲存储器的读出单元读出以第二速率存储的数据和构成所述比特流,

存储单元比较装置,用于产生读出单元码与写单元码的比较码,

调整装置,用于根据比较码的变化在输出数据流中插入和/或删除比特,

其特征在于比较装置具有:

一个内插单元,用于产生比较码的变化之间的中间值,

和在于调整装置具有:

一个判定电路,它有助于控制调整的一个判定阈值,而且其值可以是这些中间值之一。

4.根据权利要求3的复用/去复用设备,其特征在于该调整装置是由称为 Σ - Δ 调制器的电路构成的。

5.一种相位对准装置,它具有:

用于输入以第一时钟速率产生的比特构成的数据的一个入口,

用于以第二时钟速率产生可调整比特流的一个入口,其中比特可被插入或删除,

一个缓冲存储器,

写入装置, 在该缓冲存储器的写单元写入从以第一速率输入数据的所述入口来的数据,

读出装置, 从该缓冲存储器的读出单元读出以第二速率存储的数据和构成所述比特流,

存储单元比较装置, 用于产生读出单元码与写单元码的比较码,

调整装置, 用于根据比较码的变化在输出数据流中插入和/或删除比特,

其特征在比较装置具有:

一个内插单元, 用于产生比较码的变化之间的中间值,

和在于调整装置具有:

一个判定电路, 它有利于控制调整的一个判定阈值, 而且其值可以是这些中间值之一。

6. 根据权利要求5的相位对准装置, 其特征在于该调整装置是在称为 Σ - Δ 调制器的电路的基础上构成的。

包含可调整比特流的传输系统 和复用/去复用设备

本发明涉及一种传输系统，它包含以第一定时发送的数据和以第二定时发送的可调整比特流，该系统具有：

用于输入以第一时钟速率产生的比特形成的数据的一个入口；

用于以第二时钟速率产生所述比特流的一个入口，其中比特可被插入或删除；

一个缓冲存储器；

写装置，用于在该缓冲存储器的写单元写入来自以第一速率输入数据的所述入口的数据；

读出装置，用于从该缓冲存储器的读单元读出以第二速率存储的和用于形成所述比特流的数据；

单元比较装置，用于产生读单元码与写单元码的比较码；

调整装置，根据比较码的功能在输出数据流中插入和/或删除比特。

本发明同样地涉及多个复用和去复用设备，它含有可调整的比特流。

这种系统在数据传输领域找到了重要的应用，特别在用于以同步数字体制(SDH)网络为名称的已知的数字网中时，并且在UIT-T G. 707, G. 708, G. 709及其它的建议中叙述的。

这类的系统在加拿大专利申请号2064602中叙述。

在这种系统中，遇到了由确定第一和第二时钟速率的振荡器之间的频率不同引起问题。为了适应这些速率，提供一种相位对准设备。但是，尽管有这个设备，仍然可能存在着慢的相位偏移，这产生称为漂移的频率抖动上升。这导致在一定环境下是可容许的失真，但可能在不同的环境下干扰用户电路。

为了解决这个问题，本发明提出了在开头段落中规定的那类系统，其特征不在于比较装置具有：

一个内插单元，用于在比较码的变化之间产生内插值，

和其特征不在于该调整装置具有：

一个判定电路，它有利于控制调整的判定阈值，其值可以是中间值之一。

从下面叙述的实施例，本发明的这些和其它方面就清楚而明白了。

在附图中：

图1表示按照本发明的一个系统，

图2表示虚拟存储器VC 12的数据单元结构，

图3表示多帧STM 1中辅助单元TU 12的存储单元，

图4表示构成本发明系统的一部分的相位对准电路，

图5表示构成图4电路一部分的计数器计数的变化与偏差相对于时间的曲线，

图6表示该计数器内容的所述偏差的扩展，

图7表示外插单元的图，

图8是用于说明图4所示系统的工作的时间图，

图9表示调整控制单元的图,和

图10表示各个转移函数的频率特性。

在图1中标号1表示一个数据终端,它经过各自传输线5和6 发送和接收2048 kb/s的数据。这些传输线接到网络15的复用器/去复用器设备10,该网络15设计用于称为同步数字体系或简称SDH的系统。这个终端1可与另一终端11通信,终端11经过另一个复用/去复用设备20连接到这个网络。终端1和11以具有精度为 $\pm 50\text{PPm}$ 的2.048MHz时钟速率工作。复用/去复用设备10和20在它们的输出22和23 产生用于63个2.048 kb/s终端的155Mb/s复用和在它们的输入25和26 接入类似的复用。为了简化说明,复用/去复用设备10和20的单元大体上分别以复用器40与41和去复用器43与45表示。

所述SDH网络以一定的频率工作,该频率可能相对于数据终端1和11的频率相差 $\pm 20\text{ppm}$ 的值,而且工作在独立的时钟。为了保证这个同步,已设计设备10包括一个相位对准或相位同步电路30,使得从终端1接收的数据与该网络的频率相关,而对于设备20,包括一个去同步(desynchronizing)电路31,使用所提供的数据与接收它们的终端11的数据相关。

本实施例特别适用于经过辅助单元TU 12传送虚存储器VC 12中的2048kb/s。图2表示在这个虚存储器VC12中数据的结构,而图3 表示在多帧STM 1中该辅助单元TU 12位置的例子。

辅助单元TU 12由144个八位位组构成,它产生虚存储器VC12 的140八位位组,这又被分为四块B2、B2、B3和B4,每块八位位组,应指出,前三块每块包含用于有限负载的32八位位组,而第四块包含32八位位组 ± 1 比特。这些八位位组用于传送经入口50 来的数据的有效

负载比特。其偏差 ± 1 比特,该控制由比特C1和C2确定,该偏差用在图2所示的单元S1和S2上并且构成称为调整的偏差。

图3所示的多帧STM 1由四帧MF=0,MF=1,MF=2和MF=3构成。每一帧由安排成 270×9 八位位组的矩形的2430八位位组构成。阴影部分:

帧MF的P0,0 P0,1 P0,2 P0,3=0

帧MF的P1,0 P1,1 P1,2 P1,3=1

帧MF的P2,0 P2,1 P2,2 P2,3=2

帧MF的P3,0 P3,1 P3,2 P3,3=3

包含图2所示的虚存储器的八位位组。图3所示的多帧以帧MF=0开始串行地发送,从左到右和从上到下读出。阴影部分P0,1 离开边缘18八位位组,而阴影部分P0,1 P0,2 P0,3离开边缘63八位位组。在 $500 \mu\text{s}$ 中发送128八位位组(当把S2认为是一个数据比特时,无需执行调整),这相应于 2.048kb/s 速率。

图4表示实现相位对准电路30的图。在SDH技术中,可找到其它电路的实施例(例如,见上述加拿大专利申请号2064602)。在图4中,终端50接收从线路5来的数据,而终端51接收时钟信号HP,称为准同步时钟信号,这些时钟信号与该数据有关而且其频率为 2.048MHz 。这些时钟信号实质上馈送到缓冲存储器60的写计数器55。从这个缓冲存储器读出的数据在数据终端与加到终端71的读时钟信号HS同步地被恢复,其频率为 19.44MHz ,这相应于在多帧STM1 中传送的八位位组的频率。这个终端71接到时钟72的输出,时钟72构成SDH系统的一部分。一方面,标记75的SDH帧管理单元按照图2 将信号或业务字

节加到复用器40,另一方面,提供一个分支信号Pr,以便根据它们在多帧STM1中的位置从这个存储器中分出。单元75的信号Pr许可存储器60的读计数器80递增。因此这个计数器80计数时钟信号HS的脉冲,当信号Pr许可这个计数器进行计数时,在终端71可得到时钟信号。按平均来说,很明显计数频率是输入辅助单元的频率:2.048MHz $\pm$ 50ppm。相位比较单元90连续地分析计数器55和80的内容 Φ_i 和 Φ_o 。这个比较结果 $\Delta\Phi$ 由下式给出:

$$\Delta\Phi = \{(\Phi_i - \Phi_o + M)_{\text{Mod}M} - (M/2)\}$$

式中M是存储器60的总比特容量。可以证明当 $(\Phi_i - \Phi_o + M)_{\text{Mod}M} = M/2$ 时 $\Delta\Phi = 0$ 。则可保证读地址和写地址分开的足够大,避免了在存储器60的相同单元的同时写和读操作。

在这个结果的基础上,调整控制电路92确定是否可能进行调整。调整命令发送到管理单元75。调整控制电路92经过一个阈值电路93处理比较电路90的结果,而当阈值电路93指示两个计数器55和88的内容之间相差太大时就开始调整。例如,或者如加上1比特到该数据流,因此比特S1构成被传送的有效负载数据的一部分,或者删除一比特,这样比特S1和S2不构成被传送有效负载的一部分。

图5表示计数器55和80的内容 Φ_i 和 Φ_o 以及它们的差是如何导出的。计数器80的内容 Φ_o 按照所使用的多帧STM1的函数导出。因此在任意的0-0.05 μ s时间之间,内容 Φ_o 增加8单元,而在时间0.05-3.5 μ s之间该内容不变。然后,在时间3.5-3.55 μ s之间,这些内容又变化8单元步长。计数器55的内容 Φ_i 以每0.5 μ s或更准确地为

$0.488\mu\text{s}(=1/2.048\text{MHz})$ (即在 $0.4\cdots3.4\mu\text{s}$ 瞬时)一个单元步长的一致方式变化。这些内容的差 $\Delta\Phi$ 的变化可从刚才观察的内容导出。在增加8单元步长之后,这个差以每 $0.488\mu\text{s}$ 一个单元步长缩小。

这个差的差错每 $500\mu\text{s}$ 刚好在由时钟72确定的间隔 T_{ev} 进行分析(见图6)。但是,在正好 $500\mu\text{s}$ 的这个持续时间,写入存储器60 的比特数是相应于从中读出的比特数。如果从缓冲存储器80来的比较分支和它们写入之间存在频率漂移,如果差 $\Delta\Phi_{moy}$ 高于该辅助单元的调整容量,认为是 $\Delta\Phi$ 平均值的差 $\Delta\Phi_{moy}$ 增加直到瞬时 t_{ev} 为止,因此调用一个调整而且这个差将缩小一个单元步长。然后,这个平均值开始再增加。这个差错随着时间浮动,特别是按照所述频率漂移的函数浮动而且导致在其频谱中出现低频分量。在接收端这些分量很难处理。

根据本发明,为了利用去同步电路31 的相位控制大大地抑制或消除这些低频分量,根据本发明的系统使用一个 $\Sigma-\Delta$ 调制器作为调整电路92。这样的调制器需要有一个0.5的阈值。因此,该系统包括一个内插单元95(参见图4)确定比较码的每个变化的中间步长 Φ_0 。在所述例子的框架内,提出了十个中间步长,所以一比特差错由十个这些中间步长评价。因此,阈值可等于0.5。这些中间步长加到加法器97,该加法器97将这些步长与由乘法器98事先乘以10 的偏差 $\Delta\Phi$ 加在一起,这样实际上该阈值变成 $s_b=5$ 。

在图7中更详细地示出这个内插电路95。它大体上是由模10 计数器110 构成的。这个计数器有一个计数输入112, 用于计数 19.44MHz 的HS时钟信号72,该频率非常接近于十倍的 2.048MHz 的 HP 值,而且它具有由系统时钟72提供的优点。这个计数器110还具有响

应时钟信号HP的每个上升沿的指示而被复位为零的一个复位为零输入114。这个边沿由前面是一个相位对准电路130的上升沿检测电路120检测,相位对准电路130将信号HP的值变化时间与信号HS 对准。这个对准信号HP称为HP'。电路130由以级联组合形式连接的两个 D 触发器150和151构成的。触发器150的D输入端接收信号HP和触发器151的Q输出端产生与信号HS对准的HP值,信号HS 加到这两个触发器150和151的时钟输入端。这个级联组合避免了寄生现象(亚稳定性),这种寄生现象在触发器的D 输入端和时钟输入端的值同时变化时突然出现。

为了检测这些上升沿,在与触发器151以级联组合连接的另一个触发器161的输入端和输出端可有标记160的一个与门。该与门有一个反向输入162,当在信号HS有效边沿之前信号HP'的值为0然后该值为"1"时,这个与门产生一个有效逻辑"1"。这是以上升沿HP 的出现表示的。中间步长值 $\Phi 10$ 是由计数器110的并行输出产生的。

图8表示电路30工作的定时图。信号HP, Φi ,HS和 $\Phi 10$ 已经叙述了。在这个附图中,应该注意,数量 Φi 随着信号HP 的上升沿改变其值。根据本发明,已提出再分为十个相等部分即时间间隔,该间隔将值的变化与这个数量 Φi 分开。这是以线 Φ_{10}^{1d} 表示的,该线代表以理想方法的这个再分。根据本发明的一个方面,为了进行这个再分,人们可利用各个信号HS和HP的 f_{HS} 对 f_{HP} 的频率比率。实际上,这个比率为:

$$\frac{f_{HS}}{f_{HP}} = \frac{19.44}{2.048} = 9.49 \approx 10$$

虽然由信号HS(线 Φ_{10})执行的这个再分仅仅是一个近似, 它对所考虑的应用是足够的。

图9 用图解法详细地表示在考虑了按照本发明的测量时的调整控制电路92。这个电路在每 $500\mu s$ 的瞬时 t_{ev} 估计该值 $\Delta\Phi_{10}$ 。由信号 t_{ev} 启动的存储器电路210存储加法器214的输出信号, 加法器214的两个输入端分别连接到阈值电路93输入端和输出端。该阈值电路的输入接到加法器电路220的输出端。从该阈值电路的输出线引出两条线, 它们传送代表该阈值功能的信号。当它传送有效信号时, 第一条线" + "表示超过了正阈值(+5), 因此触发负的调整, 而有关正调整的第二线" - "表示差错信号在负阈值(-5)以下, 因此触发正调整。这个电路92插入一个滤波器功能, 它通过校正剩余噪声的中心接近由信号 t_{ev} 引起的取样频率来衰减DC分量噪声。因此这个电路构成所述 Σ - Δ 调制器。

图10清楚地表示了由本发明提供的优点。这个图以虚线的曲线表示转移特性, 没有加上本发明事先知道的测量。以不同的话说, 计数器内容之间的差 $\Delta\Phi$ 直接地加到阈值单元。以小叉表示的转移特性与本发明有关。分配给用户的相位控制设备的低通特性以实线表示。显而易见, 在低频侧由本发明提供测量导致明显的减少, 特别在所述低通特性范围中。

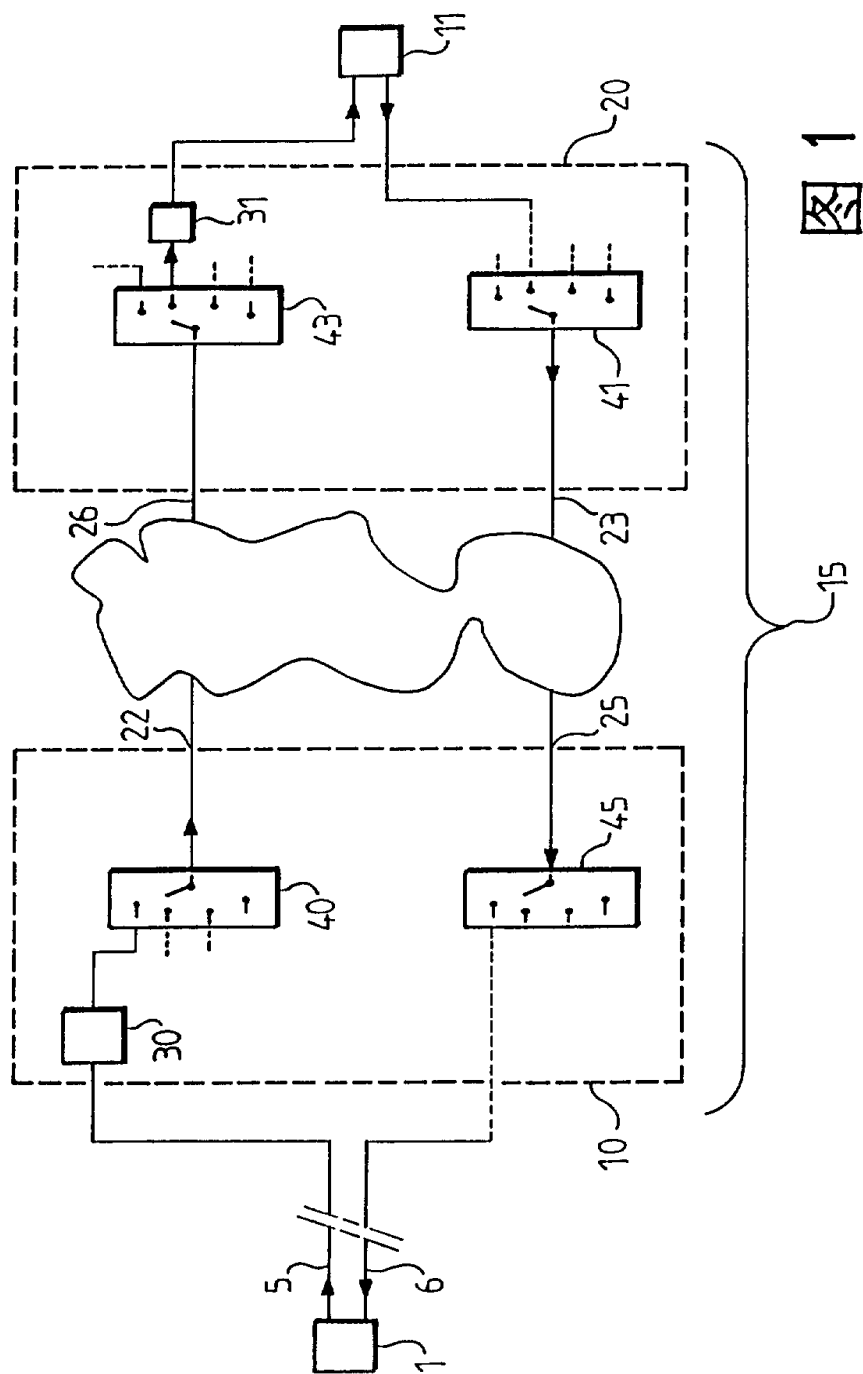


图 1

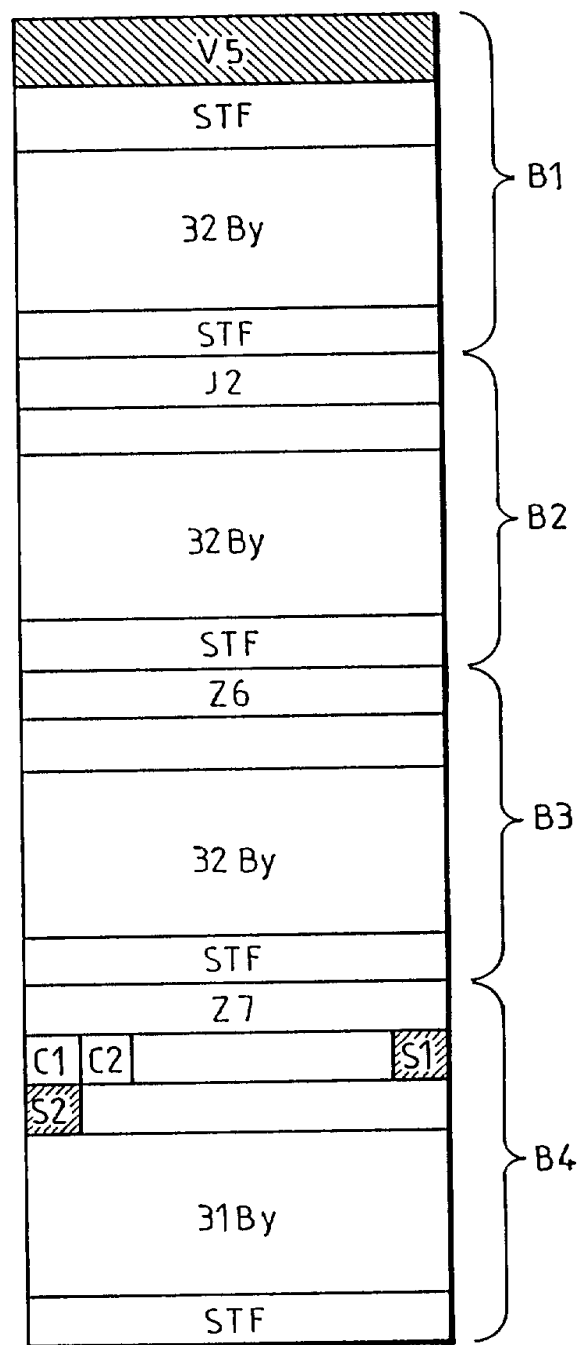


图 2

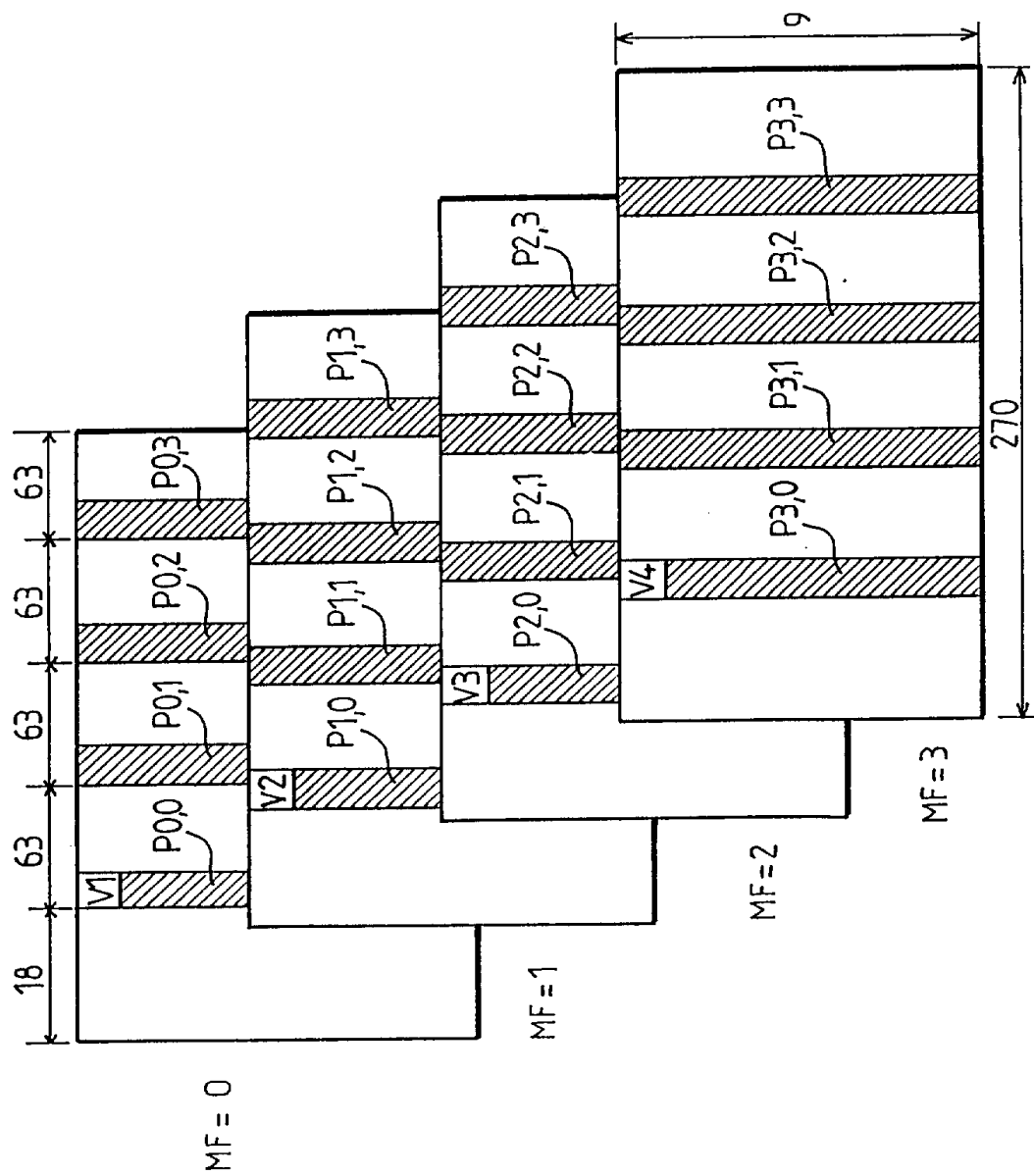


图 3

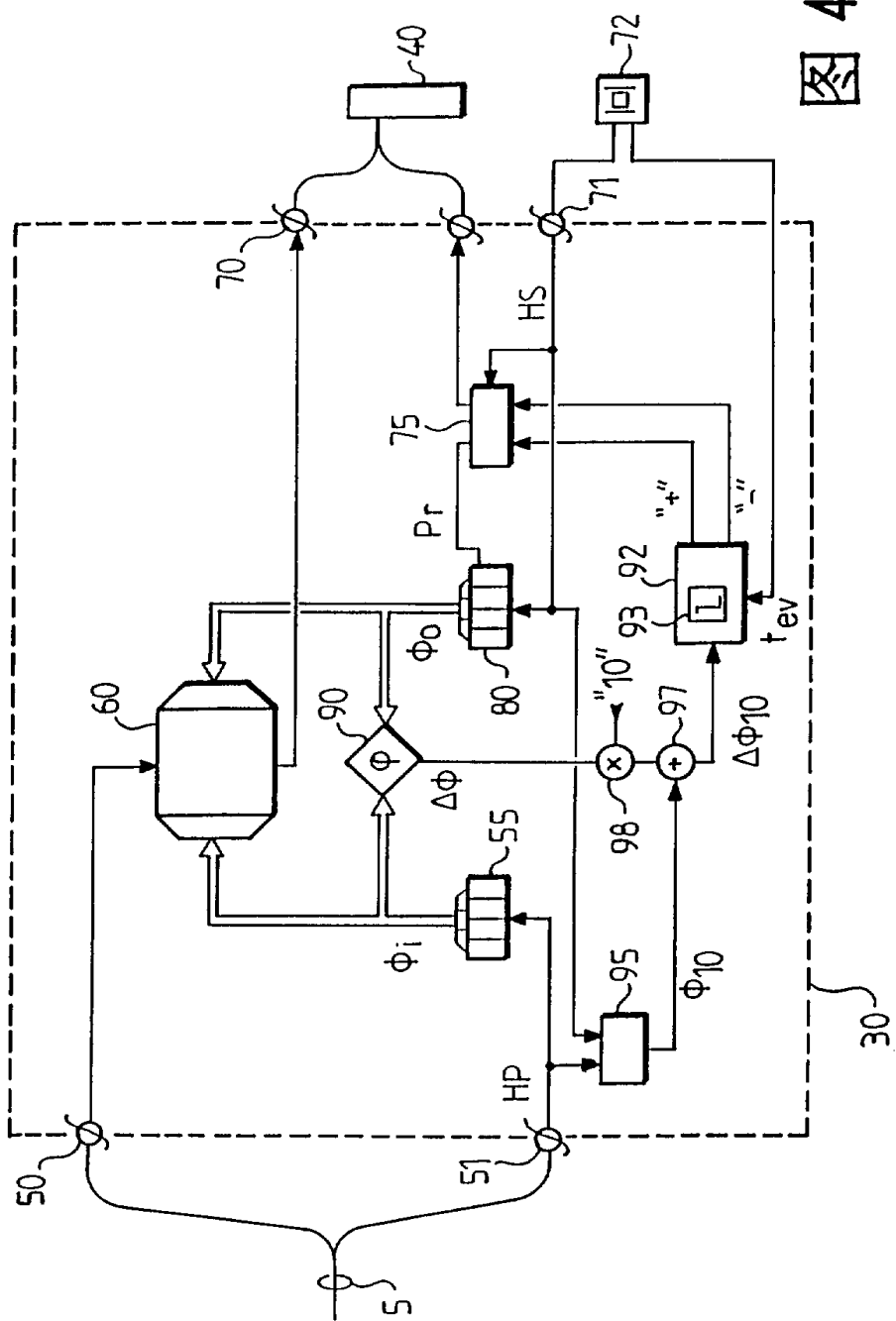


图 4

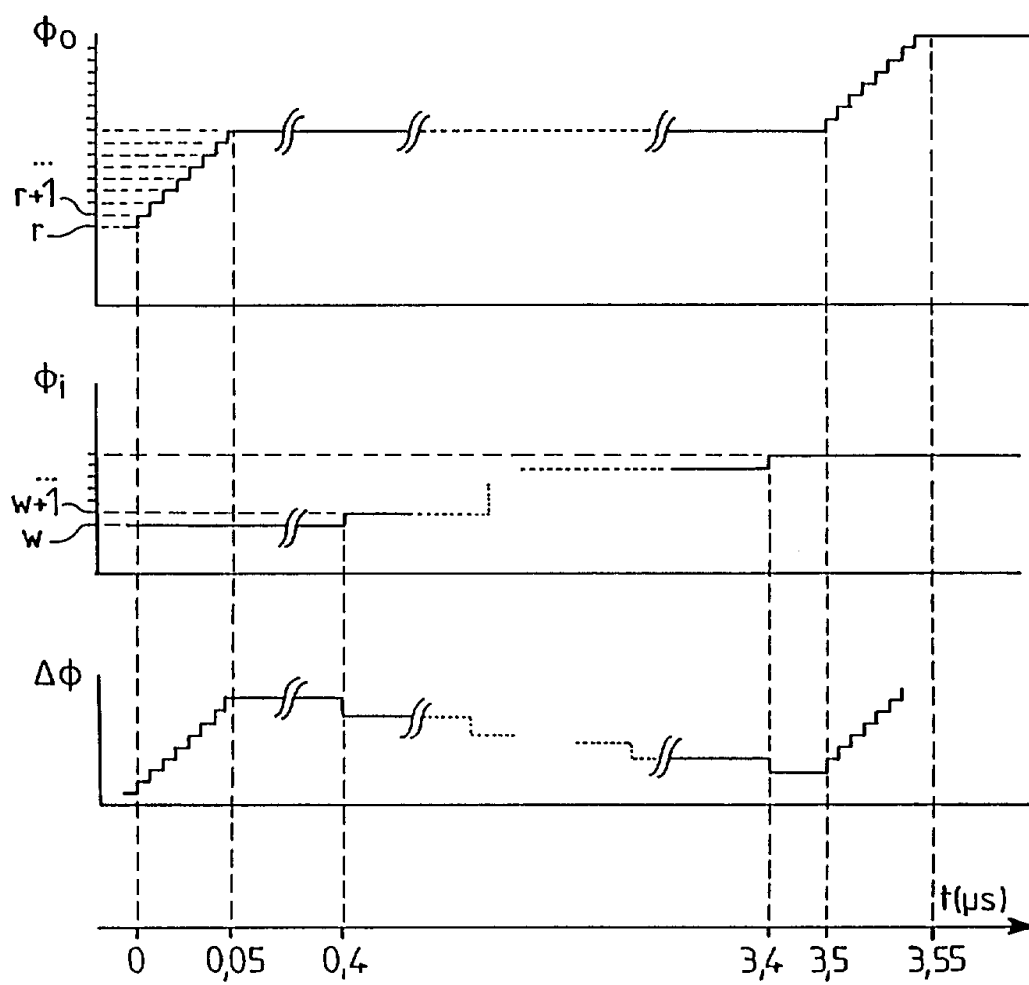


图 5

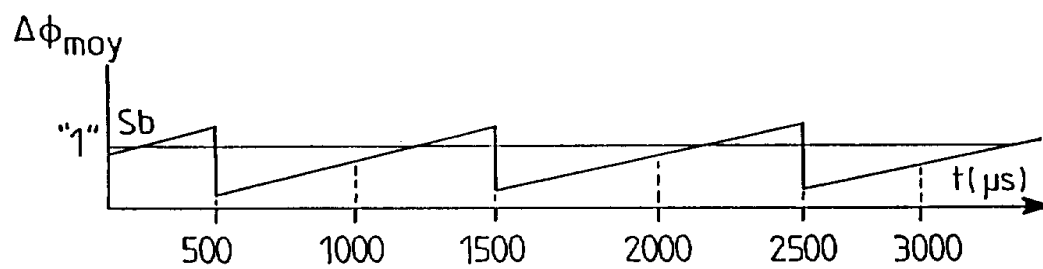


图 6

7

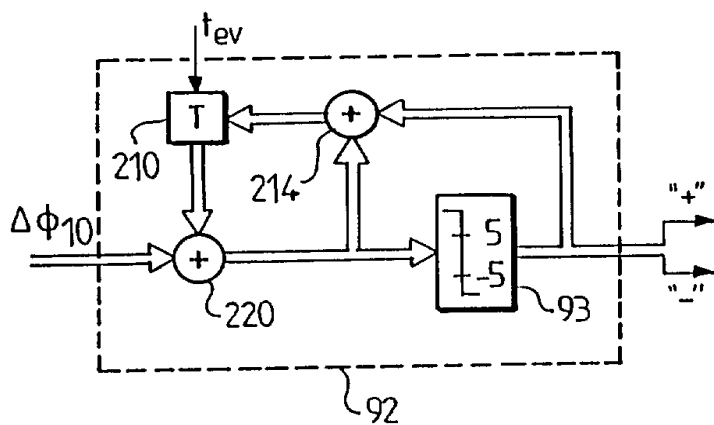



图 9

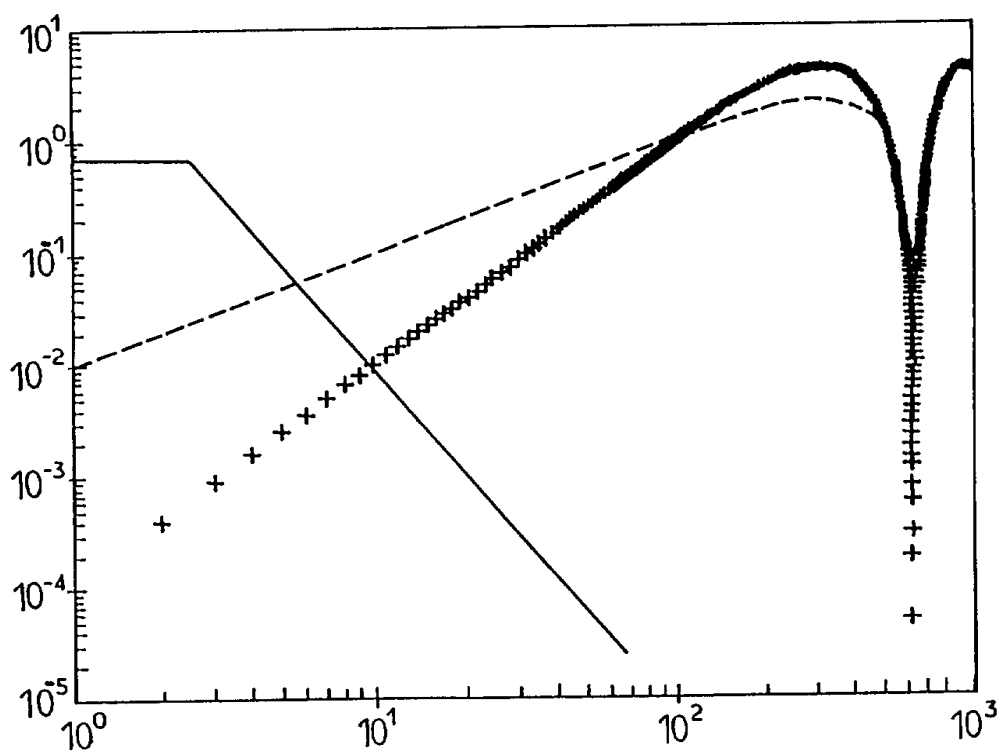


图 10