(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4735291号
(P4735291)

(45)発行日　平成23年7月27日(2011.7.27)　(24)登録日　平成23年5月13日(2011.5.13)

(51)Int.Cl.		F I		
C23C 14/22	(2006.01)	C23C	14/22	F
C23C 14/54	(2006.01)	C23C	14/54	F
G02B 5/28	(2006.01)	G02B	5/28	
G02B 1/11	(2006.01)	G02B	1/10	A

請求項の数 2　(全 9 頁)

(21)出願番号　特願2006-23397(P2006-23397)
(22)出願日　平成18年1月31日(2006.1.31)
(65)公開番号　特開2007-204799(P2007-204799A)
(43)公開日　平成19年8月16日(2007.8.16)
審査請求日　平成21年1月30日(2009.1.30)

(73)特許権者　000146009
株式会社昭和真空
神奈川県相模原市中央区田名３０６２番地１０
(74)代理人　100095407
弁理士　木村　満
(72)発明者　瀧本　昌行
神奈川県相模原市田名３０６２－１０　株式会社昭和真空内

審査官　伊藤　光貴

最終頁に続く

(54)【発明の名称】成膜方法

(57)【特許請求の範囲】
【請求項１】
真空槽と該真空槽内に配置される電極との間に高周波電圧を印加して、真空槽内に供給されたガスをイオン化し、該イオンにより第１の蒸発源からの蒸着粒子の基板への付着をアシストして成膜し、高周波電力の印加により前記真空槽と前記電極との間に発生するセルフバイアス電圧を検出し、検出したセルフバイアス電圧と前記第１の蒸発源用の目標値との偏差が小さくなるように高周波電力を制御し、
蒸発源を前記第１の蒸発源から、前記第１の蒸発源とは材料の異なる第２の蒸発源に変更し、セルフバイアス電圧の目標値を第１の蒸発源用の目標値から第２の蒸発源用の目標値に切り替え、
真空槽と該真空槽内に配置される電極との間に高周波電圧を印加して、真空槽内に供給されたガスをイオン化し、該イオンにより第２の蒸発源からの蒸着粒子の基板への付着をアシストして成膜し、高周波電力の印加により前記真空槽と前記電極との間に発生するセルフバイアス電圧を検出し、検出したセルフバイアス電圧と前記第２の蒸発源用の目標値との偏差が小さくなるように高周波電力を制御する、
ことを実行することにより、基板上に前記第１の蒸発源からの蒸着粒子の堆積膜と前記第２の蒸発源からの蒸着粒子の堆積膜との積層膜を含む膜を形成する、
ことを特徴とする成膜方法。
【請求項２】
前記蒸発源の切り替え及びセルフバイアス電圧の目標値の切り替えと、切り替え後の蒸

発源及びセルフバイアス電圧の目標値による成膜処理と、を繰り返し、
基板上に前記第１の蒸発源からの蒸着粒子の堆積膜と前記第２の蒸発源からの蒸着粒子の堆積膜との積層膜を、複数層形成する、
ことを特徴とする請求項１に記載の成膜方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は成膜方法に関し、特に成膜基板を搭載する基板ドームに高周波電力を供給して真空装置内のガスをイオン化し、このイオンにより成膜をアシストする成膜方法に関する。
【背景技術】
【０００２】
真空蒸着法等において、真空槽内部へ導入したガスを電離させ、発生した陽イオンによって蒸着分子を基板へ押し付けることにより密着力が強く充填密度の高い薄膜を形成する手法は、一般的にIon Assisted Depositionと呼ばれる（以下「ＩＡＤ」という）。この成膜方法は、例えば特許文献１などに開示されている。
【特許文献１】特開２００１－７３１３６号公報
【発明の開示】
【発明が解決しようとする課題】
【０００３】
ＩＡＤには、イオンガンなどを利用してガスイオンを基板に照射するイオンビームアシスト蒸着や、何らかのイオン化手段により真空槽内にプラズマを生成してイオンを基板に衝突させるイオンプレーティング等がある。
ここでは、成膜基板が搭載された基板ドームと真空槽の間に高周波電圧を印加して真空槽内のガスをプラズマ化し、陽イオンを生成して基板に衝突させる真空蒸着装置について説明する。
【０００４】
基板ドームと真空槽の間に高周波電圧を印加し続けると、基板ドームと真空槽の面積の差、イオンと電子の単位時間当たりの移動距離の差等により、真空槽よりも基板ドームの方が電位が低くなる現象が発生する。この現象により発生する電圧は、セルフバイアス電圧又はセルフ直流バイアス電圧（以下、ＶＤＣ）と呼ばれる。
【０００５】
このＶＤＣが小さいと、アシスト効果が減殺されて、密着力が弱く、充填密度の低い薄膜が形成されてしまうという課題が生ずる。一方で、ＶＤＣが大きすぎると、基板が昇温してしまうと共に膜応力が大きくなってしまうという課題が生ずる。従って、適切なＶＤＣを選択し、維持する必要がある。
【０００６】
しかし、従来のＩＡＤでは、時間の経過（処理の進行）に伴ってＶＤＣが変化してしまう。これは、基板ドームの電極としての能力が、プロセスの生成物が付着することにより処理回数に応じて劣化すること等による。
【０００７】
前述のように、ＶＤＣが低下すると、イオンアシスト効果が低減し、形成された膜の充填密度（屈折率）が低下してしまう。特に、バッチ処理をくり返すと、その影響が大きくなる。
【０００８】
また、１回のバッチ処理（真空槽内に基板を搬入してから搬出するまで）間に、複数回成膜する場合も同様の問題が発生する。さらに、１回のバッチ処理で、異なる材質の膜を蒸着形成する場合には、同じ電力を供給しても蒸着材料毎にＶＤＣが異なるため、例えば、図３（ａ）に示すように、前層の蒸着材料のＶＤＣから成膜中の蒸着材料のＶＤＣまで、変化してしまう。

【０００９】
例えば、供給電力一定でNb_2O_5膜とSiO_2膜とを積層した際のＶＤＣの変化を、図２を参照に説明する。図２（ａ）と（ｂ）は１バッチ目における１層目と２層目のＶＤＣの値を示し、図２（ｃ）と（ｄ）は１０バッチ目における１層目と２層目のＶＤＣの値を示す。
図２（ｂ）と（ｄ）に示すように、２層目を形成する際には、１層目のＶＤＣの影響を受けて、ＶＤＣが１層目の蒸着材料のＶＤＣから２層目の蒸着材料のＶＤＣに変化するという現象が起きる。１層の形成中にＶＤＣの値が変化すると、形成膜の厚み方向の屈折率が変化してしまう。また、１バッチで複数層の蒸着を繰り返す場合には、図示はしないが、１バッチ内の各層の形成中にＶＤＣが減少する現象が起きる。さらに、バッチ処理を繰り返すうちに、図２（ａ）、（ｂ）と（ｃ）、（ｄ）に示すように、ＶＤＣが全体として低下してしまう。
【００１０】
ＶＤＣの低下に備えて、従来は、高めの高周波電力を基板ドームに供給するようにしていた。しかし、この場合、真空槽の清掃直後などにおいては、イオンアシスト効果が高いため、基板温度が高くなってしまう。
【００１１】
基板がガラスなどの耐熱温度の高いものであればこの手法も有効であるが、基板として樹脂・プラスチック基板、アクリル基板などの耐熱温度の低い基板を使用する場合には、この手法を使用することができない。
このため、高周波電力を基板ドームに供給する成膜方法では、比較的熱に弱いタイプの基板上に成膜することが困難であった。
【００１２】
また、ＶＤＣの値は、形成される膜の膜質、例えば、その屈折率や密着力に影響を与える。従って、成膜中にＶＤＣの値が変化すると、屈折率が変化し、屈折率が変化すると所望の光学特性が得られなくなる。このため、所望の膜質の膜を形成するためには、ＶＤＣの値を制御する必要がある。
【００１３】
この発明は上記実情に鑑みてなされたものであり、セルフバイアス電圧を適切な値に維持可能とすることを目的とする。
また、この発明は上記実情に鑑みてなされたものであり、耐熱温度の低い基板でも成膜が可能な成膜方法を提供することを他の目的とする。
【課題を解決するための手段】
【００１７】
上記目的を達成するため、この発明の成膜方法は、
真空槽と該真空槽内に配置される電極との間に高周波電圧を印加して、真空槽内に供給されたガスをイオン化し、該イオンにより第１の蒸発源からの蒸着粒子の基板への付着をアシストして成膜し、高周波電力の印加により前記真空槽と前記電極との間に発生するセルフバイアス電圧を検出し、検出したセルフバイアス電圧と前記第１の蒸発源用の目標値との偏差が小さくなるように高周波電力を制御し、蒸発源を前記第１の蒸発源から、前記第１の蒸発源とは材料の異なる第２の蒸発源に変更し、セルフバイアス電圧の目標値を第１の蒸発源用の目標値から第２の蒸発源用の目標値に切り替え、真空槽と該真空槽内に配置される電極との間に高周波電圧を印加して、真空槽内に供給されたガスをイオン化し、該イオンにより第２の蒸発源からの蒸着粒子の基板への付着をアシストして成膜し、高周波電力の印加により前記真空槽と前記電極との間に発生するセルフバイアス電圧を検出し、検出したセルフバイアス電圧と前記第２の蒸発源用の目標値との偏差が小さくなるように高周波電力を制御する、ことを実行することにより、基板上に前記第１の蒸発源からの蒸着粒子の堆積膜と前記第２の蒸発源からの蒸着粒子の堆積膜との積層膜を含む膜を形成する、
ことを特徴とする。

また、前記蒸発源の切り替え及びセルフバイアス電圧の目標値の切り替えと、切り替え後の蒸発源及びセルフバイアス電圧の目標値による成膜処理と、を繰り返し、基板上に前記第１の蒸発源からの蒸着粒子の堆積膜と前記第２の蒸発源からの蒸着粒子の堆積膜との積層膜を、複数層形成する、ようにしてもよい。

【発明の効果】

【００１８】

本発明によれば、蒸着材料（蒸発源）の変更に伴ってセルフバイアス電圧の目標値を自動的に変更して、セルフバイアス電圧と目標値との偏差が小さくなるように高周波電力を制御することにより、積層膜の成膜の再現性を向上させ、所望の特性を有する素子を精度よく作製することが可能となる。

【発明を実施するための最良の形態】

【００１９】

以下、この発明の実施の形態に係るＩＡＤ（Ｉｏｎ　Ａｓｓｉｓｔｅｄ　Ｄｅｐｏｓｉｔｉｏｎ）法を用いた高周波電圧直接印加方式の光学薄膜用真空蒸着装置について説明する。

本実施の形態の光学薄膜用真空蒸着装置１１は、図１に示すように、基板ドーム２１と、基板ドーム回転機構２３と、真空槽３０と、ガス導入口３１と、給電部３２と、基板加熱用ヒーター３３と、蒸着材料３４を充填する坩堝３５と、電子銃３６と、シャッター３７と、ニュートラライザ３８と、排気口３９と、を備える。

【００２０】

また、給電部３２と真空槽３０との間には、高周波電源４１とＶＤＣ測定回路４２とが接続され、高周波電源４１とＶＤＣ測定回路４２とに制御回路４３が接続されている。

【００２１】

真空槽（真空チャンバ）３０は、導体から構成され、接地された密閉容器から構成され、基板ドーム２１と、基板ドーム回転機構２３と、給電部３２と、基板加熱用ヒーター３３と、坩堝３５と、電子銃３６と、シャッター３７と、ニュートラライザ３８と、等を収容し、ガス導入口３１と排気口３９とを備える。

【００２２】

基板ドーム２１は、ドーム状の形状を有し、高周波電極として機能し、真空槽３０内に高周波電圧を印加する。また、基板ドーム２１上には、成膜対象の成膜基板２２が載置される。なお、基板２２を、基板ドーム２１近傍に保持する構成でもよい。

【００２３】

基板ドーム回転機構２３は、均一な成膜を可能とするため、成膜処理の間、基板ドーム２１を回転する。

ガス導入口３１は、真空槽３０内部にアルゴン（Ａｒ）、酸素（O_2）等の放電ガス、プロセスガス、等、任意のガスを導入する。

給電部３２は、回転する基板ドーム２１に高周波電圧を印加する。

基板加熱用ヒーター３３は、成膜基板２２を加熱する。

蒸着材料３４は、例えば、シリコン（Ｓｉ）やニオブ（Ｎｂ）の酸化物等である。

坩堝３５には、プロセスに応じた種類の蒸着材料が充填されている。

電子銃３６は、坩堝３５内の蒸着材料３４に電子を衝突させ、蒸発温度まで加熱する。

【００２４】

シャッター３７は、開閉可能に構成され、蒸着完了時に閉じ蒸着材料を遮蔽する。

ニュートラライザ３８は、放電の着火と基板のチャージアップを防止するために電子を放出する。

排気口３９は、真空ポンプなどの排気装置に接続され、真空槽３０内のガスを排気する。

【００２５】

高周波電源４１は、可変電力型の高周波電源装置であり、制御回路４３からの制御信号が指示する電力で、給電部３２と真空槽３０との間に、高周波電圧を印加する。高周波電

圧の周波数と電圧はプロセスに応じて適宜選択されるが、例えば、Ｍ（メガ）帯域やＧ（ギガ）帯域の周波数を有する。

【００２６】

ＶＤＣ検出回路４２は、基板ドーム２１の電圧の直流成分、即ち、セルフバイアス電圧（ＶＤＣ）を検出するものであり、サンプル・ホールド回路と、Ａ／Ｄ（アナログ・ディジタル）変換器を備える。サンプル・ホールド回路は、基板ドーム２２の電圧を一定時間サンプリングし、Ａ／Ｄ変換器は、サンプル・ホールド回路がサンプリングした電圧をディジタル信号に変換する。

【００２７】

制御回路４３は、マイクロプロセッサなどから構成され、ＶＤＣ測定回路４２が出力するデジタル信号、即ち、ＶＤＣの値に従って、高周波電源４１の出力電力（Ｐｆ）を制御する。

【００２８】

ＶＤＣ検出回路４２と制御回路４３とは、負の帰還ループ（ネガティブフィードバック）を形成し、ＶＤＣが所望の一定値を維持するように、ＶＤＣが大きくなるに従って、高周波電源４１の電力を小さくし、ＶＤＣが小さくなるに従って高周波電源４１の電力を大きくするように制御する。なお、制御手法自体は、Ｐ（比例）制御でも、ＰＩ（比例・積分）制御でも、ＰＩＤ（比例・積分・微分）制御でも、任意である。

【００２９】

制御対象であるＶＤＣの目標値は任意であるが、ＶＤＣにより生成された熱により成膜基板２２が昇温したときの温度がその耐熱温度以下で、高周波電圧の振幅よりも大きい値に設定される。

制御対象であるＶＤＣの目標値は必要に応じて適宜設定すればよい。例えば、予め実験などによりＶＤＣの値と、その条件で形成される膜の屈折率及び密着力との相関を求めておき、所望の屈折率、所望の密着力を得るために必要なＶＤＣの目標値を適宜選択して設定するようにすればよい。なお、ＶＤＣの目標値は、成膜期間中、一定値である必要はなく、適宜変動させてもよい。

【００３０】

次に、真空蒸着装置１１により基板上に蒸着を行なう動作を、SiO_2膜とNb_2O_5膜の積層膜を形成する場合を例に説明する。

まず、基板ドーム２１に成膜基板２２を設置する。続いて、蒸発源には形成する膜に応じた蒸着材料３４であるNb_2O_5を充填した坩堝３５ａとSiO_2を充填した坩堝３５ｂを配置しておく。

【００３１】

次に、真空槽３０内を図示しない排気系によって10^{-4}Ｐａ程度の高真空領域まで排気する。基板ドーム回転機構２３により基板ドーム２１を回転させる。また、必要に応じて基板加熱用ヒーター３３を用いて成膜基板２２を加熱する。

続いて、また、ガス導入口３１から真空槽３０内にＡｒ，O_2等のガスを導入する。ガス流量を安定させ、例えば真空槽３０内の圧力を10^{-2}Ｐａ程度の真空状態に維持する。

また、電子銃３６から電子ビームを坩堝３５ａ内のNb_2O_5蒸着材料３４へ照射し、蒸着材料３４を蒸発温度まで昇温させる。

【００３２】

一方、制御回路４３は、高周波電源４１を起動して、給電部３２を介して基板ドーム２１に高周波電圧を印加すると共にニュートラライザ３８から電子を放出し、プラズマを着火する。また、ＶＤＣをNb_2O_5用の目標値に維持するためのネガティブフィードバックを開始する。

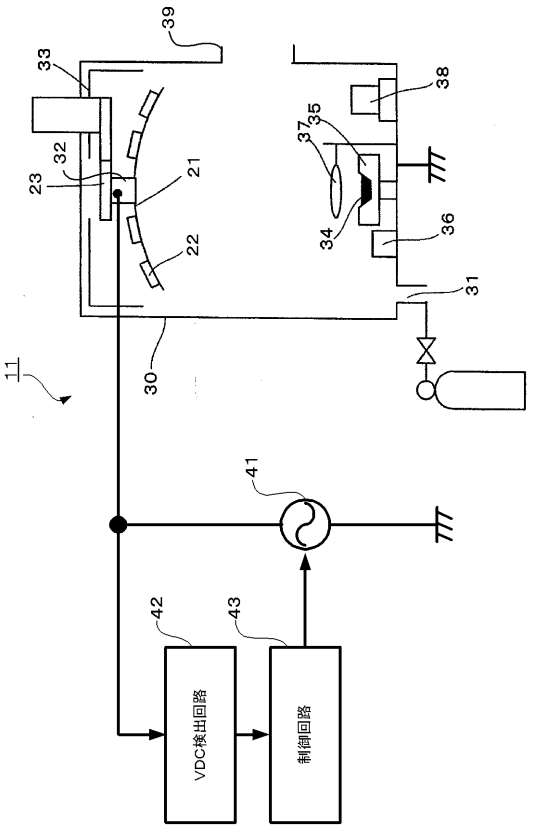
【００３３】

基板ドーム２１と真空槽３０との間に印加された高周波電圧は、ガス導入口３１から導入したガスをイオン化し、真空槽３０内にプラズマを発生させる。

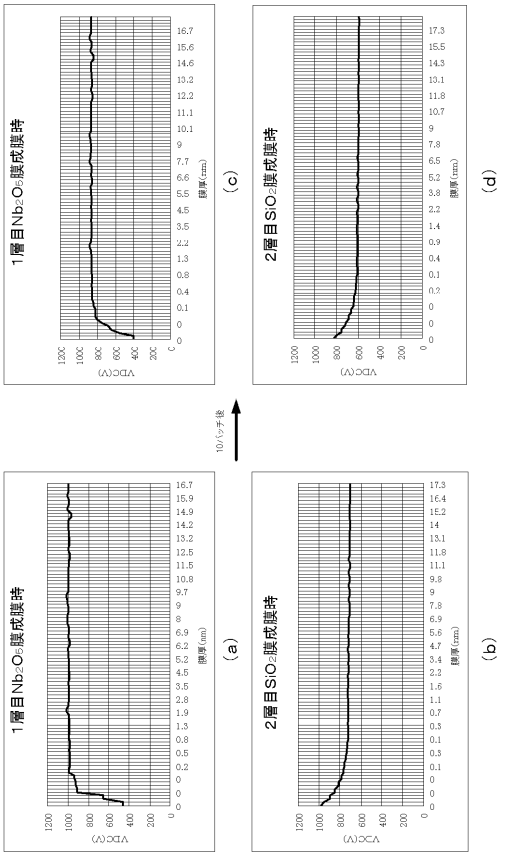
【００３４】
ＶＤＣ検出回路４２のサンプル・ホールド回路は、基板ドーム２１の電圧をサンプリングし、Ａ／Ｄ変換器により、サンプル値をデジタル化して、制御回路４３に供給する。サンプル・ホールド回路のサンプリング期間は、高周波の影響を受けずにＶＤＣを安定して検出できるように、高周波電圧の周期の数倍以上の期間を有することが望ましい。
【００３５】
シャッター３７を開くと蒸着材料３４であるNb_2O_5は真空槽３０内を飛散し、ＶＤＣに吸引されたイオンにアシストされて、成膜基板２２上に堆積することで緻密なNb_2O_5薄膜を形成する。
【００３６】
この間、制御回路４３は、ＶＤＣ検出回路４２の出力データに基づいて、ＶＤＣの実測値と基準値との偏差を求め、この偏差を小さくするように、高周波電源４１の出力電力を制御し続ける。
【００３７】
成膜されたNb_2O_5膜の膜厚が目標値に到達したらシャッター３７を一旦閉じる。
【００３８】
続いて、電子銃３６から電子ビームを坩堝３５ｂ内のSiO_2蒸着材料３４へ照射し、蒸着材料３４を蒸発温度まで昇温させる。また、ＶＤＣの目標値をSiO_2用の値に切り替える。
【００３９】
シャッター３７を開くと蒸着材料３４であるSiO_2は真空槽３０内を飛散し、ＶＤＣに吸引されたイオンにアシストされて、成膜基板２２上に堆積することで緻密な薄膜を形成する。
【００４０】
以後、同様の動作を繰り返し、所望の膜厚のNb_2O_5膜とSiO_2膜とを、必要な層数だけ積層する。
成膜処理が終了すると、シャッター３７を閉じると共に電子銃３６、基板加熱用ヒーター３３、高周波電源４１、ガスの導入、およびニュートラライザ３８などを停止させる。冷却後、真空槽３０内に大気を導入した後、薄膜が形成された成膜基板２２を取り出す。
【００４１】
このような構成によれば、成膜処理中は、フィードバック制御により、図３（ｂ）に示すように、基板ドーム２１のＶＤＣが最適な一定レベルに維持される。従って、イオンアシスト効果が１回の処理（１層形成中）中ほぼ一定であり、また、複数回の処理間でもほぼ一定であり、安定して高品質の成膜が可能である。即ち、１バッチ内及びバッチ間で均質な成膜が可能となる。
【００４２】
また、従来と異なり、ＶＤＣの低下に備えて高周波電源４１の出力電力を予め大きくしておく必要が無い。従って、エネルギーロスを抑え、不必要な熱の発生を抑えて、樹脂・アクリルなどの比較的耐熱温度の低い成膜基材２２上にも成膜が可能となる。
【００４３】
なお、以上の説明においては、制御ループをＶＤＣ検出回路４２と制御回路４３とから構成したが、ＶＤＣ検出回路４２の入力段にローパスフィルタなどを配置してもよい。また、単純な構成により、基板ドーム２１の電圧を積分回路（ローパスフィルタ）等を介して電源回路４１の電力制御端に供給することにより、電源回路４１の電力を制御する等してもよい。
【００４４】
その他、この発明は上記実施の形態に限定されず、種々の変形及び応用が可能である。例えば、上記実施の形態においては、理解を容易にするため、高周波電源及びその制御回路を真空槽３０の外部に配置したが、一般的に行われているように、基板ドーム２２の上部に高周波電源部を収納する等しても良い。

【００４５】
　また、蒸着材料、ガス種、圧力、温度などは、上記実施の形態で例示したものに限定されず、任意に変更可能である。
【図面の簡単な説明】
【００４６】
【図１】本発明の実施の形態に係る真空装置の全体構成図である。
【図２】１バッチで異なる材質の膜を形成する処理を複数バッチ繰り返した場合の、ＶＤＣの変化を例示する図である。
【図３】異なる材質の膜を積層する処理を複数バッチ繰り返した場合の、ＶＤＣの変化を、従来と本願発明の実施形態とを対比して例示する図である。
【符号の説明】
【００４７】
２１　基板ドーム
２２　成膜基板
２３　基板ドーム回転機構
３０　真空槽
３１　ガス導入口
３２　給電部
３３　基板加熱用ヒーター
３４　蒸着材料
３５　坩堝
３６　電子銃
３７　シャッター
３８　ニュートラライザ
３９　排気口
４１　高周波電源
４２　ＶＤＣ検出回路
４３　制御回路

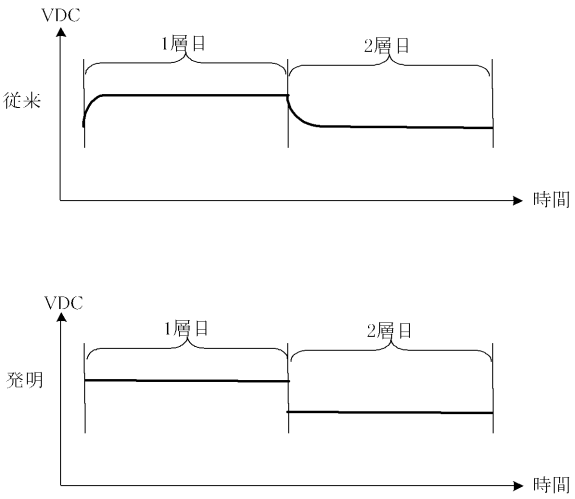
【図１】


39
33
38
35
37
32
23
21
34
36
22
31
11
30
41
42
43
VDC検出回路
制御回路

【図２】


1層目Nb2O5膜成膜時
(c)
2層目SiO2膜成膜時
(d)
10パルス後
1層目Nb2O5膜成膜時
(a)
2層目SiO2膜成膜時
(b)

【図３】


VDC
1層目
2層目
従来
時間
VDC
1層目
2層目
発明
時間

フロントページの続き

(56)参考文献 特開平０２－０９３０６５（ＪＰ，Ａ）
特開平０４－０２１７８２（ＪＰ，Ａ）
特開昭６２－２４３７６５（ＪＰ，Ａ）
特開２０００－２６６９０４（ＪＰ，Ａ）
特開平１１－２００００１３（ＪＰ，Ａ）
特開２００２－１９４５２９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｃ２３Ｃ　１４／００－１４／５８