

公告本

申請日期	88.6.9
案 號	88109604
類 別	G11C 1/07

466491

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	動態半導體記憶元件及其起動方法
	英 文	Dynamic semiconductor-memory device and method to initialize a dynamic semiconductor-memory device
二、發明 人	姓 名	1.馬丁巴克 (Martin Buck) 2.哈姆費卻 (Helmut Fischer) 3.漢瑞希摩特 (Heinrich Hemmert) 4.布雷特強生 (Bret Johnson) 5.西巴斯坦庫尼 (Sebastian Kuhne)
	國 籍	1.-5. 德國
三、申請人	住、居所	1.德國慕尼黑 D-81243 荷希尼克街 28 號 2.德國陶夫克陳 D-82024 慕卻納街 13 號 3.德國慕尼黑 D-81549 奧茲街 26 號 4.德國慕尼黑 D-81737 奧富瑞一努曼-安格 15 號 5.德國慕尼黑 D-81249 維斯塔街 4 號
	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
三、申請人	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
三、申請人	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
德

1998年6月30日 19829288.0

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

本發明係關於一種隨機存取式之動態半導體記憶元件(DRAM/SDRAM)，其具有一種可控制此半導體記憶元件之切入程序及其電路組件所用之起動電路，此種起動電路可在此半導體記憶元件切入之後而電源電壓已穩定之後提供一種電源電壓穩定信號(POWERON)，本發明亦涉及此種動態半導體記憶元件起動用之方法以及使用一可提供一種釋放信號用之釋放電路以便控制此動態半導體記憶元件之切入過程。

依據JEDEC標準在SDRAM半導體記憶體中於切入過程("POWERUP")期間須注意：為了此半導體記憶元件之正常操作所設置之內部控制電路須可靠地保持在一種確定之額定狀態中，以便使輸出電晶體不會受到不期望之驅動，此種驅動現象會在資料線上引起一種短路(所謂"Bus Contention"或"Data Contention")或使內部之電流消耗元件不可控制地受到驅動。在此種半導體記憶體之切入過程期間在外部之控制輸入端上由於電源電壓和電壓位準隨時間而變化之情況在原理上是不可預見的，則上述問題之解法是困難的。依據製造者設定之規格，SDRAM組件應忽略所有在一種確定之起動順序之前所施加之命令。此種順序是由預定之命令(其必須在一種確定之時間順序中施加)所構成。但一系列之功能和命令(其在組件之正常操作中是允許的)在時間上只有在起動順序之後才是所期望的或所允許的。依據SDRAM半導體記憶體用之JEDEC標準而設置一種所推荐之起動順序(所謂"POWERON-

五、發明說明(一)

SEQUENCE")如下：

1. 施加一種電源電壓脈衝及起動脈衝，以便在組件輸入時實現一種NOP(No operation)條件。
2. 維持一種穩定之電源電壓，一種穩定之時脈(clock)以及一些穩定之NOP-輸入條件於至少200 μ s之久。
3. 此元件之所有記憶排(bank)之字線驅動(PRECHARGE)用之預備命令。
4. 驅動二個或多個更新用之命令(AUTOREFRESH)。
5. 驅動此種負載-組態-暫存器-命令(MODE-REGISTER-SET)以便起動此種模式暫存器。

在辨認此種已確定之起動順序之後，記憶體組件通常是處於一種所謂閒置(IDLE)狀態，即，其是預充電狀態且預備作一種正常之操作。在目前已知之SDRAM半導體記憶體組件中，組件之所有控制電路只以起動(POWERON)信號起動。此種信號POWERON在內部電源電壓已達到所需之值時是主動性的(Active)，這些值對此組件之正常操作而言是需要的。然後此組件處於一種辨認命令以及執行命令之狀態中。

本發明之目的是在隨機存取之動態半導體記憶元件(DRAM或SDRAM)中使切入過程之控制在構成上提供盡可能簡易之改良，藉此可有效地防止資料線短路之危險及／或內部電流消耗元件之不可控制地受到驅動。

上述目的是藉由申請專利範圍第1項之隨機存取式之動態半導體記憶元件，申請專利範圍第16項之此種半導

五、發明說明(之)

體記憶體元件起動用之方法以及申請專利範圍第20項之使用一種提供第二釋放信號(CHIPREADY)用之釋放電路以控制此種半導體記憶體元件之切入過程等各項來達成。

依據本發明之設計方式是：此種起動電路具有一種預偵測電路，其在電源電壓穩定信號(POWERON)之前即測得一種由外部所施加之時脈控制信號(CKE)之預定的位準狀態，為了對第一次位準變換(L-H變換)起反應，此種預偵測電路須提供一種第一釋放信號以便起動此種為了半導體記憶體元件之正常操作所設置之控制電路。特別是藉由本發明之起動電路可偵測到此種時脈控制信號(CKE)之第一次位準變換至邏輯1(HIGH)之狀態(即，驅動狀態)且發出此種位準變換以作為對第一釋放信號之反應。時脈控制信號(CKE)開始時通常位於邏輯位準狀態。(LOW)，即，非驅動狀態；藉由本發明可盡可能提早地偵測到時脈控制信號(CKE)之位準變換至邏輯1(HIGH)，其中此種位準變換一起和電源電壓穩定信號POWERON之由非驅動而驅動至驅動狀態(驅動狀態=邏輯"HIGH")以及正規之起動順序等可觸發第二釋放信號CHIPREADY。預偵測電路因此在POWERON-信號備妥之前已藉由其它電路組件而可辨認預定之位準，特別是可辨認時脈控制信號(CKE)之低(LOW)位準。

依據本發明特別優良之實施形式，時脈控制信號是此種在同步DRAM-記憶體組件中之信號CKE("Input-Clock-Enable")，其功用是當CKE=HIGH時用來驅動CLK-信號

五、發明說明(4)

("Input-Clock" = Master-Clock-Signal), 當 CKE=LOW 時用來使 CLK-信號去 (de-) 驅動。已為人所知者是, 藉由時脈之去驅動 (即, CKE=LOW) 可起動 POWERDOWN-模式, SELF-REFRESH-模式或 SUSPEND-模式。

信號 POWERON 以習知之方式表示所有晶片內部之電源電壓已備妥。

依據本發明之原理, 除了已設置在起動電路中之正規的接收電路或 SSTL-接收電路 (其通常是以參考電壓操作) 之外, 另設置其它之 CKE-接收電路或預偵測電路, 其操作是與參考電壓無關且每一情況下在記憶體組件之 POWERUP-相位期間永遠保持切入 (ON) 狀態。此種另外加入之 CKE-接收電路是處於下述狀態中: 在半導體記憶元件之切入過程 (POWERUP-相位) 中提早偵測到此種第一次變換至邏輯 1 (HIGH) (即, 時脈控制信號 CKE 之驅動狀態, 其通常是一種預定之位準狀態) 之現象, 明言之, 在電源電壓穩定信號 POWERON 由非驅動變換至驅動之前即已偵測到。由此種預偵測電路所提供之第一釋放信號以時脈控制信號 CKE 之非驅動狀態來鎖住 (lock) 第二釋放信號 CHIPREADY。由於這些由外部施加至半導體記憶元件之命令信號 (CS, RAS, CAS, WE 等等) 在切入過程 (POWERUP) 中是未定義的, 則以此種方式可防止: 偶然間此種起動順序會連續地進行, 第二釋放信號 CHIPREADY 因此會提早被驅動。在 POWERUP-順序進行時, 內部電壓可達到其確定之臨限 (threshold) 值且電源電壓穩定信號 POWERON

五、發明說明(5)

被驅動。當時脈控制信號CKE第一次切換至驅動狀態時，則第二釋放信號CHIPREADY之鎖住現象是以CKE=active(驅動)和POWERON=active來消除。這只有在CKE第一次切換至邏輯1(HIGH)時才發生，因為第一釋放信號會到達釋放電路之相對應的正反器輸入端。然後CKE信號或第一釋放信號會栓住(toggle)而不會對第二釋放信號CHIPREADY產生其它影響。依據本發明之適當之其它形式，辨認CKE第一次切換至邏輯1(HIGH)是驅動第二釋放信號CHIPREADY所需條件之一。驅動第二釋放信號CHIPREADY所需之其它條件就像目前為止一樣是定義在起動順序中。第二釋放信號CHIPREADY傳送到輸出緩衝控制-邏輯中且在該處將OCD-電路(OCD=Off Chip Driver)鎖住。驅動CHIPREADY-信號所需之先決條件因此是POWERON-信號之邏輯1(HIGH)位準。由此時間點(POWERON-信號由此時間點開始是在邏輯1)開始由LOW第一次轉換至HIGH，或須評估CKE信號之第一次之高(HIGH)位準。

依據本發明之有利方式須產生一種第二釋放信號CHIPREADY，其依據另一內部信號及起動順序而被驅動且然後開啓(open)一些預定之電路。這些預定之電路都保持鎖住(locking)狀態直至預設之起動順序結束為止。例如須對命令進行解碼，但不執行，且輸出驅動器保持高歐姆狀態。

依據JEDEC-標準(例如，依據國際適用之JEDEC-標準JC-16-97-58A Item No.53 for SDRAM-memory-elements)

五、發明說明(6)

在SDRAM記憶元件中依據較佳之應用所需之設計方式是：可由釋放電路所辨認之起動順序之由外部施加於半導體記憶元件上之命令信號具有字線驅動用之預備信號(PRECHARGE)，及／或更新命令(AUTOREFRESH)，及／或負載-組態-暫存器-命令(MODE-REGISTER-SET)。

依據本發明起動電路之有利之構成方式，其設計是：釋放電路具有雙穩態之弛張(kipp)電路級，這些弛張電路級分別具有：設定(set)輸入端，命令信號(PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET)或時脈控制信號CKE可施加於其上；重置(reset)輸入端，電源電壓穩定信號(POWERON)或一種由其所導出或結合之信號可施加於其上；輸出端：其上可導出上述之釋放信號(CHIPREADY)。

本發明其它有利之構成方式敘述在申請專利範圍各附屬項中。

本發明以下將依據多個顯示在圖式中之實施例作詳述。圖式簡單說明如下：

第1圖 一種起動電路(其可控制半導體記憶體之切入過程及其電路組件)之電路組件之方塊圖。

第2圖 說明第1圖之電路之作用方式所用之時間／電壓關係圖。

第3圖 依據JEDEC-標準對了解本發明而言是很重要的SDRAM-記憶體電路組件之方塊圖。

第4圖 可提供第二釋放信號(CHIPREADY)之釋放電路之電路圖。

五、發明說明(7)

第5圖 解釋第4圖之電路之作用方式所用之信號對時間之關係圖。

第1圖首先顯示一種依據JEDEC-標準來操作之SDRAM記憶體元件之切入過程用的一些組件及控制其電路組件用之起動電路，此種起動電路包括：一個正規之接收電路RCV1，其以內部-或外部參考電壓VREF來操作且以正規之電源電壓來供電；一個連接於電路RCV1之後的正常模式邏輯電路1；一個設置在電路RCV1近旁另外設置之各別之預偵測電路RCV2以及一個連接於RCV2之後的POWERUP-邏輯電路2。

由外部施加至半導體記憶元件上之時脈控制信號CKE(=Clock-Enable-Signal)在輸入側傳送至電路RCV1及電路RCV2。在先前已知之動態半導體記憶元件中，外部之CKE-信號只由接收電路RCV1所偵測且再傳送至一般之邏輯元件中。接收電路RCV1是以參考電壓VREF來操作，其通常是只有在切入過程結束之後才會穩定。由於此一原因，則不能確定接收電路RCV1穩定操作時是在POWERUP-相位之哪一時間點。為了盡可能提早地穩定地辨認此種由外部所施加之時脈控制信號CKE，則本發明須設置另一接收電路RCV2，其不需一種參考電壓，因此原則上不適合在DRAM記憶體之正常操作期間用來偵測外部之信號。但在內部電源電壓VINT已達到一指定值之後，電路RCV2適合用來偵測CKE信號以便起始POWERUP-相位。此種接收電路RCV2因此在參考電壓VREF穩定之前可測得一種確定

五、發明說明(8)

之 CKE-信號。

第1圖中所示之電路之作用方式是依據第2圖來達成。可確認的是：於參考電壓 V_{REF} 穩定於大約 $+1.25V$ 此值以後此正規之接收電路 RCV1 成為驅動狀態之前，接收電路 RCV2 已在很早以前即在操作狀態中。

內部電源電壓 V_{INT} 大約是 $+2.5V$ ，外部電源電壓 V_{EXT} 大約是 $+3.3V$ 。由接收電路 RCV2 開始作用直至正規之接收電路 RCV1 進行操作時所需之時間典型上是數個微秒 (μs)。

正規之接收電路 RCV1 有利之方式是一種差動放大電路，其已為此行之專家所熟悉，因此不必詳述。輔助性接收電路 RCV2 有利之方式是一種電路技術上較簡單之反相電路，其操作時不需參考電壓，而是以一種和正規之電源電壓 V_{INT} 比較時還小之輔助性電源電壓來操作。

第3圖是半導體記憶元件之切入過程之其它細節及其控制各電路組件用之起動電路，此種起動電路包括：RCV-切換方塊3，其另外又包括第1圖中所示之電路 RCV1，RCV2，1 和 2；釋放電路9，此種由外部施加至半導體記憶體之命令信號在一種藉由(未詳細顯示之)命令解碼器所進行之放大和備妥之後施加於此釋放電路9之輸入端8，其中命令信號 PRE 或 PRECHARGE(字線驅動用之預備命令)，ARF 和 AUTOREFRESH(更新命令)以及 MRS 或 MODE-REGISTER-SET(Lade-Konfiguration-Register-Kommando) 另外亦施加至釋放電路9之輸入端8。未詳細顯示的是

五、發明說明(9)

此種已為人所知之內部電壓調節或偵測用之調節電路，由外部施加於半導體記憶體之外部電源電壓傳送至此調節電路之輸入端，此調節電路之一個輸出端可提供 POWERON-信號且另一輸出端可提供穩定之內部電源電壓。對本發明之了解很重要的是：此種調節電路提供一種驅動式(active)POWERON-信號，若在SDRAM記憶體之 POWERUP-相位之後此種施加至調節電路輸出端之內部電源電壓已達到此組件之正常操作所需之值時。

依據本發明第3圖之實施形式，起動電路另外具有一個連接於調節電路和RCV電路3之後的釋放電路9，在其輸入端8施加一些命令信號PRE，ARF和MRS，在其輸入端11施加上述調節電路來之POWERON-信號，在其輸入端4施加此種由外部時脈控制信號CKE(已如前述)所導出之第一釋放信號且在輸出端5於辨認此種施加於半導體記憶元件上之命令信號之預定的正常起動順序之後可提供第二釋放信號CHIPREADY，其可起始半導體記憶元件為了正常操作所設置之控制電路6。此種內部之控制電路6另外可用來控制SDRAM記憶體之一個或多個(未詳細顯示之)記憶體方塊且此種用途已為人所知。控制電路6之輸出端7到達SDRAM組件之資料線DQ。

第3圖所示電路之作用方式如下。由外部傳送至半導體記憶元件之時脈控制信號CKE是由RCV電路方塊所偵測且進一步傳送至釋放電路9之輸入端4。在釋放電路9中須忽略此種施加至輸入端8之命令信號直至外部之時

五、發明說明 (一〇)

脈控制信號 CKE 切換至電壓位準邏輯 1 (HIGH) 為止。若時脈控制信號 CKE 處於電壓位準邏輯 1 (HIGH)，則這些命令信號會被詢問有關正常起動順序之事宜。只要正常起動順序被偵測到，則第二釋放信號 CHIPREADY 切換至電壓位準邏輯 1 而其結果是輸出驅動器被釋放 (release)。

可能之信號狀態是依據下列之概要表而變化：

CKE	POWERON	起動順序	CHIPREADY	DQ
0	0	否	0	Z (= 三態)
0	0	是	0	Z
0	1	否	0	Z
0	1	是	0	Z
1	0	否	0	Z
1	0	是	0	Z
1	1	否	0	Z
1	1	是	1	Z 或 驅動的

五、發明說明(一)

第4圖是本發明釋放電路9之較佳實施例。其包括4個雙穩態之弛張電路級14, 15, 16和17, 其分別具有: 設定輸入端S, 重置(reset)輸入端R, 一個輸出端Q, 一個連接於弛張電路級15之重置輸入端R之前的及(AND)閘20, 一個連接於弛張電路級14, 15, 16, 17之後的反及(NAND)閘18之總輸出端Q, 以及一個連接於反及(NAND)閘18之後的反相器19, 釋放信號CHIPREADY在反相器19之輸出端5發出, 其中釋放信號是高位準驅動的(High-active), 即, 當其電壓位準是在邏輯1時是有驅動性的。施加至雙穩態弛張電路級14, 15, 16之各別之設定輸入端S上之命令信號PRE, ARF, MRS分別是低位準驅動的(Low-active), 即, 這些信號之電壓位準在0時是有驅動性的而POWERON-信號亦是HIGH-active。

在雙穩態弛張電路級17之設定輸入端S施加時脈控制信號CKE或施加一種由其所直接導出之信號, 弛張電路級17之輸出端Q又施加至反及閘18之輸入端。POWERON-信號在弛張電路級14和16中直接施加於重置(reset)輸入端R且在弛張電路級15中首先施加至及閘20之一個輸入端, 及閘20之另一輸入端施加此種由弛張電路級14之輸出端Q所發出之信號, 其中此及閘20之輸出端是與弛張電路級15之重置(reset)輸入端相連接。

第4圖所示之釋放電路9之作用方式是: 處於邏輯1位準處之輸出端5之釋放信號CHIPREADY之驅動只有當命令信號PRE, ARF和MRS之預定的起動順序以及POWERON-信號之驅動在邏輯位準1被偵測到時才會發生。然後由於釋放信號CHIPREADY之驅動而使控制電路開始作用

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

五、發明說明 (12)

；先前此電路是保持鎖住的。」

在第5圖所示之信號對時間之關係圖中舉例顯示出一些在半導體記憶元件之切入過程中所具有之命令順序以便解釋上述釋放電路9之作用方式。

在組態A中使信號PRECHARGE相對於POWERON-信號之驅動而言太早驅動至Low-active，因此上述之釋放信號CHIPREADY仍然未在邏輯0受到驅動，這是因為一般之起動順序在第一命令之前需要一種等待時間。正確方式因此是在組態A之後須忽略此命令PRECHARGE之信號揚升現象。在組態B中此信號AUTOREFRESH在時間上之驅動順序是虛偽地處於邏輯0。這是因為一般之起動順序在AUTOREFRESH-命令之前須預先寫入一種先前之PRECHARGE-命令。在組態B之後處於邏輯0之AUTOREFRESH-信號之信號揚升現象同樣是可忽略的，釋放信號不會在邏輯1處。在組態C中(其是與JEDEC-標準相一致)命令PRECHARGE，AUTOREFRESH，MODE-REGISTER-SET存在一種正確之時間順序；因此在邏輯上現在當POWERON-信號是邏輯1之後可供應一種處於邏輯1之釋放信號CHIPREADY。以符號D所指示之虛線來表示其它可允許且可觸發一種釋放信號之起動順序：一種處於邏輯0之命令MODE-REGISTER-SET之驅動在POWERON-信號驅動之後的每一時間都是允許的。

釋放電路9之作用方式和配置之其它細節就整個內容而言可參考同一申請人之在同一申請日所申請之專利文件，其名稱是"Dynamische Halbleiter-Speicher

五、發明說明 (19)

vorrichtung vom Wahlweisen Zugriffstyp"及申請人之 action number: GR 98E 1796。

符號之說明

- 1.....正常模式邏輯電路
- 2.....POWERUP-邏輯電路
- 3.....RCV-切換方塊
- 4,7,8,10,11....輸入端
- 5,12.....輸出端
- 6.....內部控制電路
- 9.....釋放電路
- 14,15,16,17....弛張電路級
- 18.....反及閘
- 19.....反相器
- 20.....及閘
- RCV1.....接收電路
- RCV2.....預偵測電路
- VREF.....參考電壓
- CKE.....時脈-控制信號
- CHIPREADY....第二釋放信號
- LOGISCH HIGH....電壓位準
- VINT.....內部電源電壓
- VEXT.....外部電源電壓
- PRE,PRECHARGE....命令信號(預備命令)
- ARF,AUTOREFRESH...命令信號(更新命令)
- MRS,MODE-REGISTER-SET.....命令信號
- (負載-組態-暫存器-命令)
- POWERON....電源電壓穩定信號

四、中文發明摘要(發明之名稱：

動態半導體記憶元件及其起動方法)

本發明係關於一種隨機存取式動態半導體記憶元件(DRAM/SDRAM)，其具有一種控制此半導體記憶元件之切入程序及其電路組件所用之起動電路，此種起動電路可在此半導體記憶元件切入之後而電源電壓已穩定之後提供一種電源電壓穩定信號(POWERON)。起動電路具有一種預偵測電路(RCV2)，其在電源電壓穩定信號(POWERON)之前即可測得一種由外部所施加之時脈控制信號(CKE)之預定的位準狀態且其反應是提供一種第一釋放信號以起動此種為了此半導體記憶元件之一般操作所設置之控制電路(6)。

英文發明摘要(發明之名稱： Dynamic semiconductor-memory device and method to initialize a dynamic semiconductor-memory device)

This invention relates to a dynamic semiconductor-memory device of random access-type (DRAM/SDRAM) with an initialization-circuit which can control the switch-on process of the semiconductor-memory device and its circuit-components, said initialization-circuit supplies a power-supply-voltage-stable signal (POWERON) after the stability of the power-supply voltage which occurs after the switch-on of the semiconductor-memory device. Said initialization-circuit has a pre-detection-circuit (RCV2), which picks up a pre-specified level-stable of a clock-control-signal (CKE) applied from outside in time before the power-supply-voltage-stable signal (POWERON) and as a reaction hereon supplies a first release-signal to start the control-circuit (6) which is provided for the ordinary operation of the semiconductor-memory device.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

第 88109604 號 "動態半導體記憶元件及其起動方法"

專利案

(90 年 4 月修正)

1. 一種動態隨機存取式半導體記憶元件 (DRAM / SDRAM) , 其具有一種控制此半導體記憶元件之切入過程及其電路組件用之起動電路, 此起動電路於半導體記憶元件切入之後在電源電壓穩定之後可提供一種電源電壓穩定信號 (POWERON), 其特徵為: 此起動電路具有一種預偵測電路 (RCV2), 其在電源電壓穩定信號 (POWERON) 之前即可測得一種由外部所施加之時脈控制信號 (CKE) 之預定的位準狀態且其反應是提供一種第一釋放信號以便起始此種為了此半導體記憶元件之正常操作所設置之控制電路 (6)。
2. 如申請專利範圍第 1 項之半導體記憶元件, 其中預偵測電路 (RCV2) 在操作上是與參考電壓無關。
3. 如申請專利範圍第 1 或第 2 項之半導體記憶元件, 其中由外部所施加之時脈控制信號是 CLOCK-ENABLE-Signal (CKE)。
4. 如申請專利範圍第 1 項之半導體記憶元件, 其中預偵測電路 (RCV2) 由一個除了正規之接收電路 (其設置在起動電路中) 外另一個相分離之輔助性接收電路所構成, 此輔助性電路在一種較正規之電源電壓還小之電源電壓中操作。
5. 如申請專利範圍第 1 或第 2 項之半導體記憶元件, 其中預偵測電路 (RCV2) 在切入至半導體記憶元件之過程中首先持續地保持切入狀態且只有在測得時脈控制信號之預

煩請委員明示
修正本有無變更實質內容是否准予修正。

90 年 04 月 03 日所提之

466491

六、申請專利範圍

定的位準狀態之後才立即關閉(off)。

- 6.如申請專利範圍第4項之半導體記憶元件，其中預偵測電路(RCV2)在切入至半導體記憶元件之過程中首先持續地保持切入狀態且只有在測得時脈控制信號之預定的位準狀態之後才立即關閉(off)。
- 7.如申請專利範圍第4項之半導體記憶元件，其中正規之接收電路是一種差動放大電路，且輔助性接收電路是一種反相電路。
- 8.如申請專利範圍第5項之半導體記憶元件，其中正規之接收電路是一種差動放大電路，且輔助性接收電路是一種反相電路。
- 9.如申請專利範圍第1項之半導體記憶元件，其中起動電路具有一種配屬於電源電壓穩定信號(POWERON)和其它施加於半導體記憶元件之命令信號(PRE, ARF, MRS)之釋放電路(9)，其在確認此種施加於半導體記憶元件之命令信號(PRE, ARF, MRS)之預定的一般起動順序之後提供一種第二釋放信號(CHIPREADY)，此第二釋放信號可使半導體記憶元件之正常驅動所需之控制電路起動。
- 10.如申請專利範圍第9項之半導體記憶元件，其中第二釋放信號(CHIPREADY)是以由預偵測電路(RCV2)所測得之時脈信號(CKE)之第一次位準變換而被起動。
- 11.如申請專利範圍第9或第10項之半導體記憶元件，其中由釋放電路所辨認之起動順序之由外部施加於半導體記憶元件上之命令信號(PRE, ARF, MRS)具有預備

六、申請專利範圍

信號 (PRE-CHARGE) 以便驅動字線及 / 或更新信號 (AUTOREFRESH) 及 / 或負載 - 組態 - 暫存器 - 命令 (MODE-REGISTER-SET)。

12. 如申請專利範圍第 9 或第 10 項之半導體記憶元件，其中釋放電路 (9) 具有：至少一種雙穩態之弛張電路級 (14, 15, 16)，命令信號 (PRECHARGE, AUTOREFRESH, MODE-REGISTER-SET) 可施加於其設定輸入端 (S)；一種重置 (reset) 輸入端 (R)，電源電壓穩定信號 (POWERON) 或由其所導出或結合之信號施加於重置輸入端 (R)；一個輸出端 (Q)，由此可導出第二釋放信號 (CHIPREADY)。
13. 如申請專利範圍第 9 或第 10 項之半導體記憶元件，其中由釋放電路 (9) 辨認成一般之起動順序且可觸發第二釋放信號 (CHIPREADY) 之此種起動順序是一種與 JEDEC-標準相一致之命令順序。
14. 如申請專利範圍第 9 或第 10 項之半導體記憶元件，其中此半導體記憶元件之輸出驅動器在切入過程中直至發出此種由釋放電路所提供之第二釋放信號 (CHIPREADY) 為止都是保持鎖住狀態。
15. 如申請專利範圍第 9 或第 10 項之半導體記憶元件，其中觸發第二釋放信號 (CHIPREADY) 所用之一般起動順序在時間上具有依序之下述之命令順序：
 - a) 第一 PRE，第二 ARF，第三 MRS，或
 - b) 第一 PRE，第二 MRS，第三 ARF，或

六、申請專利範圍

c) 第一 MRS, 第二 PRE, 第三 ARF,

其中各縮寫字所代表之意義如下:

PRE = 字線驅動用之預備命令 (PRECHARGE),

ARF = 更新命令 (AUTOREFRESH),

MRS = 負載-組態-暫存器-命令 (MODE-REGISTER-SET)。

16. 如申請專利範圍第 11 項之半導體記憶元件, 其中觸發第二釋放信號 (CHIPREADY) 所用之一般起動順序在時間上具有依序之下述之命令順序:

a) 第一 PRE, 第二 ARF, 第三 MRS, 或

b) 第一 PRE, 第二 MRS, 第三 ARF, 或

c) 第一 MRS, 第二 PRE, 第三 ARF,

其中各縮寫字所代表之意義如下:

PRE = 字線驅動用之預備命令 (PRECHARGE),

ARF = 更新命令 (AUTOREFRESH),

MRS = 負載-組態-暫存器-命令 (MODE-REGISTER-SET)。

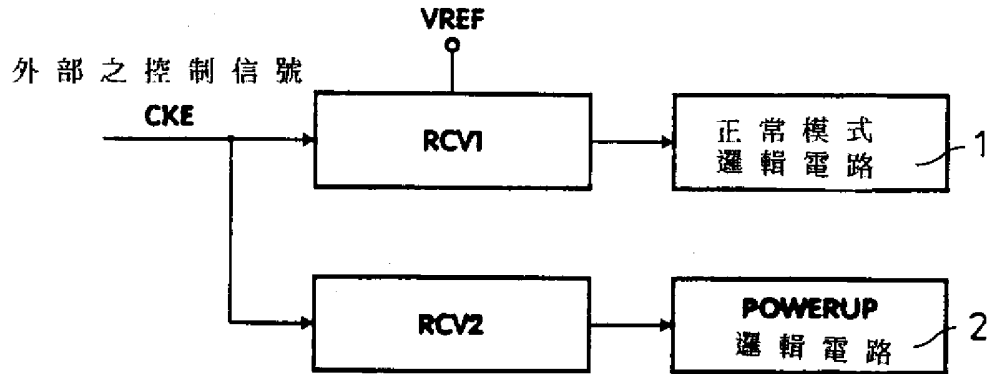
17. 如申請專利範圍第 1 或第 7 項之半導體記憶元件, 其中正規之接收電路設置在 SSTL-邏輯 (STUB-SERIES-TERMINATED-LOGIC) 中而輔助性接收電路設置在 LVTTL-邏輯 (Low-Voltage Transistor-Transistor-Logik) 中。

18. 一種隨機存取之動態半導體記憶元件 (DRAM / SDRAM) 之起動方法, 其是藉由一種控制此半導體記憶元件之切入過程及其電路組件用之起動電路來進行, 此種起動電路於半導體記憶元件切入之後在電源電壓穩定之後可提供一種電源電壓穩定信號 (POWERON), 其特徵為: 起動電路具有一種預偵測電路 (RCV2), 其在電源電壓穩定信號 (POWERON) 之前測得一種由外部所施加

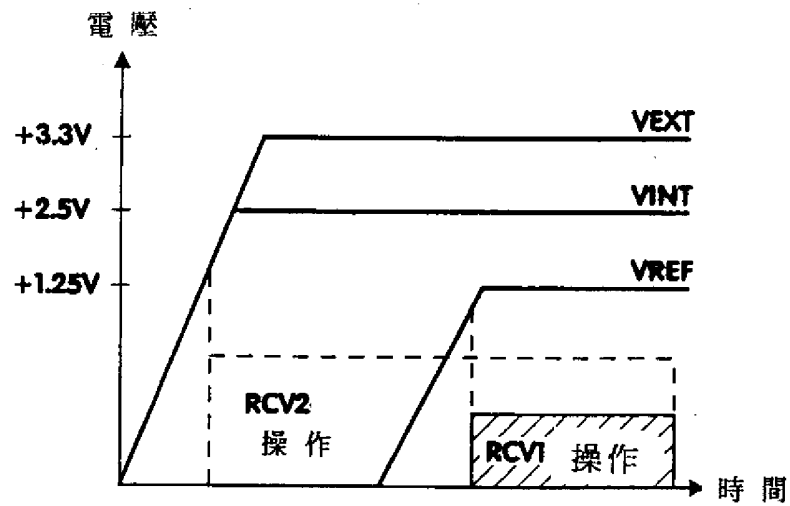
六、申請專利範圍

之時脈控制信號 (CKE) 之預定的位準狀態且其反應是提供一種第一釋放信號以便起動此種為了半導體記憶元件之正常操作所設置之控制電路。

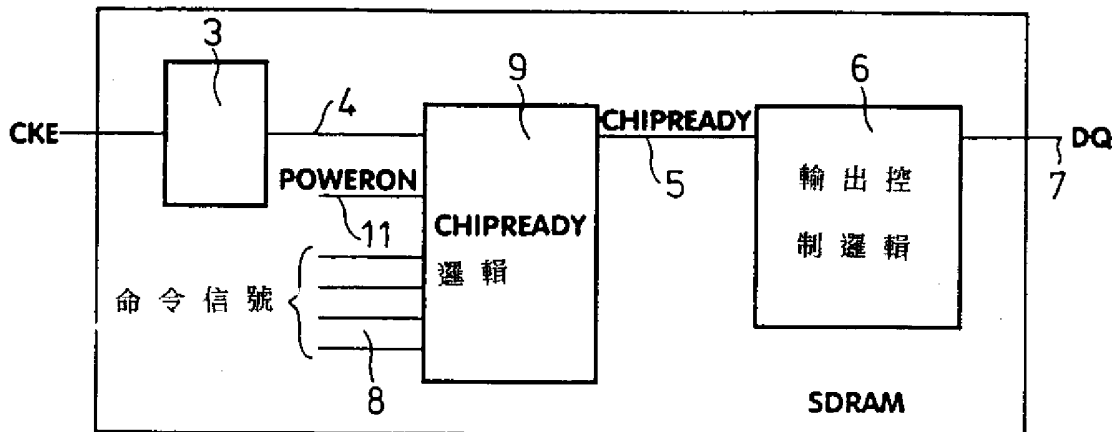
19. 如申請專利範圍第 18 項之起動方法，其中此方法是用來偵測由外部所施加之控制信號，其係在隨機存取之單石式積體動態半導體記憶元件中用在此種半導體記憶元件之切入過程 (POWERUP) 中，其使用一種除了正規之接收電路以外另外設置之輔助性接收電路，其是在一種較正規之電源電壓還小之電源電壓中操作。
20. 如申請專利範圍第 18 項之起動方法，其中起動電路藉由一種配屬於電源電壓穩定信號 (POWERON) 和其它由外部施加於半導體記憶元件之命令信號 (PRE, ARF, MRS) 之釋放電路 (9) 而在辨認此種施加於半導體記憶元件上之命令信號之預定的一般起動順序之後提供一種第二釋放信號 (CHIPREADY)，其可起動此種為了半導體記憶元件之一般操作所設置之控制電路 (13)。
21. 如申請專利範圍第 20 項之起動方法，其中此種由釋放電路 (9) 所辨認之起動順序之由外部施加於半導體記憶元件上之命令信號 (PRE, ARF, MRS) 具有字線驅動用之預備信號 (PRECHARGE) 及 / 或更新命令 (AUTOREFRESH) 及 / 或負載 - 組態 - 暫存器 - 命令 (MODE-REGISTER-SET)。
22. 如申請專利範圍第 20 或 21 項之起動方法，其中此半導體記憶元件之輸出驅動器在切入過程中直至發出此種由釋放電路所提供之第二釋放信號 (CHIPREADY) 為止都是保持鎖住狀態。



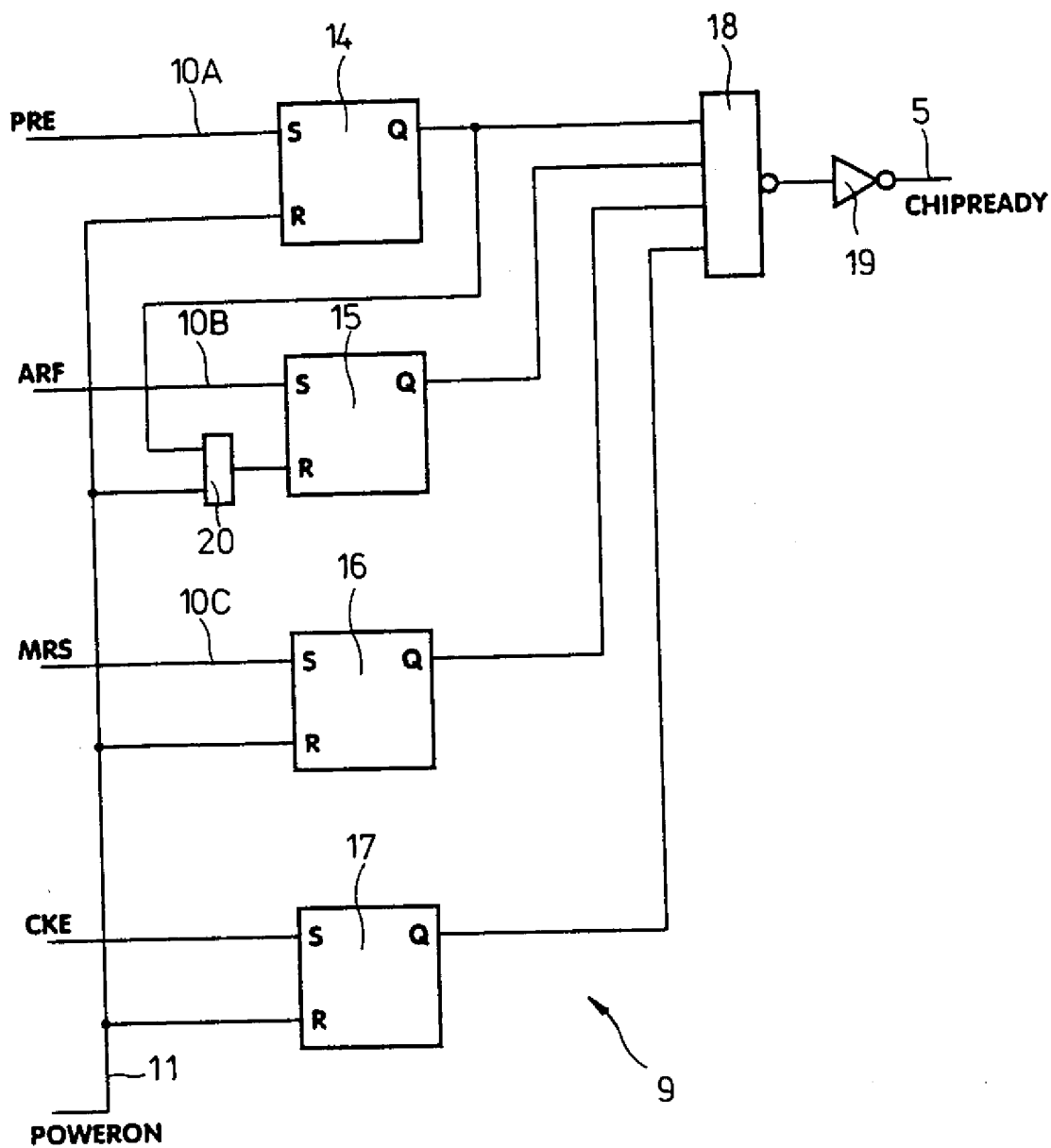
第 1 圖



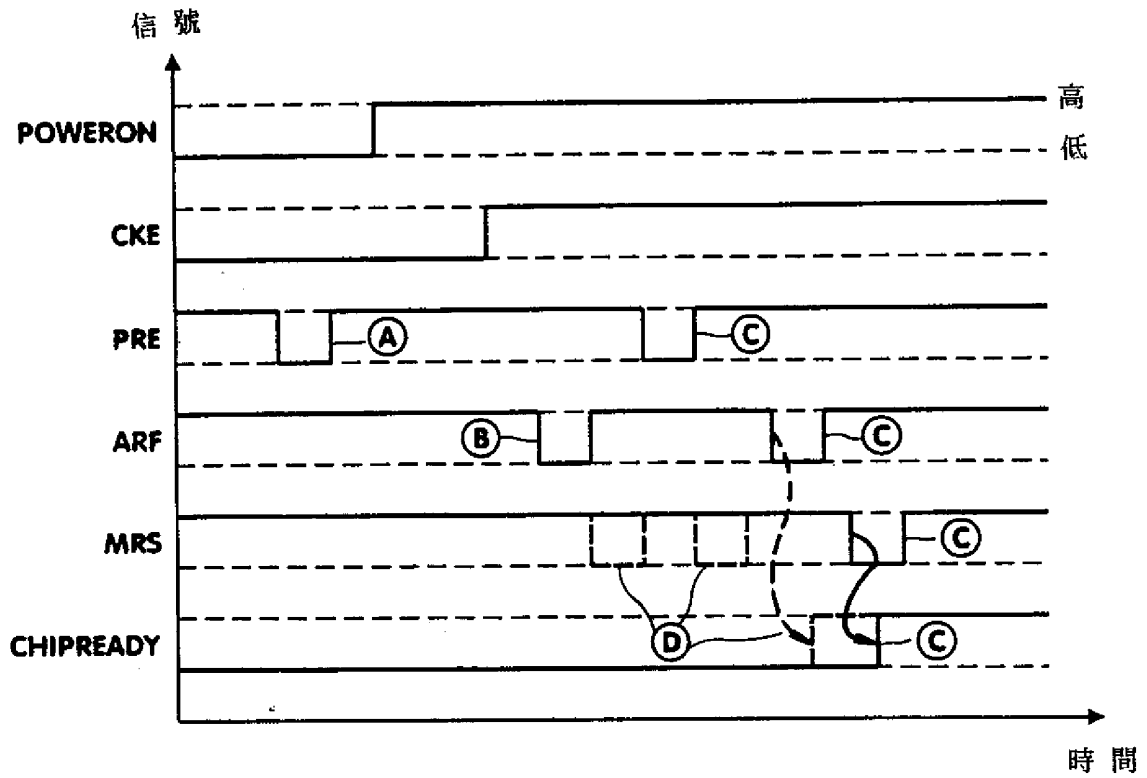
第 2 圖



第 3 圖



第4圖



第 5 圖

五、發明說明(一)

SEQUENCE")如下：

1. 施加一種電源電壓脈衝及起動脈衝，以便在組件輸入時實現一種NOP(No operation)條件。
2. 維持一種穩定之電源電壓，一種穩定之時脈(clock)以及一些穩定之NOP-輸入條件於至少200 μ s之久。
3. 此元件之所有記憶排(bank)之字線驅動(PRECHARGE)用之預備命令。
4. 驅動二個或多個更新用之命令(AUTOREFRESH)。
5. 驅動此種負載-組態-暫存器-命令(MODE-REGISTER-SET)以便起動此種模式暫存器。

在辨認此種已確定之起動順序之後，記憶體組件通常是處於一種所謂閒置(IDLE)狀態，即，其是預充電狀態且預備作一種正常之操作。在目前已知之SDRAM半導體記憶體組件中，組件之所有控制電路只以起動(POWERON)信號起動。此種信號POWERON在內部電源電壓已達到所需之值時是主動性的(Active)，這些值對此組件之正常操作而言是需要的。然後此組件處於一種辨認命令以及執行命令之狀態中。

本發明之目的是在隨機存取之動態半導體記憶元件(DRAM或SDRAM)中使切入過程之控制在構成上提供盡可能簡易之改良，藉此可有效地防止資料線短路之危險及／或內部電流消耗元件之不可控制地受到驅動。

上述目的是藉由申請專利範圍第1項之隨機存取式之動態半導體記憶元件，申請專利範圍第16項之此種半導

六、申請專利範圍

c) 第一 MRS, 第二 PRE, 第三 ARF,

其中各縮寫字所代表之意義如下:

PRE = 字線驅動用之預備命令 (PRECHARGE),

ARF = 更新命令 (AUTOREFRESH),

MRS = 負載-組態-暫存器-命令 (MODE-REGISTER-SET)。

16. 如申請專利範圍第 11 項之半導體記憶元件, 其中觸發第二釋放信號 (CHIPREADY) 所用之一般起動順序在時間上具有依序之下述之命令順序:

a) 第一 PRE, 第二 ARF, 第三 MRS, 或

b) 第一 PRE, 第二 MRS, 第三 ARF, 或

c) 第一 MRS, 第二 PRE, 第三 ARF,

其中各縮寫字所代表之意義如下:

PRE = 字線驅動用之預備命令 (PRECHARGE),

ARF = 更新命令 (AUTOREFRESH),

MRS = 負載-組態-暫存器-命令 (MODE-REGISTER-SET)。

17. 如申請專利範圍第 1 或第 7 項之半導體記憶元件, 其中正規之接收電路設置在 SSTL-邏輯 (STUB-SERIES-TERMINATED-LOGIC) 中而輔助性接收電路設置在 LVTTL-邏輯 (Low-Voltage Transistor-Transistor-Logik) 中。

18. 一種隨機存取之動態半導體記憶元件 (DRAM / SDRAM) 之起動方法, 其是藉由一種控制此半導體記憶元件之切入過程及其電路組件用之起動電路來進行, 此種起動電路於半導體記憶元件切入之後在電源電壓穩定之後可提供一種電源電壓穩定信號 (POWERON), 其特徵為: 起動電路具有一種預偵測電路 (RCV2), 其在電源電壓穩定信號 (POWERON) 之前測得一種由外部所施加

六、申請專利範圍

之時脈控制信號 (CKE) 之預定的位準狀態且其反應是提供一種第一釋放信號以便起動此種為了半導體記憶元件之正常操作所設置之控制電路。

19. 如申請專利範圍第 18 項之起動方法，其中此方法是用來偵測由外部所施加之控制信號，其係在隨機存取之單石式積體動態半導體記憶元件中用在此種半導體記憶元件之切入過程 (POWERUP) 中，其使用一種除了正規之接收電路以外另外設置之輔助性接收電路，其是在一種較正規之電源電壓還小之電源電壓中操作。
20. 如申請專利範圍第 18 項之起動方法，其中起動電路藉由一種配屬於電源電壓穩定信號 (POWERON) 和其它由外部施加於半導體記憶元件之命令信號 (PRE, ARF, MRS) 之釋放電路 (9) 而在辨認此種施加於半導體記憶元件上之命令信號之預定的一般起動順序之後提供一種第二釋放信號 (CHIPREADY)，其可起動此種為了半導體記憶元件之一般操作所設置之控制電路 (13)。
21. 如申請專利範圍第 20 項之起動方法，其中此種由釋放電路 (9) 所辨認之起動順序之由外部施加於半導體記憶元件上之命令信號 (PRE, ARF, MRS) 具有字線驅動用之預備信號 (PRECHARGE) 及 / 或更新命令 (AUTOREFRESH) 及 / 或負載 - 組態 - 暫存器 - 命令 (MODE-REGISTER-SET)。
22. 如申請專利範圍第 20 或 21 項之起動方法，其中此半導體記憶元件之輸出驅動器在切入過程中直至發出此種由釋放電路所提供之第二釋放信號 (CHIPREADY) 為止都是保持鎖住狀態。