

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



(10) 国際公開番号

WO 2024/201616 A1

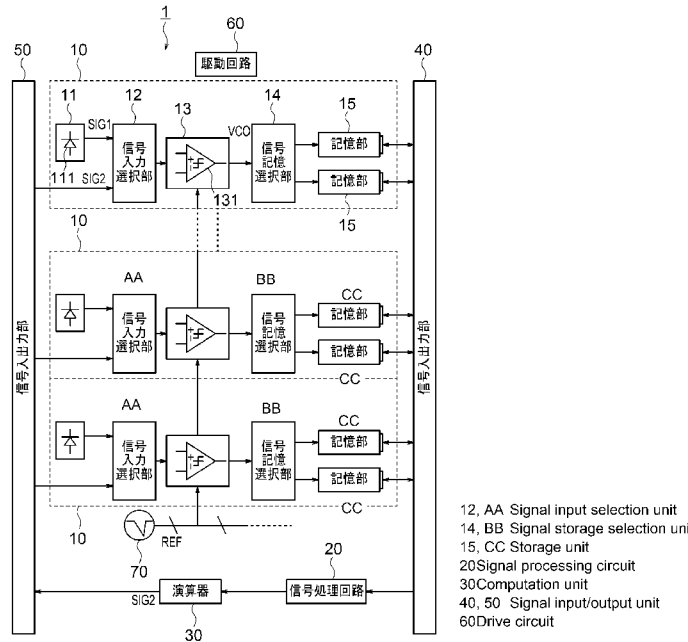
- (51) 国際特許分類:
H04N 25/77 (2023.01)
- (21) 国際出願番号: PCT/JP2023/012024
- (22) 国際出願日: 2023年3月24日(24.03.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 榊原 雅樹 (SAKAKIBARA Masaki); 〒2430014 神奈川県厚木市旭町4丁目14-1

ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 半澤 克彦(HANZAWA Katsuhiko); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 長沼 秀樹(NAGANUMA Hideki); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 齋藤 大輔(SAITO Daisuke); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 宮嶋 学 (MIYAJIMA Manabu); 〒1000005 東京都千代田区丸の内1丁目

(54) Title: COMPUTATION DEVICE

(54) 発明の名称: 演算装置



(57) Abstract: [Problem] To provide a computation device that is capable of suppressing power consumption. [Solution] A computation device according to one embodiment of the present disclosure comprises a signal detector that outputs a first analog signal indicating the result of detecting a physical signal, an AD converter that is provided in the downstream section of the signal detector, and a computation unit that computes a digital signal outputted from the AD converter and outputs a second analog signal indicating the result of computation. The signal detector has a floating diffusion layer for

6 番 6 号 日本生命丸の内ビル 協和特
許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,
TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

converting the physical signal to the first analog signal. The second analog signal is inputted to the upstream section of the AD converter, which is electrically connected to the floating diffusion layer.

(57) 要約: [課題] 消費電力を抑制することが可能な演算装置を提供する。[解決手段] 本開示の一実施形態に係る演算装置は、物理信号の検出結果を示す第1アナログ信号を出力する信号検出器と、信号検出器の後段に設けられたAD変換器と、AD変換器から出力されるデジタル信号を演算し、演算結果を示す第2アナログ信号を出力する演算器と、を備える。信号検出器が、物理信号を第1アナログ信号に変換する浮遊拡散層を有する。第2アナログ信号が、浮遊拡散層と電氣的に接続されたAD変換器の前段に入力される。

明 細 書

発明の名称：演算装置

技術分野

[0001] 本開示は、演算装置に関する。

背景技術

[0002] 近年、画像認識や、物体位置検出等の高度なタスクを実現するために、ディープニューラルネットワーク（DNN）をハードウェアに実装して演算を行うプロセッサが実用化されている。DNNの演算方法として、非ノイマン型演算器であるメモリアレイ部上で演算を行うCIM（Computing in memory）が注目を集めている。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-113809号公報

発明の概要

発明が解決しようとする課題

[0004] 一般的なニューラルネットワークの消費電力は、メモリへのアクセスが膨大になることによるアクセス電力によって支配される。このアクセス電力は、データの伝送経路が長くなるにつれて大きくなる。

[0005] 本開示は、消費電力を抑制することが可能な演算装置を提供する。

課題を解決するための手段

[0006] 本開示の一実施形態に係る演算装置は、物理信号の検出結果を示す第1アナログ信号を出力する信号検出器と、信号検出器の後段に設けられたAD変換器と、AD変換器から出力されるデジタル信号を演算し、演算結果を示す第2アナログ信号を出力する演算器と、を備える。信号検出器が、物理信号を第1アナログ信号に変換する浮遊拡散層を有する。第2アナログ信号が、浮遊拡散層と電氣的に接続されたAD変換器の前段に入力される。

[0007] 前記演算装置は、前記第1アナログ信号または前記第2アナログ信号を前

記 A D 変換器への入力信号として選択する信号入力選択部をさらに備えていてもよい。

[0008] 前記演算装置は、

前記 A D 変換器と前記演算器との間で前記デジタル信号を記憶する複数の記憶部と、

前記デジタル信号の記憶先を、前記複数の記憶部から選択する信号記憶選択部と、

をさらに備えていてもよい。

[0009] 前記演算装置は、前記信号検出器と前記 A D 変換器とを含む画素が 2 次元アレイ状に配列された画素アレイを複数備えていてもよい。

[0010] 前記画素アレイの形状が正方形であってもよい。

[0011] 前記画素アレイの形状が長方形であってもよい。

[0012] 複数の前記信号検出器が、同時に前記物理信号を検出してもよい。

[0013] 複数の画素アレイのうち、前記デジタル信号の検出対象の画素アレイに設けられた画素の A D 変換器が、前記第 1 アナログ信号または前記第 2 アナログ信号を A D 変換してもよい。

[0014] 複数の画素アレイの A D 変換器が前記デジタル信号を出力した後、特定の画素アレイの前記デジタル信号が前記演算器に入力されてもよい。

[0015] 前記演算器は、前記デジタル信号を積和演算するための容量素子を有していてもよい。

[0016] 前記容量素子には、2 のべき乗比に基づいて、前記積和演算の重み係数が設定されていてもよい。

[0017] 前記容量素子には、対数比に基づいて前記積和演算の重み係数が設定されて

[0018] 前記容量素子には、線形比に基づいて前記積和演算の重み係数が設定されていてもよい。

[0019] 前記第 2 アナログ信号は、複数の画素行または複数の画素列の A D 変換器に入力され、

前記演算器の演算に用いられる重み係数が、前記複数の画素行または前記複数の画素列のA/D変換器ごとに設定されていてもよい。

[0020] 前記A/D変換器は、前記第2アナログ信号を参照信号と比較することによって、前記第2アナログ信号をA/D変換し、

前記演算装置は、前記参照信号を超えたときの前記第2アナログ信号の電圧分布を作成する信号処理回路をさらに備えていてもよい。

[0021] 前記参照信号の電圧範囲が、前記電圧分布に基づいて最適化されてもよい。本最適化処理はいわゆるバッチノーマライゼーションを回路で行うことと等価である。

[0022] 前記演算装置は、前記デジタル信号または前記第2アナログ信号の画素行と画素列を入れ替える信号入出力部をさらに備え、

前記A/D変換器は、前記第2アナログ信号を転置演算してもよい。

[0023] 前記A/D変換器が前記第2アナログ信号をA/D変換するときの重み係数が、前記第1アナログ信号をA/D変換するときの重み係数から変更されてもよい。

[0024] 前記信号入出力部が、金属配線で構成されてもよい。

[0025] 前記信号入出力部が、フリップフロップで構成されてもよい。

[0026] 前記信号入出力部が、トライステートインバータで構成されてもよい。

[0027] 前記信号検出器が配置される第1基板と、

前記演算器が配置される第2基板と、をさらに備え、

前記第1基板と前記第2基板とが、互いに積層されていてもよい。

[0028] 前記物理信号は、光信号であってもよい。

[0029] 前記信号検出器の回路素子が、複数枚の基板に分散配置されていてもよい。

[0030] 前記演算器は、アナログニューラルネットワーク回路であってもよい。

図面の簡単な説明

[0031] [図1]第1実施形態に係る演算装置の概略的な構成を示すブロック図である。

[図2]第1実施形態に係る画素の構成例を示す回路図である。

[図3A]リピータの構成を示す図である。

[図3B]リピータの別の構成を示す図である。

[図3C]リピータの別の構成を示す図である。

[図4A]演算器の構成を示す回路図である。

[図4B]演算器の別の構成を示す回路図である。

[図4C]演算器の別の構成を示す回路図である。

[図4D]演算器の別の構成を示す回路図である。

[図5]第1実施形態に係る演算装置の構造の一例を示す図である。

[図6]第1実施形態に係る演算装置の動作手順を示すフローチャートである。

[図7]第2実施形態に係る演算装置の構造の一例を示す図である。

[図8]第2実施形態の第1変形例に係る演算装置の構造の一例を示す図である。
。

[図9]第2実施形態の第2変形例に係る演算装置の構造の一例を示す図である。
。

[図10]第3実施形態に係る参照信号の波形例を示す図である。

[図11]A/D変換器が最初に演算信号をA/D変換処理した結果の一例を示す図である。

[図12]演算信号の電圧分布に応じて最適化された参照信号の波形の一例を示す図である。

[図13]演算信号S1G2の電圧分布に応じて最適化された参照信号REFの波形の他の一例を示す図である。

[図14]車両制御システムの概略的な構成の一例を示すブロック図である。

[図15]車外情報検出部および撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0032] 以下、図面を参照して、本開示に係る演算装置の実施形態について説明する。以下では、演算装置の主要な構成部分を中心に説明するが、演算装置には、図示又は説明されていない構成部分や機能が存在し得る。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0033] (第1実施形態)

図1は、第1実施形態に係る演算装置の概略的な構成を示すブロック図である。図1に示す演算装置1は、複数の画素10と、信号処理回路20と、演算器30と、信号入出力部40、50と、駆動回路60と、DA (Digital to Analog) 変換器70と、を含む。

[0034] 複数の画素10は、2次元アレイ状、換言すると行列状に配置されている。この画素アレイの形状は、行方向の画素数が列方向の画素数と同じである正方形であってもよいし、行方向の画素数が列方向の画素数と異なる長方形であってもよい。

[0035] 各画素10は、信号検出器11と、信号入力選択部12と、AD (Analog to Digital) 変換器13と、信号記憶選択部14と、複数の記憶部15と、を含む。信号検出器11は、物理信号の検出結果を示す第1アナログ信号を出力する。物理信号は、例えば光信号である。この場合、第1アナログ信号は、光信号を光電変換した画素信号SIG1である。

[0036] 信号入力選択部12は、画素信号SIG1、または演算器30の演算結果を示す第2アナログ信号をAD変換器13への入力信号として選択する。第2アナログ信号は、例えば、演算器30の演算結果を示す演算信号SIG2である。

[0037] AD変換器13は、画素信号SIG1および演算信号SIG2をデジタル変換する。本実施形態では、AD変換器13は画素10ごとに設けられている。しかし、AD変換器13は、画素列（カラム）ごとに設けられていてもよいし、画素行ごとに設けられていてもよい。さらに、AD変換器13は、画素アレイごとに設けられていてもよい。

[0038] 信号記憶選択部14は、AD変換器13で生成されたデジタル信号VCOの記憶先を、複数の記憶部15から選択する。

[0039] 各記憶部15は、信号記憶選択部14によって選択されたデジタル信号VCOの遷移タイミングにより決定される、信号入出力部40から供給されるデジタルコードを記憶する。本実施形態では、記憶部15の数は2つであるが

、3つ以上であってもよい。各記憶部15には、画素10の画素信号SIG1と演算器30の演算信号SIG2のように異なる種類の信号が記憶されてもよい。また、信号入出力部40に読み出されて不要になった記憶部15は、上書きされてもよい。さらに、互いに隣接する複数の記憶部15が、1つの信号を共有して記憶してもよい。

[0040] 信号処理回路20は、AD変換器13で生成されたデジタル信号VCOに対して、CDS(Correlated Double Sampling; 相関2重サンプリング)処理など、所定の信号処理を行う。

[0041] 演算器30は、AD変換器13で生成されたデジタル信号VCOをアナログ方式で積和演算し、演算結果を演算信号SIG2として出力する。

[0042] 信号入出力部40は、画素10と信号処理回路20との間に設けられている。信号入出力部40は、各画素10の記憶部15からデジタル信号VCOにより決定されたデジタル信号を読み出して信号処理回路20へ出力する。

[0043] 信号入出力部50は、演算器30と画素10との間に設けられている。信号入出力部50は、演算器30から入力された演算信号SIG2を画素10へ出力する。

[0044] 駆動回路60は、演算装置1を駆動する。

[0045] DAC70は、参照信号REFを生成してAD変換器13へ出力する。本実施形態では、参照信号REFは、電圧レベルが経時的に所定の傾きで減少するスロープ信号である。

[0046] 図2は、第1実施形態に係る画素10の構成例を示す回路図である。

[0047] まず、信号検出器11の構成について説明する。信号検出器11は、光電変換素子111、排出トランジスタ112、転送トランジスタ113、リセットトランジスタ114、容量素子115、および浮遊拡散層(FD)116を含む。

[0048] 光電変換素子111は、例えばフォトダイオード(PD)である。光電変換素子111のアノードは適切な電位に接地されている。光電変換素子111のカソードは、排出トランジスタ112および転送トランジスタ113に

接続されている。光電変換素子 111 は、入射した光信号を光電変換する。

[0049] 排出トランジスタ 112 は、駆動回路 60 からゲートに入力される排出信号 OFG のレベルに応じてオンおよびオフする。排出トランジスタ 112 は、露光期間を調整する場合に使用される。具体的には、露光期間を任意のタイミングで開始したいときに駆動回路 60 が排出トランジスタ 112 をオンさせると、それまでの間に光電変換素子 111 に蓄積されていた電荷が排出される。これにより、排出トランジスタ 112 がオフされた以降から、露光期間が開始される。

[0050] 転送トランジスタ 113 は、駆動回路 60 からゲートに入力される転送信号 TX のレベルに応じてオンおよびオフする。転送トランジスタ 113 がオンすると、光電変換素子 111 で生成された電荷が浮遊拡散層 116 に転送される。

[0051] リセットトランジスタ 114 は、駆動回路 60 からゲートに入力されるリセット信号 RST のレベルに応じてオンおよびオフする。リセットトランジスタ 114 は、容量素子 115 と共に、浮遊拡散層 116 に保持されている電荷をリセットする。リセットトランジスタ 114 のソースは、容量素子 115 に接続されている。

[0052] リセットトランジスタ 114 のドレインは、トランジスタ 134 のドレインに接続されている。トランジスタ 134 は、駆動回路 60 からゲートに入力される初期化信号 xPINI のレベルに応じてオンおよびオフする。リセットトランジスタ 114 およびトランジスタ 134 がオンすると、浮遊拡散層 116 の電位が、電源電圧 VDDH を通じて初期化電位にリセットされる。

[0053] 浮遊拡散層 116 は、光電変換素子 111 から転送された電荷の量に応じた画素信号 SIG1 を生成する。これにより、光電変換素子 111 に入射した光信号が画素信号 SIG1 に変換される。

[0054] 次に、信号入力選択部 12 の構成について説明する。本実施形態では、信号入力選択部 12 は、転送トランジスタ 113 とリセットトランジスタ 114 との間に接続される。信号入力選択部 12 は、例えば n チャンネル型の MO

Sトランジスタで構成される。信号入力選択部12のゲートには、駆動回路60から駆動信号FDGが入力される。信号入力選択部12は、駆動信号FDGのレベルに応じてオンおよびオフする。信号入力選択部12がオンすると、演算信号SIG2が信号入力選択部12を介して比較トランジスタ131のゲートに入力される。反対に信号入力選択部12がオフすると、画素信号SIG1が比較トランジスタ131のゲートに入力される。このように、信号入力選択部12のスイッチング動作によって、比較トランジスタ131のゲートに入力される信号が、演算信号SIG2または画素信号SIG1に選択される。

[0055] 次に、AD変換器13について説明する。AD変換器13は、比較トランジスタ131、容量素子132、136、トランジスタ133～トランジスタ135、トランジスタ137、および正帰還回路138を有する。本実施形態では、比較トランジスタ131およびトランジスタ137は、nチャネル型のMOSトランジスタで構成されている。また、トランジスタ133～トランジスタ135はpチャネル型のMOSトランジスタで構成されている。また、比較トランジスタ131、容量素子132、136、トランジスタ133～トランジスタ135は差動入力回路を構成する。

[0056] 比較トランジスタ131は、浮遊拡散層116で生成された画素信号SIG1の電圧レベルと、DAC70で生成された参照信号REFの電圧レベルとを比較する比較器として機能する。具体的には、比較トランジスタ131のゲートおよびソースが、比較器の入力端子に相当し、ドレインが出力端子に相当する。

[0057] トランジスタ133は、トランジスタ134と容量素子132との間に接続されている。トランジスタ133は、駆動回路60からゲートに入力される初期化信号xPIN12のレベルに応じてオンおよびオフする。トランジスタ133がオンすると、比較トランジスタ131のソース電位、すなわち上記比較器の一方の入力端子の電位が電源電圧VDDHにリセットされる。

[0058] トランジスタ134は、比較トランジスタ131と直列に接続されている

。トランジスタ134は、上述したように、駆動回路60からゲートに入力される初期化信号 $\times P I N I$ に基づいて、浮遊拡散層116を初期化する。

[0059] トランジスタ135は、比較トランジスタ131における画素信号 $S I G 1$ と参照信号 $R E F$ との比較結果を示す信号を出力する。画素信号 $S I G 1$ の電圧レベルが参照信号 $R E F$ と比較トランジスタ131の閾値を加えた電圧レベルよりも高くなって比較トランジスタ131がオンすると、トランジスタ135のゲート電圧が低くなる。これにより、トランジスタ135はオンする。

[0060] 容量素子136の一端は、トランジスタ134およびトランジスタ135のソースに接続されている。容量素子136の他端は、トランジスタ134のドレインおよびトランジスタ135のゲートに接続されている。容量素子136は、電氣的にフローティングな状態で電荷を蓄積する。

[0061] トランジスタ137のドレインは、トランジスタ135のドレインと接続されている。トランジスタ137のソースは、正帰還回路138に接続されている。トランジスタ137のゲートには、電源電圧 $V D D L$ が印加される。電源電圧 $V D D L$ は、電源電圧よりも低い。トランジスタ137は、トランジスタ135の出力信号を正帰還回路138が動作可能な低電圧の信号に変換して正帰還回路138に供給する。

[0062] 正帰還回路138は、電源電圧 $V D D L$ で動作する回路である。正帰還回路138は、トランジスタ137から供給された信号に基づいて、画素信号 $S I G 1$ が参照信号 $R E F$ よりも高いときに反転する比較結果信号をデジタル信号 $V C O$ として出力する。

[0063] 正帰還回路138は、トランジスタ138a～トランジスタ138gを有する。本実施形態では、トランジスタ138a、138b、138d、137eは、pチャネル型のMOSトランジスタで構成されている。また、トランジスタ138c、138f、138gは、nチャネル型のMOSトランジスタで構成されている。また、トランジスタ138d～138gは、NOR回路を構成する。

- [0064] トランジスタ137のソースには、トランジスタ138bおよびトランジスタ138cのドレインと、トランジスタ138dおよびトランジスタ138fのゲートに接続されている。トランジスタ138aおよびトランジスタ138dのソースは、電源電圧VDDLに接続されている。トランジスタ138aのドレインは、トランジスタ138bのソースと接続されている。トランジスタ138bのゲートは、正帰還回路138の出力端でもあるトランジスタ138e、138fおよび138gのドレインと接続されている。トランジスタ138c、138f、および、138gのソースは、接地されている。トランジスタ138aとトランジスタ138cのゲートには、それぞれ初期化信号IN12、IN11が駆動回路60から入力される。トランジスタ138eとトランジスタ138gのゲートには、それぞれFORCE信号が駆動回路60から入力される。
- [0065] トランジスタ138e、138f、138gのドレイン同士の接続点は、AD変換器13がデジタル信号VCOを出力する出力端となっている。
- [0066] 次に、信号記憶選択部14の構成について説明する。信号記憶選択部14は、信号制御部141および信号制御部142を有する。本実施形態では、信号制御部141および信号制御部142は、マルチプレクサで構成されている。信号制御部141および信号制御部142の一方の入力端には、AD変換器13で生成されたデジタル信号VCOが入力される。また、信号制御部141および信号制御部142の他方の入力端には、WORD_P信号およびWORD_D信号が入力される。信号制御部141、142のそれぞれの出力は、記憶部15に接続されている。
- [0067] 信号制御部141は、例えば、露光前に転送トランジスタ113がオフするリセット期間（P相期間）にAD変換器13から出力されたデジタル信号VCOにより決定される信号入出力部40より供給されるデジタルコードを、複数の記憶部15の中で信号制御部141に接続された第1記憶部151へ書き込む動作を制御する。また、信号制御部142は、露光後に転送トランジスタ113がオンするデータ転送期間（D相期間）にAD変換器13で

画素信号 S I G 1 をデジタル変換したデジタル信号 V C O により決定される信号入出力部 4 0 より供給されるデジタルコードを、複数の記憶部 1 5 の中で信号制御部 1 4 2 に接続された第 2 記憶部 1 5 2 へ書き込む動作を制御する。さらに、信号制御部 1 4 1 または信号制御部 1 4 2 は、信号入力選択部 1 2 がオンする期間に A D 変換器 1 3 で演算信号 S I G 2 をデジタル変換したデジタル信号 V C O により決定される信号入出力部 4 0 より供給されるデジタルコードを、第 1 記憶部 1 5 1 または第 2 記憶部 1 5 2 へ書き込む動作を制御する。

[0068] 次に、第 1 記憶部 1 5 1 および第 2 記憶部 1 5 2 の構成について説明する。第 1 記憶部 1 5 1 および第 2 記憶部 1 5 2 は、ラッチ回路で構成されている。また、第 1 記憶部 1 5 1 および第 2 記憶部 1 5 2 のラッチ回路には、スイッチ T a、T b がそれぞれ設けられている。スイッチ T a、T b がオンすると、第 1 記憶部 1 5 1 および第 2 記憶部 1 5 2 にデジタル信号 V C O のデータが書き込まれる。その後、スイッチ T a、T b がオフすると第 1 記憶部 1 5 1 および第 2 記憶部 1 5 2 に記憶されるデータが確定する。

[0069] 次に、信号入出力部 4 0 の構成について説明する。信号入出力部 4 0 は、リピータ 4 0 1 およびリピータ 4 0 2 を有する。リピータ 4 0 1 およびリピータ 4 0 2 は、信号制御部 1 4 1、1 4 2 の制御に基づいて、第 1 記憶部 1 5 1 および第 2 記憶部 1 5 2 へデータを書き込む動作を行う。また、リピータ 4 0 1 およびリピータ 4 0 2 は、信号制御部 1 4 1、1 4 2 の制御に基づいて、第 1 記憶部 1 5 1 および第 2 記憶部 1 5 2 からデータを読み出す動作を行う。

[0070] リピータ 4 0 1 およびリピータ 4 0 2 には、デジタルコード生成部 4 0 3 からデジタルの時刻コードが供給される。各記憶部から各リピータに出力されたデータは、信号処理回路 2 0 に出力される。

[0071] 図 3 A ~ 図 3 C は、リピータ 4 0 1、4 0 2 の構成を示す図である。図 3 A に示すリピータ 4 0 1、4 0 2 は、多段のフリップフロップ 4 1 1 で構成されている。各フリップフロップ 4 1 1 には、制御クロック信号 C K が入力

される。リピータ401、402では、制御クロック信号CKに関してクロックツリーのようなフリップフロップ411の制御タイミングを同じにする構成であってもよいが、この構成は面積と電力が大きくなることが想定される。そのため、リピータ401、402では、制御クロック信号CKの入力方向は、フリップフロップ411の信号出力方向に対して逆方向であることが望ましい。

[0072] 図3Bに示すリピータ401、402は、複数のトライステートインバータ412で構成されている。この場合、各トライステートインバータ412には、トライステートの出力を実現するための制御信号が駆動回路60から入力される。

[0073] 図3Cに示すリピータ401、402は、デジタル信号VCOを伝送させる金属配線413で構成されている。この場合、図3Aおよび図3Bに比べて、リピータ401、402の構成を簡略化することができる。

[0074] 図3A～図3Cに示すリピータ401、402の構成は、図1に示す信号入出力部50に適用することもできる。この場合、各リピータは、演算器30から出力された演算信号SIG2を、対応する信号入力選択部12へ出力する。

[0075] 以下、図4A～図4Dを参照して演算器30の構成例について説明する。

[0076] 図4Aに示す演算器30は、複数のメモリセル301と、複数の電流源302と、読み出し回路303と、を有する。複数のメモリセル301は、2次元アレイ状に配列されている。各メモリセル301には、例えば、抵抗変化型メモリ（ReRAM: Resistive Random Access Memory）、相変化メモリ（PCM: Phase Change Memory）、磁気抵抗メモリ（MRAM: Magnetoresistive Random Memory）、または強誘電体メモリ（FeRAM: Ferroelectric Random Access Memory）などを適用することができる。また、メモリセル301は、SRAM（Static Random Access Memory）や、不揮発性メモリであってもよい。各メモリセル301には、重み係数W1～Wnが保持されている。

- [0077] 複数の電流源302は、例えばMOSトランジスタで構成されている。複数の電流源302は、複数のメモリセル301に個別に接続されている。読み出し回路303は、AD変換器304で構成されている。
- [0078] 上記のように構成された演算器30では、信号処理回路20から入力される入力信号 $x_1 \sim x_n$ が、各メモリセル301の重み係数 $W_1 \sim W_n$ と乗算される。乗算値は、各電流源302において電流値に変換される。各電流源302の電流値は、加算されて読み出し回路303に入力される。読み出し回路303では、AD変換器304が加算された電流値をアナログ変換する。これにより、演算信号SIG2が生成される。
- [0079] 図4Bに示す演算器30は、複数の電流源302の代わりに複数の容量素子305を有する点で、図4Aに示す演算器30と異なる。各容量素子305には、入力信号 $x_1 \sim x_n$ と重み係数 $W_1 \sim W_n$ との乗算結果を示す電荷が保持される。各容量素子305に保持された電荷は、加算されて読み出し回路303に入力される。読み出し回路303では、AD変換器304が加算された電荷をアナログ変換する。これにより、演算信号SIG2が生成される。
- [0080] 図4Bに示す演算器30は、容量素子305の容量値が変わることによって電荷による積和演算を可能とするアナログニューラルネット回路である。この演算器30は、信号の制定時間を確保することでセトリングばらつきの影響を受けないことと、相対的に容量値が抵抗値よりもばらつきにくいことによって、演算精度が抵抗に比較して高くなる。
- [0081] 図4Cに示す演算器30は、複数の電流源302の代わりに複数のインバータ素子306を有する点と、読み出し回路303の構成とが、図4Aに示す演算器30と異なる。読み出し回路303は、容量素子307と、スイッチ308、309とを有する。
- [0082] スイッチ309は、インバータ素子306に直列に接続されている。スイッチ308および容量素子307は、スイッチ309に対して並列に接続されている。スイッチ308およびスイッチ309は、例えば、駆動回路60

によって駆動制御されるMOSトランジスタで構成されている。

[0083] 図4Cに示す演算器30では、入力信号 $x_1 \sim x_n$ と重み係数 $W_1 \sim W_n$ との乗算値が各インバータ素子306にそれぞれ入力される。乗算値は、各インバータ素子306で加算されて読み出し回路303に入力される。読み出し回路303では、加算値は、時間による演算で一旦電圧に変換され、その電圧値が演算信号SIG2に相当する。時間演算は、インバータ素子306の遅延で行われ、その遅延量に応じて容量素子307へ電荷をチャージする時間を、スイッチ308およびスイッチ309によって、可変にすることができる。

[0084] 図4Dに示す演算器30は、複数の電流源302の代わりに複数の容量素子305を有する点と、読み出し回路303の構成とが、図4Aに示す演算器30と異なる。読み出し回路303は、積分器で構成されている。具体的には、読み出し回路303は、容量素子307と、スイッチ308と、オペアンプ310と、を有する。

[0085] スwitch308および容量素子307は、オペアンプ310の反転入力端子（-）と出力端子との間に並列に接続されている。オペアンプ310の非反転入力端子（+）には、所定の電圧が印加されている。読み出し回路303では、オペアンプ310の入出力端子の間に接続された帰還容量である容量素子307へ電荷がフィードバックにより読み出される。

[0086] 図4Dに示す演算器30では、各容量素子305は、入力信号 $x_1 \sim x_n$ と重み係数 $W_1 \sim W_n$ との乗算結果を示す電荷を保持する。各容量素子305に保持された電荷は、加算されて読み出し回路303に入力される。読み出し回路303では、オペアンプ310の出力端子から演算信号SIG2が出力される。

[0087] 図4Dに示す演算器30によれば、積分器を用いて信号を読み出すことによって、読み出し配線311に存在する寄生容量による読み出し時の容量分圧の影響を低減することができる。なお、この演算器30では、各容量素子305は、2のべき乗比で重み係数が設定されていてもよい。または、各容

量素子 305 は、対数比で重み係数が設定されていてもよい。または、各容量素子 305 は、線形比で重み係数が設定されていてもよい。演算器 30 の入力信号は、信号入出力部 40 を通して外部より供給されるデジタル信号であり、特にデジタル信号 VCO はその取得タイミングを指示するものである。図 4 D には、重み係数 w と入力 X との乗算が記載され、また、電荷演算のため、容量素子 305 が図示されている。演算器 30 における実際の回路構成では、重み係数 w により容量素子 305 の容量値（サイズ） C が変わる。この容量値 C に蓄積される信号量が、重み係数 w により変わる。

[0088] また、重み係数が対数比で設定される場合、対数は、容量値 C の設定値が、例えば 0.3、0.47、0.6、0.69 のように対数で増加する。これらの対数の各々は、例えば、2、3、4、5 のデジタルコードに対応する。

[0089] さらに、重み係数が線形比で設定される場合、線形比は、容量値 C の設定値が、重み係数 w と線形の関係にある。例えば、容量値 C が 1、2、3、4、5... と設定される場合、各容量値 C に対応する重み係数 w も 1、2、3、4、5... となる。

[0090] 図 5 は、第 1 実施形態に係る演算装置 1 の構造の一例を示す図である。図 5 に示すように、演算装置 1 は、第 1 基板 101 と第 2 基板 102 とが積層された積層構造を有する。第 1 基板 101 および第 2 基板 102 は、例えばシリコン基板である。第 1 基板 101 と第 2 基板 102 とは、例えば接続端子同士を接合する、いわゆる Cu-Cu 接合によって電氣的に接続される。なお、第 1 基板 101 および第 2 基板 102 の接合方法には、Cu-Cu 接合の他に、貫通電極を用いた TSV (Through Silicon Via) 接合、マイクロバンプ接合、および磁気結合などを適用してもよい。

[0091] 本実施形態では、画素アレイ 110 が第 1 基板 101 に配置されている。画素アレイ 110 では、複数の画素 10 が 2 次元アレイ状に配列されている。一方、第 2 基板 102 には、信号処理回路 20、演算器 30、信号入出力部 40、50、および駆動回路 60 が配置されている。なお、本実施形態で

は、第1基板101が、さらに、2つの積層基板で構成されていてもよい。この場合、信号検出器11のうち、光電変換素子111が一方の積層基板に配置され、残りの回路素子が他方の積層基板に配置されていてもよい。このように信号検出器11の回路素子を、複数枚の基板に分散配置することによって、光信号の受光エリアを十分に確保することができる。

[0092] 図6は、第1実施形態に係る演算装置1の動作手順を示すフローチャートである。以下、以下、図6を参照して第1実施形態に係る演算装置1の動作について説明する。なお、ここでは、露光開始後の動作について説明する。

[0093] 図6に示すフローチャートでは、まず、露光が開始される（ステップS11）。ステップS11では、各画素10の光電変換素子111が光信号を光電変換する。転送前に回路の初期状態を回路のリセットレベルとして信号入力選択部12、AD変換器13、信号記憶選択部14、および記憶部15を通してAD変換する。次に、信号入力選択部12が、AD変換器13に入力する信号を選択する動作を行う（ステップS12）。これにより、ステップS11で生成された画素信号がAD変換器13に入力される。

[0094] 続いて、転送トランジスタ113が、光電変換素子111で光電変換された電荷を浮遊拡散層116へ転送する。浮遊拡散層116は、転送トランジスタ113から転送された電荷を画素信号SIG1へ変換する。本実施形態のステップS11では、全ての画素10が同時に光信号を検出するグローバルシャッタ動作が行われる。

[0095] 次に、AD変換器13が、入力信号、ここでは画素信号SIG1をAD変換する（ステップS13）。ステップS13では、AD変換器13は、画素信号SIG1をデジタル信号VCOにより決定される信号入出力部40より供給されるデジタル信号へ変換する。このデジタル信号は、信号記憶選択部14によって記憶された記憶部15へ記憶される。続いて、デジタル信号は、信号入出力部40によって記憶部15から読み出されて、信号処理回路20に入力される。信号処理回路20は、デジタル信号に対して所定の信号処理を行う。これは、例えば、リセットレベルと信号レベルの差をとる相関2

重サンプリング等の処理がある。この結果が画素信号 S I G 1 となる。続いて、信号処理されたデジタル信号は演算器 3 0 に入力される。

[0096] 次に、演算器 3 0 が、デジタル信号を積和演算する（ステップ S 1 4）。ステップ S 1 4 では、演算器 3 0 の積和演算処理によって、演算信号 S I G 2 が生成される。生成された演算信号 S I G 2 は、信号入出力部 5 0 によって、各画素 1 0 の A D 変換器 1 3 に入力される。

[0097] 本実施形態では、演算器 3 0 が積和演算を複数回行うように設定されている。そのため、積和演算の回数が予め設定された回数に達するまで演算処理は終了しない（ステップ S 1 5）。演算処理が終了しない場合（ステップ S 1 5 : N o）、ステップ S 1 2 ～ステップ S 1 5 の動作が繰り返される。この場合、ステップ S 1 2 では、信号入力選択部 1 2 は、A D 変換器 1 3 への入力信号として演算信号 S I G 2 を選択する。そのため、M O S トランジスタで構成された信号入力選択部 1 2 は、オンする。これにより、ステップ S 1 4 で生成された演算信号 S I G 2 が信号入力選択部 1 2 を通じて A D 変換器 1 3 に入力される。

[0098] 演算処理が終了すると（ステップ S 1 5 : Y E S）、演算信号 S I G 2 は、出力部 8 0 から外部へ出力される（ステップ S 1 6）。これにより、演算装置 1 の動作が終了する。

[0099] 以上説明した本実施形態によれば、演算器 3 0 に入力されたデジタル信号は、アナログの演算信号 S I G 2 として出力される。また、この演算信号 S I G 2 は、A D 変換器 1 3 の入力端子に接続された信号入力選択部 1 2 にフィードバックされる。これにより演算器 3 0 の演算ループを最短のデータ伝送経路で実現することができる。その結果、高い電力効率を得ることができ、消費電力を抑制することが可能となる。

[0100] （第 2 実施形態）

本開示の第 2 実施形態について説明する。本実施形態では、第 1 実施形態と同様の構成要素には同じ符号を付して詳細な説明を省略し、第 1 実施形態と異なる点を中心に説明する。

[0101] 図7は、第2実施形態に係る演算装置の構造の一例を示す図である。図7に示す演算装置2は、第1画素アレイ110aおよび第2画素アレイ110bを有する。第1画素アレイ110aおよび第2画素アレイ110bは、第1基板101に、互いに離れて配置されている。すなわち、第1画素アレイ110aと第2画素アレイ110bとの間には、スペースが形成されている。なお、第1画素アレイ110aの形状と第2画素アレイ110bの形状は、両方が正方形または長方形で同じであってもよいし、一方が正方形で他方が長方形であってもよい。

[0102] 第1画素アレイ110aには、複数の第1画素10aが2次元アレイ状に配列されている。各第1画素10aは、第1実施形態で説明した画素10と同様に、信号検出器11、信号入力選択部12、AD変換器13、信号記憶選択部14、および記憶部15を有する有効画素である。そのため、各第1画素10aは、光信号200は、信号検出器11で画素信号SIG1に光電変換される。また、画素信号SIG1は、AD変換器13でデジタル信号にAD変換され信号処理回路20を通してCDS処理などの後、画素信号SIG1のAD変換信号となる。

[0103] 一方、第2画素アレイ110bには、複数の第2画素10bが2次元アレイ状に配列されている。各第2画素10bも、第1実施形態で説明した画素10と同様に、信号検出器11、信号入力選択部12、AD変換器13、信号記憶選択部14、および記憶部15を有する。ただし、各第2画素10bは、黒レベルを検出するOPB (Optical Black) 画素である。そのため、第2画素10bの光電変換素子111は、遮光膜で遮光されている。

[0104] 第2画素10bには、演算器30の演算信号SIG2が入力される。このとき、第2画素10bの信号入力選択部12を構成するMOSトランジスタは、オンする。そのため、演算信号SIG2は、第2画素10bのAD変換器13でデジタル信号VCOにAD変換される。

[0105] 上記のように、本実施形態では、画素信号SIG1をAD変換するAD変換器13と、演算信号SIG2をAD変換するAD変換器13は、第1基板

101内で物理的に分離されている。換言すると、AD変換の対象が異なる2つのAD変換器13が、異なるエリア（画素アレイ）に配置される。このようなレイアウトであっても、演算器30の演算ループが、第1基板101と第2基板102との間で繰り返される。したがって、本実施形態においても、演算器30の演算ループを最短のデータ伝送経路で実現することができるため、消費電力を抑制することが可能となる。

[0106] なお、本実施形態では、信号選択処理（ステップS12）で画素信号SIG1が選択された場合、AD変換処理（ステップS13）では、第1画素10aのAD変換器13のみがデジタル信号を生成するAD変換処理を行う。一方、信号選択処理（ステップS12）で演算信号SIG2が選択された場合には、AD変換処理（ステップS13）では、第2画素10bのAD変換器13のみがデジタル信号を生成するAD変換処理を行う。このようにデジタル信号の検出対象の画素アレイのみでAD変換処理を行うことによって、ROI（Region Of Interest）機能を実現することができる。

[0107] また、本実施形態では、AD変換処理（ステップS13）で第1画素10aおよび第2画素10bの両方でAD変換処理が行われてもよい。このとき、信号入出力部40は、信号選択処理（ステップS12）で画素信号SIG1が選択された場合には、第1画素10aで生成されたデジタル信号のみを信号処理回路20へ入力する。その後、このデジタル信号は、信号処理回路20で信号処理されて演算器30へ入力する。一方、信号選択処理（ステップS12）で演算信号SIG2が選択された場合には、信号入出力部40は、第2画素10bで生成されたデジタル信号のみを信号処理回路20へ入力する。その後、このデジタル信号は、信号処理回路20で信号処理されて演算器30へ入力する。このように、特定の画素アレイのデジタル信号のみを演算器30へ入力することによっても、ROI（Region Of Interest）機能を実現することができる。

[0108] 図8は、第2実施形態の第1変形例に係る演算装置の構造の一例を示す図である。第1変形例に係る演算装置2aでは、第1画素アレイ110aと第

2画素アレイ110bが、第1基板101で互いに隣接して配置されている。このようなレイアウトであっても、第1画素10aのAD変換器13と、第2画素10bのAD変換器13とは、物理的に分離される。

[0109] したがって、第1画素10aおよび第2画素10bが、第2実施形態と同様に駆動すれば、演算器30の演算ループが、第1基板101と第2基板102との間で繰り返される。そのため、本変形例においても、演算器30の演算ループを最短のデータ伝送経路で実現することができるため、消費電力を抑制することが可能となる。

[0110] 図9は、第2実施形態の第2変形例に係る演算装置の構造の一例を示す図である。第1変形例に係る演算装置2bは、第1画素アレイ110a、第2画素アレイ110bに加えて第3画素アレイ110cをさらに備える。第3画素アレイ110cは、第1画素アレイ110aおよび第2画素アレイ110bとともに第1基板101に配置されている。

[0111] 第3画素アレイ110cには、第3画素10cが2次元アレイ状に配列されている。第3画素10cには、演算器30の演算信号SIG2が入力される。第3画素10cのAD変換器13は、演算信号SIG2のみをAD変換する。すなわち、本変形例に係る演算装置2bでは、画素信号SIG1は、第1画素10aのAD変換器13のみでAD変換され、演算信号SIG2は、第3画素10cのAD変換器13のみでAD変換される。

[0112] 本変形例によれば、上記のように、演算信号SIG2専用のAD変換器13が設けられているため、第3画素10cでは、信号入力選択部12が不要になる。これにより、第3画素10cの回路構成を簡略化することが可能となる。

[0113] (第3実施形態)

本開示の第3実施形態について説明する。本実施形態に係る演算装置の構成は、第1実施形態に係る演算装置1または第2実施形態に係る演算装置2と同様であるため、詳細な説明を省略する。

[0114] 上述した第1実施形態および第2実施形態では、AD変換器13によるA

D変換の対象が画素信号S I G 1と演算信号S I G 2に関わらず、DAC 70は、同じ参照信号REFをAD変換器13、具体的には比較トランジスタ131のソースに出力する。一方、本実施形態では、DAC 70は、AD変換の対象に応じて異なる参照信号を出力する。

[0115] 図10は、第3実施形態に係る参照信号の波形例を示す図である。図10では、横軸は時間を示し、縦軸は、参照信号の電圧を示す。本実施形態では、AD変換器13が画素信号S I G 1をAD変換する場合、DAC 70は、第1参照信号REF 1を比較トランジスタ131のソースに出力する。一方、AD変換器13が演算信号S I G 2をAD変換する場合、DAC 70は、第2参照信号REF 2を比較トランジスタ131のソースに出力する。

[0116] 第1参照信号REF 1の傾きは、第2参照信号REF 2の傾きと異なる。本実施形態では、第1参照信号REF 1の傾きが、第2参照信号REF 2の傾きよりも大きい、傾きの大小関係は逆であってもよい。

[0117] また、本実施形態では、DAC 70は、傾きが異なる2種類の参照信号を出力しているが、3種類以上の参照信号を出力してもよい。この場合、演算信号S I G 2のAD変換の際に、DAC 70は、例えば、画素アレイ110内の領域ごとに傾きが異なる参照信号を出力してもよい。または、DAC 70は、例えば、1回目のAD変換と2回目のAD変換で傾きが異なる参照信号を出力してもよい。

[0118] 上記のように、DAC 70が、傾きが異なる複数種の参照信号を出力することによって、演算信号S I G 2に特定の重みづけを設定することが可能となる。

[0119] また、上述した第1実施形態および第2実施形態では、デジタル信号は、信号入出力部40によって画素行および画素列の順番に沿って読み出されて演算器30へ入力されるとともに、演算信号S I G 2は、信号入出力部50によって、対応する画素信号S I G 1と同じ画素10のAD変換器13に入力される。一方、本実施形態では、例えば、信号入出力部40が、画素アレイ110の画素列と画素行を入れ替えてデジタル信号を演算器30へ入力し

てもよいし、信号入出力部50が、画素列と画素行とを入れ替えて演算信号S1G2をAD変換器13に入力してもよい。これにより、演算信号S1G2を転置演算することが可能となる。

[0120] また、各画素10のAD変換器13には、画素信号S1G1が最初に入力される。そのため、上述した第1実施形態および第2実施形態では、DAC70からAD変換器13に入力される参照信号REFは、画素信号S1G1に基づいて最適化されている。しかし、この参照信号REFが、演算信号S1G2にとっても最適であるとは限らない。

[0121] そこで、本実施形態では、AD変換器13が演算信号S1G2をAD変換処理した結果に応じて、参照信号REFを最適化する処理を行う。以下、参照信号REFの最適化処理について説明する。

[0122] 図11は、AD変換器13が最初に演算信号S1G2をAD変換処理した結果の一例を示す図である。図11には、各画素10の演算信号S1G2と参照信号REFとの比較結果を示す分布が、参照信号REFの波形に対応付けて示されている。この分布は、例えば信号処理回路20によって作成される。

[0123] 図11に示す分布では、参照信号REFを超えたときの演算信号S1G2の電圧分布の中央値（平均値）が、参照信号REFの電圧範囲 ΔV の端の方に片寄っている。この場合、参照信号REFを超えたときの演算信号S1G2の電圧の最大値Maxおよび最小値Minを、信号処理回路20で算出する。続いて、上記電圧の中央値 $(Max + Min) / 2$ が、電圧範囲 ΔV の中心になるように、DAC70が参照信号REFを最適化する。

[0124] 図12は、演算信号S1G2の電圧分布に応じて最適化された参照信号REFの波形の一例を示す図である。図12に示す参照信号REFは、傾斜の開始オフセット電圧が図11に示す参照信号REFよりも高くなっている。これにより、演算信号S1G2の電圧分布の中央値（平均値）が、参照信号REFの電圧範囲 ΔV の中心に移動する。

[0125] 図13は、演算信号S1G2の電圧分布に応じて最適化された参照信号R

E F の波形の他の一例を示す図である。図 1 3 に示す参照信号 R E F は、傾きが図 1 2 に示す参照信号 R E F よりも小さくなっている。この場合も、演算信号 S I G 2 の電圧分布の中央値（平均値）が、参照信号 R E F の電圧範囲 ΔV の中心に移動する。

[0126] 上記のように参照信号 R E F を最適化することによって、演算精度を向上させることができる。なお、本実施形態では、参照信号 R E F を最適化する方法として、図 1 2 に示す方法と図 1 3 に示す方法の両方を用いてもよい。この場合、参照信号 R E F をより一層最適化することが可能となる。

[0127] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0128] 図 1 4 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0129] 車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 1 4 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユニット 1 2 0 2 0、車外情報検出ユニット 1 2 0 3 0、車内情報検出ユニット 1 2 0 4 0、および統合制御ユニット 1 2 0 5 0 を備える。また、統合制御ユニット 1 2 0 5 0 の機能構成として、マイクロコンピュータ 1 2 0 5 1、音声画像出力部 1 2 0 5 2、および車載ネットワーク I / F（Interface）1 2 0 5 3 が図示されている。

[0130] 駆動系制御ユニット 1 2 0 1 0 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 1 2 0 1 0 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角

を調節するステアリング機構、および、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0131] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0132] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0133] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0134] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合

い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0135] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む A D A S (A D vanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0136] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0137] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12030 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0138] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声および画像のうちの少なくとも一方の出力信号を送信する。図 14 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 およびインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイおよびヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

- [0139] 図15は、撮像部12031の設置位置の例を示す図である。
- [0140] 図15では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。
- [0141] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドアおよび車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101および車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。
- [0142] なお、図15には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲1211212113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。
- [0143] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。
- [0144] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし1211

4 内における各立体物までの距離と、この距離の時間的変化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0145] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 1 2 0 6 1 や表示部 1 2 0 6 2 を介してドライバに警報を出力することや、駆動系制御ユニット 1 2 0 1 0 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0146] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 1 2 0 5 1 が、撮像部 1 2 1 0 1 ないし 1 2 1 0

4の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0147] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば撮像部12031に適用され得る。具体的には、第1実施形態～第3実施形態に係る演算装置は、撮像部12031に適用することができる。本開示に係る技術を適用することにより、撮像部12031の消費電力を抑制できるため、車両制御システムを省電力化することが可能になる。

[0148] なお、本技術は以下のような構成を取ることができる。

(1) 物理信号の検出結果を示す第1アナログ信号を出力する信号検出器と、

前記信号検出器の後段に設けられたA/D変換器と、

前記A/D変換器から出力されるデジタル信号を演算し、演算結果を示す第2アナログ信号を出力する演算器と、を備え、

前記信号検出器が、前記物理信号を前記第1アナログ信号に変換する浮遊拡散層を有し、

前記第2アナログ信号が、前記浮遊拡散層と電氣的に接続された前記A/D変換器の前段に入力される、演算装置。

(2) 前記第1アナログ信号または前記第2アナログ信号を前記A/D変換器への入力信号として選択する信号入力選択部をさらに備える、(1)に記載の演算装置。

(3) 前記A/D変換器と前記演算器との間で前記デジタル信号を記憶する複数の記憶部と、

前記デジタル信号の記憶先を、前記複数の記憶部から選択する信号記憶選択部と、

をさらに備える、(1)または(2)に記載の演算装置。

(4) 前記信号検出器と前記A/D変換器とを含む画素が2次元アレイ状に配列された画素アレイを複数備える、(1)から(3)のいずれかに記載の演算装置。

(5) 前記画素アレイの形状が正方向である、(4)に記載の演算装置。

(6) 前記画素アレイの形状が長方形である、(4)に記載の演算装置。

(7) 複数の前記信号検出器が、同時に前記物理信号を検出する、(1)から(6)のいずれかに記載の演算装置。

(8) 複数の画素アレイのうち、前記デジタル信号の検出対象の画素アレイに設けられた画素のA/D変換器が、前記第1アナログ信号または前記第2アナログ信号をA/D変換する、(4)から(6)のいずれかに記載の演算装置。

(9) 複数の画素アレイのA/D変換器が前記デジタル信号を出力した後、特定の画素アレイの前記デジタル信号が前記演算器に入力される、(4)から(6)のいずれかに記載の演算装置。

(10) 前記演算器は、前記デジタル信号を積和演算するための容量素子を有する、(1)から(9)のいずれかに記載の演算装置。

(11) 前記容量素子には、2のべき乗比に基づいて、前記積和演算の重み係数が設定されている、(10)に記載の演算装置。

(12) 前記容量素子には、対数比に基づいて前記積和演算の重み係数が設定されている、(10)に記載の演算装置。

(13) 前記容量素子には、線形比に基づいて前記積和演算の重み係数が設定されている、(10)に記載の演算装置。

(14) 前記第2アナログ信号は、複数の画素行または複数の画素列のA/D変換器に入力され、

前記演算器の演算に用いられる重み係数が、前記複数の画素行または前記複数の画素列のA/D変換器ごとに設定されている、(4)から(6)のいずれかに記載の演算装置。

(15) 前記AD変換器は、前記第2アナログ信号を参照信号と比較することによって、前記第2アナログ信号をAD変換し、

前記参照信号を超えたときの前記第2アナログ信号の電圧分布を作成する信号処理回路をさらに備える、(4)から(6)のいずれかに記載の演算装置。

(16) 前記参照信号の電圧範囲が、前記電圧分布に基づいて最適化される、(15)に記載の演算装置。

(17) 前記デジタル信号または前記第2アナログ信号の画素行と画素列を入れ替える信号入出力部をさらに備え、

前記AD変換器は、前記第2アナログ信号を転置演算する、(4)から(6)のいずれかに記載の演算装置。

(18) 前記AD変換器が前記第2アナログ信号をAD変換するときの重み係数が、前記第1アナログ信号をAD変換するときの重み係数から変更される、(1)から(17)のいずれかに記載の演算装置。

(19) 前記信号入出力部が、金属配線で構成される、(17)に記載の演算装置。

(20) 前記信号入出力部が、フリップフロップで構成される、(17)に記載の演算装置。

(21) 前記信号入出力部が、トリステートインバータで構成される、(17)に記載の演算装置。

(22) 前記信号検出器が配置される第1基板と、

前記演算器が配置される第2基板と、をさらに備え、

前記第1基板と前記第2基板とが、互いに積層されている、(1)から(21)のいずれかに記載の演算装置。

(23) 前記物理信号は、光信号である、(1)から(22)のいずれかに記載の演算装置。

(24) 前記信号検出器の回路素子が、複数枚の基板に分散配置されている、(1)から(23)のいずれかに記載の演算装置。

(25) 前記演算器は、アナログニューラルネットワーク回路である、請求項1から請求項24のいずれかに記載の演算装置。

符号の説明

- [0149] 1、2、2a、2b：演算装置
- 10：画素
 - 11：信号検出器
 - 12：信号入力選択部
 - 13：AD変換器
 - 14：信号記憶選択部
 - 15：記憶部
 - 20：信号処理回路
 - 30：演算器
 - 40：信号入出力部
 - 50：信号入出力部
 - 101：第1基板
 - 102：第2基板
 - 110：画素アレイ
 - 116：浮遊拡散層
 - 305：容量素子
 - 411：フリップフロップ
 - 412：トライステートインバータ
 - 413：金属配線

請求の範囲

- [請求項1] 物理信号の検出結果を示す第1アナログ信号を出力する信号検出器と、
- 前記信号検出器の後段に設けられたA/D変換器と、
- 前記A/D変換器から出力されるデジタル信号を演算し、演算結果を示す第2アナログ信号を出力する演算器と、を備え、
- 前記信号検出器が、前記物理信号を前記第1アナログ信号に変換する浮遊拡散層を有し、
- 前記第2アナログ信号が、前記浮遊拡散層と電氣的に接続された前記A/D変換器の前段に入力される、演算装置。
- [請求項2] 前記第1アナログ信号または前記第2アナログ信号を前記A/D変換器への入力信号として選択する信号入力選択部をさらに備える、請求項1に記載の演算装置。
- [請求項3] 前記A/D変換器と前記演算器との間で前記デジタル信号を記憶する複数の記憶部と、
- 前記デジタル信号の記憶先を、前記複数の記憶部から選択する信号記憶選択部と、
- をさらに備える、請求項1に記載の演算装置。
- [請求項4] 前記信号検出器と前記A/D変換器とを含む画素が2次元アレイ状に配列された画素アレイを複数備える、請求項1に記載の演算装置。
- [請求項5] 前記画素アレイの形状が正方向である、請求項4に記載の演算装置。
- [請求項6] 前記画素アレイの形状が長方形である、請求項4に記載の演算装置。
- [請求項7] 複数の前記信号検出器が、同時に前記物理信号を検出する、請求項1に記載の演算装置。
- [請求項8] 複数の画素アレイのうち、前記デジタル信号の検出対象の画素アレイに設けられた画素のA/D変換器が、前記第1アナログ信号または前

記第2アナログ信号をAD変換する、請求項4に記載の演算装置。

[請求項9] 複数の画素アレイのAD変換器が前記デジタル信号を出力した後、特定の画素アレイの前記デジタル信号が前記演算器に入力される、請求項4に記載の演算装置。

[請求項10] 前記演算器は、前記デジタル信号を積和演算するための容量素子を有する、請求項1に記載の演算装置。

[請求項11] 前記容量素子には、2のべき乗比に基づいて、前記積和演算の重み係数が設定されている、請求項10に記載の演算装置。

[請求項12] 前記容量素子には、対数比に基づいて前記積和演算の重み係数が設定されている、請求項10に記載の演算装置。

[請求項13] 前記容量素子には、線形比に基づいて前記積和演算の重み係数が設定されている、請求項10に記載の演算装置。

[請求項14] 前記第2アナログ信号は、複数の画素行または複数の画素列のAD変換器に入力され、

前記演算器の演算に用いられる重み係数が、前記複数の画素行または前記複数の画素列のAD変換器ごとに設定されている、請求項4に記載の演算装置。

[請求項15] 前記AD変換器は、前記第2アナログ信号を参照信号と比較することによって、前記第2アナログ信号をAD変換し、

前記参照信号を超えたときの前記第2アナログ信号の電圧分布を作成する信号処理回路をさらに備える、請求項4に記載の演算装置。

[請求項16] 前記参照信号の電圧範囲が、前記電圧分布に基づいて最適化される、請求項15に記載の演算装置。

[請求項17] 前記デジタル信号または前記第2アナログ信号の画素行と画素列を入れ替える信号入出力部をさらに備え、

前記AD変換器は、前記第2アナログ信号を転置演算する、請求項4に記載の演算装置。

[請求項18] 前記AD変換器が前記第2アナログ信号をAD変換するときの重み

係数が、前記第 1 アナログ信号を A/D 変換するときの重み係数から変更される、請求項 1 に記載の演算装置。

[請求項19] 前記信号入出力部が、金属配線で構成される、請求項 17 に記載の演算装置。

[請求項20] 前記信号入出力部が、フリップフロップで構成される、請求項 17 に記載の演算装置。

[請求項21] 前記信号入出力部が、トリステートインバータで構成される、請求項 17 に記載の演算装置。

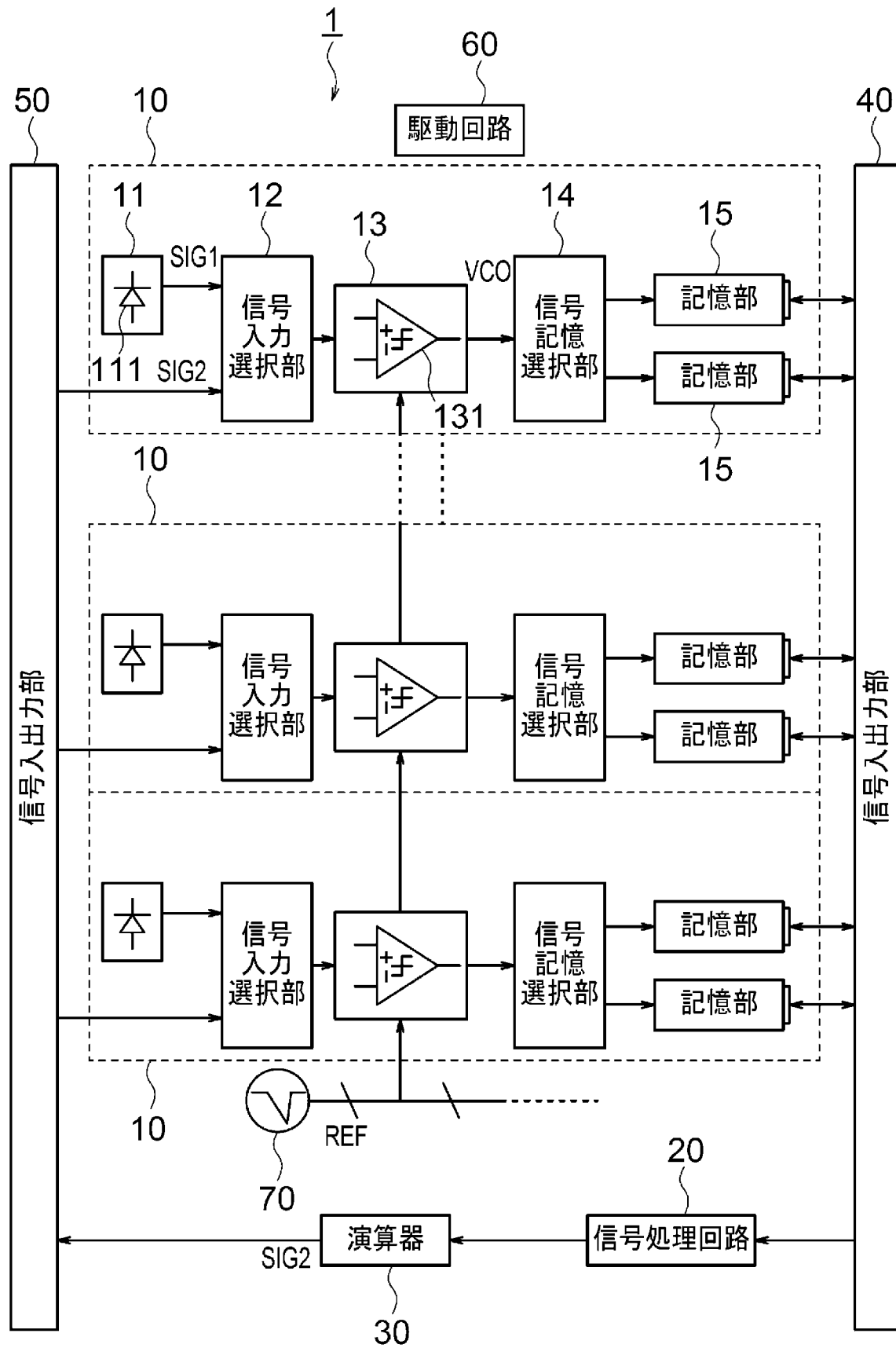
[請求項22] 前記信号検出器が配置される第 1 基板と、
前記演算器が配置される第 2 基板と、をさらに備え、
前記第 1 基板と前記第 2 基板とが、互いに積層されている、請求項 1 に記載の演算装置。

[請求項23] 前記物理信号は、光信号である、請求項 1 に記載の演算装置。

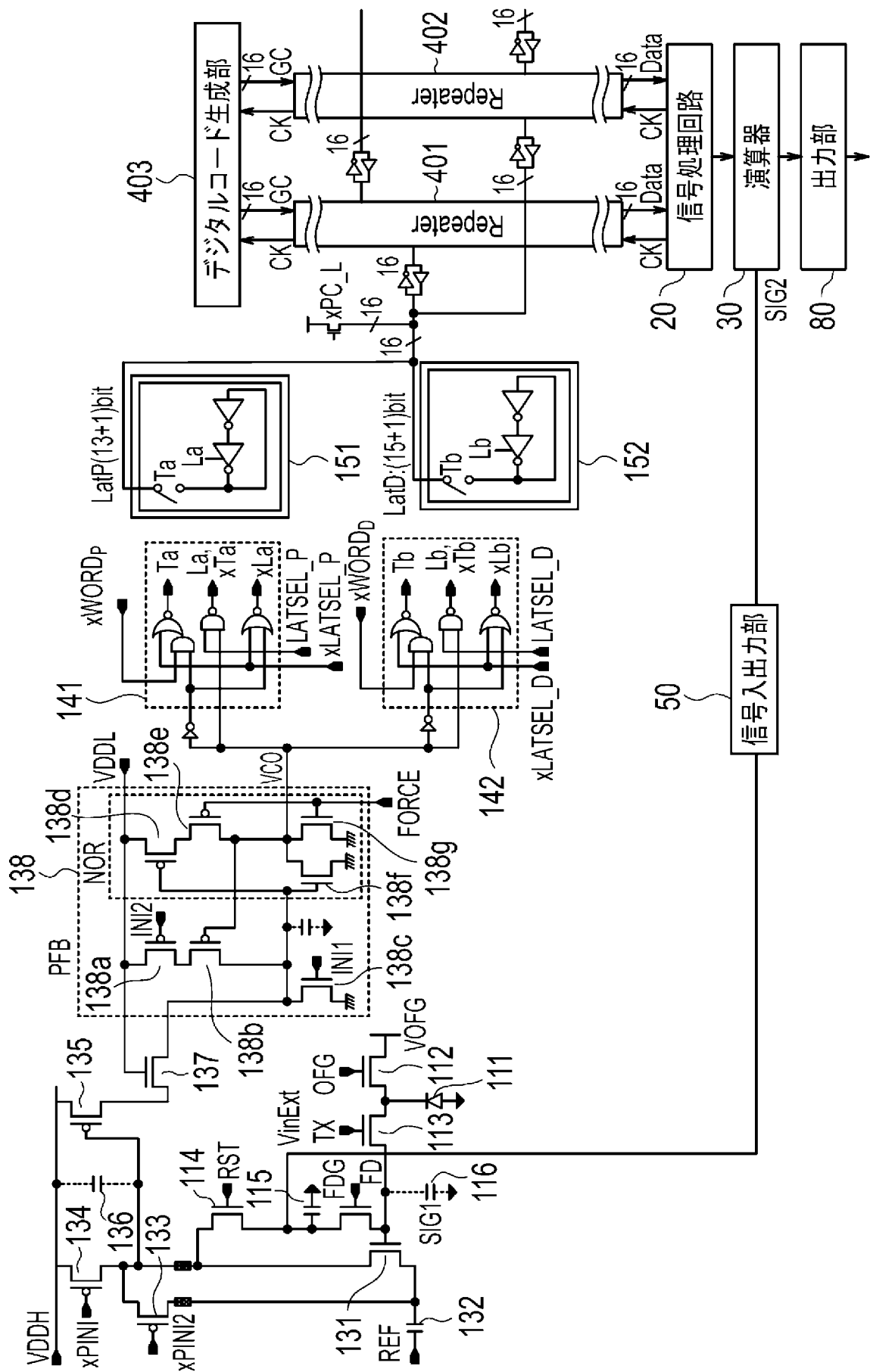
[請求項24] 前記信号検出器の回路素子が、複数枚の基板に分散配置されている、請求項 1 に記載の演算装置。

[請求項25] 前記演算器は、アナログニューラルネットワーク回路である、請求項 1 に記載の演算装置。

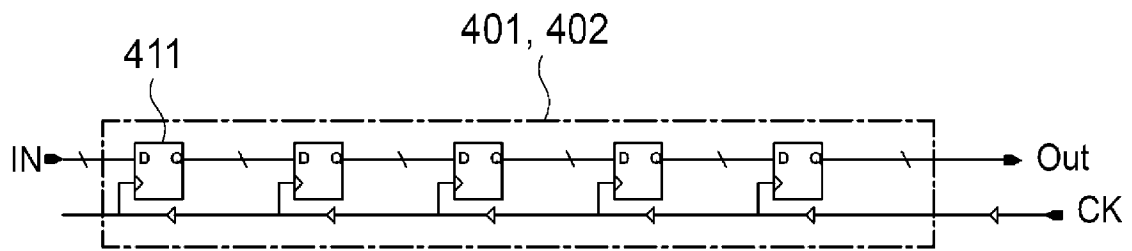
[図1]



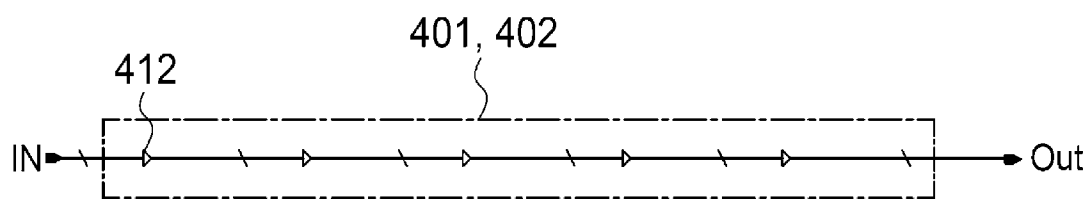
[図2]



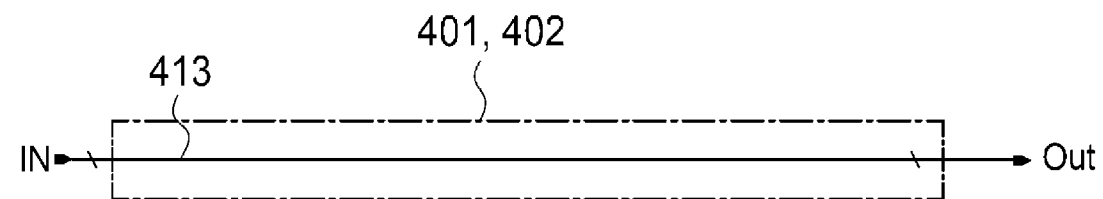
[図3A]



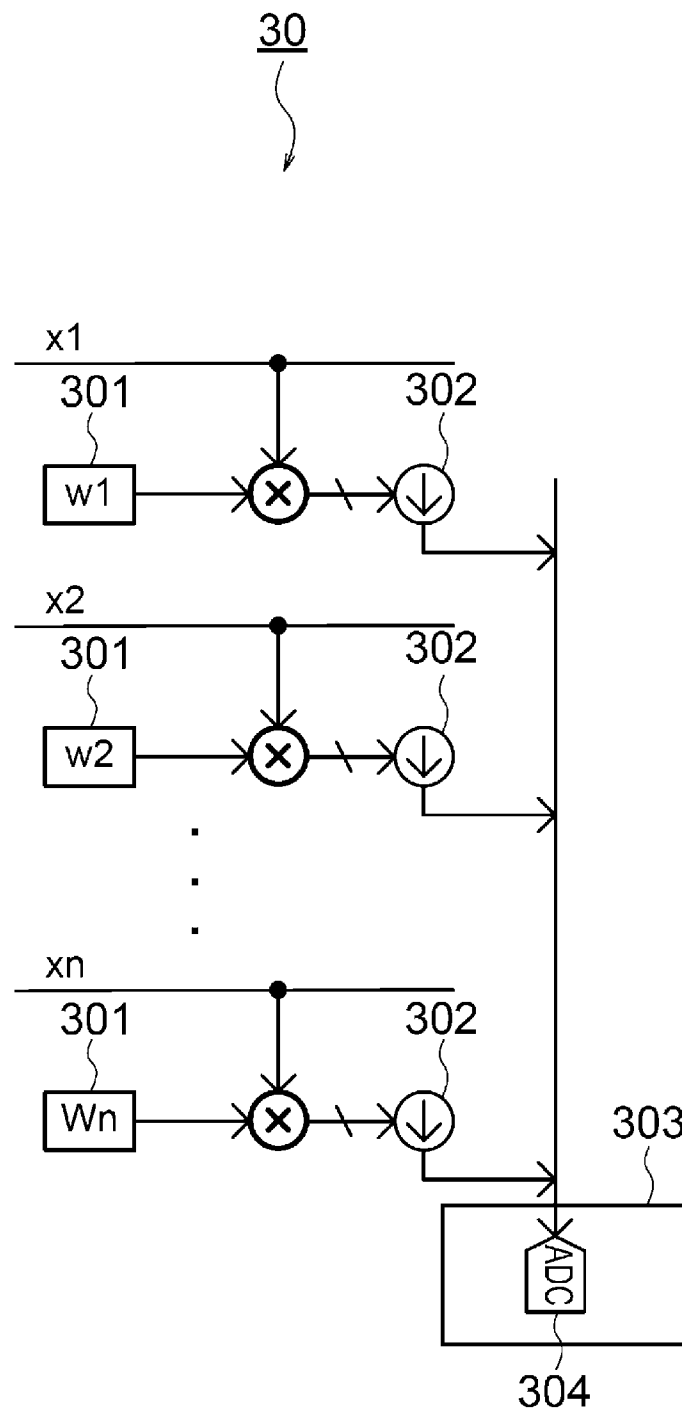
[図3B]



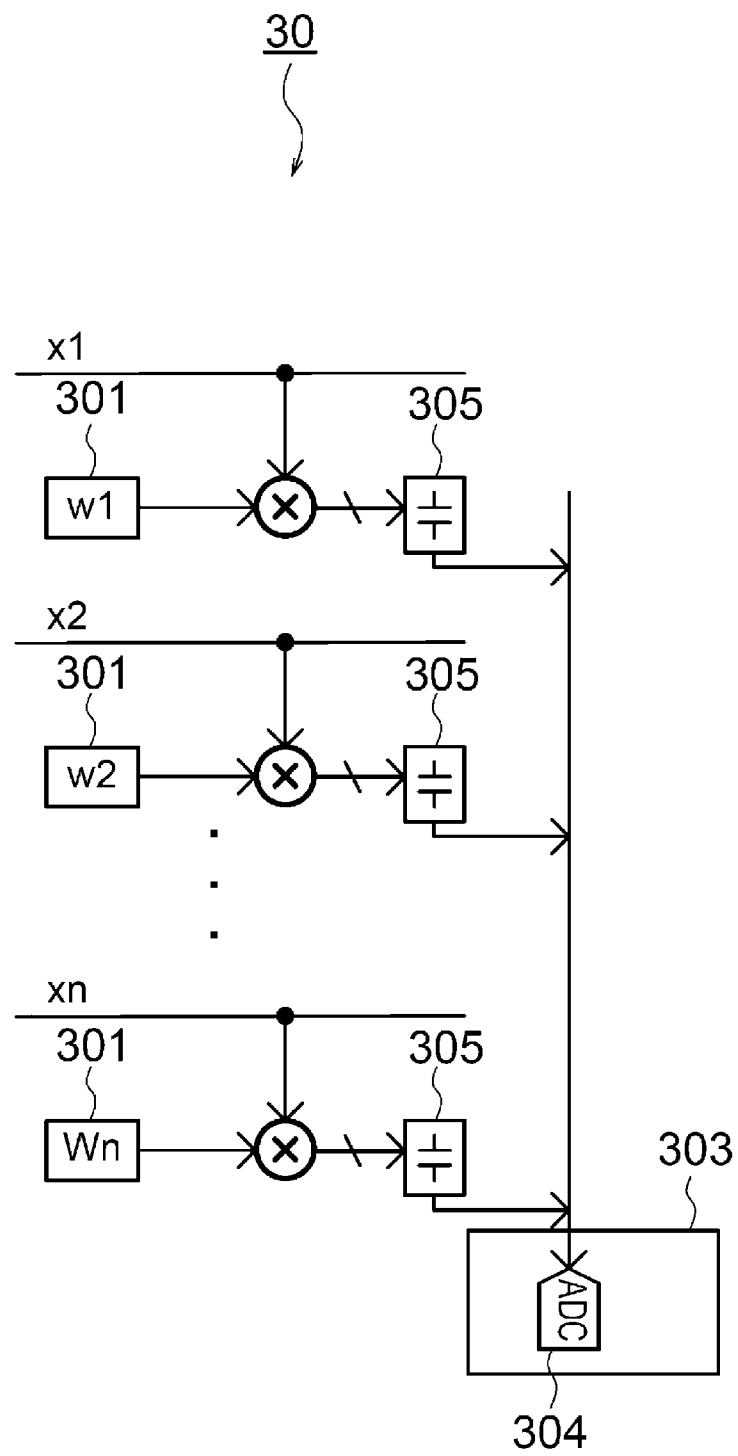
[図3C]



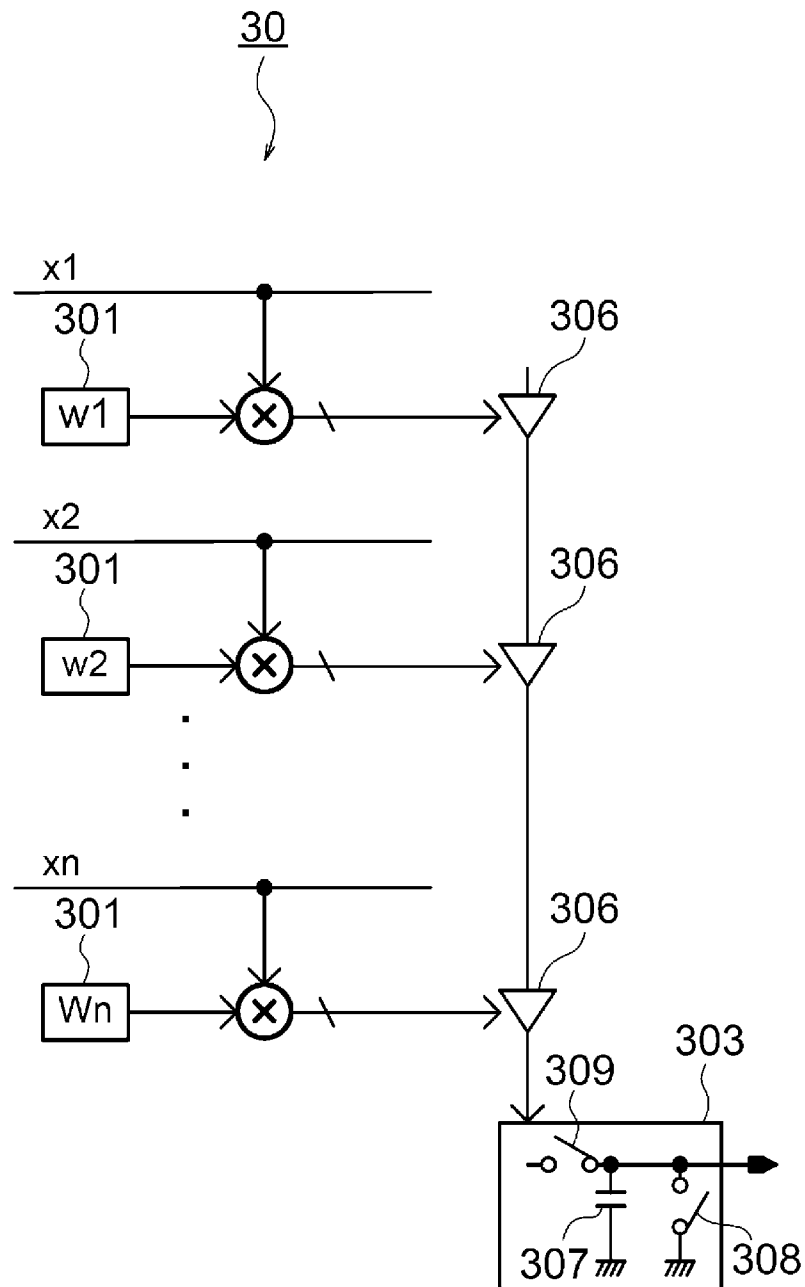
[図4A]



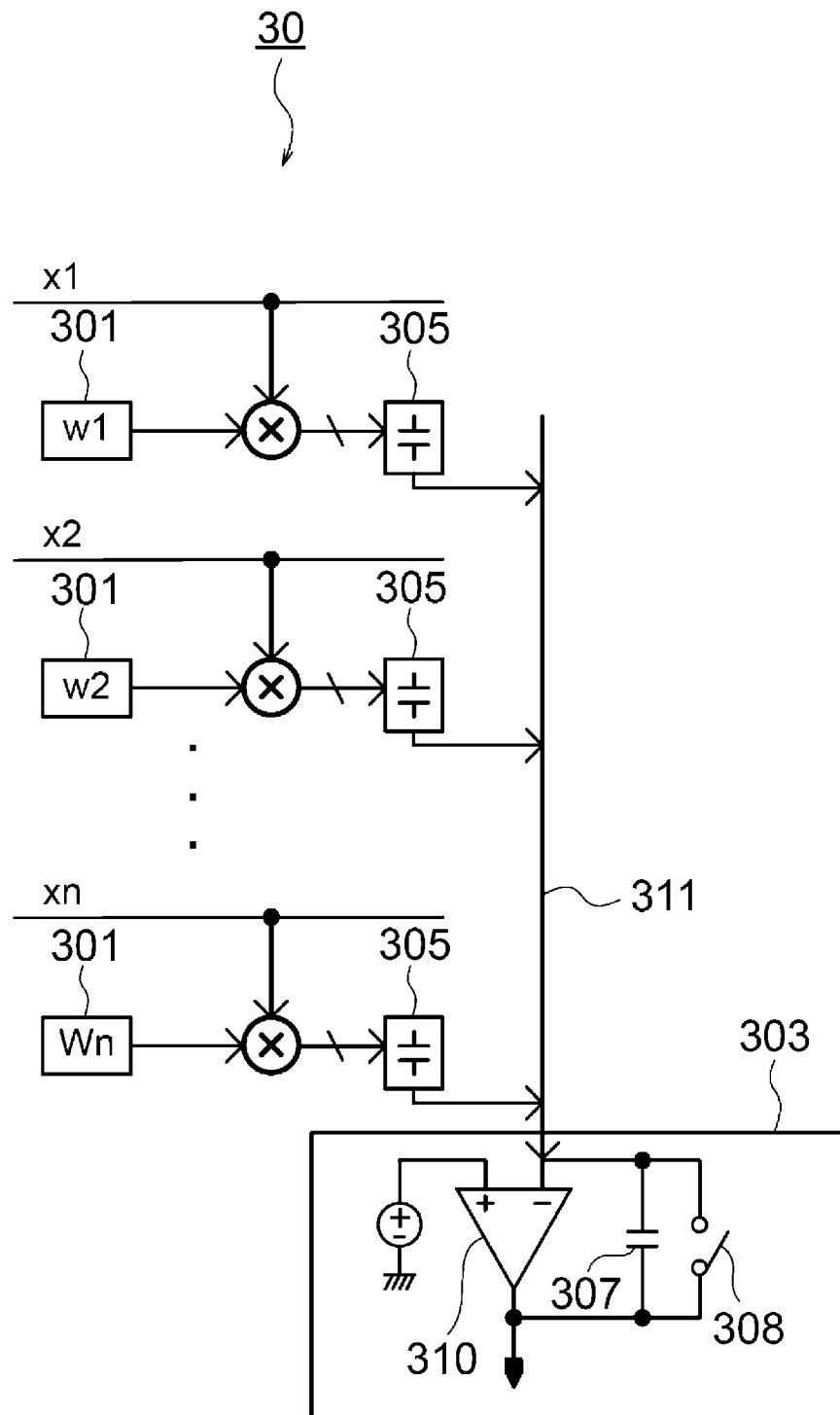
[図4B]



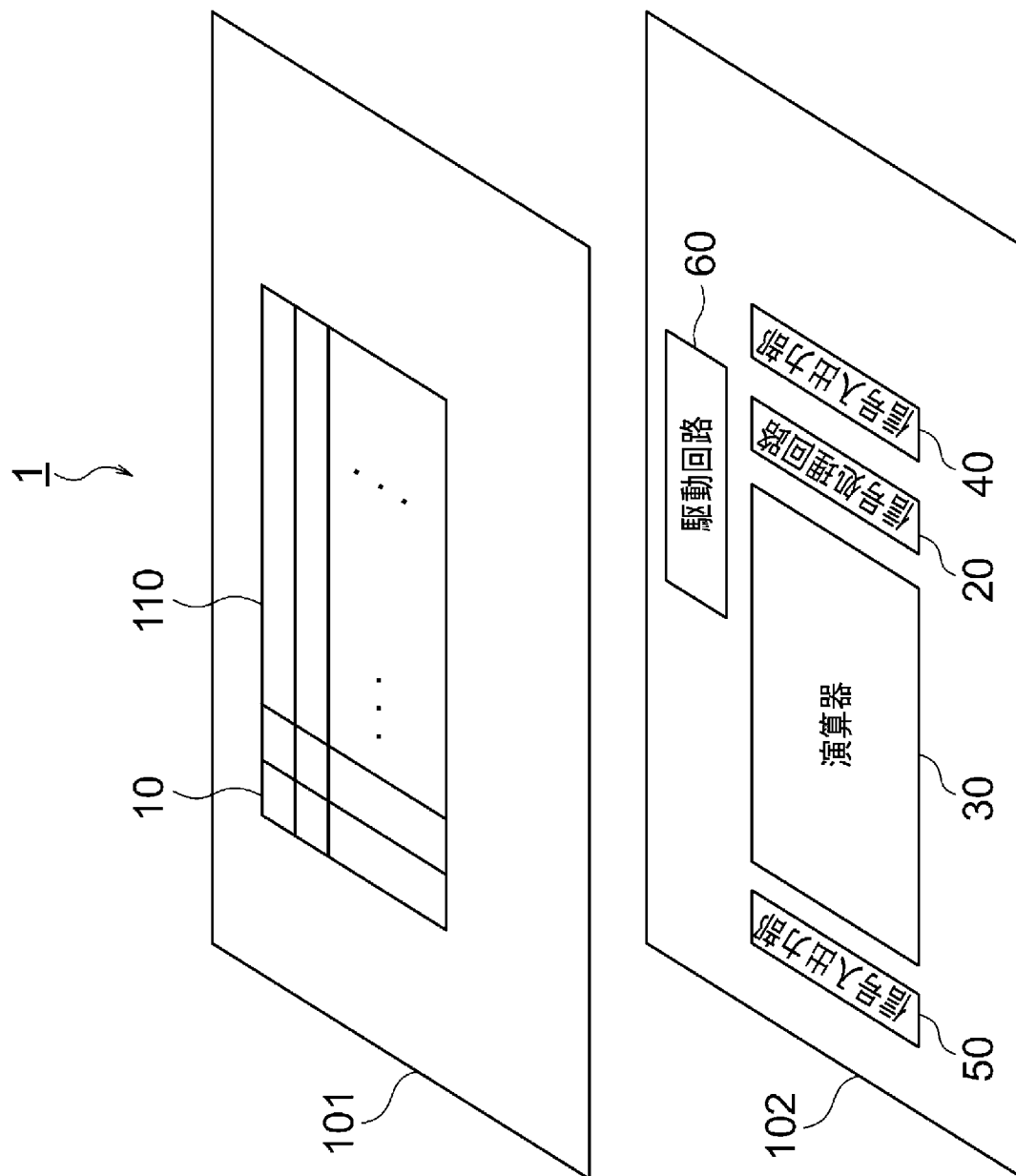
[図4C]



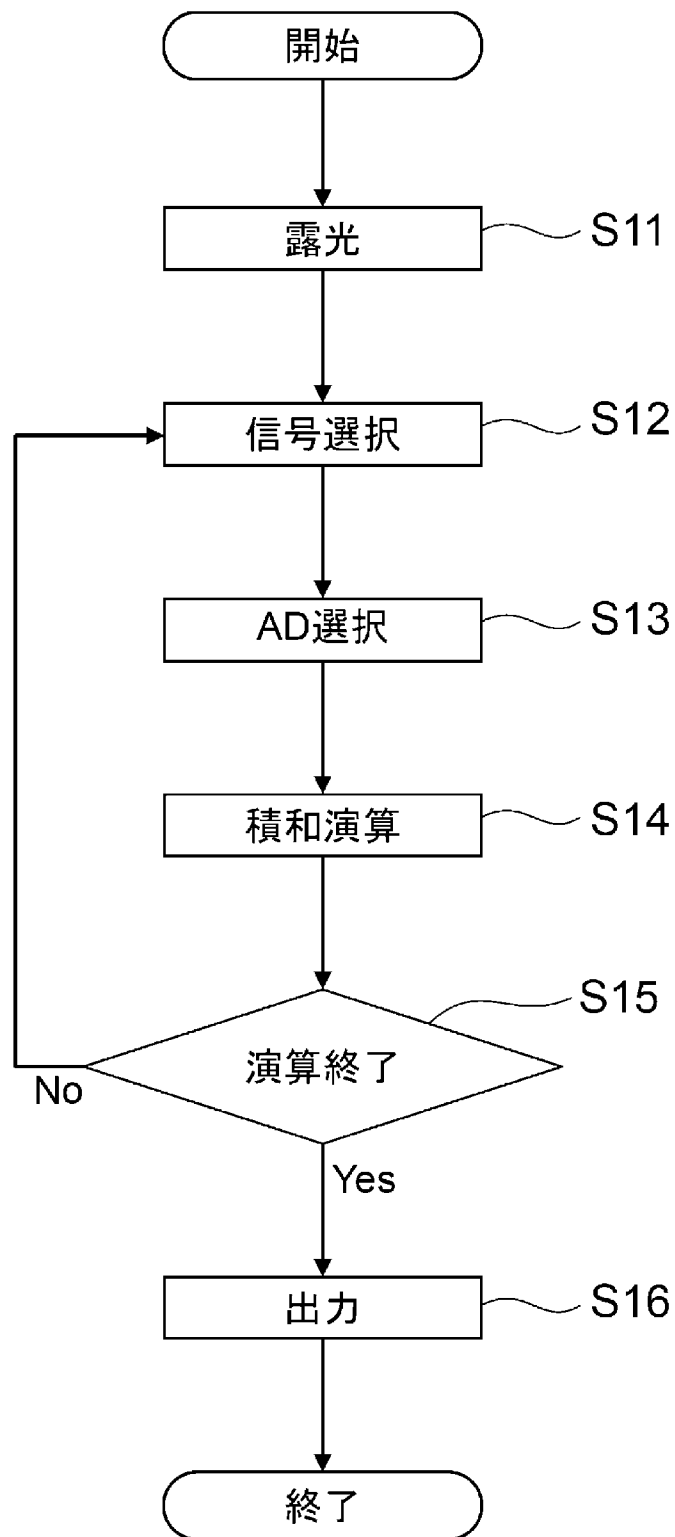
[図4D]



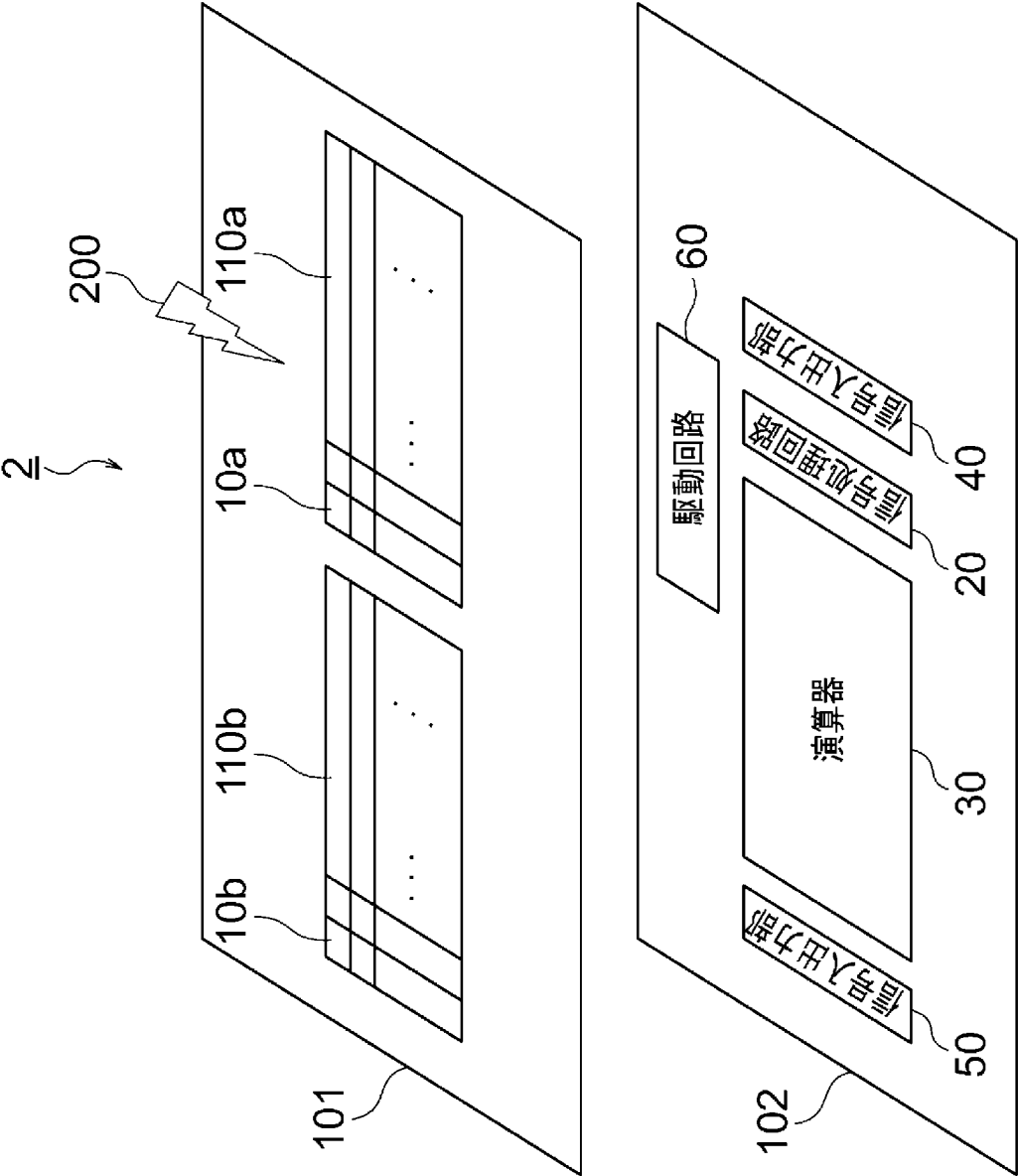
[図5]



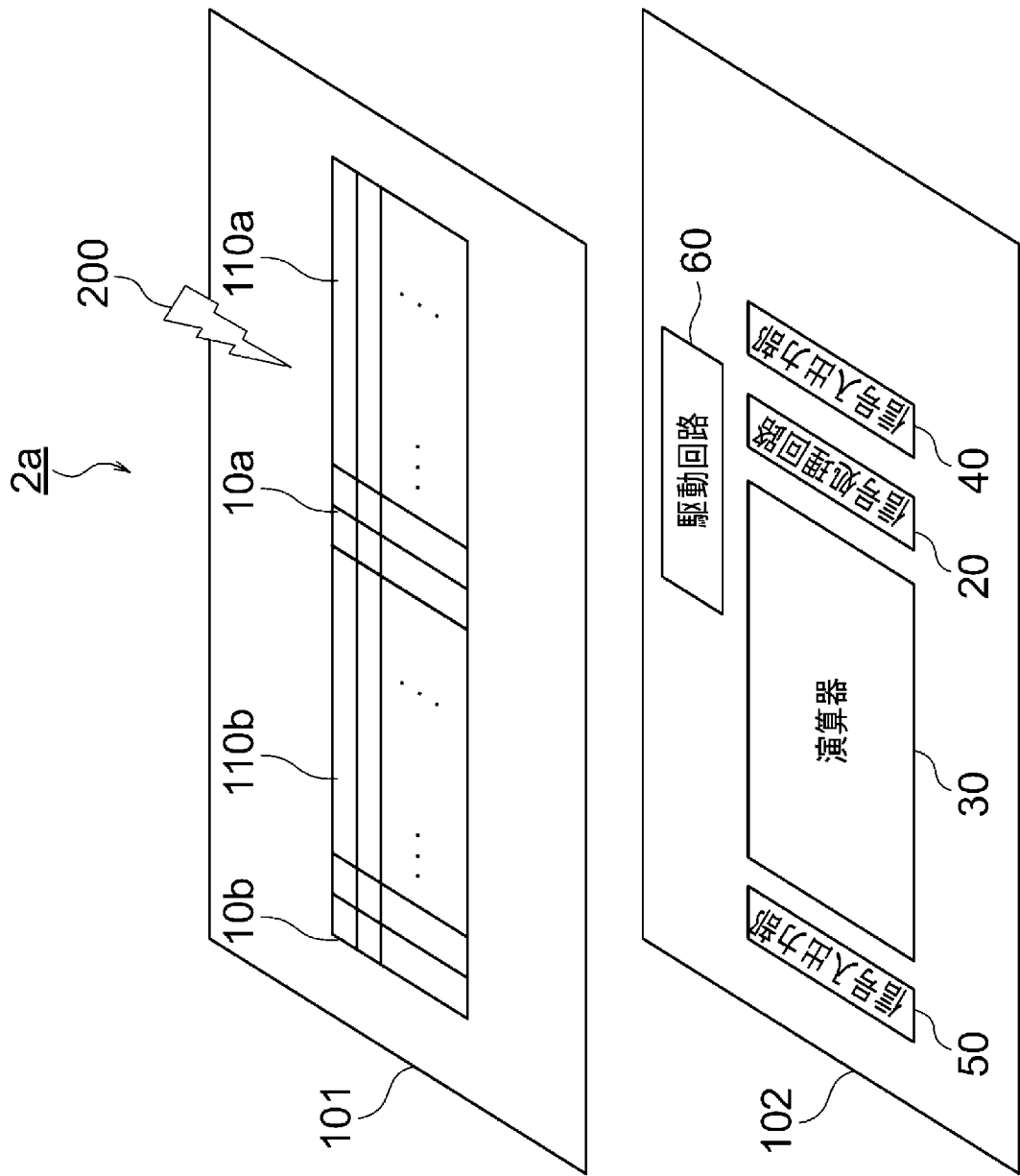
[図6]



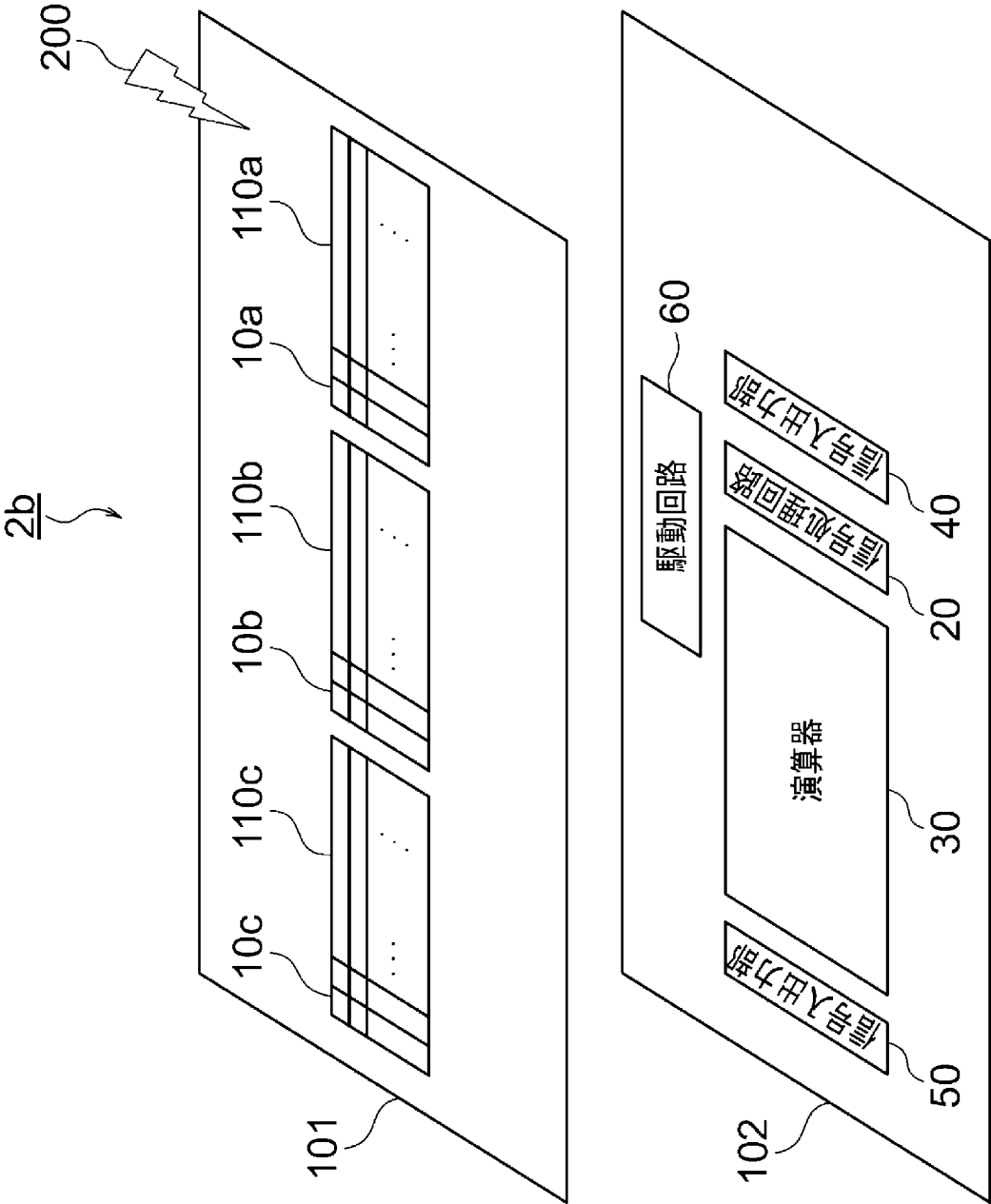
[図7]



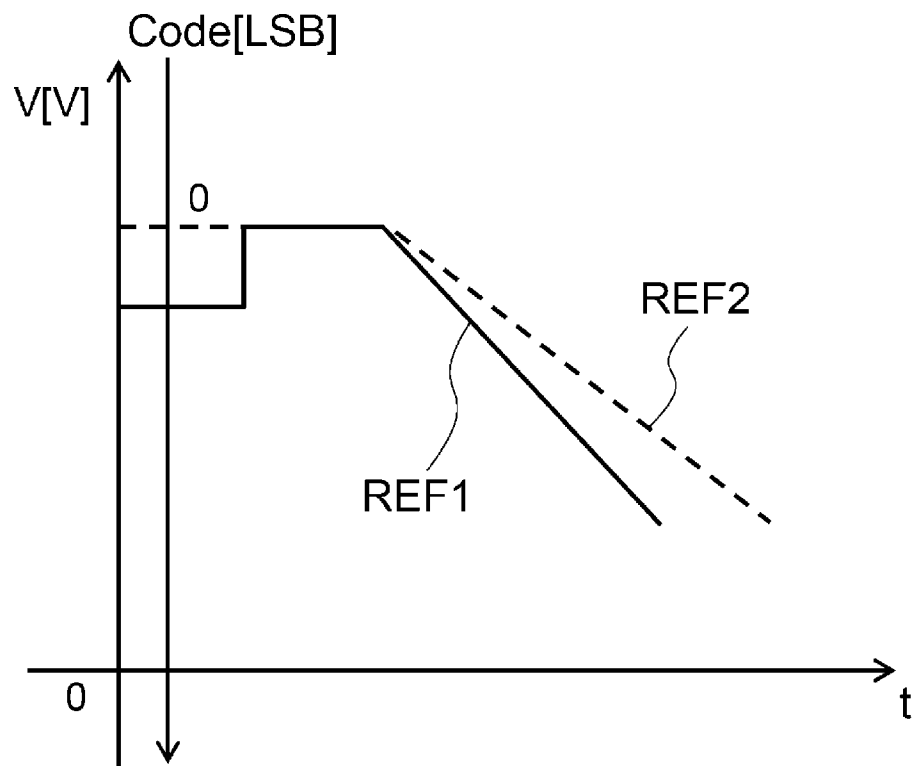
[図8]



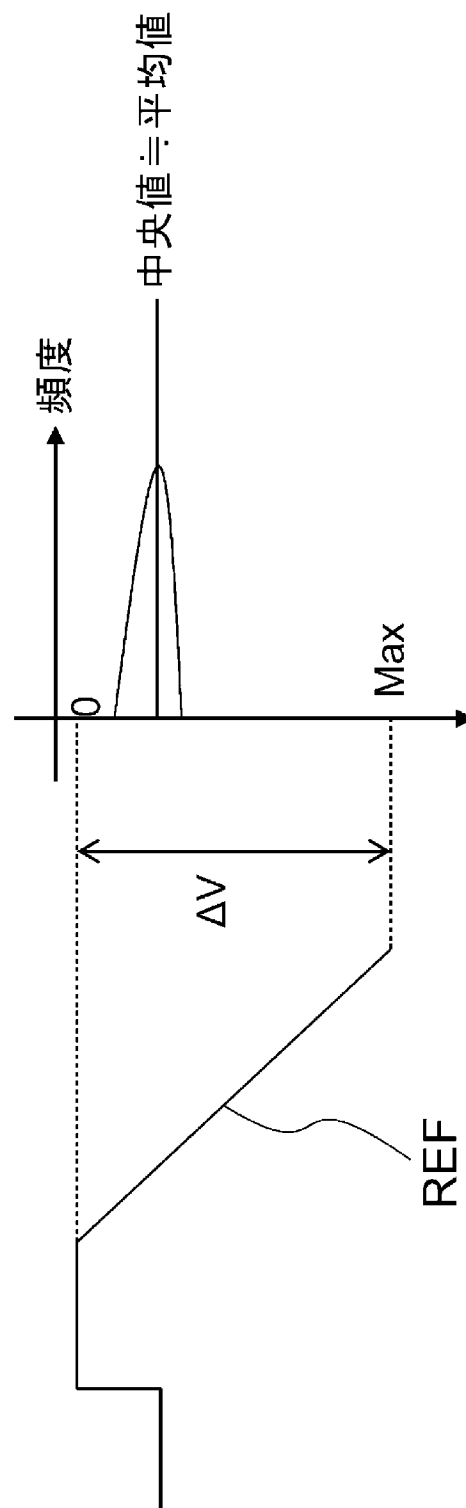
[図9]



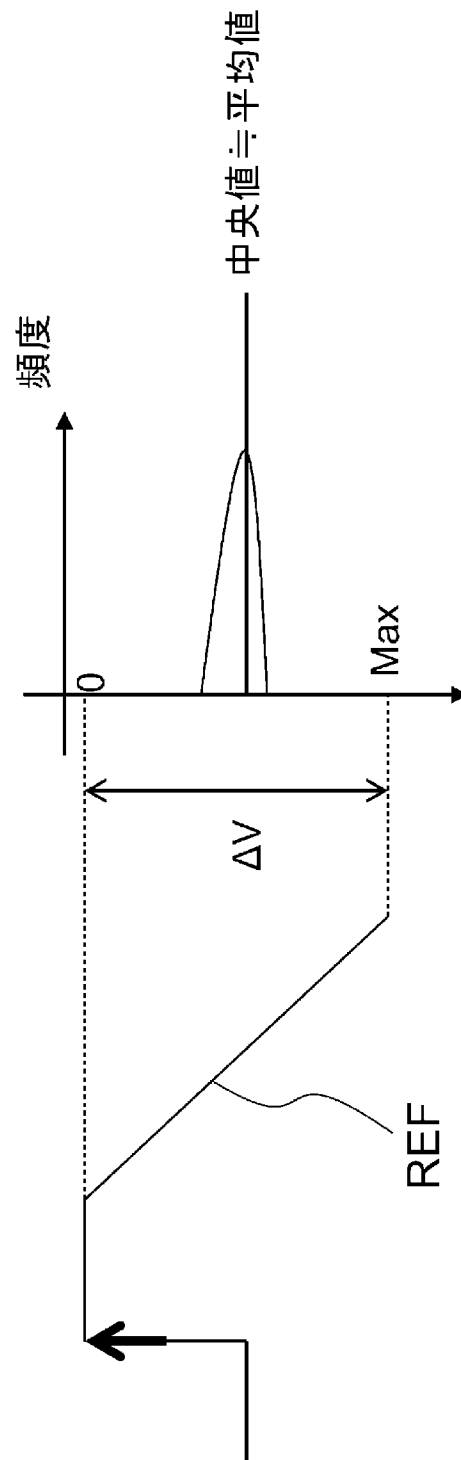
[図10]



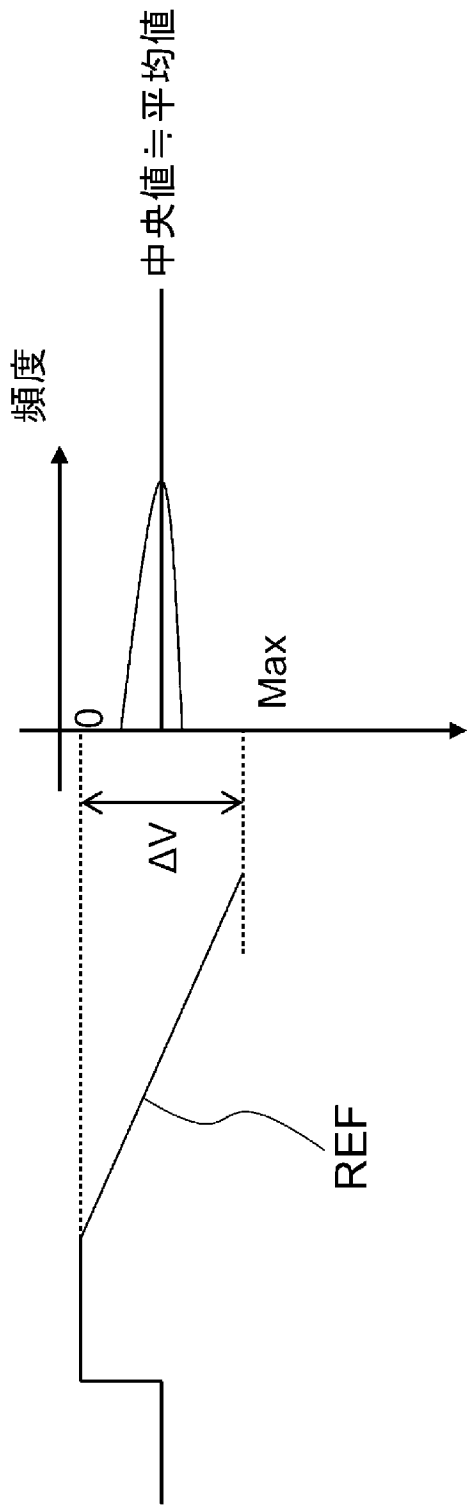
[図11]



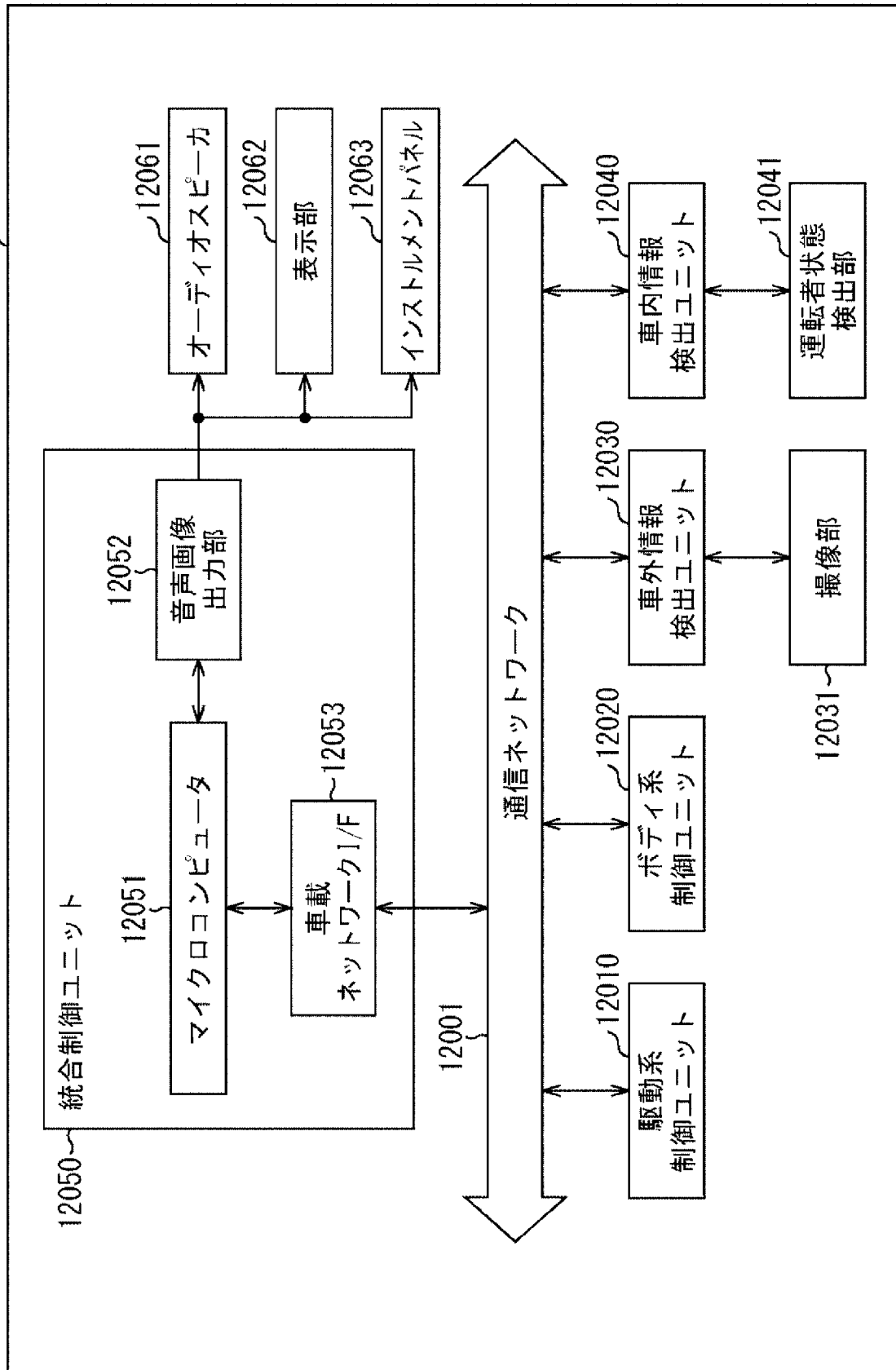
[図12]



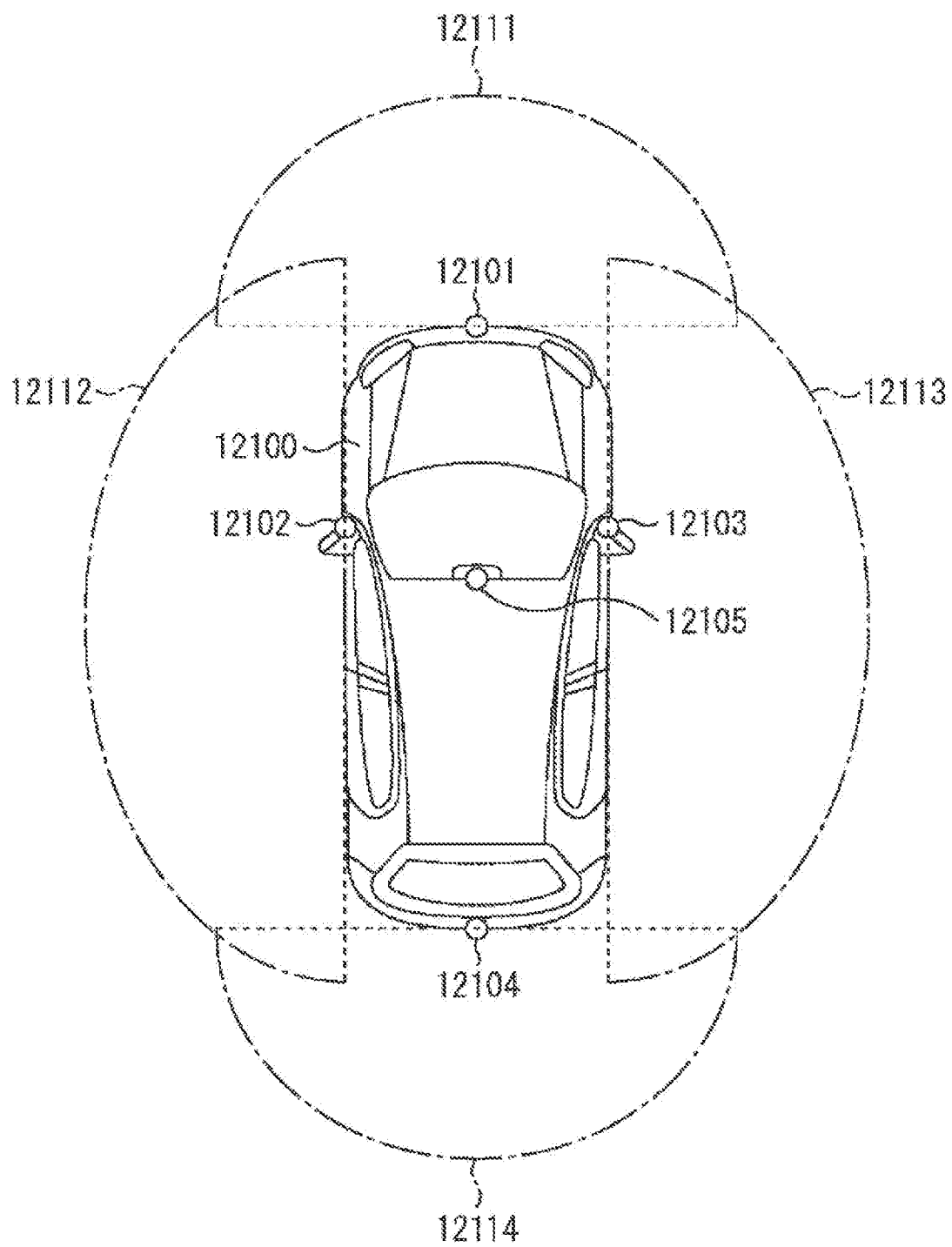
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/012024

A. CLASSIFICATION OF SUBJECT MATTER**H04N 25/77**(2023.01)i

FI: H04N25/77

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/77

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-225323 A (SONY CORPORATION) 01 October 2009 (2009-10-01) paragraphs [0006]-[0009], [0015], [0047], [0065]-[0067], fig. 1-2, 8	1-25
A	JP 2010-63055 A (SONY CORPORATION) 18 March 2010 (2010-03-18) paragraphs [0066], [0072], [0078]-[0083], fig. 10-11	1-25
A	JP 2023-27703 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 02 March 2023 (2023-03-02) paragraphs [0032], [0104], [0109], [0146], fig. 1, 24, 32	1-25



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

02 June 2023

Date of mailing of the international search report

13 June 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/012024

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2009-225323	A	01 October 2009	US 2009/0237534 A1 paragraphs [0011]-[0016], [0026], [0090], [0132]-[0135], fig. 1-2, 8	
JP	2010-63055	A	18 March 2010	US 2010/0060503 A1 paragraphs [0081], [0087], [0093]-[0098], fig. 10-11 US 2011/0309963 A1 CN 101674086 A	
JP	2023-27703	A	02 March 2023	WO 2023/021780 A1 paragraphs [0032], [0104], [0109], [0146], fig. 1, 24, 32	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 25/77(2023.01)i FI: H04N25/77		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N25/77 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-225323 A（ソニー株式会社）01.10.2009（2009-10-01） 段落[0006]-[0009], [0015], [0047], [0065]-[0067], 図1-2, 8	1-25
A	JP 2010-63055 A（ソニー株式会社）18.03.2010（2010-03-18） 段落[0066], [0072], [0078]-[0083], 図10-11	1-25
A	JP 2023-27703 A（ソニーセミコンダクタソリューションズ株式会社）02.03.2023 （2023-03-02） 段落[0032], [0104], [0109], [0146], 図1, 24, 32	1-25
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 02.06.2023	国際調査報告の発送日 13.06.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 花田 尚樹 5V 5889 電話番号 03-3581-1101 内線 3571	

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/012024

引用文献			公表日	パテントファミリー文献	公表日
JP	2009-225323	A	01.10.2009	US 2009/0237534 A1 段落[0011]-[0016], [0026], [0090], [0132]-[0135], 図 1-2, 8	
JP	2010-63055	A	18.03.2010	US 2010/0060503 A1 段落[0081], [0087], [0093]- [0098], 図10-11 US 2011/0309963 A1 CN 101674086 A	
JP	2023-27703	A	02.03.2023	WO 2023/021780 A1 段落[0032], [0104], [0109], [0146], 図1, 24, 32	