

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5944490号
(P5944490)

(45) 発行日 平成28年7月5日(2016.7.5)

(24) 登録日 平成28年6月3日(2016.6.3)

(51) Int.Cl.
H04B 1/38 (2015.01)

F I
H04B 1/38

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2014-509325 (P2014-509325)	(73) 特許権者	593096712
(86) (22) 出願日	平成24年4月27日 (2012.4.27)		インテル コーポレーション
(65) 公表番号	特表2014-513492 (P2014-513492A)		アメリカ合衆国 95054 カリフォル
(43) 公表日	平成26年5月29日 (2014.5.29)		ニア州 サンタ クララ ミッション カ
(86) 国際出願番号	PCT/US2012/035373		レッジ ブールバード 2200
(87) 国際公開番号	W02012/151120	(74) 代理人	100107766
(87) 国際公開日	平成24年11月8日 (2012.11.8)		弁理士 伊東 忠重
審査請求日	平成25年11月5日 (2013.11.5)	(74) 代理人	100070150
(31) 優先権主張番号	13/101,874		弁理士 伊東 忠彦
(32) 優先日	平成23年5月5日 (2011.5.5)	(74) 代理人	100091214
(33) 優先権主張国	米国 (US)		弁理士 大貫 進介
		(72) 発明者	カムガイン, テレスフォー
			アメリカ合衆国 85249 アリゾナ州
			チャンドラー ファイアストーン ドラ
			イヴ イースト 2204
			最終頁に続く

(54) 【発明の名称】 無線・電磁干渉を遮蔽する積層ダイパッケージのシリコン貫通ビア、及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

複数のシリコン貫通ビア (TSV) を含む無線周波数 (RF) 第 1 ダイを有する装置であって：

前記 RF 第 1 ダイは：
アクティブ面及び裏面と、
当該 RF 第 1 ダイ内の複数のセクターと、
信号、電源及びグランドのうちの 1 つを伝送する少なくとも 1 つの TSV (信号 TSV) と、

前記複数のセクターのうちの少なくとも 1 つの TSV 遮蔽されたセクターと
を有し、
前記少なくとも 1 つの TSV 遮蔽されたセクターは：
当該 TSV 遮蔽されたセクターの少なくとも一部の周りの境界を形成する、間隔を置いた複数の遮蔽 TSV からなる遮蔽 TSV エンクロージャと、
前記裏面上に配置され且つ前記境界と合致する、格子構造を有する格子リッドと
を含み、
当該装置は更に、

前記 RF 第 1 ダイ内に配置された前記少なくとも 1 つの信号 TSV を介して前記 RF 第 1 ダイに結合されたデジタルプロセッサ (DP) 後続ダイであり、当該 DP 後続ダイのバックエンドメタライゼーション内に配置されて当該 DP 後続ダイ内のセクターの周りの境

10

20

界を形成するグランドリングを含む D P 後続ダイと、

前記 D P 後続ダイと前記 R F 第 1 ダイの前記裏面との間に配置されたバンプリングであり、前記グランドリングと同じ境界を共有するバンプリングとを含む、
装置。

【請求項 2】

複数のシリコン貫通ビア (T S V) を含む無線周波数 (R F) 第 1 ダイを有する装置であって：

前記 R F 第 1 ダイは：

アクティブ面及び裏面と、

当該 R F 第 1 ダイ内の複数のセクターと、

信号、電源及びグランドのうちの 1 つを伝送する少なくとも 1 つの T S V (信号 T S V) と、

前記複数のセクターのうちの少なくとも 1 つの T S V 遮蔽されたセクターと

を有し、

前記少なくとも 1 つの T S V 遮蔽されたセクターは：

当該 T S V 遮蔽されたセクターの少なくとも一部の周りの境界を形成する、間隔を置いた複数の遮蔽 T S V からなる遮蔽 T S V エンクロージャと、

前記裏面上に配置され且つ前記境界と合致する、格子構造を有する格子リッドと

を含み、

当該装置は更に、

少なくとも 1 つの信号 T S V を介して前記 R F 第 1 ダイに結合されたフェイズドアレイアンテナ

を含む、

装置。

【請求項 3】

複数のシリコン貫通ビア (T S V) を含む無線周波数 (R F) 第 1 ダイを有する装置であって：

前記 R F 第 1 ダイは：

アクティブ面及び裏面と、

当該 R F 第 1 ダイ内の複数のセクターと、

信号、電源及びグランドのうちの 1 つを伝送する少なくとも 1 つの T S V (信号 T S V) と、

前記複数のセクターのうちの少なくとも 1 つの T S V 遮蔽されたセクターと

を有し、

前記少なくとも 1 つの T S V 遮蔽されたセクターは：

当該 T S V 遮蔽されたセクターの少なくとも一部の周りの境界を形成する、間隔を置いた複数の遮蔽 T S V からなる遮蔽 T S V エンクロージャと、

前記裏面上に配置され且つ前記境界と合致する、格子構造を有する格子リッドと

を含み、

前記少なくとも 1 つの T S V 遮蔽されたセクターは、前記 R F 第 1 ダイの第 1 のセクター内のグローバル・ポジショニング・システム (G P S) 回路を含み、

当該装置は更に：

前記 R F 第 1 ダイの第 2 のセクター内の 2 G 回路、3 G 回路又は 4 G 回路のうちの 1 つと、

前記 R F 第 1 ダイの更なるセクター内の W i F i 回路と、

前記第 1 のセクター内に配置された少なくとも 1 つの第 1 の T S V と、

前記第 2 のセクター内に配置された少なくとも 1 つの第 2 の信号 T S V と、

前記更なるセクター内に配置された少なくとも 1 つの更なる信号 T S V と、

前記少なくとも 1 つの信号 T S V を介して前記 R F 第 1 ダイに結合されたデジタルプロ

10

20

30

40

50

セッサ（ＤＰ）後続ダイと
を含む、
装置。

【請求項４】

前記少なくとも１つのＴＳＶ遮蔽されたセクターは更に：
第１の複数の遮蔽ＴＳＶと、
前記第１の複数の遮蔽ＴＳＶと同心の更なる複数の遮蔽ＴＳＶと
を含む、請求項１乃至３の何れか一項に記載の装置。

【請求項５】

前記アクティブ面はバックエンドメタライゼーションに結合され、前記バックエンドメ
タライゼーションは、前記境界と合致するメタライゼーション貫通ビア（ＴＭＶ）エンク
ロージャを含む、請求項１乃至４の何れか一項に記載の装置。

10

【請求項６】

前記エンクロージャ及び前記リッドは各々、無線干渉又は電磁干渉を遮る間隔及び幅を
有する、請求項１乃至５の何れか一項に記載の装置。

【請求項７】

前記ＲＦ第１ダイの前記アクティブ面で前記ＲＦ第１ダイに結合されたマウント基板、
を更に含む請求項１乃至６の何れか一項に記載の装置。

【請求項８】

前記ＲＦ第１ダイの前記アクティブ面で前記ＲＦ第１ダイに結合されたマウント基板と
、
少なくとも１つの信号ＴＳＶを介して前記ＲＦ第１ダイに結合されたフェイズドアレイ
アンテナ、
を更に含む請求項１に記載の装置。

20

【請求項９】

前記ＲＦ第１ダイの前記アクティブ面で前記ＲＦ第１ダイに結合されたマウント基板と
、
少なくとも１つの信号ＴＳＶを介して前記ＲＦ第１ダイに結合されたフェイズドアレイ
アンテナと
を含む、請求項３に記載の装置。

30

【請求項１０】

前記間隔を置いた複数の遮蔽ＴＳＶの各ＴＳＶは絶縁材料の層内に形成されている、請
求項１乃至９の何れか一項に記載の装置。

【発明の詳細な説明】

【技術分野】

【０００１】

開示の実施形態は、パッケージングされた無線周波数集積回路及びそれを形成する方法
に関する。

【発明の概要】

【発明が解決しようとする課題】

40

【０００２】

一態様において、無線・電磁干渉を遮蔽するシリコン貫通ビアを含む装置が提供される
。

【課題を解決するための手段】

【０００３】

一態様において、装置は、複数のシリコン貫通ビア（ＴＳＶ）を含む無線周波数（ＲＦ）
第１ダイを有する。ＲＦ第１ダイは、アクティブ面及び裏面と、当該ＲＦ第１ダイ内の
複数のセクターと、信号、電源及びグランドのうちの１つを伝送する少なくとも１つのＴ
ＳＶ（信号ＴＳＶ）と、前記複数のセクターのうちの少なくとも１つのＴＳＶ遮蔽された
セクターとを有する。前記少なくとも１つのＴＳＶ遮蔽されたセクターは、当該ＴＳＶ遮

50

蔽されたセクターの少なくとも一部の周りの境界を形成する、間隔を置いた複数の遮蔽TSVからなる遮蔽TSVエンクロージャ（囲い）と、前記裏面上に配置され且つ前記境界と合致する格子リッド（蓋）とを含む。

【図面の簡単な説明】

【0004】

実施形態が得られる方法を理解するため、添付図面を参照して、手短に上述した様々な実施形態の更に具体的な説明を提供する。これらの図面が描写する実施形態は、必ずしも縮尺通りに描かれておらず、また、範囲の限定として見なされるべきものではない。一部の実施形態は、以下の図を含む添付図面を使用して、更なる特異性及び詳細性で記述・説明される。

10

【図1a】一実施形態例に従ったシリコン貫通ビア遮蔽されたセクターを含むマイクロエレクトロニクス装置を示す断面図である。

【図1b】一実施形態例に従った更なる処理後の図1aに示したマイクロエレクトロニクス装置を含んだチップパッケージを示す断面図である。

【図1c】一実施形態例に従った更なる処理後のシリコン貫通ビアデジタルプロセッサを備えた図1aに示したマイクロエレクトロニクス装置を含んだチップパッケージを示す断面図である。

【図2】一実施形態例に従った図1aに示したRFダイの、部分的に分解されたワイヤフレーム斜視切断図である。

【図3】一実施形態例に従った無線・電磁干渉遮蔽構造の詳細な分解斜視切断図である。

20

【図4】一実施形態例に従った無線・電磁干渉遮蔽構造の一部の上面図である。

【図5】一実施形態例に従った図1bに示したチップパッケージの一部の分解斜視切断図である。

【図6】一実施形態例に従ったプロセス及び方法のフロー図である。

【図7】一実施形態に従ったコンピュータを示す模式図である。

【発明を実施するための形態】

【0005】

シリコン貫通ビア無線周波数集積回路（TSV RFIC）を、高感度回路を保護する遮蔽されたセクター（区画）を形成するダイ内の遮蔽TSVを用いて構成するプロセスが開示される。

30

【0006】

図面を参照するが、図面において、同様の構造物には似通った参照符号を付している。様々な実施形態の構造を一層明瞭に示すため、ここに含まれる図面は集積回路構造を図面的に表現したものである。故に、製造される集積回路構造の実際の外観は、例えば顕微鏡写真において、図示した実施形態の構造を組み入れながらも異なって見え得る。また、図面は、図示した実施形態を理解するのに有用な構造のみを示していることがある。図面の明瞭性を保つために、技術的に知られた更なる構造が含まれていないことがある。

【0007】

図1aは、一実施形態例に従った、シリコン貫通ビア遮蔽されたセクター（区画）を含むマイクロエレクトロニクス装置100の断面切断図である。無線周波数（RF）ダイ110は、アクティブ面112と裏面114とを有している。RFダイ110をRFICダイ110としても参照する場合があるが、RFダイ110は当該RFダイ110内に収容された複数の異なるRFIC及びその他の集積回路を有し得る。RFダイ110は、ドーブされたシリコン材料とし得るバルク半導体材料116で製造される。一実施形態において、バルク半導体材料116は、ドーブされたガリウム砒素材料からなる。一実施形態において、バルク半導体材料116はPMOSデバイスとして構成される。一実施形態において、バルク半導体材料116はNMOSデバイスとして構成される。バルク半導体材料116には、その他の材料及び構成も選択され得る。

40

【0008】

バルク半導体材料116のアクティブ面112は回路層118を含んでいる。回路層1

50

1 8 は、回路層 1 1 8 内に能動デバイス及び受動デバイスを含んだ集積回路を達成するようにフロントエンド処理されている。回路層 1 1 8 は、R F ダイ 1 1 0 のアクティブ面 1 1 2 に隣接して且つそれを含むように配置されている。バックエンド処理によるメタライゼーション 1 2 0 (バックエンドメタライゼーション 1 2 0) が、アクティブ面に隣接してその上に配置されている。バックエンドメタライゼーション 1 2 0 は、幾つかの開示実施形態の有用な用途に応じて、例えばメタル 1 (M 1) から M 2 乃至 M 1 2 若しくはそれ以上の何れかまで、複数のメタライゼーション層を有し得る。一実施形態において、裏面 1 1 4 はその全面が裏面金属膜 1 2 2 で覆われる。

【0009】

R F ダイ 1 1 0 の第 1 のセクター 1 2 4 が分けられている。一実施形態において、第 1 のセクター 1 2 4 は、回路層 1 1 8 内に、例えばグローバルポジショニングシステム (GPS) 回路などの回路を含んでいる。何であろうと、第 1 のセクター 1 2 4 内に配置される回路を R F I C GPS セクター 1 2 4 として参照することがある。第 1 のセクター 1 2 4 は、R F ダイ 1 1 0 のどこかで生成され得る、あるいは隣接デバイスからの、例えばスイッチングノイズやその他のノイズなどの、近隣の無線・電磁干渉 (radio- and electromagnetic interference; R M I) による影響を受け得る。従って、第 1 のセクター 1 2 4 は、囲い (エンクロージャ) と蓋 (リッド) とを含む少なくとも 1 つの無線・電磁干渉遮蔽構造を備えるように構成される。

【0010】

一実施形態において、複数の遮蔽用のシリコン貫通ビア (遮蔽 T S V) 1 2 6 が、第 1 のセクター 1 2 4 内の GPS 回路の外縁の周囲に、3 次元 (3 D) 無線・電磁干渉第 1 シールドを形成する。3 D 構造 1 2 6 は、X 方向及び Z 方向の双方に対処していることが見て取れるが、図 2 に示すように X - Y ビューを含むように描くと、閉じた境界を形成している。遮蔽 T S V 1 2 6 は上記囲いを形成する。一実施形態において、第 1 のセクター 1 2 4 はまた、裏面シールド 1 2 8 によって裏面遮蔽される。裏面シールドは、第 1 のセクター 1 2 4 に有益な無線・電磁ノイズ遮蔽を提供するようにパターニングされ得る。一実施形態において、裏面シールド 1 2 8 は、遮蔽 T S V 1 2 6 によって形成される境界と合致している。この合致の結果は、遮蔽 T S V 1 2 6 の X - Y 境界が、フットプリントにおいて、裏面シールド 1 2 8 の X - Y フットプリントと実質的に同じであることを意味する。裏面シールド 1 2 8 は、上記蓋を形成する格子構造である。蓋 1 2 8 は、図示の目的で囲い 1 2 6 から引き上げられているが、点線の矢印で指し示されるように揃えられる。裏面シールド 1 2 8 は図 2 にも示されている。裏面シールド 1 2 8 は、遮蔽 T S V 1 2 6 の境界のみを覆うように図示されているが、ダイ裏面 1 1 4 上で R F ダイ 1 1 0 の長さ方向及び幅方向に延在していてもよい。

【0011】

信号、電源及びグラウンドの何れであろうと、電気通信は、第 1 のセクター 1 2 4 内に配置された少なくとも 1 つの第 1 の T S V 1 3 0 を介して行われ得る。信号接続、電源接続又はグラウンド接続として機能する T S V を、ここでは、遮蔽 T S V として機能する T S V と対比して、“信号 T S V” と呼ぶことがある。理解され得るように、複数の第 1 の T S V 1 3 0 が第 1 のセクター 1 2 4 内に配置されることができ、それらは、信号機能及び電源 / グラウンド機能のうちの 1 つ用に構成され、故に、遮蔽 T S V 1 2 6 で構成される囲いの一部ではない。第 1 の T S V 1 3 0 は、裏面シールド 1 2 8 の格子内の空きを (Z 方向に) 通過するように X - Y 方向に調整される。図 1 a において、裏面シールド 1 2 8 は、第 1 の T S V 1 3 0 が裏面シールド格子の隙間を通過し得るように、第 1 の T S V 1 3 0 からオフセットされる。

【0012】

もはや理解され得るように、遮蔽されたセクターは、単一の回路を含んでいてもよいし、例えば GPS 回路などのデバイス全体のサブセットである多数の回路を含んでいてもよい。一実施形態において、例えばマイクロエレクトロニクス装置 1 0 0 などのマイクロエレクトロニクス装置を形成するための設計ルールは、第 1 のセクター 1 2 4 内の例えば G

10

20

30

40

50

P Sなどの所与のデバイスの全回路のうちのサブセットの周りに、遮蔽されたセクターを形成するのに好適であり得る。従って、第1のセクター124内のGPSの全回路のうちのサブセットを保護する第1の遮蔽されたセクターが存在し得る。一実施形態において、第1のセクター内のGPSの全回路の全て又はサブセットを保護する第1の遮蔽されたセクターと、第2のセクター134内のN番目のGデバイスの全回路のサブセットを保護する第2の遮蔽されたセクターとが存在する。同様に、後続のセクター138内に後続の遮蔽されたセクターが存在して、該後続の遮蔽されたセクターによって回路の全てが又はサブセットが保護されてもよい。

【0013】

一実施形態において、第1のセクター124内の電気遮蔽は、遮蔽用のメタライゼーション貫通ビア(TMV)を用いてバックエンドメタライゼーション120内まで延在される。遮蔽TMVのうち2つが参照符号132で指し示されている。図示のように、TSVエンクロージャを構成する囲いは、遮蔽TMVによって形成される境界と同じ境界を有する。見て取れるように、囲い126の延在は、この囲いがバルク半導体材料116の(Z方向)深さより(Z方向に)深くなるように、TMV132で形成される。理解され得るように、遮蔽TSV126は縦向き(Z方向)の構造を形成するが、TMV132は、Z方向の相互接続ビアとともに、X-Y方向の配線の組合せを含み得る。

【0014】

一実施形態において、遮蔽TMV132は、囲い126の深さをZ方向に約1.01から約1.50までの倍率で延長させる。メタライゼーション120が、nは2から12若しくはそれ以上として、例えばM1からMnまでなど、複数の層を有する一実施形態において、遮蔽TMV132はn未満の階層まで延在する。これは、メタライゼーション配線が、囲い126のフットプリントを出て、RFダイ110のその他のセクターに結合するその他のバックエンドメタライゼーションまで横方向(X-Y方向)に移ることを可能にする。一実施形態例において、遮蔽TMV132はM12バックエンドメタライゼーション120内のM4のみまで延在する。

【0015】

一実施形態において、RFダイ110内で第2のセクター134が区分けされており、第2のセクターもRF機能を有する。第1のセクター124がGPS機能の回路を含む一実施形態において、第2のセクター134は異なるRF機能を含む。例えば、第1のセクター124がGPS機能を含む場合に、第2のセクター134は、例えば2G、3G、4G、又はより新しい、これらと異なる“第N世代”開発などのスマートフォン用RF機能を有し得る。一実施形態において、第1のセクター124はGPS回路を有し、第2のセクター134は4G回路を有する。

【0016】

信号、電源及びグランドの何れであろうと、電気通信は、第2のセクター134内に配置された少なくとも1つの第2のTSV136を介して行われ得る。理解され得るように、複数の第2のTSV136が第2のセクター134内に配置され得る。一実施形態において、少なくとも1つのTSV136は薄い絶縁材料層137内に形成される。

【0017】

一実施形態において、後続のセクター138がRFダイ110内で区分けされる。後続セクター138も、第1のセクター124のRF機能に加えてそれとは異なるRF機能を有する。第1のセクター124がGPS機能の回路を含む一実施形態において、後続セクター138は、第1のセクター124及び第2のセクター134のRF機能とは異なるRF機能を含む。一実施形態例において、後続セクター138はWi-Fi機能を有し得る。第1のセクター124がGPS機能の回路を含み、且つ第2のセクター134が2G、3G、4G又は第N世代の機能の回路を含む一実施形態において、後続セクター138はWi-Fi機能の回路を含む。

【0018】

信号、電源及びグランドの何れであろうと、電気通信は、後続セクター138内に配置

10

20

30

40

50

された少なくとも1つの後続のTSV140を介して行われ得る。理解され得るように、複数の後続TSV140が後続セクター138内に配置され得る。一実施形態において、少なくとも1つの後続TSV140は薄い絶縁材料層141内に形成される。遮蔽TSV126は絶縁材料を備えないように描かれているが、理解され得るように、半導体材料への信号又は電力の低リークを支援するよう、全てのTSVが絶縁材料を備えて製造されてもよい。

【0019】

図2は、一実施形態例に従った、図1aに示したRFダイ110の、部分的に分解されたワイヤフレーム斜視切断図200である。裏面114がアクティブ面112の反対側に描かれており、アクティブ面112はバックエンドメタライゼーション120によって覆われている。

10

【0020】

RFダイ110は、囲い126と蓋128とを含む無線・電磁干渉遮蔽構造を有する第1のセクター124を示している。見て取れるように、裏面シールド128は、遮蔽TSV126によって形成される境界に合致する。単一の第1のTSV130が無線・電磁干渉遮蔽構造の内側に描かれているが、理解され得るように、複数の第1のTSV130が遮蔽構造内に配置されて、第1のセクター124内の回路層118の回路を裏面114の位置の接続に結合し得る。

【0021】

RFダイ110は、第1のセクター124に隣接する第2のセクター134を示している。複数の第2のTSV136が第2のセクター134内に描かれている。4つの第2のTSV136が第2のセクター内に描かれているが、理解されるように、複数の第2のTSV130が配置されて、第2のセクター134内の回路層118の回路を裏面114の位置の接続に結合し得る。

20

【0022】

RFダイ110は、第2のセクター134に隣接する後続セクター138を示している。複数の後続TSV140が後続セクター138内に描かれている。4つの後続TSV140が後続セクター138内に描かれているが、理解されるように、複数の後続TSVが配置されて、後続セクター138内の回路層118の回路を裏面114の位置の接続に結合し得る。複数の第2のTSV136がY方向に沿って整列されているのに対し、複数の後続TSV140はX方向に沿って整列されている。様々な整列が可能であり、TSVは、セクター位置にかかわらずに、何れかの方向に整列されたり、X-Yレイアウト内で混ぜ合わされたりし得る。

30

【0023】

第3のセクター142、第4のセクター144及び第5のセクター146を含むその他のセクターが、無作為的にRFダイ内に描かれている。これらその他のセクターは、例えばシリコン貫通ビア無線周波数集積回路(TSV RFIC)200などのダイ内に製造されるマイクロエレクトロニクス装置を例示するものである。

【0024】

一実施形態例において、例えば図2に示した遮蔽TSV126などの遮蔽用のTSVエングロージャは、2つ以上の領域を包囲してもよい。例えば、GPS回路及びWiFi回路の少なくとも一部が、遮蔽TSVエングロージャによって包囲され得る。一実施形態において、複数のセクターは、遮蔽されたGPSセクター124と、第N世代セクター134と、WiFiセクター138と、CPUセクター142と、Bluetooth(登録商標)セクター144と、その他のセクター146とを含む。その他のセクター146は、クロック、SC、VED及びVEC、オーディオ、ディスプレイ、GFX、及びその他異なるが有益な回路を含み得る。

40

【0025】

図3は、一実施形態例に従った無線・電磁干渉遮蔽構造300の詳細な分解斜視切断図である。遮蔽構造300は、バックエンドメタライゼーション320より上(Z方向)の

50

空間を占めるように指し示される半導体基板 3 1 0 内に埋め込まれている。少なくとも 1 つの信号又は電源の T S V 3 3 0 が、図示した半導体基板 3 1 0 のセクター 3 2 4 内に配置される。

【 0 0 2 6 】

一実施形態において、隣接し合う遮蔽 T S V 3 2 6 間の間隔 3 4 8 は、半導体基板 3 1 0 内及び隣接デバイス内で生成される R F ノイズの有利な遮蔽を生じさせるように計算される。一実施形態において、中心から中心までの中心間ピッチ間隔 3 4 8 は、近隣の無線ノイズ又は電磁ノイズの波長の $1/10$ 、すなわち、 $\lambda/10$ に等しくされる。一実施形態において、中心間ピッチ間隔 3 4 8 は、 $\lambda/20$ から $\lambda/1$ の範囲内にされる。一実施形態において、各遮蔽 T S V 3 2 6 の直径 3 4 9 が d であるとき、2 つの隣接する遮蔽 T S V 3 2 6 のピッチ間隔 3 4 8 は $1.1d$ から $3d$ までである。一実施形態において、ピッチ間隔 3 4 8 は $2d$ である。一実施形態において、遮蔽 T S V 3 2 6 の直径が d であるとき、如何なる 2 つの隣接する遮蔽 T S V 3 2 6 の中心間ピッチ間隔 3 4 8 も $2d$ である。一実施形態において、各遮蔽 T S V 3 2 6 は $8\mu\text{m}$ の直径 3 4 9 及びピッチ d を有し、2 つの隣接する遮蔽 T S V 3 2 6 のピッチ間隔 3 4 8 は $16\mu\text{m}$ である。

【 0 0 2 7 】

裏面シールド 3 2 8 は、遮蔽 T S V 3 2 6 の上方に分解されて描かれている。蓋 3 2 8 は、図示の目的で囲い 3 2 6 から引き上げられているが、点線の矢印で指し示されるように揃えられる。裏面シールド 3 2 8 は、遮蔽 T S V 3 2 6 である囲いへの格子蓋を形成する。図示のように、X 方向に走る 2 つのヘッダ 3 5 2 の間で Y 方向に走る複数の配線 3 5 0 が示されている。蓋 3 2 8 を形成する格子の配線幅及び配線間隔は、遮蔽 T S V の直径及び中心間隔と同様とし得る。従って、一実施形態において、如何なる 2 つの隣接する遮蔽 T S V 3 2 6 も、 d の直径及び距離 $2d$ の中心間ピッチを有する場合、如何なる 2 つの隣接する配線 3 5 0 も、 d に等しい幅 w 、 351 (X 方向) 及び距離 $2d$ の中心間隔を有する。一実施形態において、裏面シールド 3 2 8 は、例えばフォトリソグラフィ技術によって、パターニング・エッチングされる。

【 0 0 2 8 】

裏面シールド 3 2 8 及び T S V 3 2 6 が一緒になって無線・電磁干渉遮蔽構造を構築する。一実施形態において、より大きい有利な無線・電磁干渉遮蔽構造を達成するように、例えば図 1 a に示した遮蔽 T M V 1 3 2 などの遮蔽 T M V が追加される。

【 0 0 2 9 】

もはや理解され得るように、T S V の数は、それらが遮蔽 T S V として作用しようと、電源、グランド又は信号の T S V として作用しようと、所与の R F I C ダイの一実施形態において約 3 0 , 0 0 0 となり得る。従って、第 1 のセクター 3 2 4 の面積が既知であり、遮蔽すべき具体的な波長 λ が既知であり、且つ遮蔽 T S V の所与の中心間隔が例えば $\lambda/10$ などの有利な関係に基づく場合、単一行の遮蔽 T S V 構成に関して、第 1 のセクター 3 2 4 に見出される遮蔽 T S V の数も分かることになる。従って、T S V 遮蔽されたセクターはまた、適切な個数の遮蔽 T S V によって規定され得る。

【 0 0 3 0 】

図 4 は、一実施形態例に従った無線・電磁干渉遮蔽構造 4 0 0 の一部の上面図である。遮蔽構造 4 0 0 は、第 1 のセクター 4 2 4 内の空間を占めるように指し示される半導体基板 4 1 0 内に埋め込まれている。少なくとも 1 つの信号、電源又はグランドの T S V 4 3 0 が、半導体基板 4 1 0 の第 1 のセクター 4 2 4 内に配置される。

【 0 0 3 1 】

第 1 の複数の遮蔽 T S V 4 2 6 が、第 1 のセクター 4 2 4 内の G P S 回路の外縁の周りに 3 D 無線・電磁干渉第 1 シールドを形成している。一実施形態において、後続の複数の遮蔽 T S V 4 2 7 が、第 1 シールドと同心の 3 D 無線・電磁干渉後続シールドを形成している。理解され得るように、第 1 の複数の遮蔽 T S V 4 2 6 及び後続の複数の遮蔽 T S V 4 2 7 に加えて、第 2 の複数の遮蔽 T S V が設けられてもよい。複数の遮蔽 T S V の数は、(図 4 に示した) 2 から 1 0 0 までの範囲とし得る。

【 0 0 3 2 】

一実施形態において、隣接し合う第 1 の遮蔽 T S V 4 2 6 間の間隔は、半導体基板 4 1 0 内及び隣接デバイス内で生成される R F ノイズの有利な遮蔽を生じさせるように計算される。同様に、隣接し合う後続遮蔽 T S V 4 2 7 間の間隔は、半導体基板 4 1 0 内及び隣接デバイス内で生成される R F ノイズの有利な遮蔽を生じさせるように計算される。もはや理解され得るように、少なくとも 2 つの同心の 3 D シールド（及び蓋）の組合せは、有利な無線遮蔽されたセクターを達成するために使用され得る。所与の組合せにおいて、中心間ピッチ、遮蔽 T S V の直径、及び 2 つの同心の囲い間の X - Y スタガリング（ずらした配置）の何れか又は全てを用いて、有利な複合的な無線・電磁干渉シールドを達成し得る。

10

【 0 0 3 3 】

もはや理解され得るように、T S V の数は、それらが遮蔽 T S V として作用しようと、電源、グランド又は信号の T S V として作用しようと、所与の R F I C ダイの一実施形態において約 3 0 , 0 0 0 となり得る。従って、第 1 のセクター 4 2 4 の面積が既知であり、遮蔽すべき具体的な波長 λ が既知であり、且つ遮蔽 T S V の所与の中心間隔が例えば $\lambda / 1 0$ などの有利な関係に基づく場合、多重の複数の遮蔽 T S V の構成に関して、第 1 のセクター 4 2 4 に見出される遮蔽 T S V の数も分かることになる。しかしながら、例えば第 1 の複数の遮蔽 T S V 4 2 6 及び後続の複数の遮蔽 T S V 4 2 7 などの複数の行が配置される場合、中心間ピッチは大きくされてもよい。例えば、後続の複数の遮蔽 T S V 4 2 7 が、第 1 の複数の遮蔽 T S V 4 2 6 同士の間隙を埋めるようにずらして配置される場合、所与の行における中心間ピッチは大きくされることができる。何故なら、何れの第 1 の T S V 4 2 6 についても、それに隣接する後続 T S V 4 2 7 との中心間ピッチを依然として $\lambda / 1 0$ などの距離にし得るからである。

20

【 0 0 3 4 】

図 1 b は、一実施形態例に従った、更なる処理後の図 1 a に示したマイクロエレクトロニクス装置 1 0 0 を含んだチップパッケージ 1 0 1 の断面図である。チップパッケージ 1 0 1 は、R F ダイ 1 1 0 と、例えばデジタルプロセッサ（D P）ダイなどの後続ダイ 1 5 4 と、例えばレベル 1 インターコネクトなどのマウント基板 1 7 2 とを含んでいる。一実施形態において、後続ダイ 1 5 4 はメモリダイ 1 5 4 である。一実施形態において、後続ダイ 1 5 4 は複数のメモリダイ 1 5 4 のスタックである。一実施形態において、マウント基板 1 7 2 はダイレクト・チップ・アタッチ（D C A）ボード 1 7 2 である。一実施形態において、D P ダイ 1 5 4 は T S V D P ダイ（図 1 c 参照）とし得る。

30

【 0 0 3 5 】

R F ダイ 1 1 0 は、一実施形態例に従ったシリコン貫通ビア遮蔽されたセクター 1 2 4 を含んでいる。R F ダイ 1 1 0 は、アクティブ面 1 1 2 とそれにコプラナーな裏面 1 1 4 とを有するように示されている。回路層 1 1 8 は、フロントエンド処理されており、且つバルク半導体材料 1 1 6 に隣接している。回路層 1 1 8 は、R F ダイ 1 1 0 のアクティブ面 1 1 2 に隣接して且つそれを含むように配置されている。バックエンド処理によるメタライゼーション 1 2 0 が、アクティブ面に隣接してその上に配置されている。R F ダイ 1 1 0 の第 1 のセクター 1 2 4 とともに、第 2 のセクター 1 3 4 及び後続セクター 1 3 8 が示されている。信号、電源及びグランドの何れであろうと、電気通信は、第 1 のセクター 1 2 4 内に配置された少なくとも 1 つの第 1 の T S V 1 3 0 を介して行われ得る。有利な場合、遮蔽 T M V 1 3 2 が使用されてもよい。

40

【 0 0 3 6 】

一実施形態において、後続ダイ 1 5 4 は、囲い 1 2 6 の実施形態と蓋 1 2 8 の実施形態とを含む無線・電磁干渉遮蔽構造の外側まで連通する少なくとも上記第 1 の T S V 1 3 0 を介して、R F ダイ 1 1 0 に結合される。後続ダイ 1 5 4 は、アクティブ面 1 5 6 と裏面 1 6 0 とを有するフリップチップダイ 1 5 4 として示されている。バルクシリコン 1 6 2 内の回路層 1 5 8 もアクティブ面 1 5 6 の一部である。アクティブ面 1 5 6 はまた、バックエンドメタライゼーション 1 6 4 と接触しており、このバックエンドメタライゼーショ

50

ン 1 6 4 を介して、R F ダイ 1 1 0 は後続ダイ 1 5 4 と通信する。

【 0 0 3 7 】

図示のように、R F ダイ 1 1 0 は、遮蔽された第 1 のセクター 1 2 4 を形成する T S V エンクロージャ 1 2 6 と蓋 1 2 8 とを有している。後続ダイ 1 5 4 では、無線・電磁干渉発生セクター 1 7 0 が、バックエンドメタライゼーション 1 6 4 内にあるグランドリング 1 6 6 によって遮蔽されている。この遮蔽は、グランドリング 1 6 6 と同じ X - Y 境界を共有するバンプリング 1 6 8 を用いて続けられている。例えば、後続ダイ 1 5 4 がデジタルプロセッサである場合、無線・電磁干渉発生セクター 1 7 0 は、例えばクロック信号などのノイズ源を有し得る。グランドリング 1 6 6 及びバンプリング 1 6 8 は、無線・電磁干渉をセクター 1 7 0 に閉じ込めるのに有用である。従って、第 1 のセクター 1 2 4 を近隣無線・電磁干渉から遮蔽することが有利であり、且つ問題となる無線・電磁干渉が近隣デバイス 1 5 4 の近隣セクター 1 7 0 内で発生される場合、グランドリング 1 6 6 及びバンプリング 1 6 8 の使用によって R M I が実効的に抑制され得る。もはや認識され得るように、少なくともグランドリング 1 6 6 の間隔は、問題となる無線信号の波長を例えば 1 0 などの有利な数で割ったものなどの、有利な公式に従い得る。

10

【 0 0 3 8 】

一実施形態において、R F ダイ 1 1 0 は、例えば D C A ボードなどの第 1 階層インターコネクト 1 7 2 であるマウント基板 1 7 2 上にフリップチップ実装される。図示のように、受動デバイス 1 7 4 がマウント基板 1 7 2 に内蔵されている。一実施形態において、マウント基板 1 7 2 は、少なくとも 1 つの受動デバイス 1 7 4 を内蔵したコアレス基板 1 7 2 である。R F ダイ 1 1 0 と受動デバイス 1 7 4 との間の電気通信は、開示の実施形態に従った電気バンプを介して行われ、あるいは既知の技術に従ってその他の方法で行われる。図示のように、R F ダイ 1 1 0 は、開示の実施形態に従った電気バンプの使用により、あるいは既知の技術に従ってその他の方法により、マウント基板 1 7 2 に結合される。マウント基板 1 7 2 には、P C T 特許出願第 P C T / U S 2 0 1 0 / 0 6 1 3 8 8 号に開示される技術に従って、その他の受動デバイスが埋め込まれ得る。なお、この文献の開示内容全体をここに援用する。

20

【 0 0 3 9 】

図 1 c は、一実施形態例に従った、シリコン貫通ビアデジタルプロセッサ 1 5 5 のバリエーションの、図 1 a に示したマイクロエレクトロニクスチップ装置を含んだチップパッケージ 1 0 2 の断面図である。一実施形態において、参照符号 1 5 5 で指し示される空間は、複数のメモリダイのスタックによって占有される。一実施形態において、参照符号 1 5 5 で指し示される空間は、D P ダイ及びそれとともに積層された少なくとも 1 つのメモリダイである。

30

【 0 0 4 0 】

チップパッケージ 1 0 2 は、R F ダイ 1 1 0 と、T S V 後続 D P ダイ 1 5 5 と、マウント基板 1 7 2 と、フェイズドアレイアンテナ基板 1 8 0 とを含んでいる。一実施形態において、マウント基板 1 7 2 はダイレクト・チップ・アタッチ (D C A) ボード 1 7 2 である。T S V 後続ダイ 1 5 5 は、フェイズドアレイアンテナ (P A A) 基板 1 8 0 に結合されるとともに、R F ダイ 1 1 0 に結合されている。

40

【 0 0 4 1 】

P A A 基板 1 8 0 は、アレイマスク 1 8 6 を通して露出された 4 つのプレーナアンテナ素子 1 8 1、1 8 2、1 8 3 及び 1 8 4 を有するように図示されている。一実施形態において、アンテナ帯域幅を改善するために、P A A 基板 1 8 0 内にグランドプレーンとして、開口を有する金属層 1 8 8 が配置される。グランドプレーン 1 8 8 は、P A A 基板 1 8 0 内のグランドビア 1 9 2 を介してダミーバンプ 1 9 0 に結合されている。

【 0 0 4 2 】

R F ダイ 1 1 0 とアンテナ素子との電気コンタクトは、少なくとも 1 つの配線 1 9 4 を介して成し遂げられる。P A A 基板 1 8 0 を介したアンテナ素子 1 8 1、1 8 2、1 8 3 及び 1 8 4 の電氣的結合は、誘導結合の開口フィーディングによって成し遂げられる。一

50

実施形態において、PAA基板180は第1の誘電体層196及び第2の誘電体層198を含む。一実施形態において、第1の誘電体層196はガラスであり、やはりガラスである第2の誘電体層198より低い誘電率を有する。

【0043】

RFダイ110は、少なくとも1つのTSV157及び少なくとも1つの配線194を介してPAA基板180に結合されている。一実施形態において、RFダイ110のTSV信号はフェイズドアレイアンテナ素子に伝送されるが、より低周波数の機能はPAA基板180から分離されてマウント基板172に含められる。この統合システムは、信号の混雑状態を緩和するとともに、PAA基板180の寸法によって制約されるX-Yフォームファクタをより小さくすることを容易にする。

10

【0044】

図5は、一実施形態例に従った図1bに示したチップパッケージ101の一部の分解斜視切断図である。図5には、セクター170に関する後続ダイ154のZ方向フットプリントのみが示されている。後続ダイ154はセクター170内のワイヤフレームにて示されており、後続ダイ154とRFダイ110との間に配置されるバンプリング168は、後続ダイ154及びRFダイ110の双方からZ方向に離して、分解して示されている。見て取れるように、グランドリング166とバンプリング168とにより、無線・電磁干渉をセクター170内に制限する遮蔽構造が形成される。

【0045】

図6は、一実施形態例に従ったプロセス及び方法のフロー図600である。

20

【0046】

ステップ610にて、プロセスの一実施形態は、無線・電磁干渉遮蔽TSVエンクロージャをRFダイ内に形成することを含む。非限定的な一実施形態例において、図1aに示したように、RMI TSVエンクロージャ126がRFダイ110内に形成される。RMI TSVエンクロージャ126用のTSVの形成は、既知の技術によって行われ得る。非限定的な一実施形態例において、バックエンドメタライゼーション120はメタライゼーション貫通遮蔽ビア132を含む。

【0047】

ステップ612にて、上記エンクロージャがGPS回路を包囲する。非限定的な一実施形態例において、図1bに示した第1のセクター124がRMI TSVエンクロージャ126内に包囲される。

30

【0048】

ステップ620にて、このプロセスは、ダイの裏面側で上記エンクロージャ上にRMI遮蔽蓋(リッド)を形成することを含む。リッド128は、図2に示したような有利な配線幅及び間隔で形成される。一実施形態例において、このプロセスはステップ610で開始してステップ620で終了する。

【0049】

ステップ630にて、方法の一実施形態は、RFICダイ内にある信号TSV及び電源/グランドTSVを用いて、RFICダイをデジタルプロセッサ(DP)ダイに取り付けることを含む。非限定的な一実施形態例において、図1bに示したようにDPダイである後続ダイ154がRFダイ110にフリップチップアセンブルされる。一実施形態において、この方法はステップ610で開始してステップ630で終了する。

40

【0050】

ステップ632にて、この方法は、フェイズドアレイアンテナ基板をRFダイに取り付けることを含む。非限定的な一実施形態例において、図1cに示したようにPAA基板180がRFダイ110にアセンブルされる。理解されるように、どのような形態のPAA基板がTSV RFダイに取り付けられてもよい。

【0051】

ステップ640にて、方法の一実施形態は、RFICダイをマウント基板に取り付けることを含む。非限定的な一実施形態例において、図1bのようにRFダイ110がボード

50

１７２にアセンブルされる。非限定的な一実施形態例において、ステップ６１０、６２０からステップ６４０への矢印で図示するように、ＲＦダイ１１０の形態のままでボードにアセンブルされる。例えば後続ダイをＲＦダイに取り付けるなど、ステップ６１０、６２０及び６４０に付随して、あるいは続いて、その他の組立が行われてもよい。

【００５２】

ステップ６４２にて、方法の一実施形態は、少なくとも１つの受動デバイスを内蔵したマウント基板を含む。非限定的な一実施形態例において、ＲＦダイ１１０を支援するインダクタ１７４が、マウント基板１７２に埋め込まれ、ボード１７２とＲＦダイ１１０との間のフリップチップ接続によって結合される。

【００５３】

ステップ６５０にて、方法の一実施形態は、ＲＦダイをコンピュータシステムに取り付けることを含む。非限定的な一実施形態例において、図７に示すコンピュータシステム７００は、コンピュータシステム７００を構築するように組み立てられたＲＦダイの一実施形態を含んでいる。

【００５４】

図７は、一実施形態に従ったコンピュータの模式図である。

【００５５】

図示のようなコンピュータシステム７００（電子システム７００とも呼ぶ）は、開示した複数の実施形態及び本開示にて説明したその均等物のうちの何れかに従った無線・電磁干渉遮蔽構造を備えたＲＦダイを含む装置を具現化することができる。ＲＭＩ遮蔽構造の一実施形態を含む装置はコンピュータシステムに組み立てられる。コンピュータシステム７００は、例えばネットブックコンピュータなどのモバイル（移動式）装置とし得る。コンピュータシステム７００はデスクトップコンピュータとし得る。コンピュータシステム７００は手持ち式読み取り装置とし得る。コンピュータシステム７００は自動車に一体化され得る。コンピュータシステム７００はテレビジョンに一体化され得る。

【００５６】

一実施形態において、電子システム７００は、電子システム７００の様々なコンポーネントを電気的に結合するシステムバス７２０を含んだコンピュータシステムである。システムバス７２０は、様々な実施形態に従って、単一のバス、又は複数のバスの組合せである。電子システム７００は、集積回路７１０に電力を供給する電圧源７３０を含んでいる。一部の実施形態において、電圧源７３０はシステムバス７２０を介して集積回路７１０に電流を供給する。

【００５７】

集積回路７１０は、システムバス７２０に電気的に結合されるとともに、一実施形態に従った回路又は複数回路の組合せを含む。一実施形態において、集積回路７１０は、ＲＭＩ遮蔽構造の一実施形態を含んだ何らかの種類の装置とし得るプロセッサ７１２を含む。ここでは、プロセッサ７１２は、以下に限られないが例えばマイクロプロセッサ、マイクロコントローラ、グラフィックプロセッサ、デジタル信号プロセッサ、又はその他のプロセッサなどの如何なるタイプの回路をも意味する。一実施形態において、プロセッサ７１２は、ここに開示されたＲＭＩ遮蔽構造の実施形態である。一実施形態において、プロセッサのメモリキャッシュ内にＳＲＡＭの実施形態が見出される。集積回路７１０に含められ得るその他の種類の回路は、例えば、携帯電話、スマートフォン、ポケットベル、ポータブルコンピュータ、送受信兼用無線機及び同様の電子システムなどの無線装置で利用される通信回路７１４のような、カスタム回路又は特定用途向け集積回路（ＡＳＩＣ）である。一実施形態において、集積回路７１０は、例えばスタティックランダムアクセスメモリ（ＳＲＡＭ）などのオンダイ（on-die）メモリ７１６を含む。一実施形態において、集積回路７１０は、例えば混載ダイナミックランダムアクセスメモリ（ｅＤＲＡＭ）などの組込オンダイメモリ７１６を含む。

【００５８】

一実施形態において、集積回路７１０は後続の集積回路７１１で補完される。後続の集

10

20

30

40

50

積回路 711 は例えば、インテル社によって製造される Sandy Bridge (登録商標) 型プロセッサなどのグラフィックプロセッサを含み得る DP である。一実施形態において、デュアル集積回路 711 は、例えば eDRAM などの組込オンダイメモリ 717 を含む。デュアル集積回路 711 は、デュアルプロセッサ 713、デュアル通信回路 715、及び SRAM などのデュアルオンダイメモリ 717 と含む。

【0059】

一実施形態において、少なくとも 1 つの受動デバイス 780 が RF 集積回路 710 に結合されて、RF 集積回路 710 及び当該少なくとも 1 つの受動デバイスが、集積回路 710 と必要に応じて集積回路 711 の一部とを含んだ RMI 遮蔽構造を含む装置の実施形態の一部であるようにされる。

10

【0060】

一実施形態において、電子システム 700 は、例えば本開示にて説明した PAA の実施形態などのアンテナ素子 782 を含む。本開示にて説明した PAA の実施形態などのアンテナ素子 782 の使用により、例えばテレビジョンなどの遠隔装置 784 が、装置の一実施形態による無線リンクを介して遠隔操作され得る。例えば、無線・電磁干渉遮蔽構造を用いて動作するスマートフォン上のアプリケーションは、例えば Bluetooth (登録商標) 技術などによってテレビジョンまで最大約 30 m の距離の無線リンクで命令をブロードキャストするが、RMI 遮蔽構造の実施形態が GPS 回路を保護する。アンテナ素子 782 はまた、GPS セクター用のアンテナを有し得る。アンテナ素子 782 はまた、携帯電話用のアンテナを有し得る。アンテナ素子 782 はまた、モノポール機能を有し得る。アンテナ素子 782 はまた、ダイポール機能を有し得る。アンテナ素子 782 はまた、PIFA 機能を有し得る。アンテナ素子 782 はまた、ビバルディ型機能を有し得る。アンテナ素子 782 はまた、ソレノイド型機能を有し得る。その他の有利な機能は必要な場合には、その他のアンテナ機能も使用され得る。

20

【0061】

一実施形態において、電子システム 700 はまた外部メモリ 740 を含む。外部メモリ 740 は、具体的な用途に適した 1 つ以上の記憶素子を含むことができ、例えば、RAM の形態のメインメモリ 742、1 つ以上のハードドライブ 744、及び/又は、例えばディスク、コンパクトディスク (CD)、デジタル多用途ディスク (DVD)、フラッシュメモリデバイス及び技術的に知られたその他の取り外し可能媒体などのリムーバブル媒体 746 を取り扱う 1 つ以上のドライブを含み得る。外部メモリ 740 はまた、開示した何れかの実施形態に従った無線・電磁干渉遮蔽構造を含んだ装置などの、内蔵メモリ 748 であってもよい。

30

【0062】

一実施形態において、電子システム 700 はまた、表示装置 750 及び音声出力 760 を含んでいる。一実施形態において、電子システム 700 は、例えば、キーボード、マウス、タッチパッド、キーパッド、トラックボール、ゲームコントローラ、マイク、音声認識装置、又は情報を電子システム 700 に入力するその他の入力装置、とし得るコントローラなどの入力装置 770 を含んでいる。一実施形態において、入力装置 770 はカメラを含む。一実施形態において、入力装置 770 はデジタル録音装置を含む。一実施形態において、入力装置 770 はカメラとデジタル録音装置とを含む。

40

【0063】

基礎基板 790 はコンピュータシステム 700 の一部とし得る。一実施形態において、基礎基板 790 は、後続ダイと結合された RMI 遮蔽構造を含んだ装置を支持するマザーボードである。理解され得るように、DCA ボードは、コンピュータシステム 700 の一部であるとともに、該 DCA ボードが取り付けられるマザーボードの一部であってもよい。一実施形態において、基礎基板 790 は、PAA 基板に結合された RMI 遮蔽構造を有する RF ダイを含んだ装置を支持するボードである。一実施形態において、基礎基板 790 は、破線 790 で囲まれた機能のうちの少なくとも 1 つを組み込んでおり、例えば無線発信器のユーザシェルの基板である。

50

【 0 0 6 4 】

ここに示すように、集積回路 7 1 0 は、開示の複数の実施形態及びそれらの均等物の何れかに従った R M I 遮蔽構造を含んだ装置、電子システム、コンピュータシステム、集積回路を製造する 1 つ以上の方法、並びに、様々な実施形態にて説明した開示の複数の実施形態及び技術的に認識されるそれらの均等物の何れかに従った R M I 遮蔽構造を含んだ装置の製造及び組立を行う 1 つ以上の方法、といった数多くの異なる形態で実現され得る。要素、材料、幾何学構成、寸法、及び処理順序は全て、R M I 遮蔽構造の実施形態及びそれらの均等物を含む具体的な I / O 結合要求に適合するように変更されることが出来る。

【 0 0 6 5 】

ダイはプロセッサチップを意味し得るが、R F チップ、R F I C チップ、I P D チップ又はメモリチップも同じ文内で意味され得る。しかしながら、これらは均等な構造であるとは見なされるべきでない。本開示全体を通しての“一実施形態”又は“或る実施形態”への言及は、その実施形態に関連して説明される特定の機能、構造又は特徴が本発明の少なくとも 1 つの実施形態に含まれることを意味する。本開示全体を通して様々な箇所に“一実施形態において”又は“或る実施形態において”なる言い回しが現れることは、必ずしも、全てが同じ実施形態に言及しているわけではない。また、特定の複数の機能、構造又は特徴が、1 つ以上の実施形態において好適に組み合わせられ得る。

10

【 0 0 6 6 】

例えば“上側”や“下側”、“上方”や“下方”などの用語は、図示した X - Z 座標を参照することで理解され、例えば“隣接する”などの用語は、X - Y 座標を参照する、あるいは Z 座標でないものを残照することで理解され得る。

20

【 0 0 6 7 】

以上の詳細な説明においては、開示の効率化の目的で、単一の実施形態内に様々な機構がまとめられている。この開示手法は、請求項に記載される本発明の実施形態が、各請求項に明示されたものより多くの機構を必要とする、という意図を反映したものとして解釈されるべきでない。むしろ、以下の請求項が反映するように、本発明の主題は、開示した単一の実施形態の機構のうちの一部にある。故に、以下の請求項は、各請求項がそれ自身を別個の好適実施形態として表すように、この発明の詳細な説明に組み込まれる。

【 0 0 6 8 】

当業者に容易に理解されるように、本発明の性状を説明するために記載・図示した細部、材料、並びに部分群や方法ステップ群の編成には、請求項に表現される本発明の原理及び範囲を逸脱することなく、その他の様々な変更が為され得る。

30

【図 1 a】

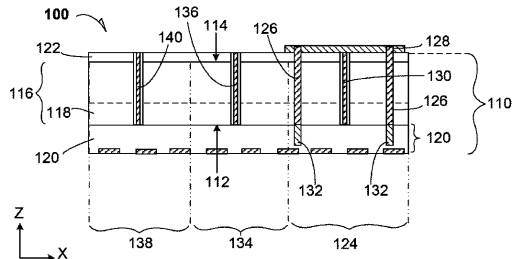


Fig. 1a

【図 1 b】

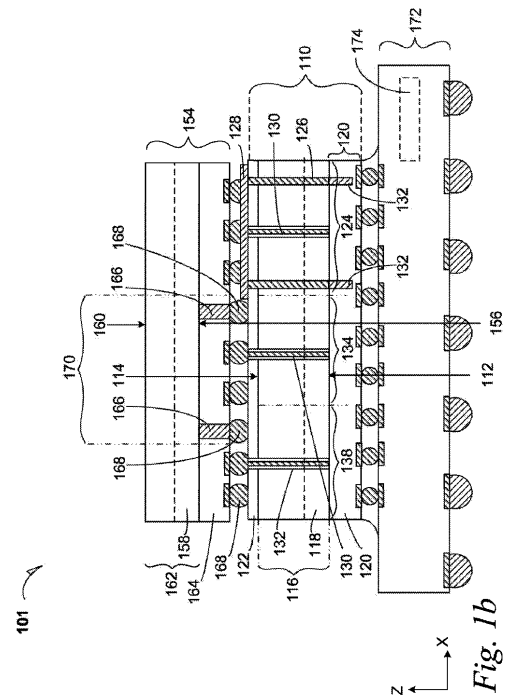


Fig. 1b

【図 1 c】

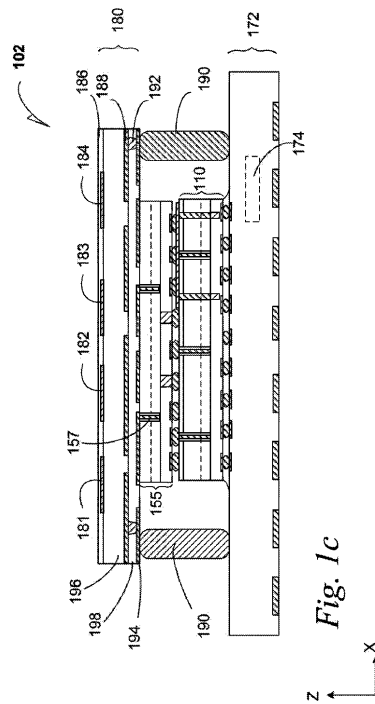


Fig. 1c

【図 2】

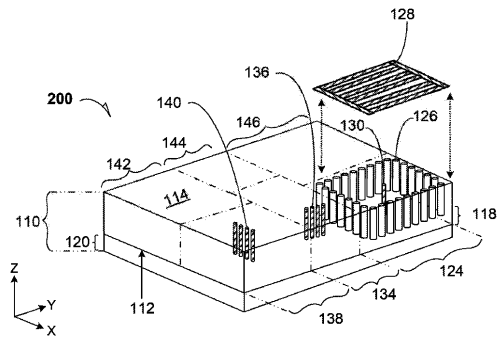


Fig. 2

【図 3】

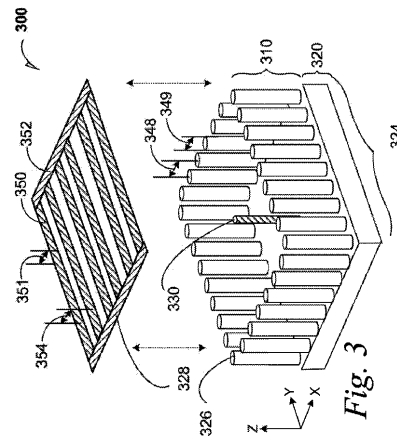
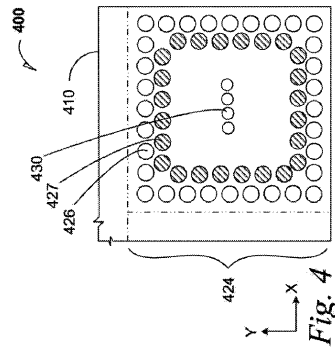


Fig. 3

【図 4】



【図 5】

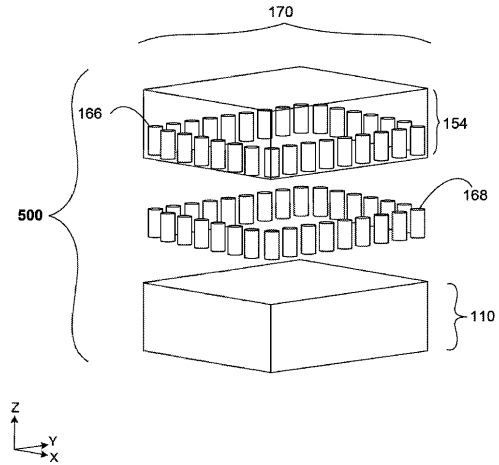
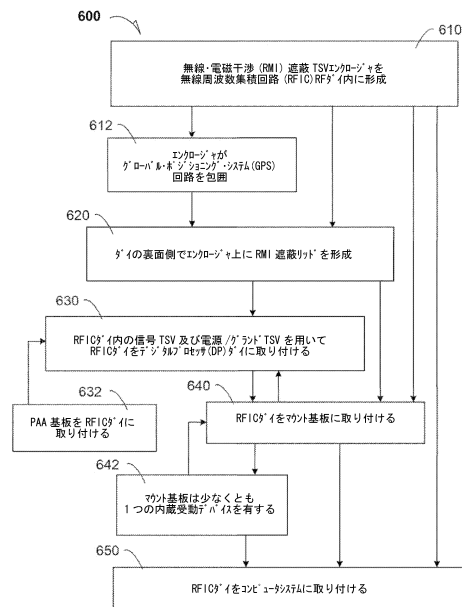
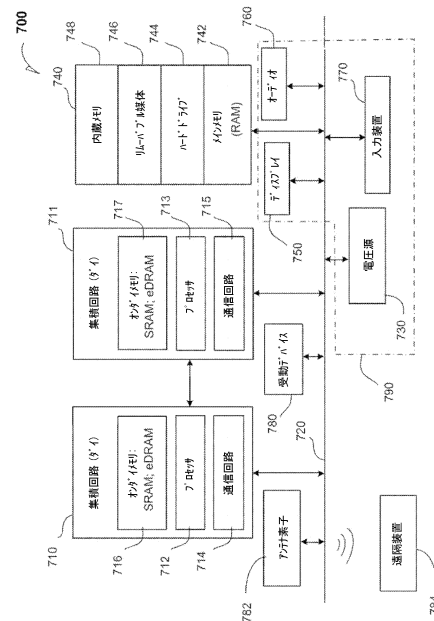


Fig. 5

【図 6】



【図 7】



フロントページの続き

(72)発明者 ラオ, ヴァルリ アール.

アメリカ合衆国 9 5 0 7 0 カリフォルニア州 サラトガ エル キト ウェイ 1 5 1 1 5

審査官 佐藤 敬介

(56)参考文献 特開平 1 1 - 0 5 4 6 4 3 (J P , A)

特開平 0 3 - 1 6 5 0 5 8 (J P , A)

特表 2 0 0 0 - 5 0 7 0 4 5 (J P , A)

特開 2 0 0 3 - 2 4 9 6 2 2 (J P , A)

米国特許出願公開第 2 0 1 0 / 0 0 7 8 7 7 6 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)

H 0 4 B 1 / 3 8

H 0 1 L