(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03F 3/45

(45) 공고일자 1999년06월01일
(11) 등록번호 10-0190763
(24) 등록일자 1999년01월21일

(21) 출원번호 10-1995-0066003
(22) 출원일자 1995년12월29일
(65) 공개번호 특1997-0055264
(43) 공개일자 1997년07월31일

(73) 특허권자 현대전자산업주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 김정필
서울특별시 강동구 고덕 2동 255-2 102호
(74) 대리인 이정훈, 이권희

심사관 : 정순원

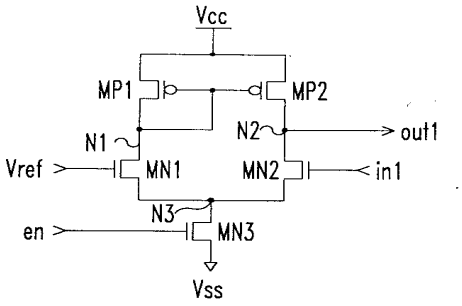
(54) 차동 증폭기

요약

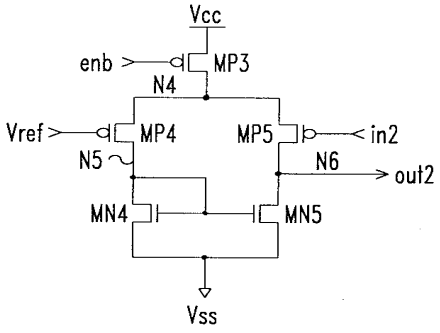
본 발명은 반도체 메모리 장치의 차동 증폭기에 관한 것으로, 특히 SDRAM에서 입력버퍼로 사용되는 차동 증폭기에 관한 것이다. 본 발명의 NMOS 및 PMOS 타입의 차동 증폭기는 입력 신호에 의해 동작이 제어되는 스위치 소자를 차동 증폭기의 풀-업 또는 풀-다운 드라이버단에 구현하여 입력신호가 입력되지 않을 경우에는 상기 차동 증폭기의 동작을 제어함으로써, 대기시 전류 소모를 줄일 수 있는 효과가 있다.

대표도

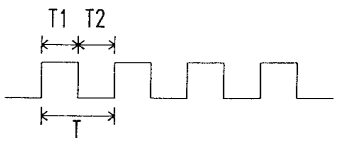
(A)



(B)



(C)



명세서

[발명의 명칭]

차동 증폭기

[도면의 간단한 설명]

제1도는 종래의 NMOS 및 PMOS 타입의 차동 증폭기를 도시한 회로도.

제2도는 본 발명의 제1 실시예에 의한 차동 증폭기의 회로도.

제3도는 본 발명의 제2 실시예에 의한 차동 증폭기의 회로도.

* 도면의 주요부분에 대한 부호의 설명

10, 12 : 비교수단 20, 22 : 전원 공급수단

30, 32 : 인에이블 수단 40, 42, 50, 52 : 스위칭수단

MN1~MN7 : NMOS형 트랜지스터 MP1~MP7 : PMOS형 트랜지스터

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치의 차동 증폭기에 관한 것으로, 특히 동기식 디램(Synchronous DRAM:SDRAM)에서 입력 버퍼로 사용되는 차동 증폭기에 관한 것이다.

본 발명의 차동 증폭기는 모든 메모리 로직 디바이스(Memory logic device)에 대하여 이용 가능하며, 전류소모를 줄이기 위한 목적으로 이용할 수 있다.

제1도는 종래의 NMOS 및 PMOS 타입(type)의 차동 증폭기를 도시한 회로도이다.

제1A도는 NMOS 타입의 차동 증폭기로서, 전원전압(Vcc) 및 노드(N1, N2) 사이에 각각 접속되며 게이트가 상기 노드(N1)에 공통으로 연결된 커런트 미러(current mirror) 구조를 이루는 PMOS 트랜지스터(MP1, MP2)와, 상기 노드(N1) 및 노드(N3) 사이에 접속되며 게이트로 기준전위(Vref)가 인가되는 NMOS트랜지스터(MN1)와, 상기 노드(N2) 및 노드(N3) 사이에 접속되며 게이트 입력신호(in1)가 인가되는 NMOS트랜지스터(MN2)와, 상기 노드(N3) 및 접지전압(Vss) 사이에 접속되며 게이트로 인에이블 신호(en)가 인가되는 NMOS트랜지스터(MN3)로 구성되어 있다.

상기 구성에 의한 동작을 살펴보면, 상기 PMOS트랜지스터(MP1, MP2) 및 NMOS트랜지스터(MN1, MN2)의 채널 길이(channel length) 및 폭(width)이 같고 인에이블(en) 신호가 '하이'일때, in1의 전위가 기준전압(Vref)보다 높으면 NMOS트랜지스터(MN2)로 흐르는 전류가 NMOS트랜지스터(MN1)로 흐르는 전류보다 커서 출력단자(out1)의 전위는 '로우'가 되고, in1의 전위가 기준전압(Vref)보다 낮으면 NMOS트랜지스터(N1)로 흐르는 전류가 NMOS트랜지스터(N2)로 흐르는 전류보다 커서 출력단자(out1)는 '하이'가 된다.

제1B도는 PMOS 타입의 차동 증폭기로서, 전원전압 및 노드(N4) 사이에 접속되며 게이트로 인에이블 신호(enb)가 인가되는 PMOS트랜지스터(MP3)와, 상기 노드(N4) 및 노드(N5) 사이에 접속되며 게이트로 기준전위(Vref)가 인가되는 PMOS트랜지스터(MP4)와, 상기 노드(N4) 및 출력단자(N6) 사이에 접속되며 게이트로 입력신호(in2)가 인가되는 PMOS트랜지스터(MP5)와, 상기 노드(N5, N6) 및 접지전압(Vss) 사이에 각각 접속되며 게이트가 상기 노드(n5)에 공통으로 연결된 커런트 미러 구조의 NMOS트랜지스터(MN4, MN5)로 구성되어 있다.

마찬가지로, PMOS트랜지스터(MP4, MP5) 및 NMOS트랜지스터(MN4, MN5)의 채널 길이 및 폭이 같고 인에이블(enb) 신호가 '로우'일때, in2의 전위가 기준전압(Vref)보다 낮으면 PMOS트랜지스터(MP5)전류보다 커서 출력단자(out2)의 전위는 '하이'가 되고, in2의 전위가 기준전압(Vref)보다 높으면 PMOS트랜지스터(MP4)로 흐르는 전류가 PMOS트랜지스터(MP5)로 흐르는 전류보다 커서 출력단자(out2)는 '로우'가 된다.

최근의 반도체 디램(DRAM)에서는 에스디램(SDRAM)과 같이 빠른 속도를 요구하는 디램이 많이 개발되고 있으며, 이와 같은 디바이스(devive)에서는 차동 증폭기를 입력 버퍼로 많이 사용하는 경향이 나타나고 있다. 그런데, 이와 같은 타입의 차동 증폭기에서는 제1도에 도시된 바와 같이 en과 enb를 각각 '하이''로우'로 인에이블시키면 기준전압 레벨이 보통 1.4V이기 때문에 in1/in2의 전위와는 상관없이 NMOS트랜지스터(MN1) 및 PMOS트랜지스터(MP4)를 통하여 일정한 전류가 소모되고, 이는 입력 버퍼 같은 경우는 대기 전류의 소모로 나타난다.

즉, in1/in2의 파형이 제1C도와 같을 때, in1/in2의 전위가 T1(하이전위)상태이건 T2(로우전위)상태이건 상관없이 항상 전류를 소모한다.

이와 같이 동기식 디램(Synchronous DRAM:SDRAM)에서 차동 증폭기를 입력 버퍼로 사용하게 되면, 이 입력 버퍼가 인에이블된 이후에 입력 신호(in1, in2)에 상관없이 기준전위(Vref)를 입력하는 소자가 항상 턴-온되어 많은 전류를 소모하는 단점이 있다.

따라서 본 발명에서는 입력신호에 의해 동작이 제어되는 스위치 소자를 차동 증폭기의 풀-업 또는 풀-다운 드라이버단에 구현하여 입력 신호가 입력되지 않을 경우에는 상기 차동 증폭기의 동작을 제어함으로써, 대기시 전류소모를 줄인 차동 증폭기를 제공하는데 그 목적이 있다.

상기 목적을 달성하기 위하여, 본 발명의 차동 증폭기에서는 제1 및 제2 입력단을 통해 입력되는 제1 및 제2 전위를 비교·증폭하는 비교수단과; 상기 비교수단과 제1 전원전압원 사이에 접속되며, 상기 비교수단에 일정 전류를 공급하는 커런트-미러 구조의 전원 공급수단과; 상기 비교수단과 제2 전원전압원 사이에 접속되어 전체 동작의 인에이블여부를 제어하는 인에이블수단과; 상기 비교수단과 상기 인에이블수단 사이에 접속되며, 상기 제2 전위에 의해 스위칭 동작이 제어되어 전류경로의 형성여부를 제어하는 스위칭 수단을 구비하였다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더 상세히 설명하기로 한다.

제2도는 본 발명의 제1 실시예에 의한 차동 증폭기의 회로도로서, 제2A도는 NMOS 타입의 차동 증폭기를, 제2B도는 PMOS 타입의 차동 증폭기를 나타낸 것이다.

먼저, 제2A도에 도시된 NMOS 타입의 차동 증폭기는 제1 및 제2 입력단(MN1, MN2)을 통해 입력되는 제1 및 제2 전위(Vref, in1)를 비교·증폭하는 비교수단(10)과; 상기 비교수단(10)과 전원전압원(Vcc) 사이에 접속되며, 상기 비교수단(10)의 제1 및 제2 입력단(MN1, MN2)에 일정전위를 공급하는 커런트-미러 구조의 전원 공급수단(20)과; 상기 비교수단(10)과 접지전압원(Vss) 사이에 접속되어 전체 동작의 인에이블여부를 제어하는 인에이블수단(30)과; 상기 비교수단(10)과 상기 인에이블수단(30) 사이에 접속되며, 상기 제2 전위(in1)에 의해 스위칭 동작이 제어되어 전류경로의 형성여부를 제어하는 스위칭수단(40)으로 구성된다.

상기 비교수단(10)은 제1 및 제2 노드(N1, N2) 각각에 드레인단이 연결되며, 그 소오스단이 제3 노드(N3)에 공통연결된 제1 및 제2 N채널 모스 트랜지스터(MN1, MN2)로 이루어진다.

그리고, 상기 전원공급수단(20)은 소오스단이 전원전압원(Vcc)에 공통연결되고, 드레인단이 각각 상기 제1 및 제2 노드에 연결된 제1 및 제2 P채널 모스 트랜지스터(MP1, MP2)로 이루어지며, 각각의 게이트단은 상기 제1 노드(N1)에 공통연결되는 것을 특징으로 한다.

또한, 상기 인에이블수단(30) 및 스위칭수단(40)은 모두 N채널 모스 트랜지스터(MN3, MN6)로 이루어진다.

상기 구성을 갖는 차동 증폭기는 입력 신호 in1의 파형이 제2c도와 같을 때 T1 구간동안의 전위가 'H=3V'이고, T2 구간동안의 전위가 'L=0V'라고 가정할 때, 대부분의 SDRAM의 경우에 있어서는 in1을 클럭신호로 생각하면 클럭의 라이징 에이지(rising edge) 구간에서 모든 동작이 일어나게 된다. 즉, in1의 전위가 하이로 인에이블되면(T1구간) 상기 NMOS트랜지스터(MN6)가 턴-온되어 칩(chip)을 동작시키나, in1의 전위가 로우로 인에이블되면(T2구간) 상기 NMOS트랜지스터(MN6)가 턴-오프되어 전류소모를 줄일 수 있다.

제2B도에 도시된 PMOS 타입의 차동 증폭기는 제1 및 제2 입력단(MP4, MP5)를 통해 입력되는 제1 및 제2 전위(Vref, in2)를 비교·증폭하는 비교수단(12)과; 상기 비교수단(12)과 접지전압원(Vss) 사이에 접속되며, 상기 비교수단(12)의 제1 및 제2 입력단(MP4, MP5)에 일정전위를 공급하는 커런트-미러 구조의 전원 공급수단(22)과; 상기 비교수단(12)과 전원전압원(Vcc) 사이에 접속되어 전체 동작의 인에이블여부를 제어하는 인에이블수단(32)과; 상기 비교수단(12)과 상기 인에이블수단(32) 사이에 접속되며, 상기 제2 전위(in2)에 의해 스위칭 동작이 제어되어 전류경로의 형성여부를 제어하는 스위칭수단(42)으로 구성된다.

상기 비교수단(12)는 제5 및 제6 노드(N5, N6) 각각에 드레인단이 연결되며, 그 소오스단이 제4 노드(N4)에 공통연결된 제4 및 제5 P채널 모스 트랜지스터(MP4, MP5)로 이루어진다.

그리고, 상기 전원공급수단(22)은 소오스단이 접지전압원(Vss)에 공통연결되고, 드레인단이 각각 상기 제5 및 제6 노드(N5, N6)에 연결된 제4 및 제5 N채널 모스 트랜지스터(MN4, MN5)로 이루어지며, 각각의 게이트단은 상기 제5 노드(N5)에 공통연결되는 것을 특징으로 한다.

또한, 상기 인에이블수단(32) 및 스위칭수단(42)은 모두 P채널 모스 트랜지스터(MP3, MP6)로 이루어진다.

여기서, 입력신호(in2)가 SDRAM의 라스바(RASb) 신호라 하면, RASb신호는 폴링 에이지(falling edge) 구간에서 항시 동작하도록 되어 있기 때문에 제2C도의 T2 구간에서는 상기 PMOS트랜지스터(MP6)가 턴-온되어 정상동작하나, T1구간에서는 상기 PMOS트랜지스터(MP6)가 턴-오프되어 전류소모를 줄였다.

제3도는 본 발명의 제2 실시예에 의한 차동 증폭기의 회로도이다.

제2도와 다른 점은, 제2도에서는 두개의 입력신호중 하나가 기준전위(Vref)(약 1.4V)로 일정한 값을 가지는 것이고, 제3도에서는 상호 반대 전위레벨을 갖는 두개의 입력신호(in1과 in1b, in2와 in2b)를 사용한 것이다.

제3A도는 NMOS 타입의 차동 증폭기의 회로도로서, 상기 제2A도에 도시된 차동 증폭기 회로의 기본 구성에서 상기 스위칭수단(40)의 제어신호(in1)와 반대 전위레벨을 갖는 신호(in1b)에 의해 동작이 제어되며, 상기 스위칭수단(40)과 상기 인에이블수단(30)의 사이에 직렬연결된 N채널 모스 트랜지스터(MN7)로 이루어진 제2 스위칭수단(50)을 추가로 하여 구성된다.

상기 구성에 의해, 상기 입력신호(in1)의 전위가 하이에서 로우로 변하고 입력신호(in1b)의 전위가 '하이'상태이면, 입력신호(in1)가 하이에서 로우로 폴링되는 순간의 상태는 차동 증폭기에 의하여 감지증폭되고, 입력신호(in1)가 로우로 완전히 가면 상기 NMOS트랜지스터(MN6)를 턴-오프시켜서 전류소모를 줄일 수 있다.

이와 같은 차동 증폭기의 특성은 입력신호(in1 또는 in1b)의 전이 시간(transition time)이 드린(slow)경우에 있어서 그 효과가 더 좋게 나타난다.

제3B도는 PMOS 타입의 차동 증폭기의 회로도로서, 상기 제2B도에 도시된 차동 증폭기 회로의 기본 구성에서 상기 스위칭수단(42)의 제어신호(in2)와 반대 전위 레벨을 갖는 신호(in2b)에 의해 동작이 제어되며, 상기 스위칭수단(42)과 상기 인이에블수단(32)의 사이에 직렬연결된 P채널 모스 트랜지스터(MP6)로 이루어진 제2 스위칭수단(52)을 추가로 하여 구성된다.

상기 구성을 갖는 차동 증폭기 또한 마찬가지로, 입력신호(in2b)의 초기상태가 '로우'상태일 때 입력신호(in2)가 로우에서 하이로 변하면, 이 변하는 전이시간동안 그 차이를 감지 증폭하여 그 결과를 출력하고, 입력신호(in2)가 완전히 '하이'가 되면 상기 PMOS 트랜지스터(MP7)를 턴-오프시켜 전류소모를 줄일 수 있다.

이와같이 차동 증폭기내에서 입력신호들의 차이를 감지 증폭하기 위해서는 증폭기내에서 어느 정도의 시간이 소요되므로, 이에 따른 마진(margin)을 주기 위해서, 제3A도에서 NMOS트랜지스터(MN6)의 게이트로 입력되는 입력신호(in1)와 NMOS트랜지스터(MN7)의 게이트로 입력되는 입력신호(in1b)를 각각 딜레이(delay) 회로를 사용하여 지연시킬 수 있다. 마찬가지로, 제3B도에서도 PMOS트랜지스터(MP6)의 게이트로 입력되는 입력신호(in2b)와 PMOS트랜지스터(MP7)의 게이트로 입력되는 입력신호(in2)를 각각 딜레이 회로

를 사용하여 지연시킬 수 있다. 이때 딜레이 회로는 저항과 커패시터로 만들어질 수 있으며, 또한 트랜지스터로 만들 수 있다.

이상에서 설명한 바와 같이, 입력 신호에 의해 동작이 제어되는 스위치 소자가 차동 증폭기의 풀-업 또는 풀-다운 드라이버단에 구현된 본 발명의 차동 증폭기를 반도체 메모리 장치의 내부에 구현하게 되면, 입력 신호가 입력되지 않는 대기 동작에서 상기 차동 증폭기의 동작을 제어함으로써, 대기시 전류소모를 줄일 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

제1 및 제2 입력단을 통해 입력되는 제1 및 제2 전위를 비교 · 증폭하는 비교수단과,

상기 비교수단과 전원전압원 사이에 접속되며, 상기 비교수단에 일정전류를 공급하는 커런트-미러 구조의 전원 공급수단과,

상기 비교수단과 접지전압원 사이에 접속되어 전체 동작의 인에이블여부를 제어하는 인에이블수단과,

상기 비교수단과 상기 인에이블수단 사이에 접속되며, 상기 제2 전위에 의해 스위칭 동작이 제어되어 전류경로의 형성여부를 제어하는 스위칭수단을 구비하는 것을 특징으로 하는 차동 증폭기.

청구항 2

제1항에 있어서,

상기 제1 전위는 기준전위(Vref)이고,

상기 제2 전위는 입력전위인 것을 특징으로 하는 차동 증폭기.

청구항 3

제1항에 있어서,

상기 전원공급수단은 PMOS트랜지스터로 각각 구성된 것을 특징으로 하는 차동 증폭기.

청구항 4

제1항에 있어서,

상기 비교수단은 NMOS트랜지스터로 각각 구성된 것을 특징으로 하는 차동 증폭기.

청구항 5

제1항에 있어서,

상기 인에이블수단과 상기 스위칭수단은 NMOS트랜지스터인 것을 특징으로 하는 차동 증폭기.

청구항 6

제1항에 있어서,

상기 인에이블수단과 상기 스위칭수단 사이에 접속되며 게이트로 상기 제2 전위가 인가되는 제2 스위칭수단을 추가로 구비하는 것을 특징으로 하는 차동 증폭기.

청구항 7

제1항 또는 제6항에 있어서,

상기 제1 전위 및 제2 전위는 둘다 입력전위인 것을 특징으로 하는 차동 증폭기.

청구항 8

제6항에 있어서,

상기 제2 스위칭수단은 NMOS트랜지스터인 것을 특징으로 하는 차동 증폭기.

청구항 9

제1 및 제2 입력단을 통해 입력되는 제1 및 제2 전위를 비교 · 증폭하는 비교수단과,

상기 비교수단과 접지전압원 사이에 접속되며, 상기 비교수단에 일정전류를 공급하는 커런트-미러 구조의 전원 공급수단과,

상기 비교수단과 전원전압원 사이에 접속되어 전체 동작의 인에이블여부를 제어하는 인에이블수단과,

상기 비교수단과 상기 인에이블수단 사이에 접속되며, 상기 제2 전위에 의해 스우칭 동작이 제어되는 전류경로의 형성여부를 제어하는 스위칭수단을 구비하는 것을 특징으로 하는 차동 증폭기.

청구항 10

제9항에 있어서,

상기 제1 전위는 기준전위(Vref)이고, 상기 제2 전위는 입력전위인 것을 특징으로 하는 차동 증폭기.

청구항 11

제9항에 있어서,

상기 비교수단은 PMOS트랜지스터로 각각 구성된 것을 특징으로 하는 차동 증폭기.

청구항 12

제9항에 있어서,

상기 전원공급수단은 NMOS트랜지스터로 각각 구성된 것을 특징으로 하는 차동 증폭기.

청구항 13

제9항에 있어서,

상기 인에이블수단 및 스위칭수단은 PMOS트랜지스터인 것을 특징으로 하는 차동 증폭기.

청구항 14

제9항에 있어서,

상기 인에이블수단 및 스위칭수단 사이에 접속되며 게이트로 상기 제1 전위가 인가되는 제2 스위칭수단을 추가로 구비하는 것을 특징으로 하는 차동 증폭기.

청구항 15

제9항 또는 제14항에 있어서,

상기 제1 전위 및 제2 전위는 둘다 입력전위인 것을 특징으로 하는 차동 증폭기.

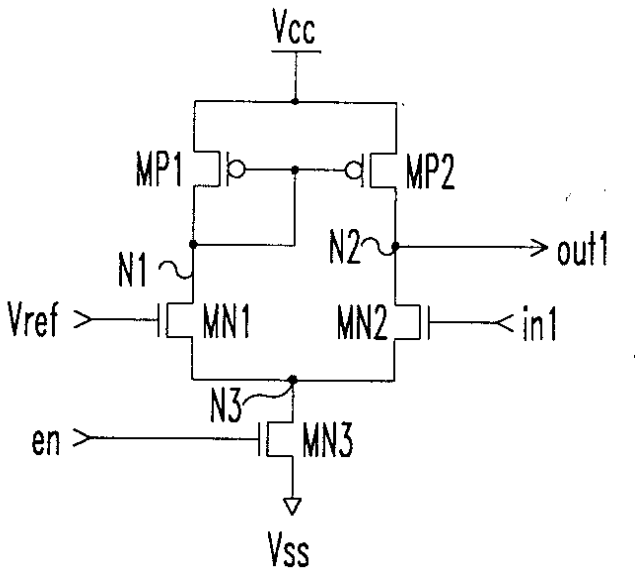
청구항 16

제14항에 있어서,

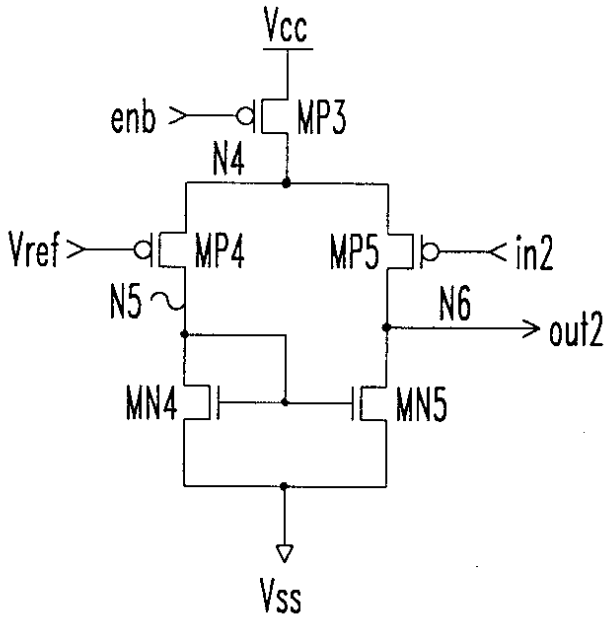
상기 제2 스위칭수단은 PMOS트랜지스터인 것을 특징으로 하는 차동 증폭기.

도면

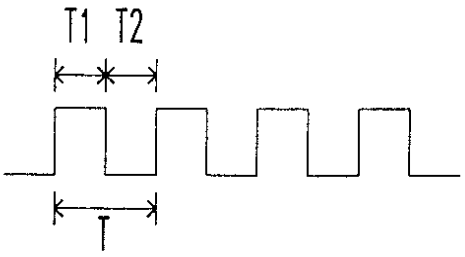
도면1a



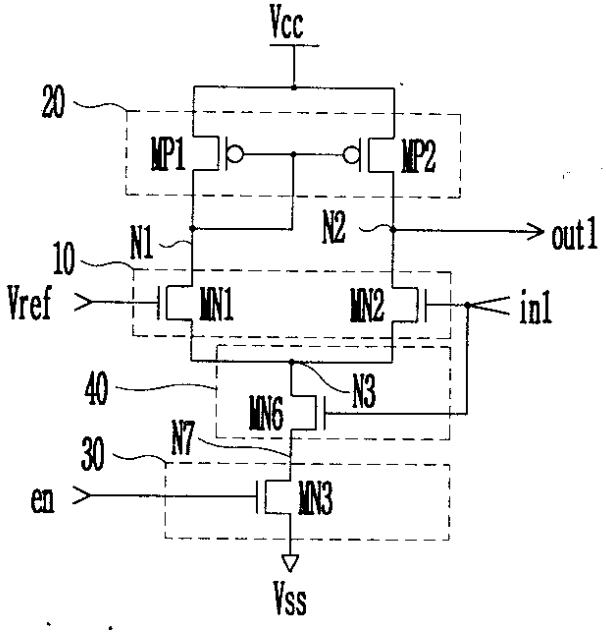
도면1b



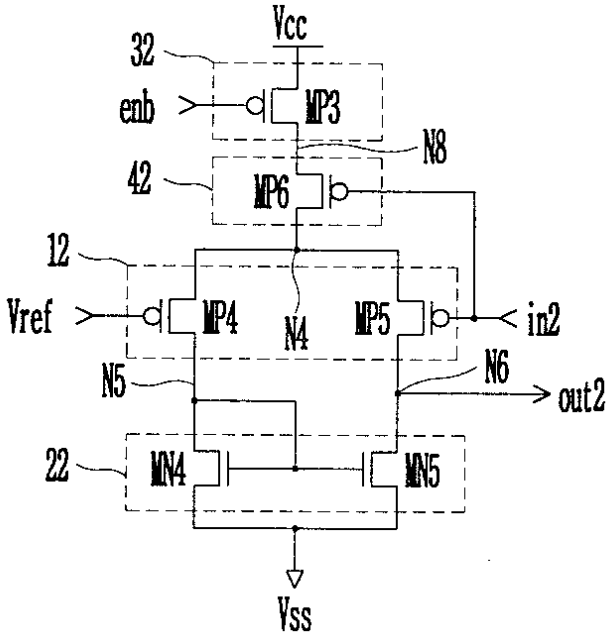
도면1c



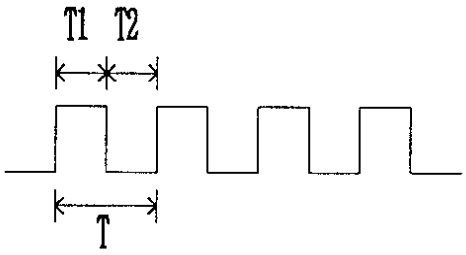
도면2a



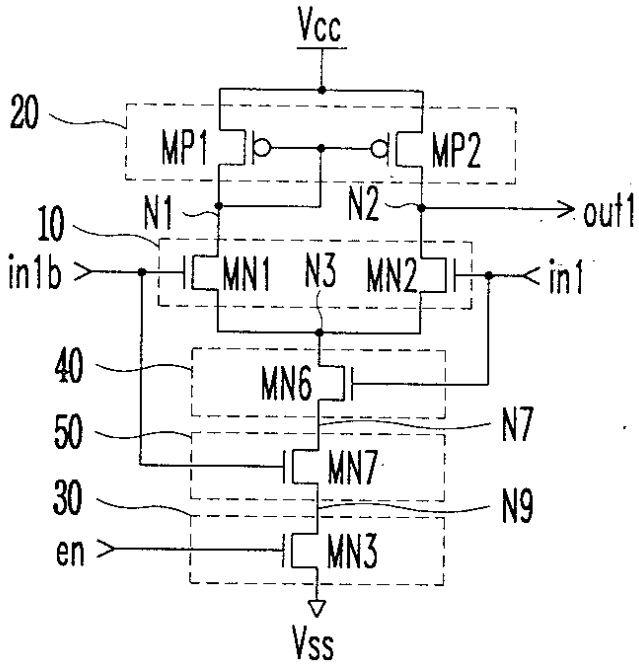
도면2b



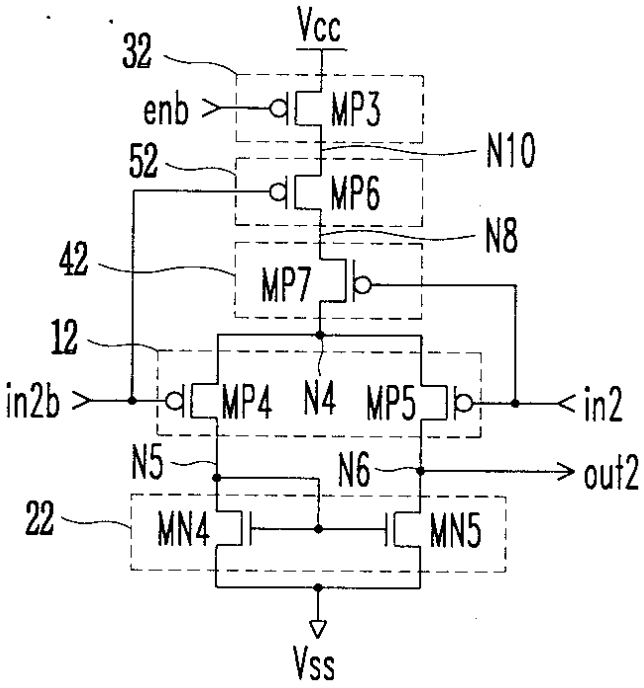
도면2c



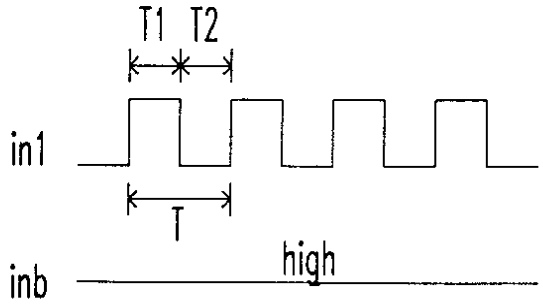
도면3a



도면3b


Vcc
32
enb
MP3
N10
52
MP6
N8
42
MP7
12
in2b
MP4
N4
MP5
in2
N5
N6
out2
22
MN4
MN5
Vss

도면3c


T1
T2
in1
T
inb
high