

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294618
(P2005-294618A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO1G 4/12	HO1G 4/12 352	5E001
HO1G 4/252	HO1G 4/12 361	5E082
HO1G 4/30	HO1G 4/30 301C	
	HO1G 1/14 V	

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号	特願2004-108879 (P2004-108879)	(71) 出願人	000006633 京セラ株式会社 京都府京都市伏見区竹田鳥羽殿町6番地
(22) 出願日	平成16年4月1日(2004.4.1)	(72) 発明者	家村 努 鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内
		Fターム(参考)	5E001 AB03 AF06 AH01 AH07 AJ03 5E082 AA01 AB03 BC40 EE04 EE23 EE35 FF05 FG04 FG26 FG46 FG54 GG10 GG11 GG21 GG26 GG28 JJ03 JJ12 JJ15 JJ30 KK01 MM22 MM24 PP03 PP06 PP09

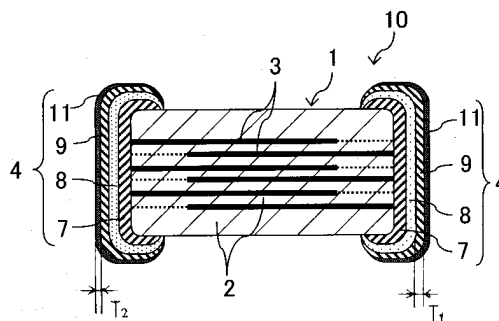
(54) 【発明の名称】 電子部品

(57) 【要約】

【課題】半田濡れ性が良く、かつチップ立ち現象の発生しないチップ部品を提供する。

【解決手段】電子部品素体の表面に外部電気回路と半田接合される外部電極を有する電子部品において、前記外部電極が、下地導体層の表面に、少なくとも錫を含有する第1メッキ層と、該第1メッキ層よりも低融点の錫合金から成る第2メッキ層とを、前記第2メッキ層が前記第1メッキ層よりも表層側となるように両者を積層して形成した。前記下地導体層がNiメッキから成り、前記第2メッキ層の厚みを0.01 μm ~ 0.05 μmに設定した。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電子部品素体の表面に外部電気回路と半田接合される外部電極を有した電子部品において、

前記外部電極は、下地導体層と、下地導体層上に少なくとも錫を含有する第 1 メッキ層と、該第 1 メッキ層よりも低融点の錫合金から成る第 2 メッキ層とを、前記第 2 メッキ層が前記第 1 メッキ層よりも表層側となるように両者を積層して形成されていることを特徴とする電子部品。

【請求項 2】

前記下地導体層が Ni メッキから成り、前記第 2 メッキ層の厚み T_2 が $0.01 \mu\text{m} \sim 0.05 \mu\text{m}$ に設定されていることを特徴とする請求項 1 に記載の電子部品。 10

【請求項 3】

前記第 1 メッキ層の厚み T_1 が $3 \mu\text{m}$ 以上であることを特徴とする請求項 1 または請求項 2 に記載の電子部品。

【請求項 4】

前記第 1 メッキ層の融点が前記第 2 メッキ層の融点よりも $12 \sim 18$ 高温であることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の電子部品。

【請求項 5】

前記第 1 メッキ層金属成分が Sn から成り、前記第 2 メッキ層金属成分が Sn - Ag、Sn - Cu、Sn - Bi のいずれかより成ることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の電子部品。 20

【請求項 6】

前記電子部品素体が複数個の誘電体層を、間に前記外部電極に電氣的に接続される内部電極を介して積層してなるコンデンサ素体であることを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の電子部品。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、携帯電話機等の電子機器に組み込まれて用いられるチップ状の電子部品に関するものである。 30

【背景技術】

【0002】

従来電子部品としては、セラミック材料等によってチップ状を成すように形成されている電子部品素体の両端面に外部電極を被着させた構造のものが知られており、かかる電子部品の外部電極は、Ag, Cu, Cu・Ni 合金などから成る下地層の表面に、半田喰われを防止するための Ni メッキ層と、半田濡れ性を良好となすための Sn メッキ層とを順次、被着・積層して構成されている。

【0003】

また、上述した電子部品をマザーボード等の外部配線基板上に従来周知の半田付け等によって実装する際、溶融した半田の表面張力に起因して電子部品が立ち上がる“チップ立ち現象”を発生することがあるため、そのような不都合を防止すべく、外部電極の表面のうち実装面以外の部位に半田濡れ性の悪い金属材料を被着させておくことが提案されている（例えば、特許文献 1 参照。）。 40

【特許文献 1】特開平 8 - 330174 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上述した従来電子部品の如く、外部電極の表面のうち実装面以外の部位のみに半田濡れ性の悪い金属材料を選択的に被着させるには、高度な微細加工技術が必要となることから、電子部品の製造プロセスが大幅に複雑化し、電子部品の量産性を著し 50

く低下させる欠点を有していた。

【0005】

本発明は、上述の問題点に鑑みて案出されたものであり、その目的は、半田濡れ性が良く、かつチップ立ち現象の発生しないチップ部品を提供することにある。

【課題を解決するための手段】

【0006】

本発明の電子部品は、電子部品素体の表面に外部電気回路と半田接合される外部電極を有した電子部品において、前記外部電極は、下地導体層と、下地導体層上に少なくとも錫を含有する第1メッキ層と、該第1メッキ層よりも低融点の錫合金から成る第2メッキ層とを、前記第2メッキ層が前記第1メッキ層よりも表層側となるように両者を積層して形成されていることを特徴とするものである。

10

【0007】

また本発明の電子部品は、前記下地導体層がNiメッキから成り、前記第2メッキ層の厚みが $0.01\mu\text{m} \sim 0.05\mu\text{m}$ に設定されていることを特徴とするものである。

【0008】

更に本発明の電子部品は、前記第1メッキ層の厚み T_1 が $3\mu\text{m}$ 以上であることを特徴とするものである。

【0009】

また更に本発明の電子部品は、前記第1メッキ層の融点が前記第2メッキ層の融点よりも $12 \sim 18$ 高温であることを特徴とするものである。

20

【0010】

更に本発明の電子部品は、前記第1メッキ層金属成分がSnから成り、前記第2メッキ層金属成分がSn-Ag、Sn-Cu、Sn-Biのいずれかより成ることを特徴とするものである。

【0011】

また更に本発明の電子部品は、前記電子部品素体が複数個の誘電体層を、間に前記外部電極に電氣的に接続される内部電極を介して積層してなるコンデンサ素体であることを特徴とするものである。

【発明の効果】

【0012】

本発明の電子部品によれば、外部電極の外層が半田濡れ性の良好な2種類のメッキ層、即ち、Snを含有する第1メッキ層と、該第1メッキ層よりも低融点のSn合金から成る第2メッキ層とで構成されており、しかも融点の低い第2メッキ層が融点の高い第1メッキ層よりも表層側に配置させてあることから、電子部品を半田付けによって外部配線基板上に実装する際、半田リフロー用の炉の中の温度が第2メッキ層の融点（半田の固相線温度近く）に達すると、第2メッキ層を形成するSn合金が半田と馴染んで半田の溶融を促進するとともに、第1メッキ層の表面を露出させる。このとき、外部電極の表面状態は露出した第1メッキ層の融点に支配されているため、半田濡れの加速は有効に抑えられており、半田が外部電極の表面を伝って這い上がるまでにはならない。その後、炉の中の温度を更に第1メッキ層の融点付近（半田液相線温度近く）まで上昇させると、第1メッキ層を形成するSn等が溶融して半田と馴染むため、半田が外部電極の表面を伝って這いあがるようとするものの、この時点では既に半田が外部配線基板と接合されているため、“チップ立ち現象”を抑止する力が作用するようになっており、このように半田濡れ性の良好な2種類のメッキ層を2段階のタイミングで半田と馴染ませながら半田接合することにより、電子部品を良好かつ安定的に実装することが可能となる。

30

40

【0013】

また本発明によれば、第2メッキ層の厚みを第1メッキ層の厚みより薄くすることによって半田の溶融を促進するとともに、第2メッキ層を第1メッキ層へ拡散して第2メッキ層を露出させ外部電極側面への半田濡れを抑えるという働きを促進している、特に第2メッキ層の厚みを $0.01 \sim 0.05\mu\text{m}$ とすることによって、その効果を高くしている。

50

【発明を実施するための最良の形態】

【0014】

以下、本発明を添付図面に基づいて詳細に説明する。

【0015】

図1は本発明の電子部品を積層セラミックコンデンサに適用した実施形態を示す断面図、図2は図1の積層セラミックコンデンサの外観斜視図であり、図に示す積層セラミックコンデンサ10は、電子部品素体としての積層体1の表面に外部電極4を形成した構造を有している。

【0016】

前記積層体1は複数個の誘電体層2を間に内部電極3を介して積層することによって形成されており、前記誘電体層2は、例えば、チタン酸バリウム、チタン酸カルシウム、チタン酸ストロンチウム等を主成分とする誘電体材料からなり、その厚みは例えば $1\mu\text{m} \sim 25\mu\text{m}$ に設定される。また積層体1の内部、具体的には、隣接する誘電体層間2-2に配設される内部電極3は、例えば、Ni、Cu、これらの合金を主成分とする金属材料からなり、その厚みは例えば $1\mu\text{m} \sim 5\mu\text{m}$ に設定される。

10

【0017】

尚、上記積層体1を作製するには、先ず、誘電体材料の粉末に適当な有機溶剤、ガラスフリット、有機バインダ等を添加・混合して泥漿状になすとともに、これを従来周知のドクターブレード法等によって所定形状、所定厚みのセラミックグリーンシートを得る。次に、Niの粉末に、ガラスフリットと、有機バインダと溶剤とからなるビヒクルとを混合して得た導体ペーストを、各セラミックグリーンシートの一主面に従来周知のスクリーン印刷法等によって所定パターンに印刷・塗布する。次に、得られたセラミックグリーンシートを従来周知のグリーンシート積層法等にて所定の枚数だけ積層・圧着させることによりセラミックグリーンシートの大型積層体を作製する。この大型積層体を各素子領域毎にダイシング装置を使用して一括的に切断して、未焼成状態の積層体1を形成した。この切断する際、積層体1の対向しあう一対の端面から内部電極3となる導体パターン3の一部が露出するようにしておく。そして、例えば、 $1100 \sim 1400$ の温度で焼成することによって、複数の誘電体層2を間に内部導体3膜を介して積層された直方体状の積層体1が形成される。

20

【0018】

また、前記積層体1の表面に形成されている外部電極4は、第1の下地導体層7、第2の下地導体層8、第1メッキ層9、第2メッキ層11を順次、積層した4層構造を有している。

30

【0019】

第1の下地導体層7は、例えば、Cu、Cu/Niを主成分とする金属材料からなる厚膜導体であり、その厚みは例えば $5 \sim 30\mu\text{m}$ に設定され、積層体1内の内部導体3と電氣的に接続される。また、第2の下地導体層8は、例えば、半田耐性を高めるためのものであり、Niメッキ等によって形成され、その厚みは、例えば $1\mu\text{m} \sim 5\mu\text{m}$ に設定される。

【0020】

下地導体層7、8を形成するには、先ず、球状Cu/Ni粉末、フレーク状Cu/Ni粉末及びガラス粉末を含む粉末に、有機バインダと溶剤とからなるビヒクルを混合して導体ペーストを製作する。このようにして得られた導体ペーストを、従来周知のディップ法若しくはスクリーン印刷法等によって積層体1の側面に印刷・塗布する。尚、印刷・塗布したときに、ペーストが積層体1の上面、下面及び他の側面に回り込み、第1の下地導体層7の一部を形成している。次に、上記導体ペーストを $600 \sim 900$ で焼成して積層体1の側面に焼き付けることにより、厚膜導体としての第1の下地導体層7を形成する。このとき、焼き付けられた第1の下地導体層7は、導体ペーストを塗布する前に積層体1の側面に露出させておいた内部電極2の外周部と電氣的に接続されることとなる。そして、第1の下地導体層7の表面に、電解メッキ等の湿式メッキ法を用いて表面にNiのメ

40

50

ッキ層を形成することにより、第2の下地導体層8が形成される。

【0021】

他方、第1メッキ層9は、少なくともSnを含有するメッキ層から成り、その厚みは、例えば3 μm 以上に設定される。また、第2メッキ層11は、第1メッキ層9よりも表層側に形成されており、その材質としては第1メッキ層9よりも低融点のSn合金、例えば、Sn-Ag、Sn-Cu、Sn-Bi等が用いられ、その厚みは、例えば、0.01 μm ~0.05 μm に設定される。

【0022】

上記第1メッキ層9及び第2メッキ層11の形成には、先に述べた第2の下地導体層8を形成する場合と同様に、電解メッキ等の湿式メッキが用いられる。

10

【0023】

かくして上述した積層セラミックコンデンサ10は、マザーボード等の外部配線基板上に従来周知の半田付け等によって実装されるようになっており、他の電気回路や電子部品等と共に所定の回路を構成する能動部品として機能することとなる。

【0024】

以上のような本実施形態の電子部品は、外部電極4の外層が半田濡れ性の良好な2種類のメッキ層、即ち、Snを含有する第1メッキ層9と、第1メッキ層9よりも低融点のSn合金から成る第2メッキ層11とで構成されている。しかも融点の低い第2メッキ層11が融点の高い第1メッキ層9よりも表層側に配置させてあることから、電子部品を半田付けによって外部配線基板上に実装する際、半田リフロー用の炉の中の温度が第2メッキ層11の融点(半田の固相線温度近く)に達すると、第2メッキ層11を形成するSn合金が半田と馴染んで半田の溶融を促進するとともに、第1メッキ層9の表面を露出させる。このとき、外部電極4の表面状態は露出した第1メッキ層9の融点に支配されているため、半田濡れの加速は有効に抑えられており、半田が外部電極4の表面を伝って這い上がるまでにはならない。その後、炉の中の温度を更に第1メッキ層9の融点付近(半田液相線温度近く)まで上昇させると、第1メッキ層9を形成するSn等が溶融して半田と馴染むため、半田が外部電極4の表面を伝って這いあがろうとするものの、この時点では既に半田が外部配線基板と接合されているため、“チップ立ち現象”を抑止する力が作用するようになっており、このように半田濡れ性の良好な2種類のメッキ層を2段階のタイミングで半田と馴染ませながら半田接合することにより、電子部品を良好かつ安定的に実装することが可能となる。

20

30

【0025】

また本実施形態の電子部品は、第2メッキ層11の厚みを第1メッキ層9の厚みより薄くすることによって半田の溶融を促進するとともに、第2メッキ層11を第1メッキ層9へ拡散して第2メッキ層11を露出させ、外部電極4側面への半田濡れを抑えるという働きを促進している、特に第2メッキ層11の厚みを0.01 μm ~0.05 μm に設定することによって、外部電極4側面への半田濡れをより有効におさえることができる。

【0026】

尚、本発明は上述した実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更、改良等が可能である。

40

【0027】

例えば上述した実施形態において、第2メッキ層11の表面に、第2メッキ層11よりも更に融点の低いSn合金メッキ層を積層することにより外部電極4を構成するようにしても構わない。

【0028】

また上述した実施形態では、下地電極層を、厚膜導体から成る第1の下地導体層7とNiメッキ膜から成る第2の下地導体層8とを積層して形成するようにしたが、これに代えて、Niメッキ膜から成る単層の下地導体層によって形成するようにしても構わない。この場合、電子部品素体の表面に露出させた内部電極の露出部に上記下地導体層が直接、接続されることとなる。

50

【0029】

更に上述した実施形態においては、本発明の電子部品を積層セラミックコンデンサに適用した場合を例にとって説明したが、本発明は、積層セラミックコンデンサ以外の電子部品にも適用可能であることは言うまでもない。

(実験例)

【0030】

次に本発明の作用効果を実験例に基づいて説明する。

【0031】

まず、第1メッキ層及び第2メッキ層のそれぞれの厚みを変えた積層セラミックコンデンサのサンプルを作製し、半田濡れ評価試験及びチップ立ち性評価試験を行った。作製したサンプルは、第1メッキ層をSnの厚み1~4 μ mの範囲で4種類とし、第2メッキ層をSn-Cuの厚み0.005~1 μ mの範囲で6種類とした。実験は、半田ペーストを所定位置に印刷した試験用ガラスエポキシ基板に上記積層セラミックコンデンサのサンプルを乗せたものを予熱150、120秒、ピーク温度が230度、10秒、のプロファイルのリフロー炉を通過させて行った。半田ペーストとしては、Sn/Ag/Cuの重量比が98.5/1.0/0.5のものを用いた。その試験結果を表1に示す。なお、この実験の評価は、半田濡れ評価試験はサンプルが半田に覆われている面積が90%未満を×、90~95%を△、95%以上を○とした。またチップ立ち性評価試験は各々100個のサンプルについてサンプルの片方電極が試験用基板から外れてサンプルが立ち上がっている数をカウントし、発生数が“0”のものを良品とした。

【表1】

サンプル番号	第1メッキ層厚み T1(μ)	第2メッキ層厚み T2(μ)	T1/T2	半田濡れ	チップ立ち発生数	総合評価
1	1.00	1.00	1	×	-	×
2	1.00	0.50	2	×	-	×
3	1.00	0.10	10	×	-	×
4	1.00	0.05	20	×	-	×
5	1.00	0.01	100	×	-	×
6	2.00	1.00	2	○	15/100	×
7	2.00	0.50	4	△	-	×
8	2.00	0.10	20	△	-	×
9	2.00	0.05	40	△	-	×
10	2.00	0.01	200	△	-	×
11	3.00	1.00	3	○	20/100	×
12	3.00	0.50	6	○	8/100	×
13	3.00	0.10	30	○	1/100	△
14	3.00	0.05	60	○	0/100	○
15	3.00	0.01	300	○	0/100	○
16	3.00	0.005	600	○	1/100	△
17	4.00	1.00	4	○	23/100	×
18	4.00	0.50	8	○	10/100	×
19	4.00	0.10	40	○	2/100	△
20	4.00	0.05	80	○	0/100	○
21	4.00	0.01	400	○	0/100	○
22	4.00	0.005	800	○	1/100	△

【0032】

表1によれば、第2メッキ層厚み0.01~0.05 μ mにてチップ立ちが発生せず、かつ第1メッキ層厚み3 μ m以上で半田濡れ性の良いことが確認された。

【0033】

またSnにCu、AgまたはBiを配合した材料を使用して既知の合金メッキ法によって第2メッキ層の膜厚0.03 μ mで融点を変化させた8種類のコンデンササンプルを作成し同じく半田評価試験を行った。その試験結果を表2に示す。

【表2】

サンプル番号	第1メッキ層融点 m1(°C)	第2メッキ層融点 m2(°C)	m1-m2	半田濡れ	チップ立ち発生数	総合評価
50	230	205	25	○	5/100	×
51	230	210	20	○	1/100	△
52	230	212	18	○	0/100	○
53	230	214	16	○	0/100	○
54	230	217	13	○	0/100	○
55	230	218	12	○	0/100	○
56	230	220	10	○	2/100	△
57	230	222	8	○	10/100	×

10

【0034】

表2によれば、第1メッキ層と第2メッキ層の融点の差が12~18の範囲でチップ立ちが発生しないことが確認された。従って第1メッキ層の融点が第2メッキ層の融点よりも12~18高温にすることが好ましい。

20

【図面の簡単な説明】

【0035】

【図1】本発明の電子部品を積層セラミックコンデンサに適用した実施形態を示す断面図である。

【図2】図1の積層セラミックコンデンサの外観斜視図である。

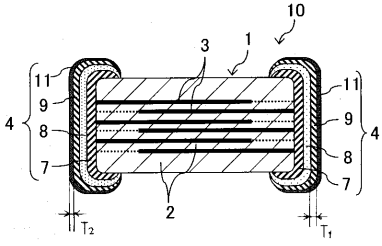
【符号の説明】

【0036】

- 1・・・積層体
- 2・・・誘電体層
- 3・・・内部電極
- 4・・・外部電極
- 7、8・・・下地導体層
- 9・・・第1メッキ層(Snメッキ層)
- 10・・・積層セラミックコンデンサ
- 11・・・第2メッキ層(Sn-Cuメッキ層)

30

【 図 1 】



【 図 2 】

