

(43) 国際公開日
2006 年 10 月 5 日 (05.10.2006)

PCT

(10) 国際公開番号
WO 2006/103733 A1(51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/335 (2006.01)

(21) 国際出願番号: PCT/JP2005/005745

(22) 国際出願日: 2005 年 3 月 28 日 (28.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 井上 忠夫 (INOUE, Tadao) [JP/JP]; 〒2118588 神奈川県川崎市

原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 山本 克義 (YAMAMOTO, Katsuyoshi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 小林 博 (KOBAYASHI, Hiroshi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).

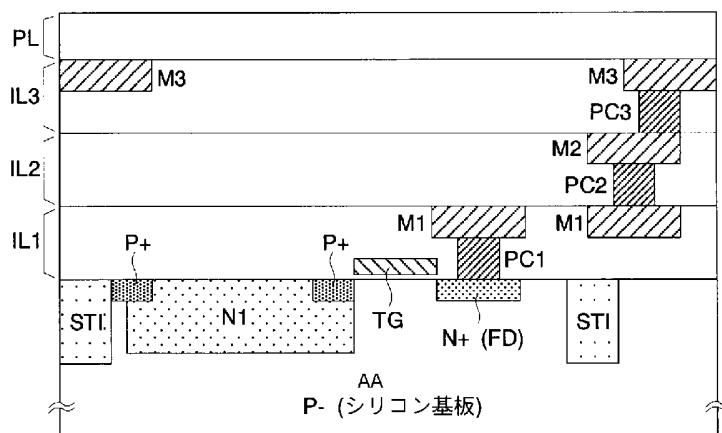
(74) 代理人: 古谷 史旺, 外 (FURUYA, Fumio et al.); 〒1600023 東京都新宿区西新宿 1 丁目 1 9 番 5 号 第 2 明宝ビル 9 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,

[続葉有]

(54) Title: IMAGE PICKUP DEVICE

(54) 発明の名称: 撮像装置



AA.. P- (SILICON SUBSTRATE)

(57) **Abstract:** In a first diffusion region constituting a photodiode in each pixel, carriers generated in response to incoming light are accumulated. A second diffusion region is formed on the surface of the first diffusion region to cover an outer circumference part of the first diffusion region. In the outer circumference part of the first diffusion region, crystal defects are easily generated due to a process of forming an element isolating region and a process of forming a gate electrode, and dark current noise is easily generated. The second diffusion region functions as a protection layer for preventing the crystal defects from being generated in the manufacturing process. The second diffusion region is not formed on a center portion on the surface of the first diffusion region where the crystal defects are not easily generated. Since the thickness of a depletion layer in the first diffusion region whereupon the second diffusion region is not formed can be increased, light detection sensitivity can be improved. As a result, detection sensitivity of the photodiode can be improved without increasing dark current noise.

(57) **要約:** 各画素においてフォトダイオードを構成する第 1 拡散領域は、入射される光に応じて生成されるキャリアを蓄積する。第 2 拡散領域は、第 1 拡散領域の表面に第 1 拡散領域の外周部を覆って形成されている。第 1 拡散領域の外周部は、素子分離領域

[続葉有]



WO 2006/103733 A1



NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

の形成工程およびゲート電極の形成工程により、結晶欠陥が発生しやすく、暗電流ノイズが発生しやすい。第2拡散領域は、製造工程での結晶欠陥の発生を防止する保護層として機能する。第2拡散領域は、結晶欠陥が発生しにくい第1拡散領域の表面の中央部分の上に形成されない。第2拡散領域が形成されない第1拡散領域では、空乏層の厚さを大きくできるため、光の検出感度を向上できる。この結果、暗電流ノイズを増加することなくフォトダイオードの検出感度を向上できる。

明 細 書

撮像装置

技術分野

- [0001] 本発明は、フォトダイオードを有する撮像装置に関する。特に、本発明は、暗電流ノイズを増加することなくフォトダイオードの検出感度を向上するための技術に関する。

背景技術

- [0002] アクティブ画素センサ (Active Pixel Sensor; 以下、APSとも称する) 等の撮像装置は、フォトダイオードを含む複数の画素を有している。画素に入射された光は、フォトダイオードにより光キャリアに変換され、画像信号を生成するための電気信号として出力される。一般に、撮像装置は、3トランジスタ型および4トランジスタ型と称される画素を用いて形成されている (特開2000-312024号公報、特開平10-209422号公報)。この種の画素では、暗電流(dark current)を防止するために、光キャリアを蓄積するための拡散層の表面に、この拡散層より不純物濃度が高く、逆の導電型の拡散層を形成している。暗電流は、光が入射されないときに流れる電流であり、半導体の結晶欠陥によるリーク電流である。逆の導電型の拡散層を光キャリアを蓄積する拡散層の上に形成することにより、光キャリアを蓄積する拡散層に結晶欠陥が発生することが防止できる。

特許文献1: 特開2000-312024号公報

特許文献2: 特開平10-209422号公報

発明の開示

発明が解決しようとする課題

- [0003] しかしながら、上述した逆の導電型の拡散層は、暗電流ノイズを防止できる反面、光キャリアを蓄積する拡散層の空乏層を相対的に薄くする。このため、画素における光の検出感度は、逆の導電型の拡散層の形成により低下する。暗電流ノイズは、素子分離領域の付近や電気信号を取り出すためのコンタクト領域などで大きく、それ以外の領域では比較的小さい。従来、暗電流ノイズの影響を最小限にし、かつ光の検出感度を向上するための提案はなされていない。

[0004] 本発明の目的は、暗電流ノイズを増加することなくフォトダイオードの検出感度を向上することにある。

課題を解決するための手段

[0005] 本発明の撮像装置の第1の形態では、各画素の第1拡散領域は、第1導電型であり、フォトダイオードにおいて光キャリアの蓄積部を構成する。転送トランジスタは、第1拡散領域をソース電極とし、第1拡散領域に隣接する位置に絶縁膜を介してゲート電極が形成される。転送トランジスタは、フォトダイオードに蓄積された光キャリアをドレイン電極に転送する。第2拡散領域は、第2導電型であり、第1拡散領域の表面に第1拡散領域の外周部を覆って形成されている。例えば、第2拡散領域の不純物濃度は、第1拡散領域の不純物濃度より高い。例えば、第1導電型はn型であり、第2導電型はp型である。

[0006] 第1拡散領域の外周部は、素子間分離構造部に近いため多くの結晶欠陥が存在しやすい。このため、結晶欠陥によるリーク電流が増え、暗電流ノイズが発生しやすく、外周部は、第1拡散領域の中央部の半導体表面よりも大きな暗電流を発生する。また、トランジスタのゲート電極が、第1拡散領域に隣接する位置に形成される場合、ゲート電極の形成工程における応力の影響により、ゲート電極に隣接する第1拡散領域の外周部に結晶欠陥が発生する場合がある。これに対して、第1拡散領域の表面の中央部分(外周部を除く部分)は、結晶欠陥が外周部に比べて発生しにくい。外周部上の第2拡散領域は、製造工程での結晶欠陥の発生を防止する保護層として機能する。

[0007] 一方、第1拡散領域上に導電型が逆の第2拡散領域が形成されるいわゆる埋め込みフォトダイオード構造では、表面付近の空乏層の厚さが小さくなるため、光の検出感度は小さくなる。本発明では、第2拡散領域は、結晶欠陥が発生しにくい第1拡散領域の表面の中央部分の上に形成されない。第2拡散領域が形成されない第1拡散領域では、空乏層の厚さを大きくできるため、光の検出感度を向上できる。このように、第2拡散領域を第1拡散領域上に選択的に形成することで、暗電流ノイズを増加することなくフォトダイオードの検出感度を向上できる。例えば、第1拡散領域において、表面に露出する領域の面積を、第2拡散領域に覆われた領域の面積より大きくする

ことで、暗電流ノイズを最小限に抑えてフォトダイオードの検出感度を向上できる。

[0008] このように、暗電流ノイズの削減と、光の検出感度を向上を両立できるため、画素のサイズを小さくしても、従来と同程度のSN比を得ることができる。この結果、撮像装置を小さくでき、コストを削減できる。あるいは、撮像装置の画素数を増加できる。

本発明の撮像装置の第1の形態における好ましい例では、素子分離領域は、第1拡散領域の外周部のうちゲート電極に隣接する部分を除く部分外周部の周囲に、第1拡散領域と離れて形成されている。第2拡散領域は、部分外周部から素子分離領域まで形成されている。シリコン等の結晶の周期性が崩れる素子間分離領域の近くでは、結晶欠陥が多い。このため、暗電流ノイズを発生させるリーク電流は、素子間分離領域の近くほど発生しやすい。第2拡散領域を結晶欠陥が素子間分離領域の近くまで形成することで、暗電流ノイズの発生をさらに抑えることができる。

[0009] 本発明の撮像装置の第2の形態では、第2拡散領域は、第1拡散領域の表面に、第1拡散領域の外周部のうちゲート電極に隣接する部分を除く部分外周部を覆って形成されている。すなわち、第2拡散領域は、ゲート電極に隣接する部分に形成されていない。その他の特徴は、上述した第1の形態と同じである。ゲート電極の形成工程において、ゲート電極に隣接する第1拡散領域の外周部に結晶欠陥が発生しにくい場合、第2拡散領域で覆われる第1拡散領域の表面積を小さくできる。したがって、フォトダイオードの検出感度をさらに向上できる。第2拡散領域は、第1拡散領域においてゲート電極に隣接する領域上に形成されないため、第1拡散領域に蓄積された光キャリアの転送効率は低下しない。この結果、光キャリアが第1拡散領域に残されることを防止でき、動画撮像時の残像の発生を防止できる。

[0010] 本発明の撮像装置の第1および第2の形態における好ましい例では、素子分離領域は、第1拡散領域の外周部のうちゲート電極に隣接する部分を除く部分外周部の周囲に、第1拡散領域と離れて形成されている。第2拡散領域は、部分外周部から素子分離領域まで形成されている。シリコン等の結晶の周期性が崩れる素子間分離領域の近くでは、結晶欠陥が多い。このため、暗電流ノイズを発生させるリーク電流は、素子間分離領域の近くほど発生しやすい。第2拡散領域を結晶欠陥が素子間分離領域の近くまで形成することで、暗電流ノイズの発生をさらに抑えることができる。

- [0011] 本発明の撮像装置の第2の形態における好ましい例では、第3拡散領域は、第1拡散領域の内部に、第1拡散領域のゲート電極側の外周部に形成されている。第3拡散領域は、第1導電型であり、第1拡散領域の不純物濃度より高い不純物濃度を有する。一般に、光キャリアが電子の場合、光キャリアは、高い不純物濃度を有する拡散領域(第3拡散領域)に集まりやすい。このため、第3拡散領域をゲート電極の近くに形成することで、第1拡散領域に蓄積された光キャリアの転送効率を向上できる。また、一般的に、光キャリアは、第1拡散領域の表面ではなく、比較的深い領域に蓄積される。このため、第3拡散領域を第1拡散領域の内部に形成することで、より効率よく光キャリアを第3拡散領域に集めることができる。この際、光キャリアは、結晶欠陥が比較的多い第1拡散領域の表面近くに集まらないため、暗電流の発生を防止できる。
- [0012] 本発明の撮像装置の第2の形態における好ましい例では、第3拡散領域は、第1拡散領域の表面に、第1拡散領域のゲート電極側の外周部に形成されている。第3拡散領域は、第1導電型であり、第1拡散領域の不純物濃度より高い不純物濃度を有する。ゲート電極の形成工程において、ゲート電極に隣接する第1拡散領域の表面に結晶欠陥が発生しにくい場合、第1拡散領域において転送トランジスタのチャンネル領域に近い表面に第3拡散領域を形成したほうが、第1拡散領域に蓄積された光キャリアの転送効率を向上できる。
- [0013] 本発明の撮像装置の第2の形態における好ましい例では、複数の第3拡散領域は、第1拡散領域の内部および表面において、第2拡散領域の内側にゲート電極に向けて順次形成されている。第3拡散領域は、第1導電型であり、第1拡散領域の不純物濃度より高い不純物濃度を有する。第3拡散領域の不純物濃度は、ゲート電極に近いほど高い。この場合、ゲート電極側に向けてビルトインポテンシャルの勾配を形成できる。換言すれば、光キャリアである電子を、ゲート電極に近い第3拡散領域に順次移動させることができ、第1拡散領域に蓄積された光キャリアの転送効率を向上できる。
- [0014] 本発明の撮像装置の第3の形態では、第1フィルタを介して入射される相対的に短波長の光を受ける画素は、上述した第1の形態と同じ構造を有している。第2フィルタ

を介して入射される相対的に長波長の光を受ける画素は、第1拡散領域の全表面を覆って形成される第2拡散領域を有している。第1拡散領域の全表面を第2拡散領域により覆うことで、第1拡散領域の表面の結晶欠陥を少なくすることができ、暗電流ノイズを低減できる。

[0015] シリコン等の半導体では、長波長の光の透過率は、短波長の光の透過率に比べて高い。このため、長波長の光を受ける画素は、第1拡散領域の全表面を第2拡散領域で覆っても、光の検出感度は低下しにくい。一方、短波長の光の透過率は、相対的に小さい。このため、短波長の光を受ける画素は、光の検出感度を上げるために第2拡散領域で覆われていない領域を有する第1拡散領域により構成される。入射光の波長に応じて第2拡散領域の面積を変えることで、暗電流ノイズの発生を最小限にしなが、光の検出感度を波長に依存せず揃えることができる。例えば、相対的に短波長の光を受ける各画素の第1拡散領域において、表面に露出する領域の面積を、第2拡散領域に覆われた領域の面積より大きくすることで、暗電流ノイズを最小限に抑えてフォトダイオードの検出感度を向上できる。

[0016] 本発明の撮像装置の第4の形態では、第1フィルタを介して入射される相対的に短波長の光を受ける画素は、上述した第2の形態と同じ構造を有している。第2フィルタを介して入射される相対的に長波長の光を受ける画素は、第1拡散領域の全表面を覆って形成される第2拡散領域を有している。第4の形態においても、上述した第3の形態と同様に、暗電流ノイズの発生を最小限にしなが、光の検出感度を波長に依存せず揃えることができる。

[0017] 本発明の撮像装置の第1～第4の形態における好ましい例では、各画素は、リセットトランジスタおよびソースフォロアトランジスタを有している。リセットトランジスタは、転送トランジスタのドレイン電極にソース電極が接続され、ドレイン電圧が電圧供給線に接続されている。ソースフォロアトランジスタのゲート電極は、コンタクト領域を介して浮遊拡散ノード（転送トランジスタのドレイン電極およびリセットトランジスタのソース電極）に接続されている。ソースフォロアトランジスタは、光キャリアの量に応じて画素信号を生成し、生成した画素信号をソース電極から出力する。コンタクト領域が第1拡散領域に形成されないため、第1拡散領域の結晶欠陥は、コンタクト領域の形成によっ

ては発生しない。したがって、コンタクト領域の形成による暗電流ノイズの発生を防止できる。

図面の簡単な説明

- [0018] [図1]本発明の第1の実施形態を示すブロック図である。
- [図2]図1に示した画素の詳細を示す回路図である。
- [図3]第1の実施形態の画素の詳細を示す平面図である。
- [図4]図3のA－A'線に沿う断面図である。
- [図5]画素信号の読み出し動作を示すタイミング図である。
- [図6]第2の実施形態の画素の詳細を示す平面図である。
- [図7]図6のA－A'線に沿う断面図である。
- [図8]第3の実施形態の画素の詳細を示す平面図である。
- [図9]図8のA－A'線に沿う断面図である。
- [図10]第4の実施形態の画素の詳細を示す平面図である。
- [図11]図10のA－A'線に沿う断面図である。
- [図12]第5の実施形態の画素の詳細を示す平面図である。
- [図13]図12のA－A'線に沿う断面図である。
- [図14]第6の実施形態の画素アレイの詳細を示すレイアウト図である。
- [図15]第6の実施形態の青、緑の光を受ける画素の詳細を示す平面図である。
- [図16]図15のA－A'線に沿う断面図である。
- [図17]第6の実施形態の赤の光を受ける画素の詳細を示す平面図である。
- [図18]図17のA－A'線に沿う断面図である。
- [図19]第7の実施形態の青、緑の光を受ける画素の詳細を示す平面図である。
- [図20]図19のA－A'線に沿う断面図である。
- [図21]本発明の画素の別の例を示す断面図である。

発明を実施するための最良の形態

- [0019] 以下、本発明の実施形態を図面を用いて説明する。図中の二重丸は、外部端子を示している。図中、太線で示した信号線は、複数本で構成されている。信号が伝達される信号線には、信号名と同じ符号を使用する。

図1は、本発明の撮像装置の第1の実施形態を示している。この撮像装置は、シリコン基板上にCMOSプロセスを使用してアクティブ画素センサチップとして形成されている。撮像装置は、電圧生成回路10、行選択回路12、動作制御回路14、信号処理回路16および画素アレイARYを有している。

[0020] 電圧生成回路10は、電源電圧AVDDに応じて、常に一定の電圧である内部電圧VRを生成する。なお、電圧生成回路10は、一定の内部電圧VRを生成するのではなく、必要に応じて内部電圧VRを変調してもよい。電源電圧AVDDは、アナログ回路用の電源電圧である。内部電圧VRは、電源電圧AVDDより低い電圧であり、電源電圧AVDDの変化、温度変化によらず、常に一定の電圧に保持される。行選択回路12は、画素アレイARYにリセット信号RST、転送制御信号TG、選択制御信号SELを出力する。動作制御回路12は、アクティブ画素センサの撮像動作を制御するために複数のタイミング信号を生成し、行選択回路12および信号処理回路16等に出力する。行選択回路12および動作制御回路14は、デジタル回路用の電源電圧DVDDを受けて動作する。電源電圧線AVDD、DVDDは、ノイズの干渉を避けるため互いに独立して配線されている。

[0021] 信号処理回路16は、図の横方向に配列される複数の画素PXから同時に転送される電気信号SIG(画像を示す画像信号)を受け、受けた信号SIGを並列直列変換した後、出力信号OUTとして順次出力する。信号処理回路16は、相関二重サンプリング(CDS; Correlated Double Sampling)回路18を有している。CDS回路18は、ノイズデータを含む画素データ(読み出しデータ、画素電圧)からノイズデータ(ノイズ電圧)を差し引き、ノイズを含まない真の画素データを生成する。画素アレイARYは、マトリックス状に配置された複数の画素PXを有している。

[0022] 図2は、図1に示した画素PXの詳細を示している。この実施形態の画素PXは、いわゆる4トランジスタ型である。各画素PXは、内部電圧線VR(電圧供給線)と接地線VSSとの間に直列に接続されたnMOSTランジスタM1、M2、フォトダイオードPD(光電変換素子)と、内部電圧線VRと画素信号線SIGとの間に直列に接続されたnMOSTランジスタM3、M4とを有している。トランジスタM4のソースは、読み出し電圧およびノイズ電圧が出力される画素信号線SIGに接続されている。トランジスタM1(リ

セットトランジスタ)のゲートは、リセット信号RSTを受けている。トランジスタM2(転送トランジスタ)のゲートは、転送制御信号TGを受けている。トランジスタM3(ソースフォロアトランジスタ)のゲートは、トランジスタM1、M2の接続ノードFD(浮遊拡散ノード)に接続されている。トランジスタM4(選択トランジスタ)のゲートは、選択制御信号SELを受けている。トランジスタM3は、アンプとして動作し、ソース電極から画素信号SIGを出力する。画素信号SIGは、選択トランジスタM4を介して出力される。

[0023] 図3および図4は、第1の実施形態の画素の詳細を示している。特に、図3および図4は、フォトダイオードPDおよび転送トランジスタM2の詳細を示している。図3において、×印を付した四角は、コンタクト領域(プラグコンタクトPC)を示している。図4は、図3のA-A'線に沿う断面を示している。

フォトダイオードPDおよび転送トランジスタM2は、環状(額縁状)に形成された素子分離領域STI(Shallow Trench Isolation)の内側に形成されている。なお、本発明は、素子分離領域がLOCOS(Local Oxidation of Silicon)であるAPSにも適用できる。この例では、フォトダイオードPDのアノードは、p型シリコン基板P-であり、フォトダイオードPDのカソードは、p型シリコン基板P-上に形成されるn型(第1導電型)の拡散領域N1(第1拡散領域、光キャリアの蓄積部)である。図3に示すように、拡散領域N1は、矩形形状であり、素子分離領域STIから離れて形成されている。拡散領域N1を素子分離領域STIから離れて形成することで、素子分離領域STIの形成工程において拡散領域N1の外周部に結晶欠陥が発生することを防止できる。

[0024] 転送トランジスタM2は、拡散領域N1により形成されるソース電極と、拡散領域N1の一辺に隣接する位置に絶縁膜(ゲート絶縁膜)を介して形成されるゲート電極TGと、p型シリコン基板P-上の拡散領域N+(ドレイン電極、浮遊拡散ノードFD)により形成されるドレイン電極とで構成されている。拡散領域N1の不純物濃度は、拡散領域N+の不純物濃度より低い。ゲート絶縁膜は、絶縁層IL1を用いて形成されている。拡散領域N1の表面には、拡散領域N1の外周部を覆ってp型(第2導電型)の拡散領域P+(第2拡散領域)が環状(額縁状)に形成されている。拡散領域P+の不純物濃度は、拡散領域N1の不純物濃度より高い。拡散領域P+は、通常の半導体製造プロセスにより形成できる。すなわち、拡散領域P+が形成される部分をフォトマスク

を用いて選択的に開口し、ボロン等のイオン(不純物)を開口部から注入し、注入されたイオンを熱拡散することで、拡散領域P⁺は形成される。

[0025] 拡散領域N1表面の中央部は、拡散領域P⁺が形成されず、絶縁層IL1側に露出している。この露出領域では、拡散領域P⁺で覆われている部分に比べて表面付近の空乏層の厚さを大きくできる。このため、光キャリアの蓄積容量を大きくでき、光の検出感度を向上できる。とくに、拡散領域N1の表面で吸収されやすい青などの短波長の光の検出感度を向上できる。この例では、画素PXB、PXGの拡散領域N1において、表面に露出する矩形状の領域の面積は、拡散領域P⁺に覆われた額縁状の領域の面積より大きい。このため、光をより効率よく受けることができる。なお、本発明の適用により画素PXの検出感度が高くなりすぎると、飽和電圧が大きくなり、光キャリアが拡散領域N1に過剰に蓄積されてしまう。この場合、光キャリアを逃がすためのリセット動作が十分にできなくなり、動画撮像時等に残像が発生する。この現象を防止するためには、拡散領域N1の不純物濃度を下げればよい。

[0026] 拡散領域N1の外周部のうち、ゲート電極TGに隣接する部分を除くコ字状の部分(部分外周部)に対応して形成される拡散領域P⁺の周囲は、拡散領域N1の端部を超えて素子分離領域STIに接している。拡散領域P⁺を素子分離領域STIまで形成することで、拡散領域N1の外周部の表面を確実に保護することができる。このため、素子分離領域STIの形成工程において拡散領域N1の外周部に結晶欠陥が発生することを確実に防止できる。また、拡散領域P⁺をゲート電極TGに隣接する領域に形成することで、ゲート電極TGの形成工程において、拡散領域N1のゲート電極TG側の外周部に結晶欠陥が発生することを防止できる。

[0027] 転送トランジスタM2のドレイン電極(拡散領域N⁺)は、絶縁層IL1に開口されるプラグコンタクトPC1を介して金属配線M1に接続されている。特に図示していないが、この金属配線M1は、別のプラグコンタクトを介してリセットトランジスタM1のソース電極およびソースフォロアトランジスタM3のゲート電極に接続される。絶縁層IL1上には、金属配線層M2、M3をそれぞれ他の層から分離するための絶縁層IL2、IL3と、保護絶縁層PLとが積層されている。金属配線層M1、M2は、プラグコンタクトPC2により互いに接続される。金属配線層M2、M3は、プラグコンタクトPC3により互いに

接続される。

- [0028] なお、APSは、4トランジスタ型の画素PXにより構成される。コンタクト領域は、拡散領域N1に形成されない。このため、コンタクト領域の形成工程において拡散領域N1に結晶欠陥が発生することを防止できる。

図5は、上述したAPSの各画素における画素信号の読み出し動作を示している。読み出し動作は、図1において横方向に並ぶ画素PXで構成される画素行を順次選択することで実行される。図5は、画素行の一つの画素PXの読み出し動作を示している。読み出し動作は、画素行の他の画素PXも同じタイミングで実行される。図1に示した行選択回路12は、読み出し動作を実行するために、リセット信号RST、転送制御信号TGおよび選択制御信号SELを所定のタイミングで繰り返し高レベルに活性化する。図中に破線で示した波形は、電圧等の状態が定まらない期間である。

- [0029] まず、フォトダイオードPDおよび浮遊拡散ノードFDをリセットするために、リセット信号RSTおよび転送制御信号TGが高レベル(例えばDVDD)に変化される(図5(a))。リセット動作により、フォトダイオードPDの拡散領域N1および浮遊拡散ノードFDは、内部電圧VRに設定される。次に、リセット信号RSTおよび転送制御信号TGが低レベル(0V)に変化される(図5(b))。転送制御信号TGの低レベルへの変化により、フォトダイオードPDの露光が開始される。フォトダイオードPDの拡散領域N1は、露光により電子(光キャリア)が蓄積され、その電圧は徐々に低下する(図5(c))。

- [0030] 次に、選択制御信号SELが高レベルに変化され、選択トランジスタM4を介してソースフォロアトランジスタM3のソースと画素信号SIGの出力ノードとが接続される(図5(d))。所定時間が経過した後、リセット信号RSTが高レベルに変化され(図5(e))、浮遊拡散ノードFDが再び内部電圧VRにリセットされる。選択トランジスタM4がオンしているため、画素信号SIGの電圧は、内部電圧VRに対応する電圧に変化する。リセット信号RSTが低レベルに変化され(図5(f))、ノイズデータN1が読み出される(N読み出し)。ノイズデータ(ノイズ電圧)N1は、浮遊拡散ノードFDの電圧変化に伴ってソースフォロアトランジスタM3が動作することにより、画素信号SIGとして出力される(図5(g))。

- [0031] 次に、転送制御信号TGが高レベルに変化され(図5(h))、フォトダイオードPDの

拡散領域N1は浮遊拡散ノードFDに接続される。拡散領域N1に蓄積された電子は、浮遊拡散ノードFDに転送される。この転送により、拡散領域N1の電圧は上昇し(図5(i))、浮遊拡散ノードFDの電圧は下降する(図5(j))。画素信号SIGの電圧は、浮遊拡散ノードFDの電圧の変化に伴い下降する(図5(k))。すなわち、各画素PXからノイズデータ(ノイズ電圧)N1を含んだ画素データ(画素電圧N1+S1)が出力される(N+S読み出し)。この後、図1に示したCDS回路18は、ノイズを含む画素電圧(N1+S1)からノイズ電圧N1を差し引き、ノイズを除いた真の画素データを生成する。

[0032] 以上、第1の実施形態では、拡散領域P+により、素子分離領域STIおよびゲートTGの形成工程において、拡散領域N1の外周部に結晶欠陥の発生を防止することを防止できる。すなわち、暗電流ノイズを低減できる。同時に、拡散領域P+を額縁状に形成することで、結晶欠陥の発生しにくい拡散領域N1の中央部の光の検出感度を上げることができる。したがって、画素PXのサイズを小さくしても、従来と同程度のSN比を得ることができる。この結果、APSのチップサイズを小さくでき、APSのコストを削減できる。あるいは、APSの画素数を増加できる。

[0033] 図6および図7は、本発明の撮像装置の第2の実施形態における画素の詳細を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、p型の拡散領域P+ (第2拡散領域)の形状が第1の実施形態と相違している。その他の構成は、第1の実施形態と同じである。すなわち、この撮像装置は、シリコン基板上にCMOSプロセスを使用してアクティブ画素センサチップして形成されている。

[0034] 拡散領域P+は、拡散領域N1の表面に、拡散領域N1の外周部のうちゲート電極TGに隣接する部分を除く部分外周部を覆ってU字状に形成されている。この例では、画素PXB、PXGの拡散領域N1において、表面に露出する矩形状の領域の面積は、拡散領域P+に覆われた額縁状の領域の面積より大きい。このため、光をより効率よく受けることができる。拡散領域P+は、転送トランジスタM2のチャネル領域(ゲート電極TGの下)に隣接する領域に形成されない。このため、転送トランジスタM2による光キャリア(電子)の転送効率は、第1の実施形態に比べて向上する。したがっ

て、光キャリアが拡散領域N1に残されることを防止できる。

- [0035] ゲート電極TGの形成工程において、ゲート電極TGに隣接する拡散領域N1の表面に結晶欠陥が発生しにくい場合、この領域上に拡散領域P+を形成する必要はない。このため、拡散領域P+で覆われる第1拡散領域の表面積を小さくでき、フォトダイオードの検出感度をさらに向上できる。

以上、第2の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、拡散領域P+は、拡散領域N1においてゲート電極TGに隣接する領域上に形成されないため、拡散領域N1に蓄積された光キャリアの転送効率が低下することを防止できる。この結果、光キャリアが拡散領域N1に残されることを防止でき、動画撮像時の残像の発生を防止できる。

- [0036] 図8および図9は、本発明の撮像装置の第3の実施形態における画素の詳細を示している。第1および第2の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、拡散領域N1の内部において、転送トランジスタのゲート電極TG側の外周部にn型の拡散領域N2(第3拡散領域)が形成されている。その他の構成は、第2の実施形態と同じである。すなわち、この撮像装置は、シリコン基板上にCMOSプロセスを使用してアクティブ画素センサチップして形成されている。

- [0037] 拡散領域N2の不純物濃度は、拡散領域N1の不純物濃度より高い。一般に、光キャリアである電子は、高い不純物濃度を有する拡散領域に集まりやすい。このため、拡散領域N2をゲート電極TGの近くに形成することで、拡散領域N1に蓄積された光キャリアの転送効率を向上できる。また、光キャリアは、第1拡散領域N1の表面ではなく、比較的深い領域に蓄積される。このため、拡散領域N2を拡散領域N1の内部に形成することで、より効率よく光キャリアを拡散領域N2に集めることができる。この際、光キャリアは、結晶欠陥が比較的多い拡散領域N1の表面近くに集まらないため、暗電流の発生を防止できる。

- [0038] 以上、第3の実施形態においても、上述した第1および第2の実施形態と同様の効果を得ることができる。さらに、この実施形態では、より高い効率で拡散領域N1に蓄積された光キャリアを転送トランジスタM2のドレイン電極FDに転送できる。この結果

、動画撮像時の残像の発生をより確実に防止できる。

図10および図11は、本発明の撮像装置の第4の実施形態における画素の詳細を示している。第1および第2の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、拡散領域N1の表面において、転送トランジスタのゲート電極TG側の外周部にn型の拡散領域N2(第3拡散領域)が形成されている。その他の構成は、第2の実施形態と同じである。すなわち、この撮像装置は、シリコン基板上にCMOSプロセスを使用してアクティブ画素センサチップして形成されている。

[0039] 拡散領域N2の不純物濃度は、拡散領域N1の不純物濃度より高い。ゲート電極TGの形成工程において、ゲート電極TGに隣接する拡散領域N1の表面に結晶欠陥が発生しにくい場合、拡散領域N1において転送トランジスタM2のチャネル領域に近い表面に拡散領域N2を形成したほうが、拡散領域N1に蓄積された光キャリアの転送効率を向上できる。

[0040] 以上、第3の実施形態においても、上述した第1～第3の実施形態と同様の効果を得ることができる。さらに、この実施形態では、ゲート電極TGの形成工程において、拡散領域N1の表面に結晶欠陥が発生しにくい場合、拡散領域N1に蓄積された光キャリアの転送効率を第2の実施形態より向上できる。

図12および図13は、本発明の撮像装置の第5の実施形態における画素の詳細を示している。第1および第2の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、拡散領域N1の内部および表面において、転送トランジスタのゲート電極TGに向けて並ぶn型の拡散領域N2、N3、N4(第3拡散領域)が形成されている。この例では、拡散領域N2、N3は、拡散領域N1の内部に形成され、拡散領域N4は、拡散領域N1の表面に形成されている。その他の構成は、第2の実施形態と同じである。すなわち、この撮像装置は、シリコン基板上にCMOSプロセスを使用してアクティブ画素センサチップして形成されている。

[0041] 拡散領域N2、N3、N4の不純物濃度は、拡散領域N1の不純物濃度より高く、この順序で徐々に高くなっている。拡散領域N2、N3、N4の不純物濃度は、ゲート電極

TGに近いほど高くすることで、ゲート電極TGに向けてビルトインポテンシャルの勾配を形成できる。換言すれば、光キャリアである電子を、ゲート電極TGに近い拡散領域N2、N3、N4に順次移動させることができ、拡散領域N1に蓄積された光キャリアの転送効率を向上できる。以上、第5の実施形態においても、上述した第1～第4の実施形態と同様の効果を得ることができる。

[0042] 図14は、本発明の撮像装置の第6の実施形態における画素アレイの詳細を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この撮像装置は、シリコン基板上にCMOSプロセスを使用してカラー画像を取得するアクティブ画素センサチップして形成されている。この実施形態では、入射光を赤、緑、青の波長を有する光に分離するフィルタ(図示せず)が、画素アレイARY上に配置されている。

[0043] 画素アレイARY内の縦2画素、横2画素からなる4つの画素は、赤の光を受ける1つの画素PXR、緑の光を受ける2つの画素PXG、青の光を受ける1つの画素PXBに割り当てられている。画素PXRの上方には、赤の光(長波長の光)のみを選択的に透過するフィルタが配置されている。画素PXGの上方には、緑の光(中波長の光)のみを選択的に透過するフィルタが配置されている。画素PXBの上方には、青の光(短波長)のみを選択的に透過するフィルタが配置されている。一般に、この種のフィルタの配列は、ベイヤー配列と称されている。画素アレイARYを除く構成は、第1の実施形態と同じである。

[0044] 図15および図16は、第6の実施形態において、青、緑の光を受ける画素PXB、PXGの詳細を示している。画素PXB、PXGは、拡散領域N1上にマイクロレンズMLが形成されることを除き、第1の実施形態の画素PX(図3、図4)と同じである。すなわち、画素PXB、PXGは、拡散領域N1の表面の外周部を覆って拡散領域P+を有している。拡散領域N1の中央部は、露出している。青、緑などの短波長の光は、赤などの長波長の光に比べシリコン内部に透過しにくい。このため、青、緑の光を受ける画素PXB、PXGを構成する拡散領域N1に、第2拡散領域P+で覆われていない領域を形成することで、光の検出感度を相対的に上げることができる。この例では、画素PXB、PXGの拡散領域N1において、表面に露出する矩形状の領域の面積は、拡散

領域P+に覆われた額縁状の領域の面積より大きい。このため、光をより効率よく受けることができる。

- [0045] また、画素PXB、PXGに入射された光を、マイクロレンズMLにより拡散領域N1に集めることにより、光の検出感度を向上できる。マイクロレンズMLは、拡散領域N1上において表面が拡散領域P+に覆われていない領域に光が集まる形状に形成することで、光の検出感度を大幅に向上できる。

図17および図18は、第6の実施形態において、赤の光を受ける画素PXRの詳細を示している。画素PXRは、上部にマイクロレンズMLが形成されること、およびp型の拡散領域P+が、n型の拡散領域N1上の全面を覆っていることを除き、第1の実施形態の画素PXと同じである。赤などの長波長の光は、シリコン内部に透過しやすい。このため、p型の拡散領域P+が拡散領域N1上の全面に形成されても、光の検出感度の減少の影響は少ない。また、拡散領域N1の全表面を拡散領域P+により覆うことで、拡散領域N1の表面の結晶欠陥を少なくすることができ、暗電流ノイズを低減できる。

- [0046] このように、光の検出感度は、画素PXB、PXGで相対的に向上し、画素PXRで相対的に減少する。入射光の波長に応じて拡散領域P+の面積を変えることで、暗電流ノイズの発生を最小限にしながら、光の検出感度を波長に依存せず揃えることができる。

以上、第6の実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、画素PSB、PXG、PXRに入射される光の波長により拡散領域N1上に形成される拡散領域P+の面積を変えることで、画素PSB、PXG、PXRに依存せず光の検出感度を揃えることができる。

- [0047] 図19および図20は、本発明の撮像装置の第7の実施形態における青、緑の光を受ける画素PXB、PXGの詳細を示している。第1、第2および第6の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。画素PXB、PXGは、拡散領域N1上にマイクロレンズMLが形成されることを除き、第2の実施形態の画素PX(図6、図7)と同じである。赤の光を受ける画素PXR(図示せず)は、第6の実施形態の画素PXR(図17、図18)と同じである。

その他の構成は、第1および第6の実施形態と同じである。すなわち、この撮像装置は、シリコン基板上にCMOSプロセスを使用してカラー画像を取得するアクティブ画素センサチップして形成されている。この実施形態においても、上述した第1、第2および第6の実施形態と同様の効果を得ることができる。

[0048] なお、上述した実施形態では、p型のシリコン基板P-上にn型の拡散領域N1を形成する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図21に示すように、n型のシリコン基板N-上にp型のウエル領域P-を形成し、ウエル領域P-上にn型の拡散領域N1を形成してもよい。あるいは、p型のシリコン基板上にp型のウエル領域P-を形成し、ウエル領域P-上にn型の拡散領域N1を形成してもよい。ウエル領域P-は、シリコン基板に比べて不純物濃度の調整が容易である。このため、空乏層の厚さ等のプロセス設計の自由度を高くできる。したがって、フォトダイオードの特性を設計しやすくなる。

[0049] 上述した実施形態では、本発明を、光キャリア(電子)をn型の拡散領域N1に蓄積するフォトダイオードに適用する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を、光キャリア(正孔)をp型の拡散領域に蓄積するフォトダイオードに適用しても、同様の効果を得ることができる。

上述した第6および第7の実施形態では、拡散領域N1上にマイクロレンズMLを形成する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、第1～第5の実施形態の拡散領域N1上にマイクロレンズMLを形成してもよい。

[0050] 上述した5の実施形態では、拡散領域N2、N3を拡散領域N1の内部に形成し、拡散領域N4を拡散領域N1の表面に形成する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、全ての拡散領域N2、N3、N4を拡散領域N1の表面に形成してもよい。

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

請求の範囲

- [1] フォトダイオードを各々有する複数の画素を備え、
前記各画素は、
前記フォトダイオードにおいて光キャリアの蓄積部を構成する第1導電型の第1拡散領域と、
前記第1拡散領域をソース電極とし、前記第1拡散領域に隣接する位置に絶縁膜を介してゲート電極が形成され、前記フォトダイオードに蓄積された光キャリアをドレイン電極に転送する転送トランジスタと、
前記第1拡散領域の表面に前記第1拡散領域の外周部を覆って形成され、第1導電型と逆の極性を有する第2導電型の第2拡散領域とを備えていることを特徴とする撮像装置。
- [2] 請求の範囲1記載の撮像装置において、
前記外周部のうち前記ゲート電極に隣接する部分を除く部分外周部の周囲に、前記第1拡散領域と離れて形成された素子分離領域を備え、
前記第2拡散領域は、前記部分外周部から前記素子分離領域まで形成されていることを特徴とする撮像装置。
- [3] フォトダイオードを各々有する複数の画素を備え、
前記各画素は、
前記フォトダイオードにおいて光キャリアの蓄積部を構成する第1導電型の第1拡散領域と、
前記第1拡散領域をソース電極とし、前記第1拡散領域に隣接する位置に絶縁膜を介してゲート電極が形成され、前記フォトダイオードに蓄積された光キャリアをドレイン電極に転送する転送トランジスタと、
前記第1拡散領域の表面に、前記第1拡散領域の外周部のうち前記ゲート電極に隣接する部分を除く部分外周部を覆って形成され、第1導電型と逆の極性を有する第2導電型の第2拡散領域とを備えていることを特徴とする撮像装置。
- [4] 請求の範囲3記載の撮像装置において、
前記部分外周部の周囲に、第1拡散領域と離れて形成された素子分離領域を備え

、

前記第2拡散領域は、前記部分外周部から前記素子分離領域まで形成されていることを特徴とする撮像装置。

[5] 請求の範囲3記載の撮像装置において、

前記第1拡散領域の内部に、前記第1拡散領域の前記ゲート電極側の外周部に形成され、前記第1拡散領域の不純物濃度より高い不純物濃度を有する第1導電型の第3拡散領域を備えていることを特徴とする撮像装置。

[6] 請求の範囲3記載の撮像装置において、

前記第1拡散領域の表面に、前記第1拡散領域の前記ゲート電極側の外周部に形成され、前記第1拡散領域の不純物濃度より高い不純物濃度を有する第1導電型の第3拡散領域を備えていることを特徴とする撮像装置。

[7] 請求の範囲3記載の撮像装置において、

前記第1拡散領域の表面において、前記第2拡散領域の内側に前記ゲート電極に向けて順次形成され、前記第1拡散領域の不純物濃度より高い不純物濃度を有する第1導電型の複数の第3拡散領域を備え、

前記第3拡散領域の不純物濃度は、前記ゲート電極に近いほど高いことを特徴とする撮像装置。

[8] 請求の範囲1、3のいずれか1項記載の撮像装置において、

前記第1拡散領域において、表面に露出する領域の面積は、前記第2拡散領域に覆われた領域の面積より大きいことを特徴とする撮像装置。

[9] フォトダイオードを各々有する複数の画素を備え、

前記画素は、相対的に短波長の光を選択的に透過する第1フィルタを介して入射される光と、相対的に長波長の光を選択的に透過する第2フィルタを介して入射される光のいずれかを受け、

前記相対的に短波長の光を受ける各画素は、

前記フォトダイオードにおいて光キャリアの蓄積部を構成する第1導電型の第1拡散領域と、

前記第1拡散領域をソース電極とし、前記第1拡散領域に隣接する位置に絶縁膜

を介してゲート電極が形成され、前記フォトダイオードに蓄積された光キャリアをドレイン電極に転送する転送トランジスタと、

前記第1拡散領域の表面に前記第1拡散領域の外周部を覆って形成され、第1導電型と逆の極性を有する第2導電型の第2拡散領域とを備え、

前記相対的に長波長の光を受ける各画素は、

前記フォトダイオードにおいて光キャリアの蓄積部を構成する第1導電型の第1拡散領域と、

前記第1拡散領域をソース電極とし、前記第1拡散領域に隣接する位置に絶縁膜を介してゲート電極が形成され、前記フォトダイオードに蓄積された光キャリアをドレイン電極に転送する転送トランジスタと、

前記第1拡散領域の全表面を覆って形成され、第1導電型と逆の極性を有する第2導電型の第2拡散領域とを備えていることを特徴とする撮像装置。

[10] フォトダイオードを各々有する複数の画素を備え、

前記画素は、相対的に短波長の光を選択的に透過する第1フィルタを介して入射される光と、相対的に長波長の光を選択的に透過する第2フィルタを介して入射される光のいずれかを受け、

前記相対的に短波長の光を受ける各画素は、

前記フォトダイオードにおいて光キャリアの蓄積部を構成する第1導電型の第1拡散領域と、

前記第1拡散領域をソース電極とし、前記第1拡散領域に隣接する位置に絶縁膜を介してゲート電極が形成され、前記フォトダイオードに蓄積された光キャリアをドレイン電極に転送する転送トランジスタと、

前記第1拡散領域の表面に、第1拡散領域の外周部のうち前記ゲート電極に隣接する部分を除く部分外周部を覆って形成され、第1導電型と逆の極性を有する第2導電型の第2拡散領域とを備え、

前記相対的に長波長の光を受ける各画素は、

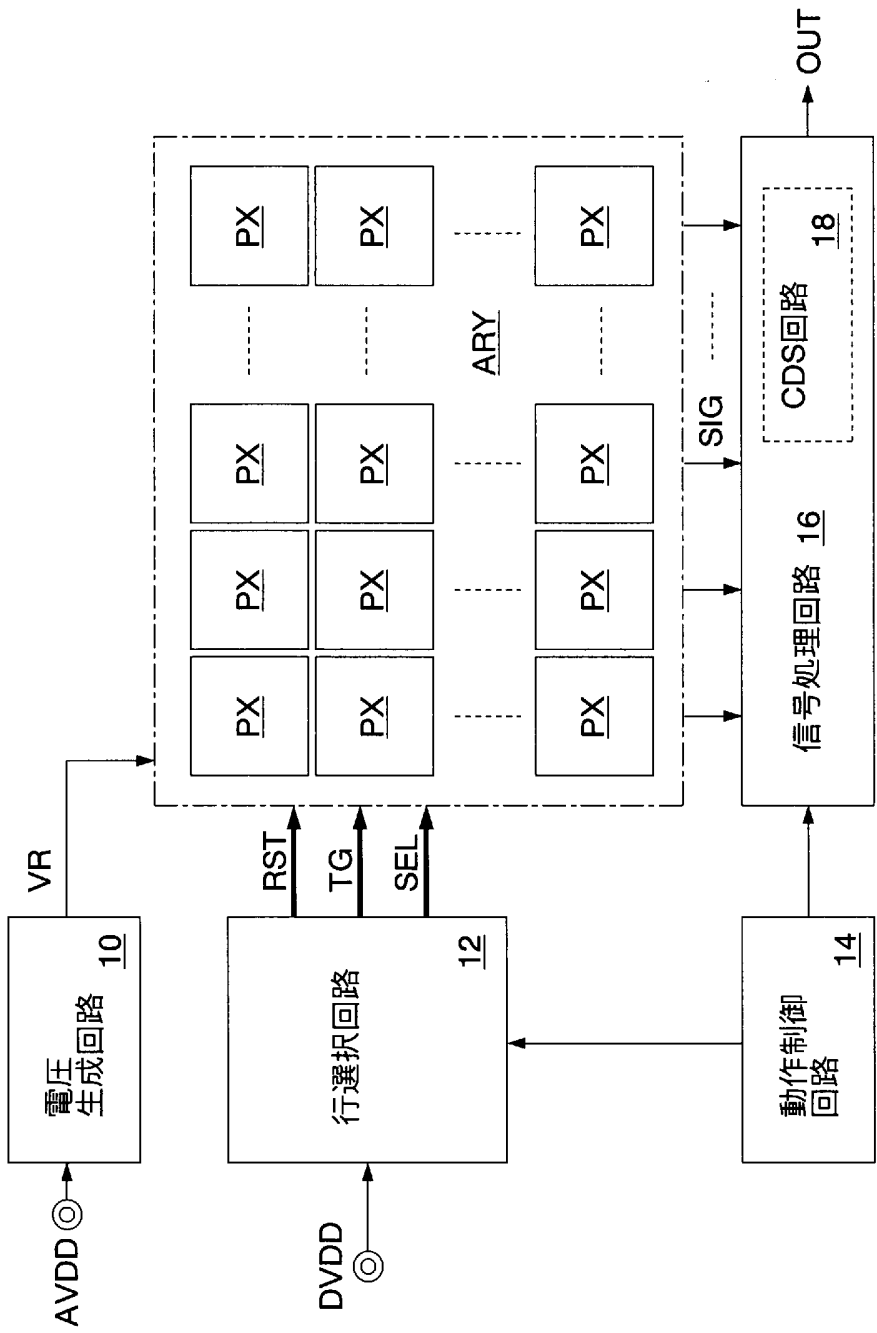
前記フォトダイオードにおいて光キャリアの蓄積部を構成する第1導電型の第1拡散領域と、

前記第1拡散領域をソース電極とし、前記第1拡散領域に隣接する位置に絶縁膜を介してゲート電極が形成され、前記フォトダイオードに蓄積された光キャリアをドレイン電極に転送する転送トランジスタと、

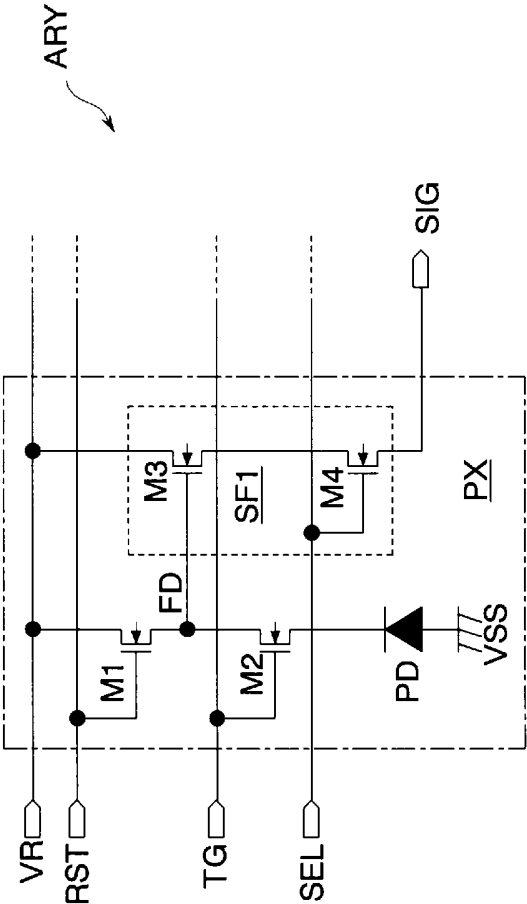
前記第1拡散領域の全表面を覆って形成され、第1導電型と逆の極性を有する第2導電型の第2拡散領域とを備えていることを特徴とする撮像装置。

- [11] 請求の範囲9、10のいずれか1項記載の撮像装置において、
前記相対的に短波長の光を受ける各画素の前記第1拡散領域において、表面に露出する領域の面積は、前記第2拡散領域に覆われた領域の面積より大きいことを特徴とする撮像装置。
- [12] 請求の範囲1、3、9、10のいずれか1項の撮像装置において、
各画素は、
転送トランジスタのドレイン電極にソース電極が接続され、ドレイン電圧が電圧供給線に接続されたりセットトランジスタと、
転送トランジスタのドレイン電極およびリセットトランジスタのソース電極である浮遊拡散ノードにゲート電極が接続され、ソース電極から画素信号を出力するソースフォロアトランジスタと、
前記浮遊拡散ノードと前記ソースフォロアトランジスタのゲート電極とを互いに接続するコンタクト領域とを備えていることを特徴とする撮像装置。
- [13] 請求の範囲1、3、9、10のいずれか1項記載の撮像装置において、
前記第2拡散領域の不純物濃度は、前記第1拡散領域の不純物濃度より高いことを特徴とする撮像装置。
- [14] 請求の範囲1、3、9、10のいずれか1項の撮像装置において、
前記第1導電型はn型であり、前記第2導電型はp型であることを特徴とする撮像装置。
- [15] 請求の範囲1、3、9、10のいずれか1項の撮像装置において、
前記各画素に入射される光を前記第1拡散領域に集光するために、前記第1拡散領域の上方に形成されたマイクロレンズを備えていることを特徴とする撮像装置。

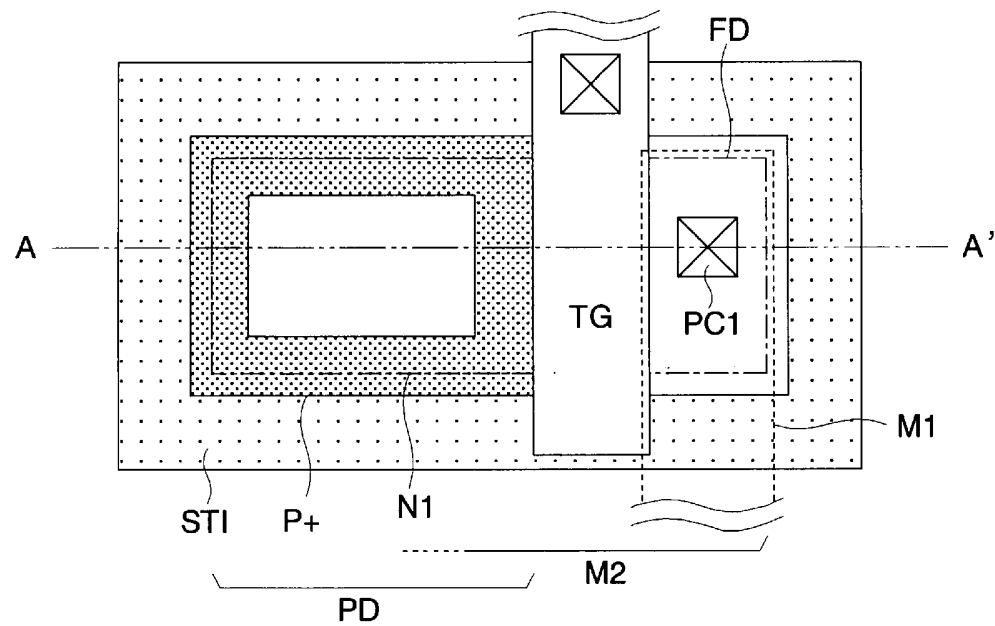
[図1]



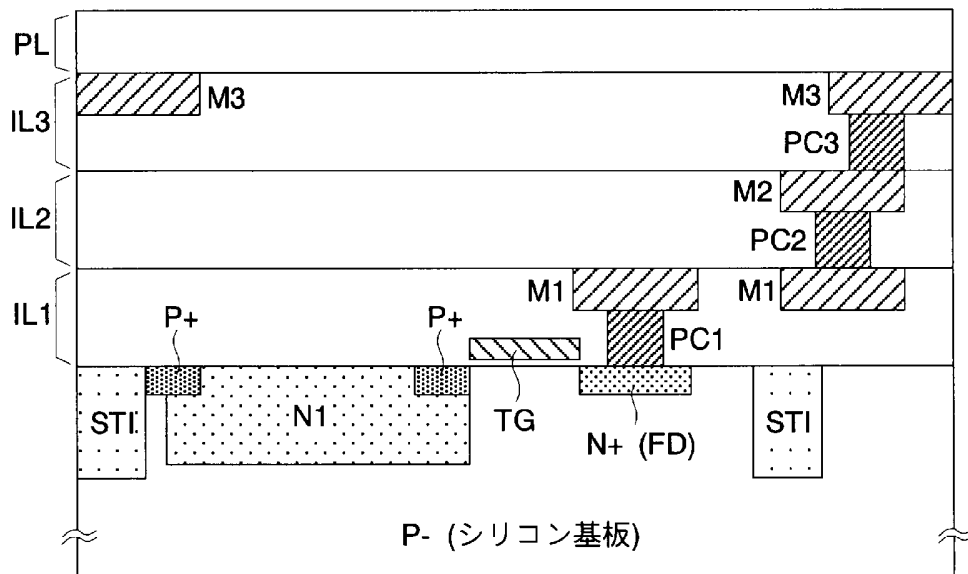
[図2]



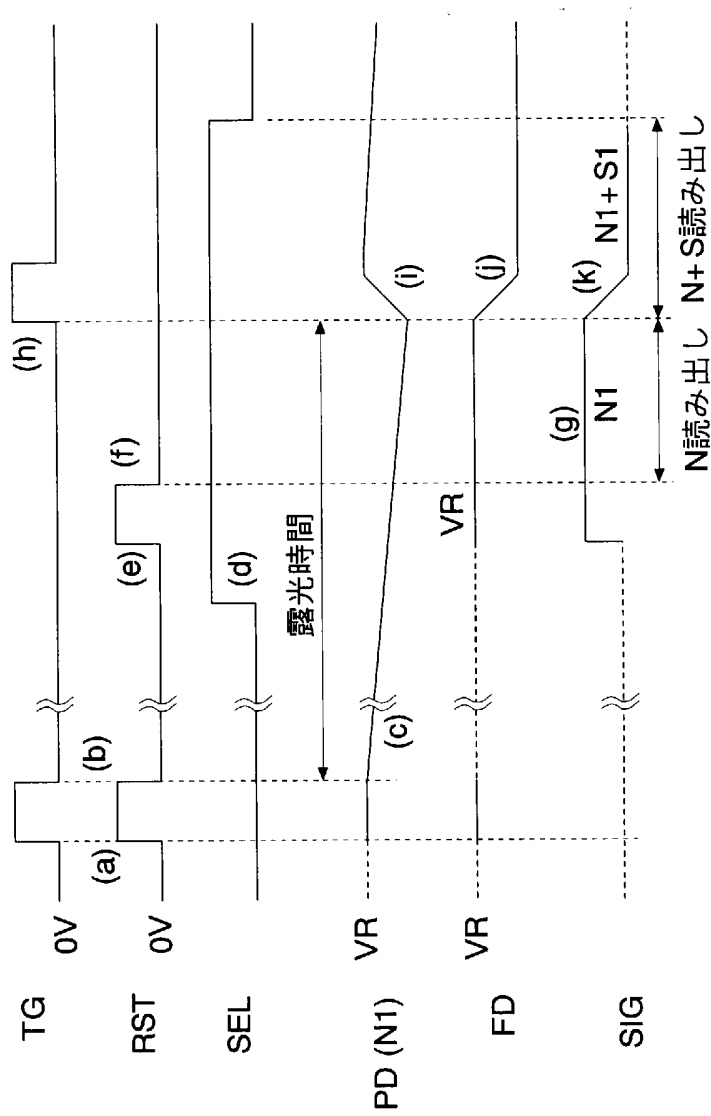
[図3]



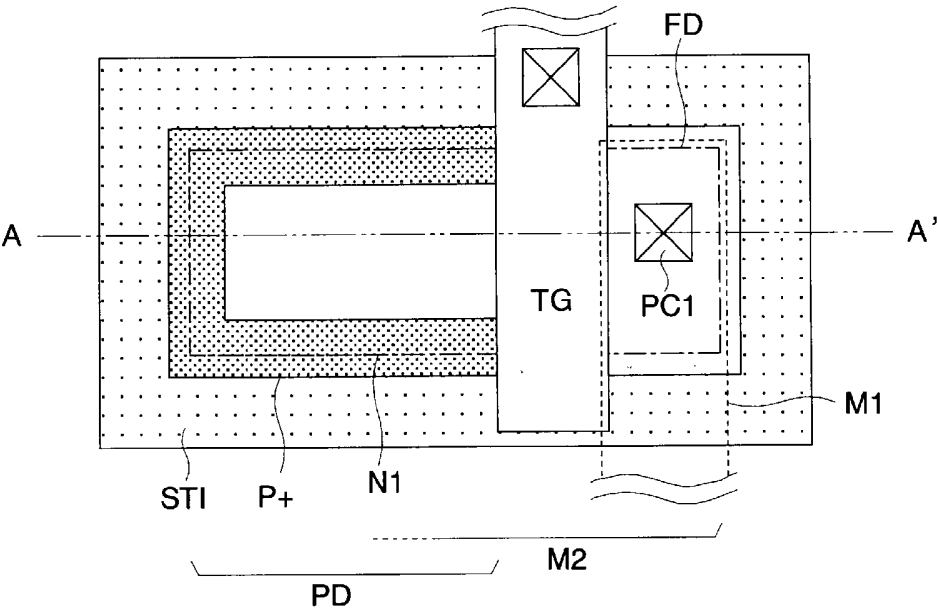
[図4]



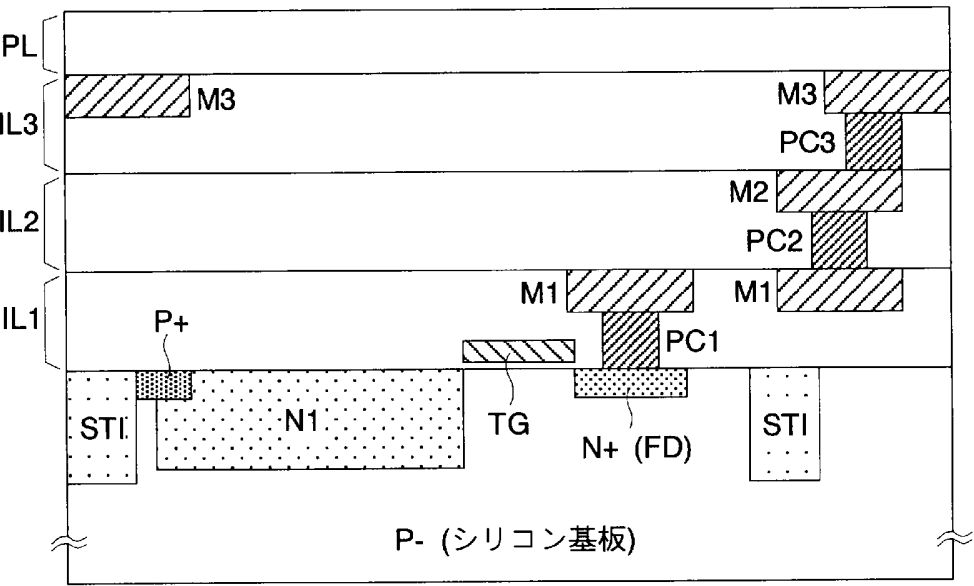
[図5]



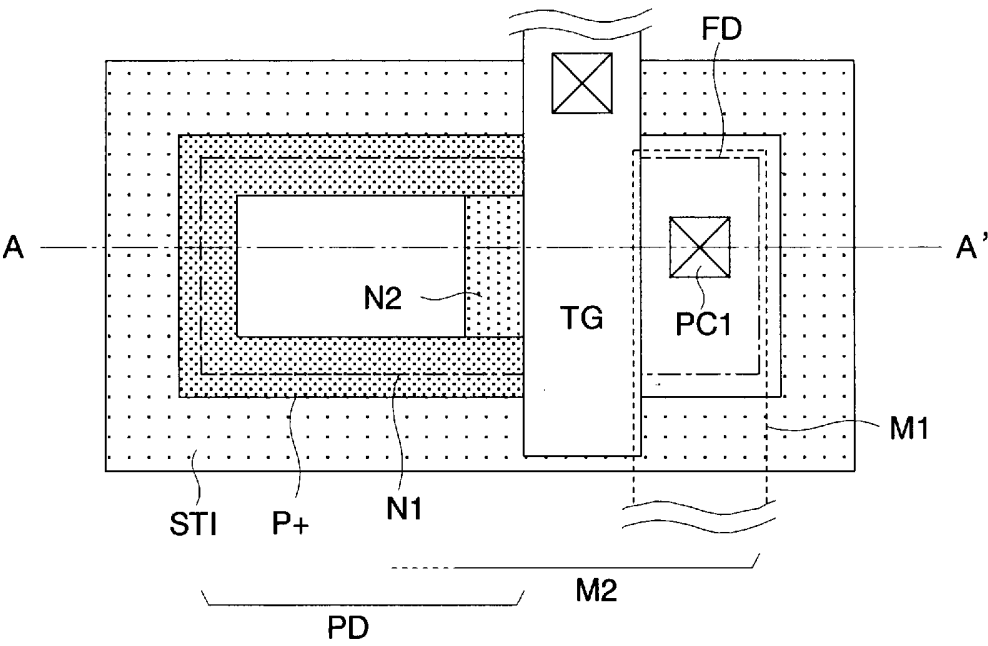
[図6]



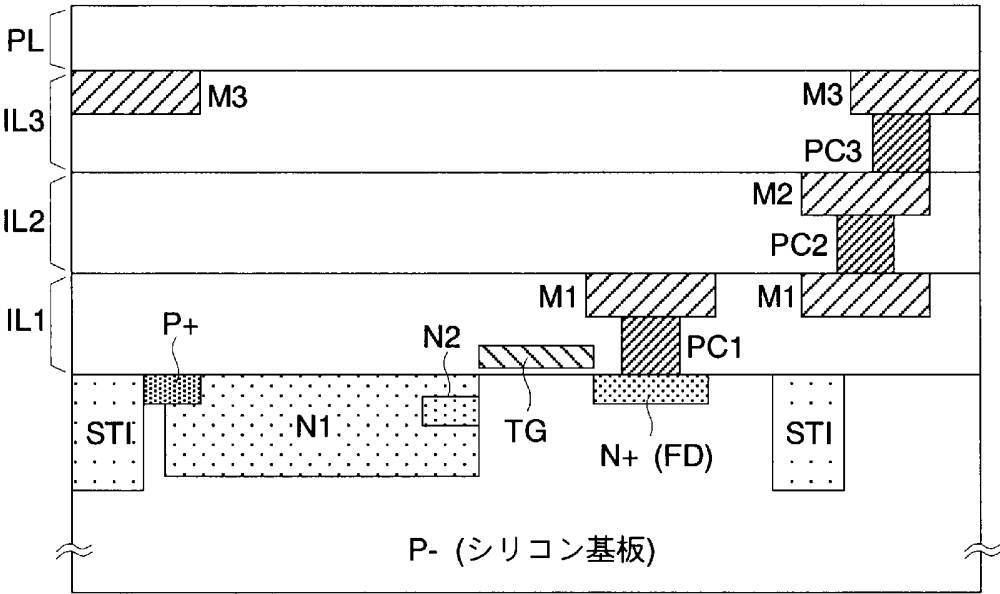
[図7]



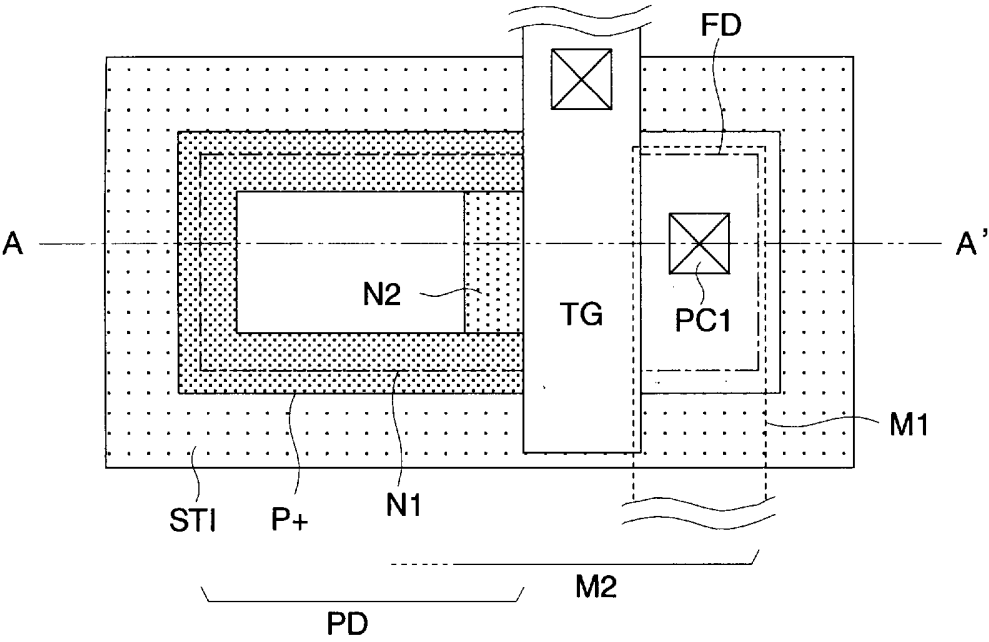
[図8]



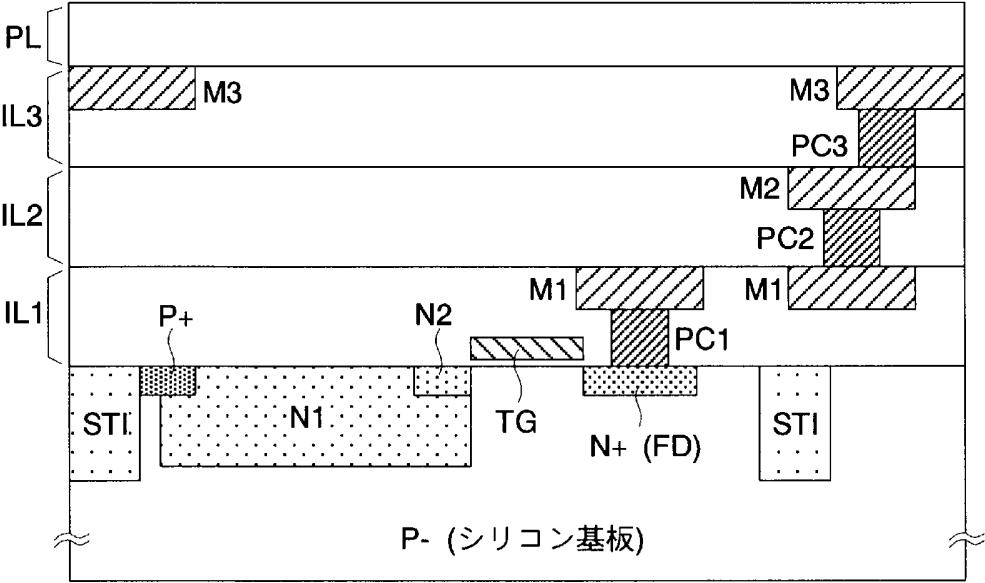
[図9]



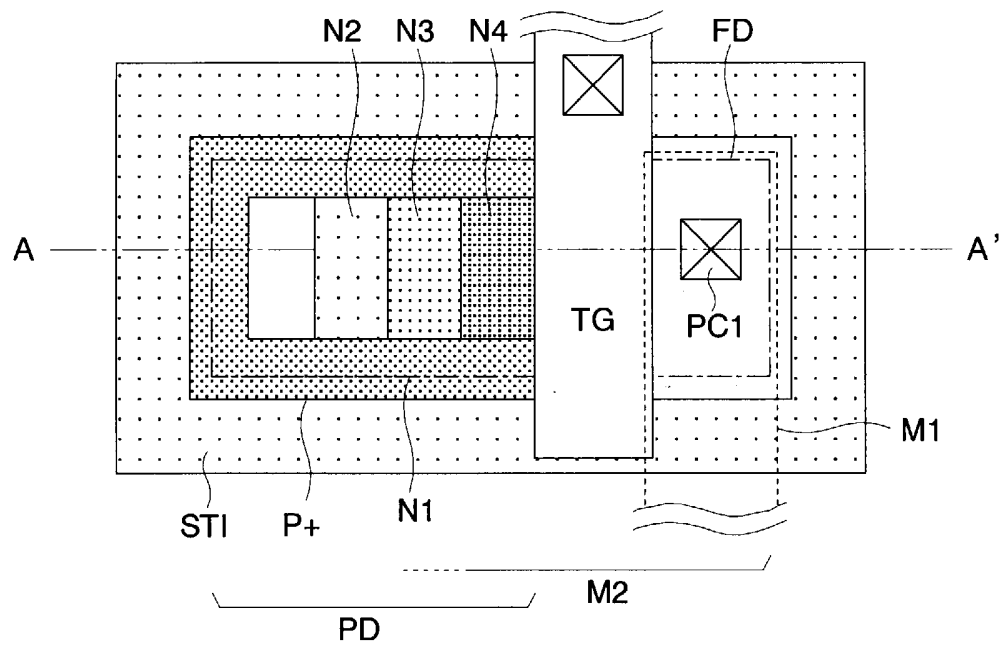
[図10]



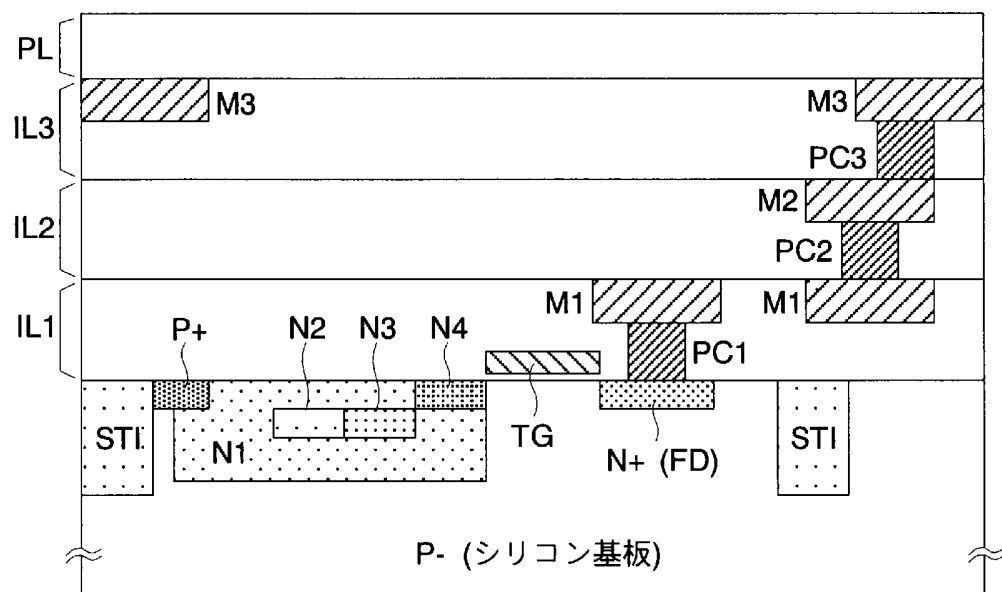
[図11]



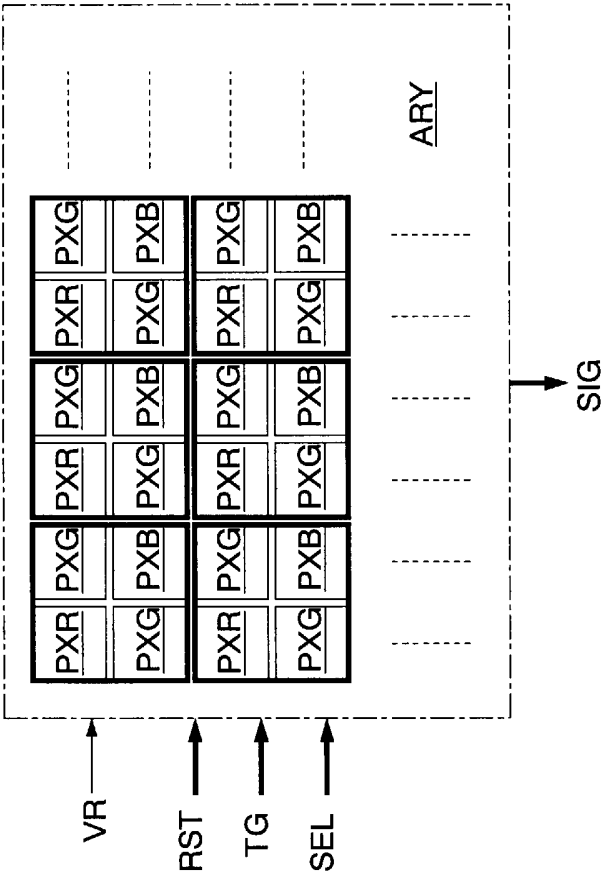
[図12]



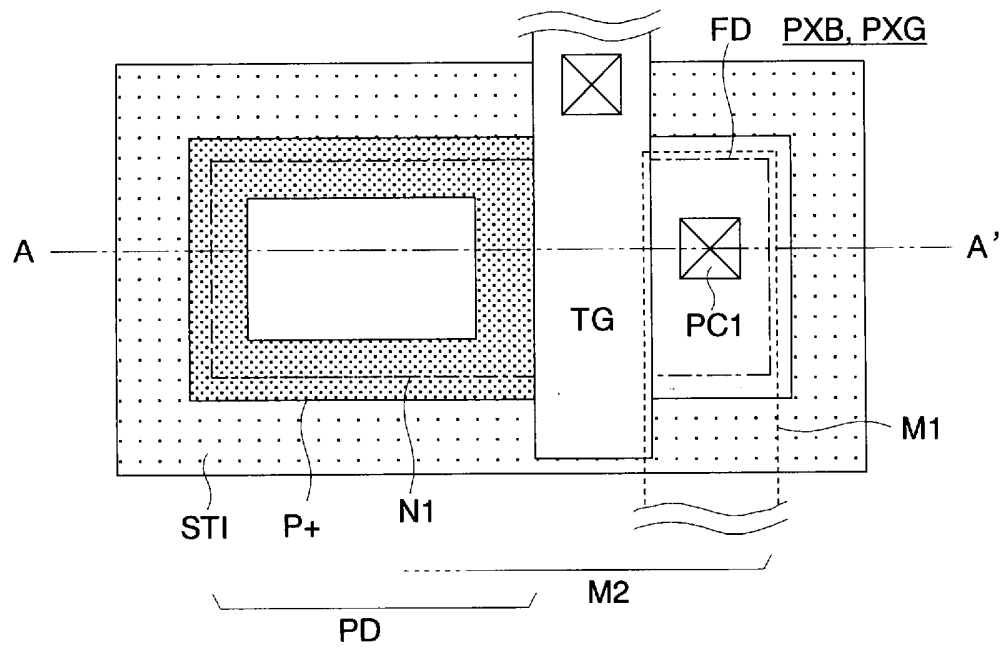
[図13]



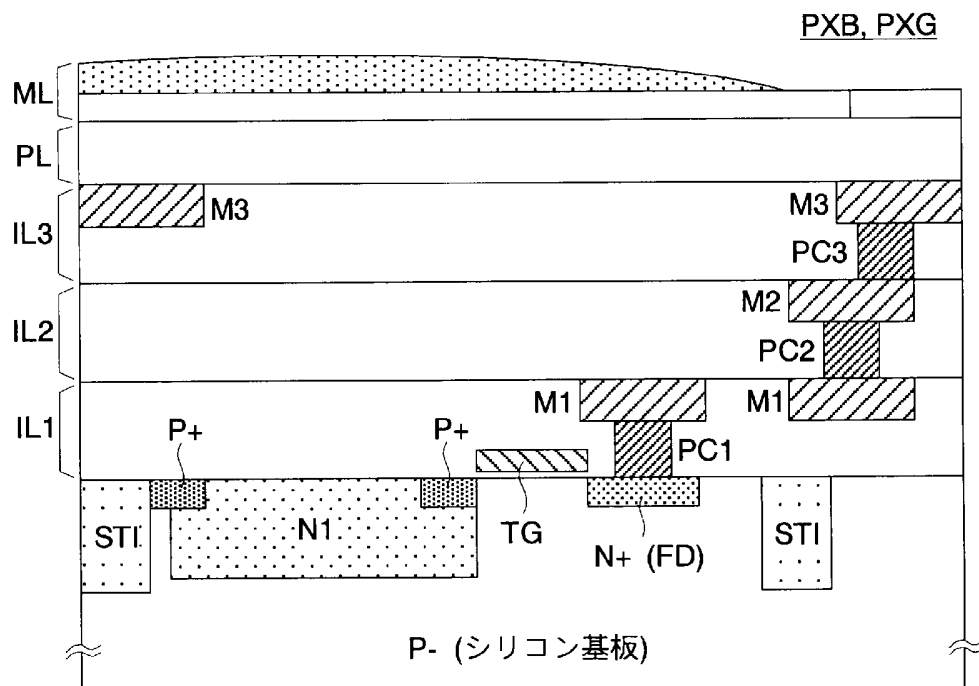
[図14]



[図15]



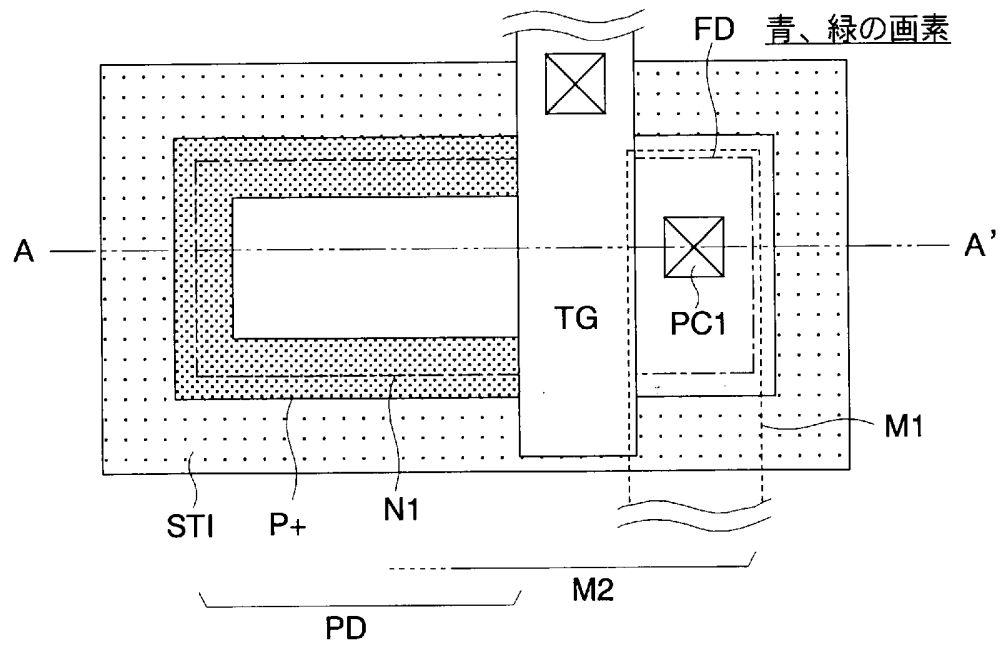
[図16]



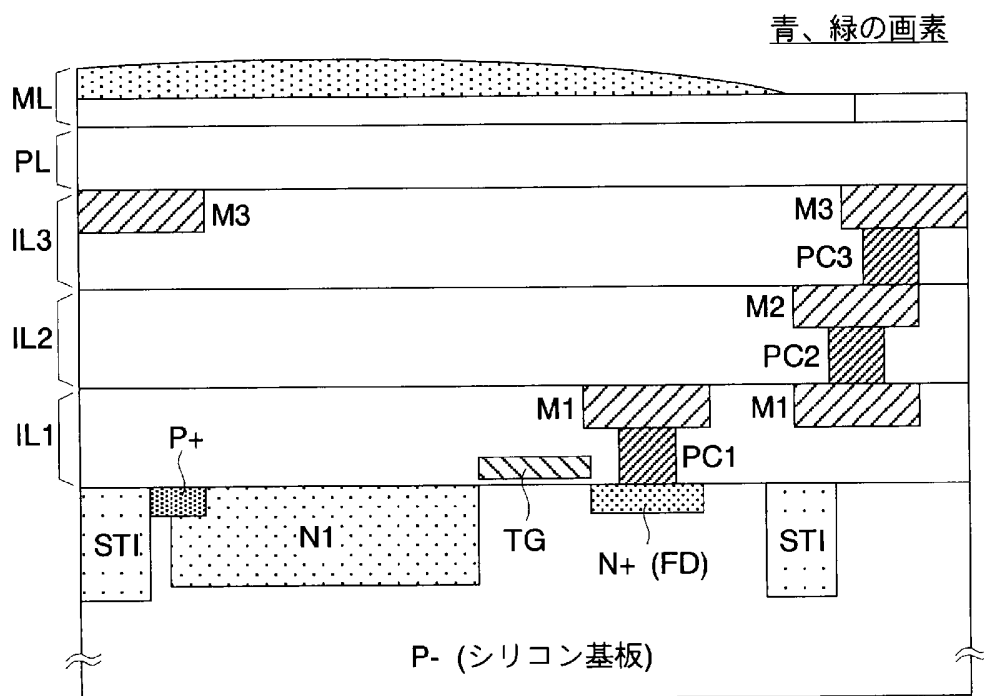
This diagram shows a cross-sectional view of a semiconductor device along line A-A'. The device consists of a substrate with a central region labeled PD (Photo Detector) which is divided into STI (Shallow Trench Isolation) and P+ (P-type) regions. A vertical structure labeled TG (Thin Gate) is positioned over the PD region. To the right of the TG, there is a region labeled M1 (Metal 1) containing a square structure labeled PC1 (Photo Cathode 1). The entire device is covered by a layer labeled M2 (Metal 2). The top surface is labeled PXR (Photo X-ray Resistor) and the bottom surface is labeled FD (Front Dielectric). The cross-section is labeled A-A'.

The diagram illustrates a cross-section of a semiconductor device. The layers are labeled from top to bottom: ML, PL, IL3, IL2, and IL1. The device features several regions: STI (Shallow Trench Isolation) on the left and right, N1 (Nitride) in the center, TG (Tungsten) on the left, N+ (FD) (N-doped Field) in the center, and PXR (P-doped Region) on the right. Various layers are labeled: M1, M2, M3, PC1, PC2, and PC3. The substrate is labeled P- (シリコン基板).

[図19]



[図20]



The diagram illustrates the cross-sectional structure of a semiconductor device. The layers are labeled on the left as PL, IL3, IL2, IL1, and N- (シリコン基板). The device features several regions: M3, M2, and M1 are located in the IL3, IL2, and IL1 layers, respectively. PC3, PC2, and PC1 are located in the IL3, IL2, and IL1 layers, respectively. P+ regions are located in the IL1 layer. STI (Shallow Trench Isolation) regions are located in the IL1 layer. N1 is a region in the IL1 layer. TG (Trench Gate) is a region in the IL1 layer. N+ (SD) (Source/Drain) is a region in the IL1 layer. The N- (シリコン基板) is the substrate.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005745

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L27/146, H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L27/146, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 11-284166 A (Toshiba Corp.), 15 October, 1999 (15.10.99), Full text; all drawings & US 2004/108502 A1	1, 14 9, 10, 12, 13, 15 7, 8, 11
X Y A	JP 2003-101004 A (Toshiba Corp.), 04 April, 2003 (04.04.03), Full text; all drawings (Family: none)	2-4, 6, 12-15 5, 10 7, 8, 11
Y	JP 2000-91552 A (Toshiba Corp.), 31 March, 2000 (31.03.00), Full text; all drawings (Family: none)	5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
25 April, 2005 (25.04.05)

Date of mailing of the international search report
17 May, 2005 (17.05.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005745

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-299111 A (Matsushita Electric Industrial Co., Ltd.), 17 October, 2003 (17.10.03), Full text; all drawings & US 2003/183829 A1 & EP 1349399 A2 & CN 1447591 A	9, 10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L27/146, H04N5/335

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L27/146, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-284166 A (株式会社東芝)	1, 14
Y	1999. 10. 15, 全文, 全図 &US 2004/108502 A1	9, 10, 12, 13, 15
A		7, 8, 11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

25. 04. 2005

国際調査報告の発送日

17. 5. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関二丁目4番3号

特許庁審査官 (権限のある職員)

柴山 将隆

電話番号 03-3581-1101 内線 3498

4L

3035

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2003-101004 A (株式会社東芝) 2003. 04. 04, 全文, 全図 (ファミリーなし)	2-4, 6, 12-15
Y		5, 10
A		7, 8, 11
Y	J P 2000-91552 A (株式会社東芝) 2000. 03. 31, 全文, 全図 (ファミリーなし)	5
Y	J P 2003-299111 A (松下電器産業株式会社) 2003. 10. 17, 全文, 全図 &US 2003/183829 A1 &EP 1349399 A2 &CN 1447591 A	9, 10