



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I841030 B

(45) 公告日：中華民國 113 (2024) 年 05 月 01 日

(21) 申請案號：111141835

(22) 申請日：中華民國 106 (2017) 年 01 月 04 日

(51) Int. Cl. : H01L27/146 (2006.01)

H04N25/70 (2023.01)

G02B7/34 (2021.01)

(30) 優先權：2016/01/27 日本

特願 2016-013613

(71) 申請人：日商新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72) 發明人：正垣敦 MASAGAKI, ATSUSHI (JP)；田中裕介 TANAKA, YUSUKE (JP)

(74) 代理人：陳長文

(56) 參考文獻：

US 2013/0009039A1

US 2013/0182155A1

US 2014/0054662A1

審查人員：陳恩笙

申請專利範圍項數：12 項 圖式數：42 共 110 頁

(54) 名稱

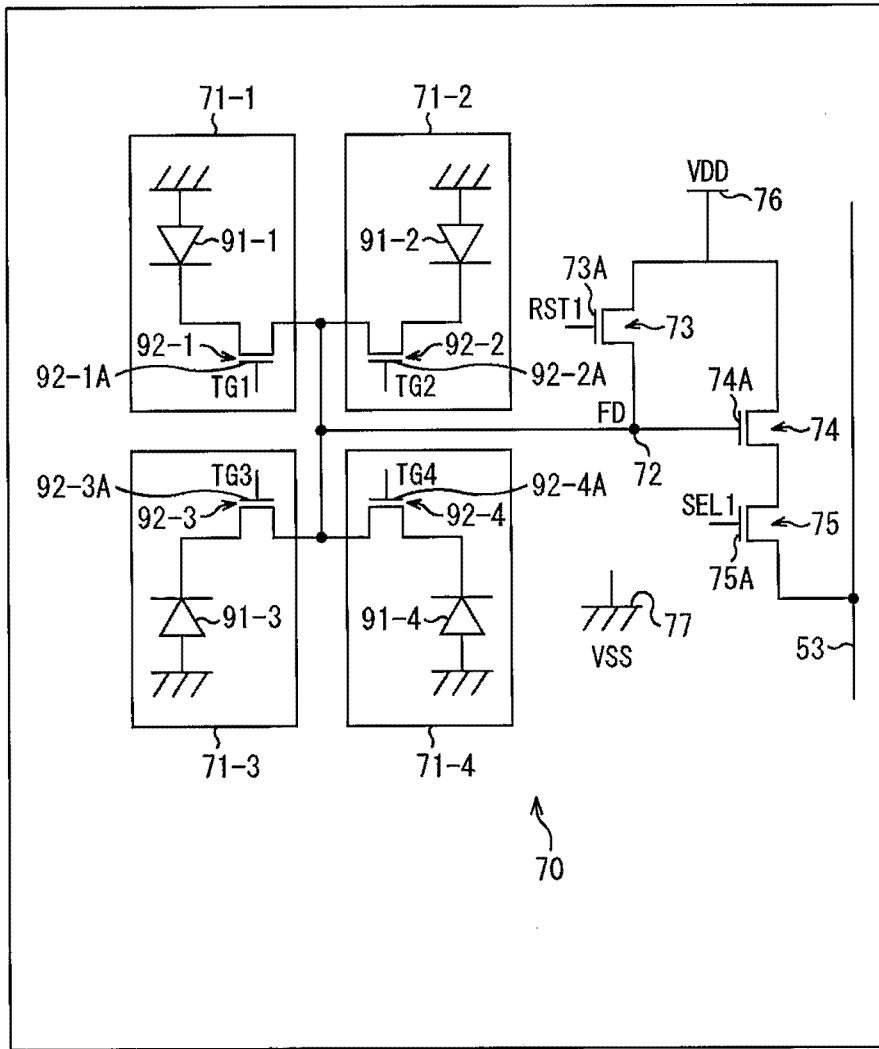
固體攝像元件及電子機器

(57) 摘要

本揭示可防止相鄰之像素之間之電荷洩漏。

複數個像素將經由依每一像素而異之晶載透鏡而自背面入射之光進行光電轉換。像素分離壁形成於相鄰之像素之間，且由形成於表面之槽即表面槽、及形成於背面之槽即背面槽構成。配線層設置於表面。本揭示可應用於例如背面照射型 CMOS 影像感測器等。

指定代表圖：



【圖2】

符號簡單說明：

- 53:垂直信號線
- 70:像素群
- 71-1~71-4:像素
- 72:FD
- 73:重設電晶體
- 73A:閘極電極
- 74:放大電晶體
- 74A:閘極電極
- 75:選擇電晶體
- 75A:閘極電極
- 76:電源電極
- 77:井電極
- 91-1~91-4:PD
- 92-1~92-4:傳送電晶體
- 92-1A:閘極電極
- 92-2A:閘極電極
- 92-3A:閘極電極
- 92-4A:閘極電極
- RST1:線
- SEL1:線
- TG1~TG4:線
- VDD:電位
- VSS:電位



I841030

【發明摘要】

【中文發明名稱】

固體攝像元件及電子機器

【中文】

本揭示可防止相鄰之像素之間之電荷洩漏。

複數個像素將經由依每一像素而異之晶載透鏡而自背面入射之光進行光電轉換。像素分離壁形成於相鄰之像素之間，且由形成於表面之槽即表面槽、及形成於背面之槽即背面槽構成。配線層設置於表面。本揭示可應用於例如背面照射型CMOS影像感測器等。

【指定代表圖】

圖2

【代表圖之符號簡單說明】

53: 垂直信號線

70: 像素群

71-1~71-4: 像素

72: FD

73: 重設電晶體

73A: 閘極電極

74: 放大電晶體

74A: 閘極電極

75: 選擇電晶體

75A: 閘極電極

76: 電源電極

77: 井電極

91-1~91-4: PD

92-1~92-4: 傳送電晶體

92-1A: 閘極電極

92-2A: 閘極電極

92-3A: 閘極電極

92-4A: 閘極電極

RST1: 線

SEL1: 線

TG1~TG4: 線

VDD: 電位

VSS: 電位

【發明說明書】

【中文發明名稱】

固體攝像元件及電子機器

【技術領域】

本揭示係關於一種固體攝像元件及電子機器，尤其是關於一種可防止相鄰之像素之間之電荷洩漏之固體攝像元件及電子機器。

【先前技術】

先前，於數位靜態相機及數位攝影機等具備攝像功能之電子機器中，使用有例如CCD(Charge Coupled Device：電荷耦合裝置)或CMOS(Complementary Metal Oxide Semiconductor：互補金屬氧化物半導體)影像感測器等固體攝像元件。固體攝像元件具有組合有進行光電轉換之光電二極體(光電轉換元件)與電晶體之像素，基於自平面配置之複數個像素輸出之像素信號而建構圖像。

例如，於固體攝像元件中，將累積於光電二極體(PD：photodiode)之電荷傳送至設置於PD與放大電晶體之閘極電極之連接部之具有特定電容之FD(Floating Diffusion：浮動擴散區)部。且，自像素讀取與累積於FD部之電荷之量相應之像素信號，藉由具有比較器之AD(Analog Digital：類比數位)轉換電路予以AD轉換而輸出。

又，近年，使用CMOS影像感測器之像素之一部分檢測相位，使AF(auto focus：自動聚焦)速度提高之技術、即所謂像面相位差AF逐漸普及。作為像面相位差AF之方式，有PD分割方式等(例如、參照專利文獻1)。於PD分割方式中，將像素所具有之PD分割成複數個，且基於藉由自分割後之各PD獲得之像素信號產生相位資訊，基於該相位資訊進行測

距。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2000-292685號公報

【發明內容】

[發明所欲解決之問題]

然而，於對像素入射較強之光之情形時，有時會產生累積於該像素之PD之電荷飽和溢出，而洩漏至相鄰像素之稱為混色之現象。若發生洩漏混色，則由於與自相鄰像素讀出之像素信號相應之電荷量變得多於原本之電荷量，故招致攝像特性之劣化。

本揭示係鑑於此種狀況而完成者，可防止相鄰之像素之間之電荷洩漏。

[解決問題之技術手段]

本揭示之第1態樣之固體攝像元件構成為具備：複數個像素，其等將經由依每一上述像素而異之透鏡而自背面入射之光進行光電轉換；像素分離壁，其形成於相鄰之上述像素之間；及配線層，其設置於表面；且上述像素分離壁係由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成。

於本揭示之第1態樣中，具備：複數個像素，其等將經由依每一上述像素而異之透鏡而自背面入射之光進行光電轉換；像素分離壁，其形成於相鄰之上述像素之間；及配線層，其設置於表面；且上述像素分離壁係由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成。

本揭示之第2態樣之電子機器具有固體攝像元件，該固體攝像元件構

成為具備：複數個像素，其等將經由依每一上述像素而異之透鏡而自背面入射之光進行光電轉換；像素分離壁，其形成於相鄰之上述像素之間；及配線層，其設置於表面；且上述像素分離壁係由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成。

於本揭示之第2態樣中，具備固體攝像元件，其具備：複數個像素，其等將經由依每一上述像素而異之透鏡而自背面入射之光進行光電轉換；像素分離壁，其形成於相鄰之上述像素之間；及配線層，其設置於表面；且上述像素分離壁係由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成。

[發明之效果]

根據本揭示之第1及第2態樣，可拍攝圖像。再者，根據本揭示之第1及第2態樣，可防止相鄰之像素之間之電荷洩漏。

另，此處所記載之效果未必為限定者，亦可為本揭示中所記載之任一效果。

【圖式簡單說明】

圖1係顯示作為應用本揭示之固體攝像元件之CMOS影像感測器之第1實施形態之構成例之方塊圖。

圖2係顯示配置於圖1之像素區域之像素群之電路構成例之圖。

圖3係自CMOS影像感測器之表面側觀看圖2之像素群之第1構造例之圖。

圖4係圖3之A-A'剖視圖、B-B'剖視圖、及C-C'剖視圖。

圖5A、B係說明累積於圖2之PD之電荷溢流時之電荷之流動之圖。

圖6A-C係顯示圖2之像素群之第2構造例之圖。

圖7係顯示作為應用本揭示之固體攝像元件之CMOS影像感測器之第2實施形態之構成例之方塊圖。

圖8係顯示配置於圖7之像素區域之相位差檢測像素之電路構成例之圖。

圖9係自CMOS影像感測器之表面側觀看圖8之相位差檢測像素之構造例之圖。

圖10係圖9之A-A'剖視圖、B-B'剖視圖、及C-C'剖視圖。

圖11係圖9之D-D'剖視圖、及E-E'剖視圖。

圖12A、B係說明圖7之CMOS影像感測器之動作之圖。

圖13A、B係說明圖7之CMOS影像感測器之動作之圖。

圖14A、B係說明圖7之CMOS影像感測器之動作之圖。

圖15係顯示應用本揭示之CMOS影像感測器之第3實施形態之相位差檢測像素之電路構成例之圖。

圖16係自CMOS影像感測器之表面側觀看相位差檢測像素270之第1構造例之圖。

圖17係圖16之A-A'剖視圖及B-B'剖視圖。

圖18係圖16之C-C'剖視圖及D-D'剖視圖。

圖19A、B係說明CMOS影像感測器之第3實施形態之動作之圖。

圖20A、B係說明CMOS影像感測器之第3實施形態之動作之圖。

圖21A、B係說明CMOS影像感測器之第3實施形態之動作之圖。

圖22A、B係說明CMOS影像感測器之第3實施形態之動作之圖。

圖23係圖15之相位差檢測像素之第2構造例之圖16之B-B'剖視圖及C-C'剖視圖。

圖24A、B係圖15之相位差檢測像素之第3構造例之圖16之E-E'剖視圖。

圖25係CMOS影像感測器之第3實施形態之視角之端部之相位差檢測像素之第4構造例之圖16之E-E'剖視圖。

圖26A-C係說明圖25之相位差檢測像素之PD之製造方法之圖。

圖27係應用本揭示之CMOS影像感測器之第3實施形態之視角之端部之相位差檢測像素之第5構造例之圖16之E-E'剖視圖。

圖28A、B係說明圖27之相位差檢測像素之PD之製造方法之圖。

圖29A、B係說明圖27之相位差檢測像素之PD之製造方法之圖。

圖30A、B係顯示圖15之相位差檢測像素之第6構造例之圖。

圖31A、B係顯示圖15之相位差檢測像素之第6構造例之圖。

圖32A、B係顯示圖15之相位差檢測像素之第7構造例之圖。

圖33A、B係顯示圖15之相位差檢測像素之第7構造例之圖。

圖34A、B係顯示圖15之相位差檢測像素之第8構造例之圖。

圖35A、B係顯示圖15之相位差檢測像素之第8構造例之圖。

圖36A、B係顯示圖15之相位差檢測像素之第9構造例之圖。

圖37A、B係顯示相位差檢測像素之另一構造例之圖。

圖38係說明圖37之背面槽之製造方法之圖。

圖39A-D係顯示圖37之背面槽之另一構造例之圖。

圖40係自像素區域之另一構成例之CMOS影像感測器之表面側觀看之圖。

圖41係顯示作為應用本揭示之電子機器之攝像裝置之構成例之方塊圖。

圖42係顯示使用上述之CMOS影像感測器之使用例之圖。

【實施方式】

以下，對用以實施本揭示之形態(以下稱為實施形態)進行說明。另，說明係按以下之順序進行。

- 1.第1實施形態：CMOS影像感測器(圖1至圖6)
- 2.第2實施形態：CMOS影像感測器(圖7至圖14)
- 3.第3實施形態：CMOS影像感測器(圖15至圖40)
- 4.第4實施形態：攝像裝置(圖41)
- 5.CMOS影像感測器之使用例(圖42)

< 第1實施形態 >

(CMOS影像感測器之第1實施形態之構成例)

圖1係顯示作為應用本揭示之固體攝像元件之CMOS影像感測器之第1實施形態之構成例之方塊圖。

CMOS影像感測器50係於未圖示之矽基板等半導體基板(晶片)形成有像素區域51、像素驅動線52、垂直信號線53、垂直驅動部54、行處理部55、水平驅動部56、系統控制部57、信號處理部58、及記憶部59者。CMOS影像感測器50係光之照射面為與設有配線層之表面對向之背面之背面照射型CMOS影像感測器。

於CMOS影像感測器50之像素區域51中，陣列狀地2維配置具有對自背面入射之光進行光電轉換而累積電荷之PD之複數個像素，而進行拍攝。像素區域51之各像素之彩色濾光片之排列為拜耳排列。又，於像素區域51中，針對像素每2列形成像素驅動線52，且每2行形成垂直信號線53。

垂直驅動部54係由位移暫存器或位址解碼器等構成，且以將與累積於像素區域51之各像素之PD之電荷相應之像素信號按奇數行、偶數行之順序以列單位自上起依序讀出之方式，對像素驅動線52供給驅動信號。

行處理部55係於像素區域51之每2行之像素具有信號處理電路。行處理部55之各信號處理電路對自像素讀出、通過垂直信號線53而供給之像素信號，進行A/D轉換處理、CDS(Correlated Double Sampling)(相關雙重取樣)處理等信號處理。行處理部55暫時保持信號處理後之像素信號。

水平驅動部56係由位移暫存器或位址解碼器等構成，且依序選擇行處理部55之信號處理電路。藉此，以行處理部55之各信號處理電路進行信號處理後之像素信號被依序輸出至信號處理部58。

系統控制部57係由產生各種時序信號之時序產生器等構成，且基於時序產生器所產生之各種時序信號而控制垂直驅動部54、行處理部55、及水平驅動部56。

信號處理部58對自行處理部55輸出之像素信號進行各種信號處理。此時，信號處理部58根據需要，將信號處理之中途結果等儲存於記憶部59，於必要之時序進行參照。信號處理部58輸出信號處理後之像素信號。

記憶部59係由DRAM(Dynamic Random Access Memory：動態隨機存取記憶體)、或SRAM(Static Random Access Memory：靜態隨機存取記憶體)等構成。

(像素群之電路構成例)

圖2係顯示配置於圖1之像素區域51之像素中之由2(橫)×2(縱)個像素構成之像素群之電路構成例之圖。

於圖1之像素區域51中，陣列狀地配置圖2之像素群70。像素群70具有2x2個像素71-1至71-4、FD72、重設電晶體73、放大電晶體74、選擇電晶體75、電源電極76、及井電極77。

像素71-1至71-4各者係由PD與傳送電晶體構成。具體而言，像素71-1係由PD91-1與傳送電晶體92-1構成，像素71-2係由PD91-2與傳送電晶體92-2構成。又，像素71-3係由PD91-3與傳送電晶體92-3構成，像素71-4係由PD91-4與傳送電晶體92-4構成。

另，以下於無需特別區分像素71-1至71-4之情形時，將其等通稱為像素71。同樣地，將PD91-1至91-4通稱為PD91，將傳送電晶體92-1至92-4通稱為傳送電晶體92。

像素71之PD91係產生、累積與自CMOS影像感測器50之背面入射之光之受光量相應之電荷。PD91之陽極端子連接於電位為VSS(例如GND)之井電極77，陰極端子經由傳送電晶體92連接於FD72。

於傳送電晶體92-1之間極電極92-1A，連接與構成像素群70之像素71之2列對應之像素驅動線52中之、針對像素71-1(71-2)之列之奇數行之像素71形成之線TG1。再者，於傳送電晶體92-2之間極電極92-2A，連接與構成像素群70之像素71之2列對應之像素驅動線52中之、針對像素71-1(71-2)之列之偶數行之像素71形成之線TG2。

進而，於傳送電晶體92-3之間極電極92-3A，連接與構成像素群70之像素71之2列對應之像素驅動線52中之、針對像素71-3(71-4)之列之奇數行之像素71形成之線TG3。再者，於傳送電晶體92-4之間極電極92-4A，連接與構成像素群70之像素71之2列對應之像素驅動線52中之、針對像素71-3(71-4)之列之偶數行之像素71形成之線TG3。另，以下於無需特別區

分開極電極92-1A至92-4A之情形時，將其等通稱為閘極電極92A。

自圖1之垂直驅動部54對線TG1至TG4供給傳送信號作為驅動信號。垂直驅動部54對應於像素信號之讀出對象之像素71之列、及奇數行或偶數行，而將線TG1至TG4之傳送信號依序接通。當輸入至閘極電極92A之傳送信號被接通之情形時，傳送電晶體92將累積於PD91之電荷傳送至FD72。

FD72係保持自PD91讀出之電荷。FD72經由重設電晶體73，與電位為VDD之電源電極76連接。

於重設電晶體73之閘極電極73A，連接與構成像素群70之像素71之2列對應之像素驅動線52中之、針對該2列像素71形成之線RST1。自垂直驅動部54對線RST1供給重設信號作為驅動信號。垂直驅動部54於新接通傳送信號之前將重設信號接通。

當輸入至閘極電極73A之重設信號被接通之情形時，重設電晶體73將傳送至FD72之電荷排出至電源電極76，而重設FD72之電位。

於電源電極76與垂直信號線53之間，串聯連接放大電晶體74與選擇電晶體75。放大電晶體74之閘極電極74A連接於FD72，放大電晶體74使用電源電極76，將與FD72之電位相應之像素信號輸出至選擇電晶體75。

選擇電晶體75之閘極電極75A係連接與構成像素群70之像素71之2列對應之像素驅動線52中之、針對該2列像素71形成之線SEL1。自垂直驅動部54對線SEL1供給選擇信號作為驅動信號。垂直驅動部54於接通傳送信號後且接通重設信號之前，將選擇信號接通。

當輸入至閘極電極75A之選擇信號被接通之情形時，選擇電晶體75將自放大電晶體74輸入之像素信號經由垂直信號線53供給至圖1之行處理

部17。

如以上，於CMOS影像感測器50中，於構成像素群70之2x2之像素71之間，共有1個FD72，而將累積於像素71之PD91之電荷依奇數列、偶數列之順序按列單位自上起依序傳送至FD72。

(像素群之第1構造例)

圖3係自CMOS影像感測器50之表面側觀看圖2之像素群70之第1構造例之圖，圖4係圖3之A-A'剖視圖、B-B'剖視圖、及C-C'剖視圖。

如圖3所示，形成PD91-1之井即P型雜質101-1係配置成與形成PD91-2之P型雜質101-2排列於水平方向(圖3中左右方向)，且與形成PD91-3之P型雜質101-2排列於垂直方向(圖3中上下方向)。再者，形成PD91-4之P型雜質101-4係配置成與P型雜質101-3排列於水平方向，且與P型雜質101-2排列於垂直方向。另，以下於無需特別區分P型雜質101-1至101-4之情形時，將其等通稱為P型雜質101。

於同一像素群70內之相鄰之P型雜質101之間，如圖4所示，形成像素分離壁111。像素分離壁111係藉由形成於CMOS影像感測器50之表面之槽即表面槽111A、與形成於背面之槽即背面槽111B接觸而形成。惟於CMOS影像感測器50之表面之同一像素群70內之相鄰之P型雜質101之間的區域中之、形成FD72之P型雜質101-1至101-4之中央之區域，未形成表面槽111A。

即，像素分離壁111係藉由形成於同一像素群70內之相鄰之P型雜質101之間之表面之區域中之未形成FD72之區域之表面槽111A、與形成於該P型雜質101之間之背面之全區域之背面槽111B接觸而形成。

又，跨像素群70而於在垂直方向上相鄰之P型雜質101之間形成像素

分離壁112，且於在水平方向上相鄰之P型雜質101之間形成像素分離壁113。

像素分離壁112係由隔著N型雜質114至117及P型雜質118之2個表面槽112A、與背面槽112B構成。背面槽112B形成於與2個表面槽112A不同之、與N型雜質114至117及P型雜質118對應之位置。

N型雜質114與FD72連接，構成重設電晶體73之源極。N型雜質115與電源電極76連接，構成重設電晶體73及放大電晶體74之汲極。N型雜質116構成放大電晶體74之源極與選擇電晶體75之汲極。N型雜質117與垂直信號線53連接，構成選擇電晶體75之源極。P型雜質118係與井電極77連接之井。

於閘極電極92A、閘極電極73A、及閘極電極75A，連接設置於形成於CMOS影像感測器50之表面之配線層119之像素驅動線52。於閘極電極74A，連接FD72。

又，於各P型雜質101之背面側，各自形成對應之像素71之紅色(R)、綠色(G)、或藍色(B)之彩色濾光片121，且於各彩色濾光片121之外側，各自形成晶載透鏡122。PD91將經由晶載透鏡122與彩色濾光片121而自CMOS影像感測器50之背面入射之光進行光電轉換。

如以上，於像素分離壁111中，因表面槽111A與背面槽111B於除FD72以外之區域接觸，故於除FD72以外之區域中，同一像素群70內之各PD91被完全電性切斷。再者，於像素分離壁113中，因表面槽113A與背面槽113B接觸，故跨像素群70而相鄰之PD91亦被完全電性切斷。

另一方面，於像素分離壁112中，表面槽112A與背面槽112B之位置不同，故表面槽112A與背面槽112B不接觸。因此，PD91與N型雜質114

至117及P型雜質118未被完全電性切斷。

另，表面槽111A(112A、113A)與背面槽111B(112B、113B)之與背面垂直之深度方向之長度亦可對應於像素分離壁111(112、113)之位置而不同。又，表面槽111A(112A、113A)與背面槽111B(112B、113B)之至少一者之材質亦可對應於像素分離壁111(112、113)之位置而不同。

又，晶載透鏡122亦可針對像素群70設置1個。

(溢流時之電荷之流動之說明)

圖5係說明累積於PD91之電荷溢流時之電荷之流動之圖。

圖5A係自表面側觀看累積於PD91之電荷溢流時之像素群70之圖，圖5B係圖5A之C-C'剖視圖。

如上所述，於除FD72以外之區域中，因各PD91被完全電性切斷，故於累積於PD91之電荷溢流之情形時，可防止電荷自該PD91向相鄰之另一PD91洩漏。

另一方面，於像素分離壁111之FD72之區域中，未形成表面槽111A。因此，於累積於PD91之電荷溢流之情形時，溢流之電荷以圖5B之路徑W1，經由P型雜質101洩漏至FD72。然而，因FD72係於傳送來自PD91之電荷前被重設，故自PD91向FD72之電荷洩漏對攝像特性賦予之影響較小。

又，如上所述，於像素分離壁112中，因表面槽112A與背面槽112B不接觸，故PD91與N型雜質114至117及P型雜質118未被完全電性切斷。因此，於累積於PD91之電荷溢流之情形時，可將溢流之電荷以圖5B之路徑W2，經由N型雜質115而亦排出至電源電極76。

藉此，即使於自PD91溢流之電荷之電荷量多於可累積於FD72之電荷

量之情形時，亦藉由將該電荷排出至電源電極76，而可防止電荷向相鄰之PD91洩漏。其結果，可防止電荷向相鄰之PD91洩漏所引起之攝像特性之劣化。

相對於此，於無路徑W2之情形時，必須於自PD91溢流之電荷之電荷量超過可累積於FD72之電荷量之前，藉由接通重設信號而釋放累積於FD72之電荷。因此，垂直驅動部54之處理變複雜。

另，於路徑W1中，電荷之洩漏係在無實體障壁下進行，於路徑W2中，電荷之洩漏係經由包含表面槽112A與背面槽112B之實體障壁之間隙而進行。因此，與路徑W2之洩漏相比，路徑W1之洩漏會優先進行。

如以上，於CMOS影像感測器50中，像素分離壁111(112、113)由表面槽111A(112A、113A)與背面槽111B(112B、113B)形成。

因此，藉由使像素分離壁113之表面槽113A與背面槽113B接觸，可使像素分離壁113貫通CMOS影像感測器50。與自CMOS影像感測器50之表面或背面之一者貫通之貫通槽相比，表面槽113A及背面槽113B之深度相對於寬度之縱橫比較小。因此，與藉由貫通槽形成像素分離壁之情形相比，像素分離壁113之形成較容易。

又，藉由作為一般的半導體製程之遮罩圖案形成來控制表面槽111A至113A之有無與位置，可容易地實現電荷之刻意洩漏及切斷。

進而，可提高與於表面側形成STI(Shallow Trench Isolation：淺槽隔離)等元件分離用之槽之一般之CMOS影像感測器之親和性。其結果，將本技術應用於對例如於表面側形成STI等元件分離用之槽之CMOS影像感測器之情形時，可將該槽用作表面槽111A至113A之至少1者。藉此，可抑制像素分離壁111至113之形成所引起之製造步驟數之增加。

(像素群之第2構造例)

圖6係顯示2×2之像素群70之第2構造例之圖。圖6A係自CMOS影像感測器50之表面側觀看2×2之像素群70之第2構造例之圖，圖6B係自背面側觀看之圖。圖6C係圖6A之D-D'剖視圖。另，於以後之圖中，只要無特別說明，則於自CMOS影像感測器之背面側觀看之圖中，不圖示彩色濾光片231與晶載透鏡232。

於圖6所示之構成中，對與圖3及圖4之構成相同之構成標註相同符號，適當省略重複之說明。

圖6之像素群70之構造與圖3及圖4之構造之不同點在於，P型雜質118位於2×2個像素群70之交點。

如圖6C所示，像素分離壁112之2個表面槽112A係以隔著P型雜質118之方式形成，背面槽112B形成於對應於P型雜質118之位置。即，表面槽112A與背面槽112B不接觸。因此，可經由1個P型雜質118，將周邊之P型雜質101之電位同時固定在井電極77之電位。

相對於此，於像素分離壁112之表面槽112A與背面槽112B接觸之情形時，必須對每一像素71形成P型雜質118。其結果，可分配給PD91、傳送電晶體92、重設電晶體73、放大電晶體74、選擇電晶體75等之區域之面積變小，而招致攝像特性之劣化。

又，於圖6之例中，如圖6A所示，因P型雜質118位於2×2個像素群70之交點，故容易產生自PD91至N型雜質115之路徑W2(圖5)之電荷洩漏。

< 第2實施形態 >

(CMOS影像感測器之第2實施形態之構成例)

圖7係顯示作為應用本揭示之固體攝像元件之CMOS影像感測器之第

2實施形態之構成例之方塊圖。

於圖7所示之構成中，對與圖1之構成相同之構成標註相同符號，適當省略重複之說明。

CMOS影像感測器180係於未圖示之矽基板等半導體基板形成有像素區域181、像素驅動線182、垂直信號線183、垂直驅動部184、行處理部185、水平驅動部56、系統控制部57、信號處理部188、及記憶部59之背面照射型CMOS影像感測器。

於CMOS影像感測器180之像素區域181中，陣列狀地2維配置具有對自背面入射之光進行光電轉換而累積電荷之2個PD之複數個相位差檢測像素，而進行拍攝。像素區域181之各相位差檢測像素之彩色濾光片之排列為拜耳排列。又，於像素區域181中，針對相位差檢測像素每1列形成像素驅動線182，且每1行形成垂直信號線183。

垂直驅動部184係由位移暫存器或位址解碼器等構成，且以將與累積於像素區域181之各相位差檢測像素之2個PD之電荷相應之像素信號依序以列單位自上起依序讀出之方式，對像素驅動線182供給驅動信號。

行處理部185係於像素區域181之每1行之相位差檢測像素具有信號處理電路。行處理部185之各信號處理電路對自相位差檢測像素讀出、並通過垂直信號線183供給之像素信號，進行A/D轉換處理、CDS處理等信號處理。行處理部185暫時保持信號處理後之像素信號。

信號處理部188基於藉由水平驅動部56之選擇而自行處理部185輸出之各相位差檢測像素之2個PD之像素信號，進行像面相位差AF等。此時，信號處理部188根據需要，將處理之中途結果等儲存於記憶部59，於必要之時序進行參照。信號處理部188輸出處理結果等。

(相位差檢測像素之電路構成例)

圖8係顯示配置於圖7之像素區域181之相位差檢測像素之電路構成例之圖。

相位差檢測像素190具有分割像素191-1及分割像素191-2、FD192、重設電晶體193、放大電晶體194、選擇電晶體195、電源電極197、及井電極198。

分割像素191-1係由PD201-1與傳送電晶體202-1構成，分割像素191-2係由PD201-2與傳送電晶體202-2構成。

另，以下於無需特別區分分割像素191-1及分割像素191-2之情形時，將其等通稱為分割像素191。同樣地，將PD201-1及PD201-2通稱為PD201，將傳送電晶體202-1及傳送電晶體202-2通稱為傳送電晶體202。

分割像素191之PD201係產生、累積與自CMOS影像感測器180之背面入射之光之受光量相應之電荷。PD201之陽極端子連接於電位為VSS(例如GND)之井電極198，陰極端子經由傳送電晶體202連接於FD192。

於傳送電晶體202-1之閘極電極202-1A，連接與相位差檢測像素190之列對應之像素驅動線182中之、針對構成相位差檢測像素190之一分割像素191-1形成之線TG11。再者，於傳送電晶體202-2之閘極電極202-2A，連接與相位差檢測像素190之列對應之像素驅動線182中之、針對構成相位差檢測像素190之另一分割像素191-2形成之線TG12。另，以下於無需特別區分閘極電極202-1A及閘極電極202-2A之情形時，將其等通稱為閘極電極202A。

自垂直驅動部184對線TG11及線TG12供給傳送信號作為驅動信號。

垂直驅動部184將像素信號之讀出對象之相位差檢測像素190之列之線TG1及線TG12之傳送信號依序接通。當輸入至閘極電極202A之傳送信號被接通之情形時，傳送電晶體202將累積於PD201之電荷傳送至FD192。

FD192保持自PD201讀出之電荷。FD192經由重設電晶體193，與電位為VDD之電源電極197連接。

於重設電晶體193之閘極電極193A，連接與相位差檢測像素190之列對應之像素驅動線182中之、針對該列相位差檢測像素190形成之線RST2。自垂直驅動部184對線RST2供給重設信號作為驅動信號。垂直驅動部184於新接通傳送信號之前將重設信號接通。

當輸入至閘極電極193A之重設信號被接通之情形時，重設電晶體193將傳送至FD192之電荷排出至電源電極197，而重設FD192之電位。

於電源電極197與垂直信號線183之間，串聯連接放大電晶體194與選擇電晶體195。放大電晶體194之閘極電極194A連接於FD192，放大電晶體194使用電源電極197，將與FD192之電位相應之像素信號輸出至選擇電晶體195。

於選擇電晶體195之閘極電極195A，連接與相位差檢測像素190之列對應之像素驅動線182中之、針對該列之相位差檢測像素190形成之線SEL2。自垂直驅動部184對線SEL2供給選擇信號作為驅動信號。垂直驅動部184於接通傳送信號後且接通重設信號之前，將選擇信號接通。

當輸入至閘極電極195A之選擇信號被接通之情形時，選擇電晶體195將自放大電晶體194輸出之像素信號經由垂直信號線183供給至行處理部17。

如以上，於CMOS影像感測器180中，於2(橫)×1(縱)個分割像素191

之間，共有1個FD192。且，將累積於各分割像素191之PD201之電荷依分割像素191-1、分割像素191-2之順序，按相位差檢測像素190之列單位自上起依序傳送至FD192。

(相位差檢測像素之構造例)

圖9係自CMOS影像感測器180之表面側觀看圖8之相位差檢測像素190之構造例之圖，圖10係圖9之A-A'剖視圖、B-B'剖視圖、及C-C'剖視圖，圖11係圖9之D-D'剖視圖、及E-E'剖視圖。

如圖9所示，相位差檢測像素190之井即P型雜質210被分割成P型雜質211-1與P型雜質211-2。如圖10及圖11所示，於P型雜質211-1形成PD201-1，於P型雜質211-2形成PD201-2。另，以下於無需特別區分P型雜質211-1與P型雜質211-2之情形時，將其等通稱為P型雜質211。

如圖9及圖10所示，於同一相位差檢測像素190內之P型雜質211-1與P型雜質211-2之間，形成分割像素分離壁221。如圖10所示，分割像素分離壁221係藉由形成於CMOS影像感測器180之表面之表面槽221A、與形成於背面之背面槽221B接觸而形成。

惟於CMOS影像感測器180之表面之同一相位差檢測像素190內之相鄰之P型雜質211之間的區域中之、形成FD192之區域及與FD192為相反側之垂直方向之端部，未形成表面槽221A。即，分割像素分離壁221係藉由形成於同一相位差檢測像素190內之相鄰之P型雜質211之間之表面的區域中之、FD192之區域及與FD192為相反側之垂直方向之端部以外之表面槽221A、與形成於該P型雜質211之間之背面之全區域之背面槽221B接觸而形成。

又，如圖10所示，於分割像素分離壁221之與FD192為相反側之垂直

方向之端部之表面側，形成電勢較深之雜質212。藉此，於累積於PD201-1或PD201-2之一者之電荷溢流之情形時，可使電荷以圖10之路徑S1，經由雜質212容易地洩漏至另一者。

跨相位差檢測像素190而於在垂直方向上相鄰之P型雜質211之間形成像素分離壁222，且於在水平方向上相鄰之P型雜質211之間形成像素分離壁223。

像素分離壁222係由隔著N型雜質224至228及P型雜質229之2個表面槽222A、與背面槽222B構成。背面槽222B形成於與2個表面槽222A不同之、與N型雜質224至228及P型雜質229對應之位置。

N型雜質224與電源電極197連接，構成放大電晶體194之汲極。N型雜質225構成放大電晶體194之源極及選擇電晶體195之汲極。N型雜質226與垂直信號線183連接，構成選擇電晶體195之源極。

N型雜質227與FD192連接，構成重設電晶體193之源極。N型雜質228與電源電極197連接，構成重設電晶體193之汲極。P型雜質229係與井電極198連接之井。

於閘極電極202A、閘極電極193A、及閘極電極195A，連接設置於形成於CMOS影像感測器180之表面之配線層230之像素驅動線182。於閘極電極194A連接FD192。

又，於P型雜質210之背面側，形成對應之相位差檢測像素190之紅色(R)、綠色(G)、或藍色(B)之彩色濾光片231，且於彩色濾光片231之外側，形成晶載透鏡232。

PD201-1經由晶載透鏡232與彩色濾光片231接收自圖9中右側之背面側入射之光，並對該光進行光電轉換。又，PD201-2經由晶載透鏡232與

彩色濾光片231接收自圖9中左側之背面側入射之光，且對該光進行光電轉換。

其結果，自分割像素191-1讀出之像素信號成為與自相位差檢測像素190之圖9中右側入射之光對應者，自分割像素191-2讀出之像素信號成為與自相位差檢測像素190之圖10中左側入射之光對應者。因此，信號處理部188可基於自分割像素191-1與分割像素191-2讀出之像素信號之差分，檢測水平方向之相位，而進行像面相位差AF等。

如以上，於分割像素分離壁221中，於FD192之區域未形成表面槽221A。因此，於累積於PD201之電荷溢流之情形時，溢流之電荷以圖10之路徑S2，經由P型雜質211洩漏至FD192。然而，因FD192係於傳送來自PD201之電荷前被重設，故自PD201至FD192之電荷之洩漏對攝像特性賦予之影響較小。

另一方面，於像素分離壁223中，因表面槽223A與背面槽223B接觸，故跨越相位差檢測像素190而相鄰之PD201被完全電性切斷。因此，即使於累積於PD201之電荷溢流之情形時，亦不會引起向與該PD201跨相位差檢測像素190而相鄰之另一PD201之電荷洩漏。

又，如圖11所示，於像素分離壁222中，表面槽222A與背面槽222B之位置不同，故表面槽222A與背面槽222B不接觸。因此，PD201與N型雜質224至228及P型雜質229係未被完全電性切斷。

由此，於累積於PD201整體之電荷溢流之情形時，可將溢流之電荷以圖11之路徑S3，經由P型雜質211與N型雜質224亦排出至電源電極197。再者，能以圖11之路徑E1，將P型雜質211(井)之電位，固定於與P型雜質229連接之井電極198之電位。

另，表面槽221A(222A、223A)與背面槽221B(222B、223B)之深度方向之長度及至少一者之材質，亦可按照分割像素分離壁221(像素分離壁222、223)之位置而不同。再者，像素分離壁222(223)之背面槽222B(223B)、與分割像素分離壁221之背面槽221B之深度方向之長度和至少一者之材質亦可不同。

(CMOS影像感測器之動作之說明)

圖12至圖14係說明圖7之CMOS影像感測器180之動作之圖。

如圖12B至圖14B所示，於路徑S1至S3之障壁中，路徑S1最弱，路徑S2第2弱，路徑S3最強。

信號處理部188於累積於PD201-1及PD201-2之任一者之電荷溢流之前之期間，基於自分割像素191-1及分割像素191-2依序讀出之像素信號之差分，檢測出水平方向之相位。且，信號處理部188基於檢測出之相位而進行像面相位差AF。

當於PD201進一步累積電荷，一旦累積於PD201-1及PD201-2之任一者之電荷溢流時，如圖12所示，溢流之電荷以障壁最弱之路徑S1開始向另一者洩漏(步驟1)。於該情形時，信號處理部188藉由將自PD201-1及PD201-2依序讀出之像素信號累加，而可取得相位差檢測像素190整體之像素信號。

當於PD201進一步累積電荷，一旦PD201整體之電荷溢流時，如圖13所示，溢流之電荷以障壁第2弱之路徑S2開始向FD192洩漏(步驟2)。因FD192係於傳送來自PD201之電荷前被重設，故自PD201至FD192之電荷洩漏對攝像特性造成之影響較小。

當於PD201進一步累積電荷、因而自PD201整體溢流之電荷變多時，

如圖14所示，該電荷以障壁最強之路徑S3開始向N型雜質224與N型雜質228洩漏(步驟3)。N型雜質224與N型雜質228因與電源電極197連接，故將自PD201洩漏之電荷排出至電源電極197。

如以上，於CMOS影像感測器180中，分割像素分離壁221(像素分離壁222、223)由表面槽221A(222A、223A)與背面槽221B(222B、223B)形成。

因此，可於形成分割像素分離壁221之區域中之與FD192為相反側之垂直方向之端部與FD192之區域中不形成表面槽221A，而於與FD192為相反側之垂直方向之端部形成雜質212。再者，能以像素分離壁222之表面槽222A與背面槽222B之位置不對應之方式錯開，而使表面槽222A與背面槽222B不接觸。

藉由以上，可使PD201-1與PD201-2間之電荷之洩漏、自PD201至FD192之電荷之洩漏、累積於PD201之電荷向電源電極197之排出階段性地發生。

因此，可防止相鄰之相位差檢測像素190間之電荷洩漏。

又，藉由使像素分離壁223之表面槽223A與背面槽223B接觸，可使像素分離壁223貫通CMOS影像感測器180。其結果，可防止相鄰之相位差檢測像素190間之電荷洩漏。

與自CMOS影像感測器180之表面或背面之一者貫通之貫通槽相比，表面槽223A及背面槽223B之深度相對於寬度之縱橫比較小。因此，與藉由貫通槽形成像素分離壁之情形相比，像素分離壁223之形成較容易。

進而，可藉由一般的半導體製程之遮罩圖案形成來控制表面槽221A至表面槽223A之有無與位置，而實現以上般之洩漏之階段性之發生及防

止。

< 第3實施形態 >

(CMOS影像感測器之第3實施形態之相位差檢測像素之電路構成例)

應用本揭示之CMOS影像感測器之第3實施形態之構成除相位差檢測像素由2(橫)×2(縱)之分割像素形成之點以外，與圖7之CMOS影像感測器180之構成相同。因此，以下僅對相位差檢測像素進行說明。

圖15係顯示應用本揭示之CMOS影像感測器之第3實施形態之相位差檢測像素之電路構成例之圖。

於圖15所示之構成中，對與圖8之構成相同之構成標註相同符號，適當省略重複之說明。

圖15之相位差檢測像素270之構成與圖8之相位差檢測像素190之不同點在於，分割像素之數量為2(橫)×2(縱)。

具體而言，相位差檢測像素270具有2×2個分割像素271-1至271-4、FD192、重設電晶體193、放大電晶體194、選擇電晶體195、電源電極197、及井電極198。

分割像素271-1至271-4各者由PD與傳送電晶體構成。具體而言，分割像素271-1係由PD291-1與傳送電晶體292-1構成，分割像素271-2係由PD291-2與傳送電晶體292-2構成。再者，分割像素271-3係由PD291-3與傳送電晶體292-3構成，分割像素271-4係由PD291-4與傳送電晶體292-4構成。

另，以下於無需特別區分分割像素271-1至271-4之情形時，將其等通稱為分割像素271。同樣地，將PD291-1至291-4通稱為PD291，將傳送電晶體292-1至292-4通稱為傳送電晶體292。

分割像素271之PD291係產生、累積與自CMOS影像感測器之背面入射之光之受光量相應之電荷。PD291之陽極端子連接於井電極198，陰極端子經由傳送電晶體292連接於FD192。

於傳送電晶體292-1之閘極電極292-1A，連接與相位差檢測像素270之列對應之像素驅動線182中之、針對構成相位差檢測像素270之左上之分割像素271-1形成之線TG21。再者，於傳送電晶體292-2之閘極電極292-2A，連接與相位差檢測像素270之列對應之像素驅動線182中之、針對構成相位差檢測像素270之右上之分割像素271-2形成之線TG22。

進而，於傳送電晶體292-3之閘極電極292-3A，連接與相位差檢測像素270之列對應之像素驅動線182中之、針對構成相位差檢測像素270之左下之分割像素271-3形成之線TG23。於傳送電晶體292-4之閘極電極292-4A，連接與相位差檢測像素270之列對應之像素驅動線182中之、針對構成相位差檢測像素270之右下之分割像素271-4形成之線TG24。另，以下於無需特別區分閘極電極292-1A至292-4A之情形時，將其等通稱為閘極電極292A。

自垂直驅動部184對線TG21至TG24供給傳送信號作為驅動信號。垂直驅動部184將像素信號之讀出對象之相位差檢測像素190之列之線TG21至TG24之傳送信號依序接通。當輸入至閘極電極292A之傳送信號被接通之情形時，傳送電晶體292將累積於PD291之電荷傳送至FD192。

如以上，於CMOS影像感測器之第3實施形態中，於2×2之分割像素271之間，共有1個FD192。且，將累積於各分割像素271之PD291之電荷依分割像素271-1、分割像素271-2、分割像素271-3、分割像素271-4之順序，按相位差檢測像素270之列單位自上起依序傳送至FD192。

(相位差檢測像素之第1構造例)

圖16係自CMOS影像感測器之表面側觀看相位差檢測像素270之第1構造例之圖，圖17係圖16之A-A'剖視圖及B-B'剖視圖，圖18係圖16之C-C'剖視圖及D-D'剖視圖。

於圖16至圖18所示之構成中，對與圖9至圖11之構成相同之構成標註相同符號，適當省略重複之說明。

如圖16所示，相位差檢測像素270之P型雜質210被分割成P型雜質301-1至301-4。如圖17及圖18所示，於P型雜質301-1、P型雜質301-2、P型雜質301-3、P型雜質301-4，分別形成PD291-1、PD291-2、PD291-3、PD291-4。另，以下於無需特別區分P型雜質301-1至301-4之情形時，將其等通稱為P型雜質301。

如圖16至圖18所示，於同一相位差檢測像素270內之各P型雜質301之間，形成分割像素分離壁311。如圖17及圖18所示，分割像素分離壁311係藉由形成於CMOS影像感測器之表面之表面槽311A、與形成於背面之背面槽311B接觸而形成。

惟於CMOS影像感測器之表面之同一相位差檢測像素270內之相鄰之P型雜質301之間的區域中之、形成FD192區域及與FD192為相反側之水平方向或垂直方向之端部，未形成表面槽311A。即，分割像素分離壁311係藉由形成於同一相位差檢測像素270內之相鄰之P型雜質301之間之表面的區域中之、FD192之區域及與FD192為相反側之水平方向或垂直方向之端部以外之表面槽311A、與形成於該P型雜質301之間之背面之全區域之背面槽311B接觸而形成。

又，如圖17所示，於在垂直方向上相鄰之P型雜質301之間之分割像

素分離壁311之與FD192為相反側之水平方向之端部之表面側，形成電勢較深之雜質302。藉此，若累積於同一相位差檢測像素270內之在垂直方向上相鄰之PD291彼此之一者之電荷溢流之情形時，可使電荷以圖17之路徑S11，經由雜質302容易地洩漏至另一者。

進而，如圖18所示，於在水平方向上相鄰之P型雜質301之間之分割像素分離壁311之與FD192為相反側之垂直方向之端部之表面側，形成與雜質302不同濃度之電勢較雜質302深之雜質303。藉此，若累積於同一相位差檢測像素270內之在水平方向上相鄰之PD291彼此之一者之電荷溢流之情形時，可使電荷以圖18之路徑S12，經由雜質303容易地洩漏至另一者。

像素分離壁222之2個表面槽222A隔著N型雜質312至315及P型雜質316。N型雜質312與FD192連接，構成重設電晶體193之源極。N型雜質313與電源電極197連接，構成重設電晶體193與放大電晶體194之汲極。

N型雜質314構成放大電晶體194之源極與選擇電晶體195之汲極。N型雜質315與垂直信號線183連接，構成選擇電晶體195之源極。P型雜質316係與井電極198連接之井。如圖17所示，於閘極電極292A，連接設置於形成於CMOS影像感測器之表面之配線層230之像素驅動線182。

PD291-1、PD291-2各自經由晶載透鏡232與彩色濾光片231接收自圖16中右下入射之光、自圖16中左下入射之光，且對該光進行光電轉換。

又，PD291-3、PD291-4各自經由晶載透鏡232與彩色濾光片231接收自圖16中右上入射之光、自圖16中左上入射之光，且對該光進行光電轉換。

其結果，自分割像素271-1讀出之像素信號成為與自相位差檢測像素270之圖16中右下入射之光對應者，自分割像素271-2讀出之像素信號成為與自相位差檢測像素270之圖16中左下入射之光對應者。再者，自分割像素271-3讀出之像素信號成為與自相位差檢測像素270之圖16中右上入射之光對應者，自分割像素271-4讀出之像素信號成為與自相位差檢測像素270之圖16中左上入射之光對應者。

因此，信號處理部188可基於自分割像素271-1至素271-4讀出之像素信號之差分，檢測水平方向及垂直方向之相位，而進行像面相位差AF等。

如以上，於分割像素分離壁311中，於FD192之區域未形成表面槽311A。因此，於累積於PD291整體之電荷溢流之情形時，溢流之電荷以18之路徑S13，經由P型雜質301洩漏至FD192。然而，因FD192係於傳送來自PD291之電荷前被重設，故自PD291至FD192之電荷洩漏對攝像特性賦予之影響較小。

另一方面，於像素分離壁223中，因表面槽223A與背面槽223B接觸，故跨相位差檢測像素270而相鄰之PD291被完全電性切斷。因此，即使於累積於PD291之電荷溢流之情形時，亦不會引起向與該PD291跨相位差檢測像素270而相鄰之另一PD291之電荷洩漏。

又，如圖17及圖18所示，於像素分離壁222中，因表面槽222A與背面槽222B不接觸，故PD291與N型雜質312至315及P型雜質316未被完全電性切斷。

因此，於累積於PD291整體之電荷溢流之情形時，可將溢流之電荷以圖18之路徑S14，經由P型雜質301與N型雜質313而亦排出至電源電極

197。

另，表面槽311A與背面槽311B之深度方向之長度亦可對應於分割像素分離壁311之位置而不同。又，像素分離壁222(223)之背面槽222B(223B)、與分割像素分離壁311之背面槽311B之深度方向之長度亦可不同。

(CMOS影像感測器之動作之說明)

圖19至圖22係說明CMOS影像感測器之第3實施形態之動作之圖。

如圖19B至圖22B所示，於路徑S11至S14之障壁中，路徑S11最弱，路徑S12第2弱，路徑S13第3弱，路徑S14最強。

信號處理部188於累積於PD291-1至291-4之任1者之電荷溢流之前之期間，基於自分割像素271-1至271-4依序讀出之像素信號之差分，檢測水平方向及垂直方向之相位。且，信號處理部188基於檢測出之相位而進行像面相位差AF。

當於PD291進一步累積電荷、因而累積於PD291-1至PD291-4之任1個之電荷溢流時，如圖19所示，溢流之電荷以障壁最弱之路徑S11開始向於垂直方向上相鄰之PD291洩漏(步驟11)。

於該情形時，信號處理部188藉由將自於垂直方向上相鄰之PD291彼此讀出之像素信號分別累加，而可取得將相位差檢測像素270於水平方向2分割時之左側與右側區域之像素信號。因此，信號處理部188基於左側區域之像素信號與右側區域之像素信號之差分而檢測水平方向之相位，且基於該相位進行像面相位差AF。

當於PD291進一步累積電荷、因而累積於左側之PD291整體或右側之PD291整體之任一者之電荷溢流時，如圖20所示，溢流之電荷以障壁第2

弱之路徑S12開始向於水平方向上相鄰之PD291洩漏(步驟12)。於該情形時，信號處理部188藉由將自所有的PD291讀出之像素信號累加，而可取得相位差檢測像素270整體之像素信號。

當於PD291進一步累積電荷、因而PD291整體之電荷溢流時，如圖21所示，溢流之電荷以障壁第3弱之路徑S13開始向FD192洩漏(步驟13)。因FD192係於傳送來自PD291之電荷前被重設，故自PD291至FD192之電荷之洩漏對攝像特性賦予之影響較小。

當於PD291進一步累積電荷、因而自PD291整體溢流之電荷變多時，如圖22所示，該電荷以障壁最強之路徑S14向N型雜質313洩漏(步驟14)。N型雜質313因與電源電極197連接，故將自PD291洩漏之電荷被排出至電源電極197。

如以上，於CMOS影像感測器之第3實施形態中，分割像素分離壁311由表面槽311A與背面槽311B形成。因此，可於形成分割像素分離壁311之區域中之與FD192為相反側之水平方向或垂直方向之端部及FD192之區域中不形成表面槽221A，而於水平方向之端部形成雜質302，於垂直方向之端部形成電勢較雜質302深之雜質303。藉此，可使於垂直方向上相鄰之PD間之電荷洩漏、與於水平方向上相鄰之PD間之電荷洩漏階段性地發生。

(相位差檢測像素之第2構造例)

圖23係圖15之相位差檢測像素270之第2構造例之圖16之B-B'剖視圖及C-C'剖視圖。

於圖23所示之構成中，對與圖16至圖18之構成相同之構成標註相同符號，適當省略重複之說明。

圖23之相位差檢測像素270之構造與圖16至圖18之構造之不同點在於：取代雜質302與雜質303而設置雜質321；及新設置表面槽322與表面槽323。於圖23之相位差檢測像素270中，路徑S11與S12之障壁之強度係由表面槽322及表面槽323控制，而非雜質濃度。

具體而言，於圖23之相位差檢測像素270中，於分割像素分離壁311之與FD192為相反側之水平方向或垂直方向之端部之表面側，形成相同雜質濃度之雜質321。又，於水平方向之端部之表面側，形成深度方向之長度比表面槽311A短之表面槽322。於垂直方向之端部之表面側，形成深度方向之長度比表面槽表面槽322長、且比表面槽311A短之表面槽323。

藉此，表面槽322與背面槽311B、及表面槽323與背面槽311B各者不接觸，且表面槽322與背面槽311B之間隔比表面槽323與背面槽311B之間隔寬。因此，同一相位差檢測像素270內之PD291間未被電性切斷，因而路徑S11之障壁變得比路徑S12之障壁弱。

(相位差檢測像素之第3構造例)

圖24係圖15之相位差檢測像素270之第3構造例之圖16之E-E'剖視圖。

於圖24所示之構成中，對與圖16至圖18之構成相同之構成標註相同符號，適當省略重複之說明。

圖24之相位差檢測像素270之構造與圖16至圖18之構造之不同點在於，分割像素分離壁311、彩色濾光片231、及晶載透鏡232之相位差檢測像素270上之位置係對應於相位差檢測像素270之像素區域181上之位置而異。

即，一般而言，於CMOS影像感測器之視角之中心、與視角之端

部，來自晶載透鏡之光之入射角度不同。由此，於端部之像素，光未充分地入射至PD，因而像素信號下降。

因此，於圖24之相位差檢測像素270中，對應於相位差檢測像素270之像素區域181上之位置，使分割像素分離壁311、彩色濾光片231、及晶載透鏡232之相位差檢測像素270上之位置變化。

具體而言，於相位差檢測像素270之像素區域181上之位置為CMOS影像感測器之視角之中心之情形時，如圖24A所示，彩色濾光片231與晶載透鏡232係以P型雜質210之中心為中心之方式配置。又，分割像素分離壁311形成於P型雜質210之水平方向或垂直方向之中心。

另一方面，於相位差檢測像素270之像素區域51上之位置為CMOS影像感測器之視角之端部之情形時，如圖24B所示，配置成彩色濾光片231與晶載透鏡232之中心自P型雜質210之中心偏離。再者，分割像素分離壁311形成於自P型雜質210之水平方向或垂直方向之中心偏離之位置。即，P型雜質210被不均等地分割成P型雜質301-1至301-4。於圖24之例中，PD291之尺寸亦對應於P型雜質301之尺寸而異。

由以上，可進行使相位差檢測像素270之光學中心靠近相位差檢測像素270之中心之瞳修正。其結果，可抑制對應於相位差檢測像素270之像素區域181上之位置而發生之像素信號之差。再者，因不僅使彩色濾光片231與晶載透鏡232之位置變化，且亦使分割像素分離壁311之位置變化，故即使於視角之端部之入射角度較大之情形時，亦可抑制像素信號之差。

另，於圖24之例中，雖使彩色濾光片231與晶載透鏡232之位置、與分割像素分離壁311之位置之兩者對應於相位差檢測像素270之像素區域181上之位置而變化，但亦可僅使一者變化。

(相位差檢測像素之第4構造例)

圖25係CMOS影像感測器之第3實施形態之視角之端部之相位差檢測像素270之第4構造例之圖16之E-E'剖視圖。

於圖25所示之構成中，對與圖24之構成相同之構成標註相同符號，適當省略重複之說明。

圖25之相位差檢測像素270之構造與圖24之構造之不同點在於，無論P型雜質301之尺寸為何，PD291之尺寸均固定。

具體而言，於圖25之相位差檢測像素270中，於相位差檢測像素270之邊界側形成與P型雜質301之最小尺寸相應之尺寸之PD291。藉此，各PD291之尺寸變成相同，且各分割像素271之累積電荷之飽和量變得相同。

(相位差檢測像素之第4構造例之製造方法)

圖26係說明圖25之相位差檢測像素270之PD291之製造方法之圖。

如圖26A所示，首先，以與相位差檢測像素270之尺寸相應之間隔於P型雜質210形成表面槽223A。又，將相鄰之2個表面槽223A對應於作為與相鄰之另一相位差檢測像素270之邊界之相位差檢測像素270之像素區域181上之位置，於該2個表面槽223A之間之位置形成表面槽311A。

其次，如圖26B所示，以表面槽223A之中心為中心之方式，形成與跨相位差檢測像素270而相鄰之2個分割像素271量之PD291對應之圖案。然後，藉由對應於所形成之圖案注入N型雜質，而形成跨相位差檢測像素270而相鄰之2個分割像素271量之PD291。

最後，如圖26C所示，以與表面槽223A接觸之方式形成背面槽223B。藉此，將相鄰之2個分割像素271量之PD291分割，而於像素分離

壁223側、即相位差檢測像素270之邊界側形成各分割像素271之PD291。

再者，以與表面槽311A接觸之方式形成背面槽311B，且於與相位差檢測像素270之像素區域181上之位置相應之位置形成彩色濾光片231與晶載透鏡232。

如以上，於圖26之製造方法中，先形成2個分割像素271量之PD291，將該2個分割像素271量之PD291藉由像素分離壁223分割成各分割像素271之PD291。因此，與個別地形成各分割像素271之PD291之情形相比，可容易地進行形成PD291時之圖案形成。

相對於此，於個別地形成各分割像素271之PD291之情形時，形成PD291時，必須形成對應於小於通常之尺寸、且與P型雜質301之最小尺寸相應之尺寸之PD291之圖案。因此，形成PD291時之圖案形成之難易度較高。

(相位差檢測像素之第5構造例)

圖27係應用本揭示之CMOS影像感測器之第3實施形態之視角之端部之相位差檢測像素270之第5構造例之圖16之E-E'剖視圖。

於圖27所示之構成中，對與圖25之構成相同之構成標註相同符號，適當省略重複之說明。

圖27之相位差檢測像素270之構造與圖25之構造之不同點在於：無論相位差檢測像素270之像素區域181上之位置為何，皆於相位差檢測像素270之中央形成表面槽311A；PD291之表面側之尺寸大於背面側之尺寸；及PD291之表面側之電位比背面側深。

具體而言，於圖27之相位差檢測像素270中，背面槽311B之位置對應於相位差檢測像素270之像素區域181上之位置而異。另一方面，表面

槽311A之位置則無論相位差檢測像素270之像素區域181上之位置為何，均形成於相位差檢測像素270之中央。

因此，如圖27所示，於視角之端部之相位差檢測像素270中，表面槽311A與背面槽311B之位置不同，且表面槽311A與背面槽311B不接觸。

再者，PD291之背面側之水平方向及垂直方向之尺寸分別為與P型雜質301之水平方向、垂直方向之最小尺寸相應之尺寸。另一方面，PD291之表面側之水平方向及垂直方向之尺寸分別對應於相位差檢測像素270之P型雜質210之水平方向、垂直方向之一半之尺寸。所有的PD291之尺寸皆相同。再者，PD291之表面側之電勢比背面側深。

如以上，於圖27之相位差檢測像素270中，表面槽311A無論相位差檢測像素270之像素區域181上之位置為何，均形成於相位差檢測像素270之中央。因此，可將PD291之表面側之水平方向及垂直方向之尺寸設為分別對應於相位差檢測像素270之P型雜質210之水平方向、垂直方向之一半尺寸之尺寸。其結果，PD291之尺寸比圖26之情形變大，可累積於PD291之電荷量增加。

又，因PD291之表面側之尺寸充分大，且電勢較深，故PD291之飽和電荷量較大。

(相位差檢測像素之第5構造例之製造方法)

圖28及圖29係說明圖27之相位差檢測像素270之PD291之製造方法之圖。

如圖28A所示，首先，以與相位差檢測像素270之尺寸相應之間隔於P型雜質210形成表面槽223A。又，於相鄰之2個表面槽223A之間之中央形成表面槽311A。

其次，如圖28B所示，以表面槽223A之中心成為中心之方式，形成與跨相位差檢測像素270而相鄰之2個分割像素271量之PD291之背面側對應之圖案。然後，藉由對應於所形成之圖案於背面側注入N型雜質，而形成跨相位差檢測像素270而相鄰之2個分割像素271量之PD291之背面側。

然後，如圖29A所示，形成與各分割像素271之PD291之表面側對應之圖案。然後，藉由對應於所形成之圖案於表面側注入N型雜質，而將各分割像素271之PD291之表面側形成為連接於對應於該分割像素271之2個分割像素271量之PD291之背面側。

最後，如圖29B所示，以與表面槽223A接觸之方式形成背面槽223B。藉此，將相鄰之2個分割像素271量之PD291之背面側分割，而於像素分離壁223側、即相位差檢測像素270之邊界側形成各分割像素271之PD291之背面側。

又，將相鄰之2個表面槽223A對應於作為與相鄰之另一相位差檢測像素270之邊界之相位差檢測像素270之像素區域181上之位置，而形成背面槽311B。進而，於與相位差檢測像素270之像素區域181上之位置相應之位置形成彩色濾光片231與晶載透鏡232。

如以上，於圖28及圖29之製造方法中，先形成2個分割像素271量之PD291之背面側，將該2個分割像素271量之PD291之背面側藉由像素分離壁223分割成各分割像素271之PD291之背面側。因此，與圖26之情形同樣地，與個別地形成各分割像素271之PD291之背面側之情形相比，可容易地進行形成PD291之背面側時之圖案形成。

另，於圖27之相位差檢測像素270中，形成有表面槽311A，但亦可不形成表面槽311A。

(相位差檢測像素之第6構造例)

圖30及圖31係顯示圖15之相位差檢測像素270之第6構造例之圖。

於圖30及圖31所示之構成中，對與圖16至圖18之構成相同之構成標註相同符號，適當省略重複之說明。

圖30及圖31之相位差檢測像素270之構造與圖16至圖18之構造之不同點在於：像素分離壁222係由隔著N型雜質312至315及P型雜質316之2個表面槽222A、與分別與該等2個表面槽222A接觸之2個背面槽222B形成；及P型雜質210與井電極198連接。

圖30A與圖30B分別為自CMOS影像感測器之表面側、背面側觀看相位差檢測像素270之圖，圖31A及圖31B分別為圖30A之A-A'剖視圖、B-B'剖視圖。

於圖30及圖31之相位差檢測像素270中，像素分離壁223係由隔著N型雜質312至315及P型雜質316之2個表面槽222A、與分別與該等2個表面槽222A接觸之2個背面槽222B而形成。藉此，可將重設電晶體193、放大電晶體194、選擇電晶體195、電源電極197、及井電極198、與P型雜質210之間完全電性分離。

其結果，可將電源電極197與PD291分離。又，可抑制來自PD291之電荷向重設電晶體193、放大電晶體194、選擇電晶體195、電源電極197、或井電極198洩漏所引起之攝像特性之劣化。另，由於P型雜質210與井電極198直接連接，故可將P型雜質210之電位固定在井電極198之電位。

又，於使用金屬或透過率較低之材料作為表面槽222A及背面槽222B之材料之情形時，可使重設電晶體193、放大電晶體194、選擇電晶體

195、電源電極197、及井電極198、與P型雜質210之間亦完全光學性分離。

(相位差檢測像素之第7構造例)

圖32及圖33係顯示圖15之相位差檢測像素270之第7構造例之圖。

於圖32及圖33所示之構成中，對與圖16至圖18之構成相同之構成標註相同符號，適當省略重複之說明。

圖32及圖33之相位差檢測像素270之構造與圖16至圖18之構造之不同點在於：取代像素分離壁222而形成像素分離壁351；及新設置表面槽352與虛設之表面槽353。

圖32A與圖32B分別為自CMOS影像感測器之表面側、背面側觀看相位差檢測像素270之圖，圖33A及圖33B分別為圖32A之A-A'剖視圖、B-B'剖視圖。

於圖32及圖33之相位差檢測像素270中，於跨相位差檢測像素270而於垂直方向上相鄰之P型雜質301之間形成像素分離壁351。像素分離壁351係藉由表面槽351A與背面槽351B接觸而形成。藉此，可防止跨相位差檢測像素190而於垂直方向上相鄰之PD291間之電荷洩漏。

又，以於與表面槽351A之間隔著N型雜質312至315及P型雜質316之方式，形成表面槽352(電極用槽)。進而，於相對於最接近表面槽352之分割像素分離壁311，與表面槽352成為對稱之位置，形成虛設之表面槽353。藉此，可將各PD291之尺寸設為相同。

即，於形成表面槽352之P型雜質301中，可於表面槽352之區域形成PD291。因此，形成於形成表面槽352之P型雜質301之PD291之尺寸變得小於形成於未形成表面槽352之P型雜質301之PD291之尺寸。

因此，於圖32及圖33之相位差檢測像素270中，於未形成表面槽352之P型雜質301中，於對應於表面槽352之位置形成虛設之表面槽353。藉此，無論有無表面槽352，形成於各P型雜質301之PD291之尺寸均為相同。又，PD291之形狀具有對稱性。

又，因可於P型雜質301中之形成有表面槽352或表面槽353之區域之背面側形成PD291，故PD291之開口率較大，故感度良好。

(相位差檢測像素之第8構造例)

圖34及圖35係顯示圖15之相位差檢測像素270之第8構造例之圖。

於圖34及圖35所示之構成中，對與圖32及圖33之構成相同之構成標註相同符號，適當省略重複之說明。

圖34及圖35之相位差檢測像素270之構造與圖32及圖33之構造之不同點在於：取代表面槽352而形成表面槽371；及未形成表面槽353。

圖34A與圖34B分別為自CMOS影像感測器之表面側、背面側觀看相位差檢測像素270之圖，圖35A及圖35B分別為圖34A之A-A'剖視圖、B-B'剖視圖。

於圖34及圖35之相位差檢測像素270中，以於與表面槽351A之間隔著N型雜質312至315及P型雜質316之方式，形成表面槽371(電極用槽)。表面槽371之深度方向之長度充分小於表面槽351A。

因此，即使於在P型雜質301形成表面槽371之情形時，亦可於表面側之全區域形成PD291。因此，無論有無表面槽371，均可將形成於各P型雜質301之PD291之尺寸設為相同。又，可將各PD291之尺寸設為充分大。

另，表面槽371例如可藉由CION、STI、II分離等形成。

(相位差檢測像素之第9構造例)

圖36係顯示圖15之相位差檢測像素270之第9構造例之圖。

於圖36所示之構成中，對與圖32及圖33之構成相同之構成標註相同符號，適當省略重複之說明。

圖36之相位差檢測像素270之構造與圖32及圖33之構造之不同點在於，相鄰之相位差檢測像素270之尺寸不同。

圖36A係自CMOS影像感測器之表面側觀看3(橫)×3(縱)之相位差檢測像素270之圖，圖36B係圖36A之A-A'剖視圖。另，於圖36A中，為便於說明，僅圖示形成於背面側之晶載透鏡232。

於圖36中，具有綠色之彩色濾光片231之相位差檢測像素270包含與該相位差檢測像素270相鄰之具有藍色或紅色之彩色濾光片231之相位差檢測像素270及自身兩者之N型雜質312至315及P型雜質316。因此，於構成具有綠色之彩色濾光片231之相位差檢測像素270之所有的P型雜質301中，形成自身以及與自身相鄰之相位差檢測像素270之表面槽352、N型雜質312至315、及P型雜質316。

因此，於所有P型雜質301中，於表面側之表面槽352之區域未形成PD291，且形成於各P型雜質301之PD291之尺寸成為相同。又，各PD291之形狀具有對稱性。

另一方面，具有藍色及紅色之彩色濾光片231之相位差檢測像素270不包含N型雜質312至315及P型雜質316。因此，於構成具有藍色及紅色之彩色濾光片231之相位差檢測像素270之所有的P型雜質301中，未形成表面槽352。

因此，於所有P型雜質301中，可於表面側之全區域形成PD291，且形成於各P型雜質301之PD291之尺寸為相同。又，各PD291之形狀具有對

稱性。

藉由以上，可將具有綠色之彩色濾光片231之相位差像素270之PD291之尺寸，設為大於具有紅色或藍色之濾光片231之相位差檢測像素270之PD291之尺寸，而提高感度。

其結果，藉由例如取得僅感度較高、數量較多之具有綠色之彩色濾光片231之相位差檢測像素270之SN比較大之像素信號，而可獲得廣動態範圍之彩色圖像。即，合成自具有綠色之彩色濾光片231之相位差檢測像素270之SN比較大之像素信號獲得之動態範圍較廣之亮度資訊、與藉由處理其他相位差檢測像素270之顏色資訊而獲得之彩色資訊，而可獲得廣動態範圍之彩色圖像。

另，於圖36之例中，雖於對應於各相位差檢測像素270之表面之區域形成有彩色濾光片231與晶載透鏡232，但彩色濾光片231與晶載透鏡232之尺寸亦可於所有的相位差檢測像素270中皆相同。

上述之構成1個像素分離壁111(112、113、222、223、351)或分割像素分離壁221(311)之表面槽111A(112A、113A、221A、222A、223A、311A、322、323、351A)與背面槽111B(112B、113B、221B、222B、223B、311B、351B)之材質或構造既可相同，亦可不同。

又，構成像素分離壁111(112、113、222、223、351)之表面槽111A(112A、113A、222A、223A、351A)與背面槽111B(112B、113B、222B、223B、351B)之材質或構造、與構成分割像素分離壁221(311)之表面槽221A(311A、322、323)與背面槽221B(311B)之材質或構造亦可不同。該等之材質或構造可根據光之入射角度或像素71(相位差檢測像素190、270)之尺寸等決定。例如，背面槽223B與背面槽311B之材料亦可設

為折射率等不同。

又，例如，如圖37所示，具有不同色之彩色濾光片231之、相鄰之相位差檢測像素270之PD291間之背面槽223B，係亦可以金屬382形成。於以金屬382或摻雜雜質之共聚物(poly)等導體形成背面槽223B之情形時，為防止導體與半導體基板(P型雜質301)短路，而於導體與半導體基板(P型雜質301)之間形成氧化膜或氮化膜等絕緣膜381。另一方面，具有同色之彩色濾光片231之同一相位差檢測像素270內之PD291間之背面槽311B，亦可以氧化膜等透過率較高之材料，形成為比背面槽223B細。

另，圖37A係相位差檢測像素270之圖16之E-E'剖視圖。又，圖37B係自CMOS影像感測器180之背面側觀看之圖。

藉由如圖37所示般構成背面槽223B與背面槽311B，斜向入射而聚光於背面槽223B之周邊之光，係通過P型雜質301而由背面槽223B之金屬382反射。因此可抑制混色。又，聚光於背面槽311B之周邊之光係未由背面槽311B反射，而入射至PD291。因此，可抑制感度之損耗發生。

相對於此，於背面槽311B與背面槽223B同樣地包含金屬之情形時，聚光於背面槽311B之周邊之光係由背面槽311B反射，而不會入射至PD291。因而發生感度之損耗。

另，背面槽311B之寬度(於半導體基板水平之方向之長度)，較佳設為相對於入射光之波長充分小之寬度。若背面槽311B之寬度為相對於入射光充分小之寬度時，則入射至以與半導體基板之材料即矽(Si)折射率不同之氧化膜等形成之背面槽311B之光，係繞射且經分割，而入射至各PD291。因此，可進一步抑制感度之損耗發生。

又，背面槽223B亦可包含多晶矽等其他透過率較低之材料，而非金

屬。

圖38係說明圖37之背面槽223B與背面槽311B之製造方法之圖。

如圖38所示，於第1步驟中，於P型雜質210之上形成抗蝕劑圖案391，且進行與背面槽223B與背面槽311B對應之區域之P型雜質210之蝕刻。然後，剝離抗蝕劑圖案391。

於第2步驟中，於P型雜質210之上形成氧化膜等較薄之絕緣膜392。此處，如上所述，背面槽311B比背面槽223B細。即，經蝕刻之與背面槽311B對應之區域之寬度，窄於經蝕刻之與背面槽223B對應之區域之寬度。因此，經蝕刻之與背面槽311B對應之區域雖以絕緣膜392填滿，但經蝕刻之與背面槽223B對應之區域未被絕緣膜392填滿。

於第3步驟中，於絕緣膜392之上形成金屬膜(合金)393。此時，由於與背面槽311B對應之區域已被絕緣膜392填滿，故於與背面槽311B對應之區域未埋入金屬膜393。然而，由於與背面槽223B對應之區域未被絕緣膜392填滿，故亦埋入金屬膜393。

於第4步驟中，對剩餘之金屬膜393進行蝕刻，而形成背面槽223B之金屬382。隨後，對剩餘之氧化膜392進行蝕刻，而形成背面槽223B之絕緣膜381與背面槽311B。

如以上，由於背面槽223B與背面槽311B之寬度不同，故只要於形成氧化膜392後形成金屬膜393，便能使背面槽223B與背面槽311B之材質不同。其結果，可抑制背面槽223B與背面槽311B之材質不同所引起之製造步驟之大幅度增加。

另，於圖37之例中，背面槽223B(311B)雖與表面槽223A(311A)接觸，但亦可如圖39A所示般不接觸。如圖39A所示，於背面槽223B及背面

槽311B之與背面垂直之深度方向之長度較短之情形時，較容易製造，且對半導體基板之損傷亦較少。又，於圖39A中，亦可不形成表面槽223A及表面槽311A。

又，如圖39B所示，亦可不形成表面槽223A及表面槽311A，而使背面槽223B與背面槽311B之深度方向之長度不同。於該情形時，可使背面槽223B與背面槽311B之分離性能不同。

進而，如圖39C所示，亦可不形成表面槽311A。於該情形時，具有同色之彩色濾光片231之同一相位差檢測像素270內之PD291間未被完全分離。再者，亦可不僅不形成表面槽223A，亦不形成表面槽331A。

又，如圖39D所示，表面槽223A與表面槽311A亦可由金屬形成。於該情形時，以表面槽223A(311A)反射透過背面槽223B(311B)之光，而進一步抑制感度之損耗發生。

另，於以金屬系之材料或多晶矽等透過率較低之材料形成表面槽111A(112A、113A、222A、223A、351A)與背面槽111B(112B、113B、222B、223B、351B)之情形時，於表面槽111A(112A、113A、222A、223A、351A)與背面槽111B(112B、113B、222B、223B、351B)，設置固定電位之連接部。

又，於第2及第3實施形態中，雖設為於像素區域181陣列狀地配置相位差檢測像素190(270)，但亦可不僅配置相位差檢測像素190(270)，亦配置通常之像素。

例如，如圖40所示，亦可僅於像素區域181之中心配置相位差檢測像素270，於其他區域配置通常之像素400。另，圖40係自CMOS影像感測器之表面側觀看以像素區域181之中心為中心之3×3之像素400或相位差檢

測像素270之區域之圖。

於通常之像素400之井即P型雜質401形成PD。P型雜質401經由傳送電晶體之閘極電極402而與包含N型雜質之FD403連接。FD403經由重設電晶體之閘極電極404而與連接於電源電極之N型雜質405連接，且與放大電晶體之閘極電極406連接。

N型雜質405經由放大電晶體之閘極電極406，與形成選擇電晶體之汲極之N型雜質407連接，N型雜質407經由選擇電晶體之閘極電極408，與連接於垂直信號線183之N型雜質409連接。又，於像素400，形成與井電極連接之P型雜質410。

於跨像素400而在垂直方向上相鄰之P型雜質401之間，形成隔著FD403、N型雜質405、N型雜質407、N型雜質409、及P型雜質410之像素分離壁411。再者，於在水平方向上相鄰之P型雜質401之間，形成像素分離壁412。

像素分離壁411例如與上述之像素分離壁112(222、351)同樣地構成，像素分離壁412例如與上述之像素分離壁113(223)同樣地構成。

相位差檢測像素270之讀出係與該相位差檢測像素270之列之其他像素400之讀出同時以PD291單位進行。因此，於取得像素400之像素信號時，基於各PD291之像素信號進行像面相位差AF，且藉由將所有的PD291之像素信號累加，而可取得相位差檢測像素270整體之像素信號。

此處，P型雜質210與P型雜質401之尺寸相同。且，於相位差檢測像素270中，PD291係針對將P型雜質210進行4分割後之每一區域形成，且於像素400中，PD就此形成於P型雜質210。

因此，相位差檢測像素270之PD291整體之尺寸變得比像素400之PD

之尺寸小，而於相位差檢測像素270中，飽和電荷量變得比像素400少。因此，於相位差檢測像素270中，雖比起像素400容易產生混色，但藉由像素分離壁222及像素分離壁223而防止其混色。

< 第4實施形態 >

(攝像裝置之一實施形態之構成例)

圖41係顯示作為應用本揭示之電子機器之攝像裝置之一實施形態之構成例之方塊圖。

圖41之攝像裝置1000係視訊攝像機或數位靜態相機等。攝像裝置1000包含透鏡群1001、固體攝像元件1002、DSP電路1003、圖框記憶體1004、顯示部1005、記錄部1006、操作部1007、及電源部1008。DSP電路1003、圖框記憶體1004、顯示部1005、記錄部1006、操作部1007、及電源部1008係經由匯流排線1009而彼此連接。

透鏡群1001擷取來自被攝體之入射光(像光)而成像於固體攝像元件1002之攝像面上。固體攝像元件1002包含上述之CMOS影像感測器之第1至第3實施形態。固體攝像元件1002將藉由透鏡群1001而成像於攝像面上之入射光之光量以像素單位轉換成電性信號且作為像素信號供給至DSP電路1003。

DSP電路1003對自固體攝像元件1002供給之像素信號進行特定之圖像處理，且以圖框單位對圖框記憶體1004供給圖像處理後之圖像信號以供暫時記憶。

顯示部1005包含例如液晶面板或有機EL(Electro Luminescence：電致發光)面板等面板型顯示裝置，且基於暫時記憶於圖框記憶體1004之圖框單位之像素信號而顯示圖像。

記錄部1006包含DVD(Digital Versatile Disk：數位多功能光碟)、快閃記憶體等，且讀出、記錄暫時記憶於圖框記憶體1004之圖框單位之像素信號。

操作部1007於使用者之操作下，對攝像裝置1000所具有之各種功能發出操作指令。電源部1008對DSP電路1003、圖框記憶體1004、顯示部1005、記錄部1006、及操作部1007適當供給電源。

應用本技術之電子機器只要為於圖像擷取部(光電轉換部)使用CMOS影像感測器之裝置即可，除了攝像裝置1000以外，尚有具備攝像功能之可攜式終端裝置、及於圖像讀取部使用CMOS影像感測器之複印機等。

< CMOS影像感測器之使用例 >

圖42係顯示使用上述之CMOS影像感測器之使用例之圖。

上述之CMOS影像感測器例如可使用於如以下般感測可視光、紅外光、紫外光、X射線等光之各種實例。

·數位相機、或附相機功能之攜帶式機器等之、拍攝供欣賞用之圖像之裝置

·為了自動停止等安全駕駛、或識別駕駛者之狀態等而拍攝汽車之前方或後方、周圍、車內等之車載用感測器、監視行駛車輛或道路之監視相機、進行車輛間等之測距之測距感測器等之、供交通用之裝置

·為了拍攝使用者之姿勢而進行遵照該姿勢之機器操作，而供用於TV、冰箱、空調等家電之裝置

·內視鏡、或利用紅外光之受光進行血管攝影之裝置等之、供醫療或保健用之裝置

·防盜用途之監視相機、或人物認證用途之相機等之、供安全用之裝

置

·拍攝皮膚之皮膚檢測器、或拍攝頭皮之顯微鏡等之、供美容用之裝置

置

·適於體育用途等之運動相機或穿戴式相機等之、供體育用之裝置

·用於監視農田或作物之狀態之照相機等之、供農業用之裝置

另，本說明書中記載之效果僅為示例，並非限定者，亦可有其他效果。

又，本揭示之實施形態並非限定於上述實施形態者，在不脫離本揭示之主旨之範圍內可進行各種變更。

例如，於本說明書中，雖將井設為P型雜質，但亦可為N型雜質。

又，第1實施形態之像素分離壁111至113亦可各自與第2或第3實施形態之分割像素分離壁221(311)、像素分離壁222(351)、像素分離壁223相同地構成。

另，本揭示亦可採用如下構成。

(1)

一種固體攝像元件，其具備：

複數個像素，其等將經由依每一上述像素而異之透鏡而自背面入射之光進行光電轉換；

像素分離壁，其形成於相鄰之上述像素之間；及

配線層，其設置於表面；且

上述像素分離壁係由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成。

(2)

如上述(1)之固體攝像元件，其以如下方式構成：

至少一部分上述像素分離壁之上述表面槽與上述背面槽接觸。

(3)

如上述(1)或(2)之固體攝像元件，其以如下方式構成：

上述表面槽與上述背面槽之與上述背面垂直之方向之長度係對應於由該表面槽與背面槽構成之上述像素分離壁之位置而不同。

(4)

如上述(1)至(3)中任一者之固體攝像元件，其以如下方式構成：

上述表面槽與上述背面槽之至少一者之材質係對應於由該表面槽與背面槽構成之上述像素分離壁之位置而不同。

(5)

如上述(1)至(4)中任一者之固體攝像元件，其以如下方式構成：

於特定方向上相鄰之不共有浮動擴散區之上述像素間之上述像素分離壁係由隔著井電極之2個上述表面槽與上述背面槽構成，且該背面槽之上述背面上之位置係對應於上述井電極之位置。

(6)

如上述(1)至(4)中任一者之固體攝像元件，其以如下方式構成：

於特定方向上相鄰之不共有浮動擴散區之上述像素間之上述像素分離壁係由隔著電源電極之2個上述表面槽與上述背面槽構成，且該背面槽之上述背面上之位置係對應於上述電源電極之位置。

(7)

如上述(1)至(4)中任一者之固體攝像元件，其以如下方式構成：

共有浮動擴散區之上述像素之間之上述像素分離壁係由形成於該像

素之間之上述表面區域中之、未形成上述浮動擴散區之區域之上述表面槽、及形成於該像素間之上述背面之全區域之上述背面槽構成，且該表面槽與背面槽接觸。

(8)

如上述(1)之固體攝像元件，其以如下方式構成：

上述複數個像素中之至少一部分被分割成於每一上述像素各自具有將經由同一上述透鏡而自上述背面入射之光進行光電轉換之光電轉換元件之複數個分割像素；

於相鄰之上述分割像素之間，形成由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成之分割像素分離壁。

(9)

如上述(8)之固體攝像元件，其以如下方式構成：

上述表面槽與上述背面槽之與上述背面垂直之方向之長度係對應於由該表面槽與背面槽構成之上述像素分離壁或上述分割像素分離壁之位置而不同。

(10)

如上述(8)或(9)之固體攝像元件，其以如下方式構成：

上述像素分離壁之背面槽與上述分割像素分離壁之背面槽之與上述背面垂直之方向之長度不同。

(11)

如上述(8)至(10)中任一者之固體攝像元件，其以如下方式構成：

上述表面槽與上述背面槽之至少一者之材質係對應於由該表面槽與背面槽構成之上述像素分離壁或上述分割像素分離壁之位置而不同。

(12)

如上述(8)至(11)中任一者之固體攝像元件，其以如下方式構成：

上述像素分離壁與上述分割像素分離壁之背面槽之材質不同。

(13)

如上述(8)至(12)中任一者之固體攝像元件，其以如下方式構成：

上述分割像素分離壁之上述表面槽僅形成於相鄰之上述分割像素之間之上述表面之區域中之一部分區域，且上述背面槽形成於該相鄰之分割像素之間之上述背面之全區域；

上述分割像素分離壁之上述背面槽與上述表面槽接觸；

於相鄰之上述分割像素之間之上述表面之區域中之未形成上述表面槽之區域，形成浮動擴散區。

(14)

如上述(8)至(12)中任一者之固體攝像元件，其以如下方式構成：

上述分割像素分離壁之上述表面槽形成於相鄰之上述分割像素之間之上述表面之區域中之未形成浮動擴散區之區域，且上述背面槽形成於該相鄰之分割像素之間之上述背面之全區域；

上述分割像素分離壁之上述背面槽之一部分與上述表面槽接觸；

上述分割像素分離壁之上述背面槽之另一部分之與上述背面垂直之方向之長度比上述背面槽之一部分短。

(15)

如上述(8)至(14)中任一者之固體攝像元件，其以如下方式構成：

於特定方向上相鄰之上述像素間之上述像素分離壁係由隔著電源電極之2個上述表面槽、及與該表面槽分別接觸之2個上述背面槽構成。

(16)

如上述(8)至(14)中任一者之固體攝像元件，其構成為進而具備：

電極用槽，其係於在特定方向上相鄰之上述像素之間之上述像素分離壁之上述表面槽之間以隔著電源電極之方式形成之表面槽；及

虛設槽，其係相對於最接近上述電極用槽之上述分割像素分離壁，形成於與上述電極用槽成為對稱之位置之虛設之表面槽；且

上述像素分離壁係藉由上述表面槽與上述背面槽接觸而形成。

(17)

如上述(8)至(16)中任一者之固體攝像元件，其以如下方式構成：

形成上述分割像素分離壁之上述像素之上述分割像素分離壁之位置係對應於該像素之位置而不同。

(18)

如上述(17)之固體攝像元件，其以如下方式構成：

形成上述分割像素分離壁之上述像素之上述分割像素分離壁之上述背面槽之位置係對應於該像素之位置而不同；

形成上述分割像素分離壁之上述像素之上述分割像素分離壁之上述表面槽之位置無論該像素之位置為何均相同；

上述分割像素之上述光電轉換元件之上述表面側之尺寸比上述背面側之尺寸大。

(19)

如上述(8)至(14)中任一者之固體攝像元件，其構成為進而具備：

電極用槽，其係於在特定方向上相鄰之上述像素之間之上述像素分離壁之上述表面槽之間以隔著電源電極之方式形成之表面槽；且

相鄰之上述像素中之一像素具有自身與另一像素之上述電極用槽；
上述像素分離壁係藉由上述表面槽與上述背面槽接觸而形成。

(20)

一種電子機器，其具備固體攝像元件，該固體攝像元件具備：

複數個像素，其等將經由依每一上述像素而異之透鏡而自背面入射之光進行光電轉換；

像素分離壁，其形成於相鄰之上述像素之間；及

配線層，其設置於表面；且

上述像素分離壁係由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成。

【符號說明】

50: CMOS影像感測器

51: 像素區域

52: 像素驅動線

53: 垂直信號線

54: 垂直驅動部

55: 行處理部

56: 水平驅動部

57: 系統控制部

58: 信號處理部

59: 記憶部

70: 像素群

71: 像素

71-1~71-4: 像素
72: FD
73: 重設電晶體
73A: 閘極電極
74: 放大電晶體
74A: 閘極電極
75: 選擇電晶體
75A: 閘極電極
76: 電源電極
77: 井電極
91: PD
91-1~91-4: PD
92: 傳送電晶體
92A: 閘極電極
92-1~92-4: 傳送電晶體
92-1A: 閘極電極
92-2A: 閘極電極
92-3A: 閘極電極
92-4A: 閘極電極
101: P型雜質
101-1~101-4: P型雜質
111~113: 像素分離壁
111A~113A: 表面槽

111B~113B: 背面槽
114~117: N型雜質
118: P型雜質
119: 配線層
121: 彩色濾光片
122: 晶載透鏡
180: CMOS影像感測器
181: 像素區域
182: 像素驅動線
183: 垂直信號線
184: 垂直驅動部
185: 行處理部
188: 信號處理部
190: 相位差檢測像素
191: 分割像素
191-1: 分割像素
191-2: 分割像素
192: FD
193: 重設電晶體
193A: 閘極電極
194: 放大電晶體
194A: 閘極電極
195: 選擇電晶體

195A: 閘極電極
197: 電源電極
198: 井電極
201: PD
201-1: PD
201-2: PD
202: 傳送電晶體
202A: 閘極電極
202-1: 傳送電晶體
202-1A: 閘極電極
202-2: 傳送電晶體
202-2A: 閘極電極
210: P型雜質
211: P型雜質
211-1: P型雜質
211-2: P型雜質
212: 雜質
221: 分割像素分離壁
221A: 表面槽
221B: 背面槽
222: 像素分離壁
222A: 表面槽
222B: 背面槽

223: 像素分離壁
223A: 表面槽
223B: 背面槽
224~228: N型雜質
229: P型雜質
230: 配線層
231: 彩色濾光片
232: 晶載透鏡
270: 相位差檢測像素
271: 分割像素
271-1~271-4: 分割像素
291: PD
291-1~291-4: PD
292: 傳送電晶體
292-1~292-4: 傳送電晶體
292A: 閘極電極
292-1A: 閘極電極
292-2A: 閘極電極
292-3A: 閘極電極
292-4A: 閘極電極
301: P型雜質
301-1~301-4: P型雜質
302: 雜質

303: 雜質
311: 分割像素分離壁
311A: 表面槽
311B: 背面槽
312~315: N型雜質
316: P型雜質
321: 雜質
322: 表面槽
323: 表面槽
351: 像素分離壁
351A: 表面槽
351B: 背面槽
352: 表面槽
353: 虛設之表面槽
371: 表面槽
381: 絕緣膜
382: 金屬
391: 抗蝕劑圖案
392: 絕緣膜
393: 金屬膜
400: 像素
401: P型雜質
402: 閘極電極

403: FD
404: 閘極電極
405: N型雜質
406: 閘極電極
407: N型雜質
408: 閘極電極
409: N型雜質
410: P型雜質
411: 像素分離壁
412: 像素分離壁
1000: 攝像裝置
1001: 透鏡群
1002: 固體攝像元件
1003: DSP電路
1004: 圖框記憶體
1005: 顯示部
1006: 記錄部
1007: 操作部
1008: 電源部
1009: 匯流排線
A-A': 剖面
B: 藍色
B-B': 剖面

C-C': 剖面

D-D': 剖面

E-E': 剖面

E1: 路徑

G: 綠色

R: 紅色

RST1: 線

RST2: 線

S1~S3: 路徑

S11~S14: 路徑

SEL1: 線

SEL2: 線

TG1~TG4: 線

TG11: 線

TG12: 線

TG21~TG24: 線

VDD: 電位

VSS: 電位

W1~W3: 路徑

【發明申請專利範圍】

【請求項1】

一種固體攝像元件，其包含：

複數個像素，其等將經由依每一上述像素而異之透鏡而自背面入射之光進行光電轉換；

像素分離壁，其形成於相鄰之上述像素之間；及

配線層，其設置於表面；且

上述像素分離壁係由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成；

上述固體攝像元件係以如下方式構成：

上述複數個像素中之至少一部分被分割成於每一上述像素各自包含將經由相同之上述透鏡自上述背面入射之光進行光電轉換之光電轉換元件的複數個分割像素；

於相鄰之上述分割像素之間，形成由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成之分割像素分離壁；

上述表面槽與上述背面槽之垂直於上述背面之方向之長度係按照由該表面槽與背面槽構成之上述像素分離壁或上述分割像素分離壁之位置而不同。

【請求項2】

一種固體攝像元件，其包含：

複數個像素，其等將經由依每一上述像素而異之透鏡而自背面入射之光進行光電轉換；

像素分離壁，其形成於相鄰之上述像素之間；及

配線層，其設置於表面；且

上述像素分離壁係由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成；

上述固體攝像元件係以如下方式構成：

上述複數個像素中之至少一部分被分割成於每一上述像素各自包含將經由相同之上述透鏡自上述背面入射之光進行光電轉換之光電轉換元件的複數個分割像素；

於相鄰之上述分割像素之間，形成由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成之分割像素分離壁；

上述像素分離壁之背面槽與上述分割像素分離壁之背面槽之垂直於上述背面之方向之長度不同。

【請求項3】

一種固體攝像元件，其包含：

複數個像素，其等將經由依每一上述像素而異之透鏡而自背面入射之光進行光電轉換；

像素分離壁，其形成於相鄰之上述像素之間；及

配線層，其設置於表面；且

上述像素分離壁係由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成；

上述固體攝像元件係以如下方式構成：

上述複數個像素中之至少一部分被分割成於每一上述像素各自包含將經由相同之上述透鏡自上述背面入射之光進行光電轉換之光電轉換元件的複數個分割像素；

於相鄰之上述分割像素之間，形成由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成之分割像素分離壁；

上述表面槽與上述背面槽之至少一者之材質係按照由該表面槽與背面槽構成之上述像素分離壁或上述分割像素分離壁之位置而不同。

【請求項4】

一種固體攝像元件，其包含：

複數個像素，其等將經由依每一上述像素而異之透鏡而自背面入射之光進行光電轉換；

像素分離壁，其形成於相鄰之上述像素之間；及

配線層，其設置於表面；且

上述像素分離壁係由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成；

上述固體攝像元件係以如下方式構成：

上述複數個像素中之至少一部分被分割成於每一上述像素各自包含將經由相同之上述透鏡自上述背面入射之光進行光電轉換之光電轉換元件的複數個分割像素；

於相鄰之上述分割像素之間，形成由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成之分割像素分離壁；

上述像素分離壁與上述分割像素分離壁之背面槽之材質不同。

【請求項5】

一種固體攝像元件，其包含：

複數個像素，其等將經由依每一上述像素而異之透鏡而自背面入射之光進行光電轉換；

像素分離壁，其形成於相鄰之上述像素之間；及

配線層，其設置於表面；且

上述像素分離壁係由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成；

上述固體攝像元件係以如下方式構成：

上述複數個像素中之至少一部分被分割成於每一上述像素各自包含將經由相同之上述透鏡自上述背面入射之光進行光電轉換之光電轉換元件的複數個分割像素；

於相鄰之上述分割像素之間，形成由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成之分割像素分離壁；

上述分割像素分離壁之上述表面槽僅形成於相鄰之上述分割像素之間之上述表面之區域中之一部分區域，且上述背面槽形成於該相鄰之分割像素之間之上述背面之全區域；

上述分割像素分離壁之上述背面槽與上述表面槽接觸；

於相鄰之上述分割像素之間之上述表面之區域中之未形成上述表面槽之區域，形成浮動擴散區。

【請求項6】

一種固體攝像元件，其包含：

複數個像素，其等將經由依每一上述像素而異之透鏡而自背面入射之光進行光電轉換；

像素分離壁，其形成於相鄰之上述像素之間；及

配線層，其設置於表面；且

上述像素分離壁係由形成於上述表面之槽即表面槽、及形成於上述

背面之槽即背面槽構成；

上述固體攝像元件係以如下方式構成：

上述複數個像素中之至少一部分被分割成於每一上述像素各自包含將經由相同之上述透鏡自上述背面入射之光進行光電轉換之光電轉換元件的複數個分割像素；

於相鄰之上述分割像素之間，形成由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成之分割像素分離壁；

上述分割像素分離壁之上述表面槽係形成於相鄰之上述分割像素之間之上述表面之區域中之未形成浮動擴散區之區域，且上述背面槽形成於該相鄰之分割像素之間之上述背面之全區域；

上述分割像素分離壁之上述表面槽之一部分與上述背面槽接觸；

上述分割像素分離壁之上述表面槽之另一部分之垂直於上述背面之方向之長度，比上述表面槽之一部分短。

【請求項7】

一種固體攝像元件，其包含：

複數個像素，其等將經由依每一上述像素而異之透鏡而自背面入射之光進行光電轉換；

像素分離壁，其形成於相鄰之上述像素之間；及

配線層，其設置於表面；且

上述像素分離壁係由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成；

上述固體攝像元件係以如下方式構成：

上述複數個像素中之至少一部分被分割成於每一上述像素各自包含

將經由相同之上述透鏡自上述背面入射之光進行光電轉換之光電轉換元件的複數個分割像素；

於相鄰之上述分割像素之間，形成由形成於上述表面之槽即表面槽、及形成於上述背面之槽即背面槽構成之分割像素分離壁；

形成上述分割像素分離壁之上述像素之上述分割像素分離壁之位置係按照該像素之位置而不同。

【請求項8】

如請求項7之固體攝像元件，其以如下方式構成：

形成上述分割像素分離壁之上述像素之上述分割像素分離壁之上述背面槽之位置係按照該像素之位置而不同；

形成上述分割像素分離壁之上述像素之上述分割像素分離壁之上述表面槽之位置係無論該像素之位置為何均相同；

上述分割像素之上述光電轉換元件之上述表面側之尺寸，比上述背面側之尺寸大。

【請求項9】

如請求項1至8之任一項之固體攝像元件，其以如下方式構成：

至少一部分上述像素分離壁之上述表面槽與上述背面槽接觸。

【請求項10】

如請求項1至8之任一項之固體攝像元件，其以如下方式構成：

上述表面槽與上述背面槽之垂直於上述背面之方向之長度係按照由該表面槽與背面槽構成之上述像素分離壁之位置而不同。

【請求項11】

如請求項1至8之任一項之固體攝像元件，其以如下方式構成：

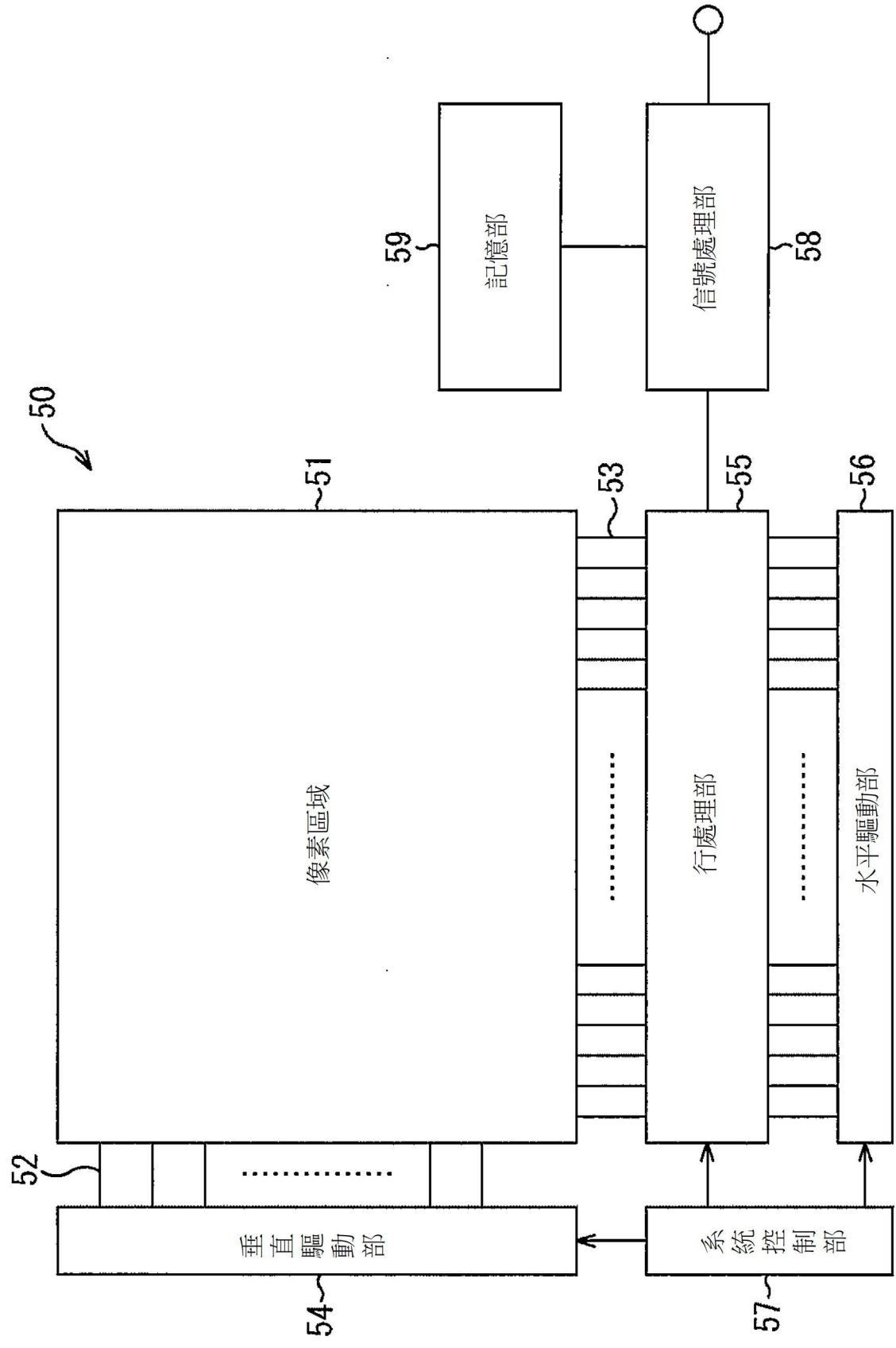
上述表面槽與上述背面槽之至少一者之材質係按照由該表面槽與背面槽構成之上述像素分離壁之位置而不同。

【請求項12】

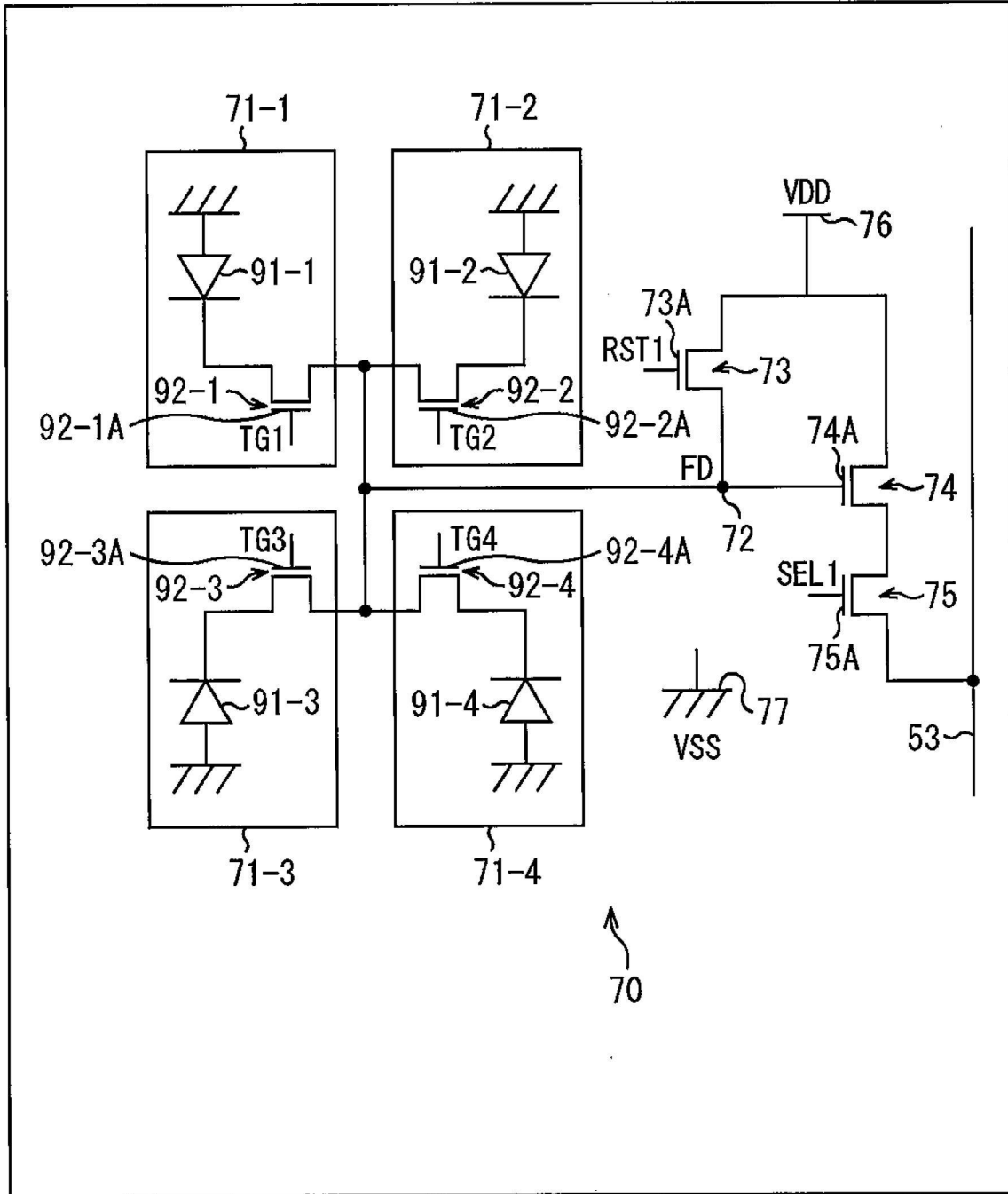
一種電子機器，其包含：

如請求項1至11之任一項之固體攝像元件。

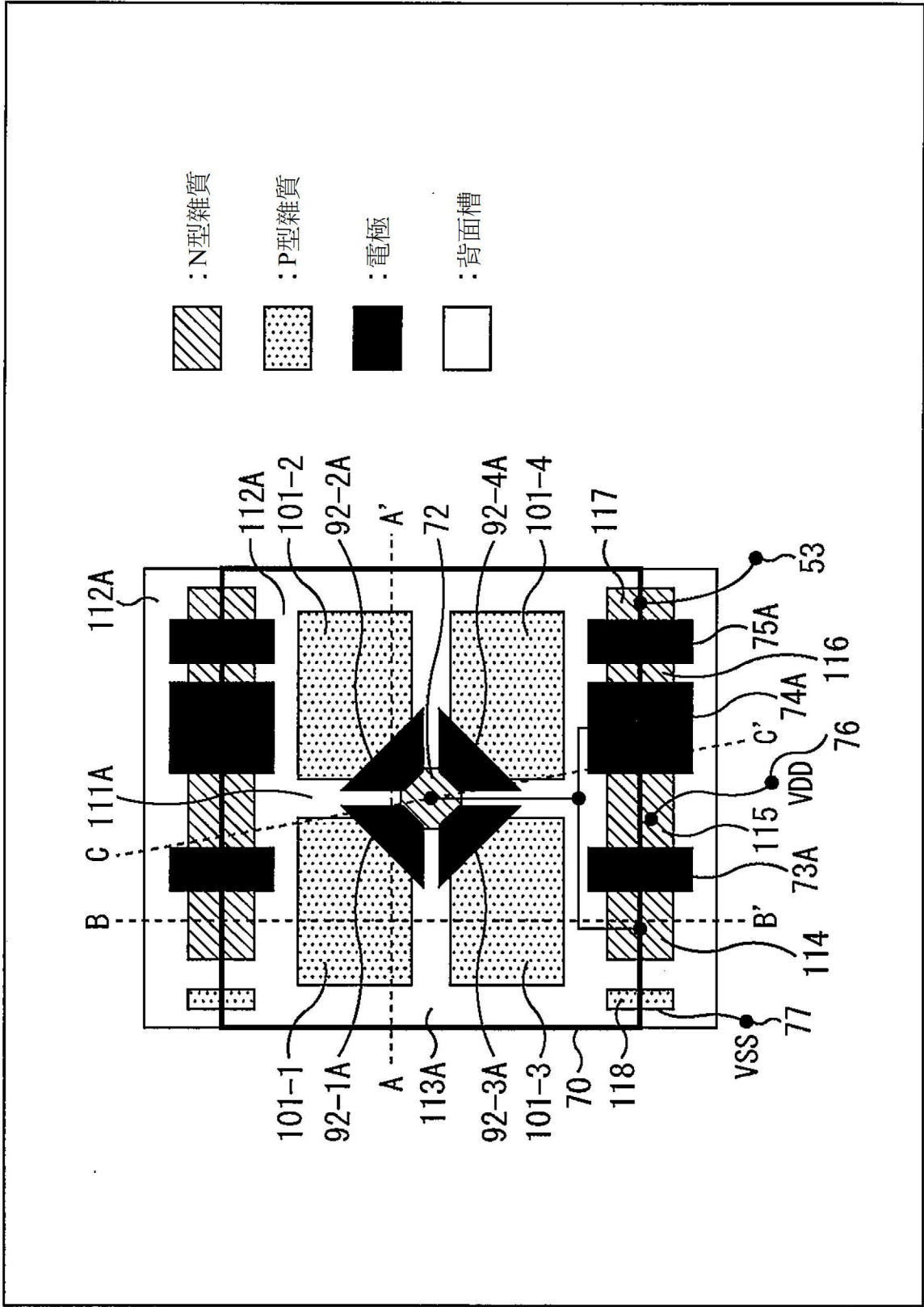
【發明圖式】



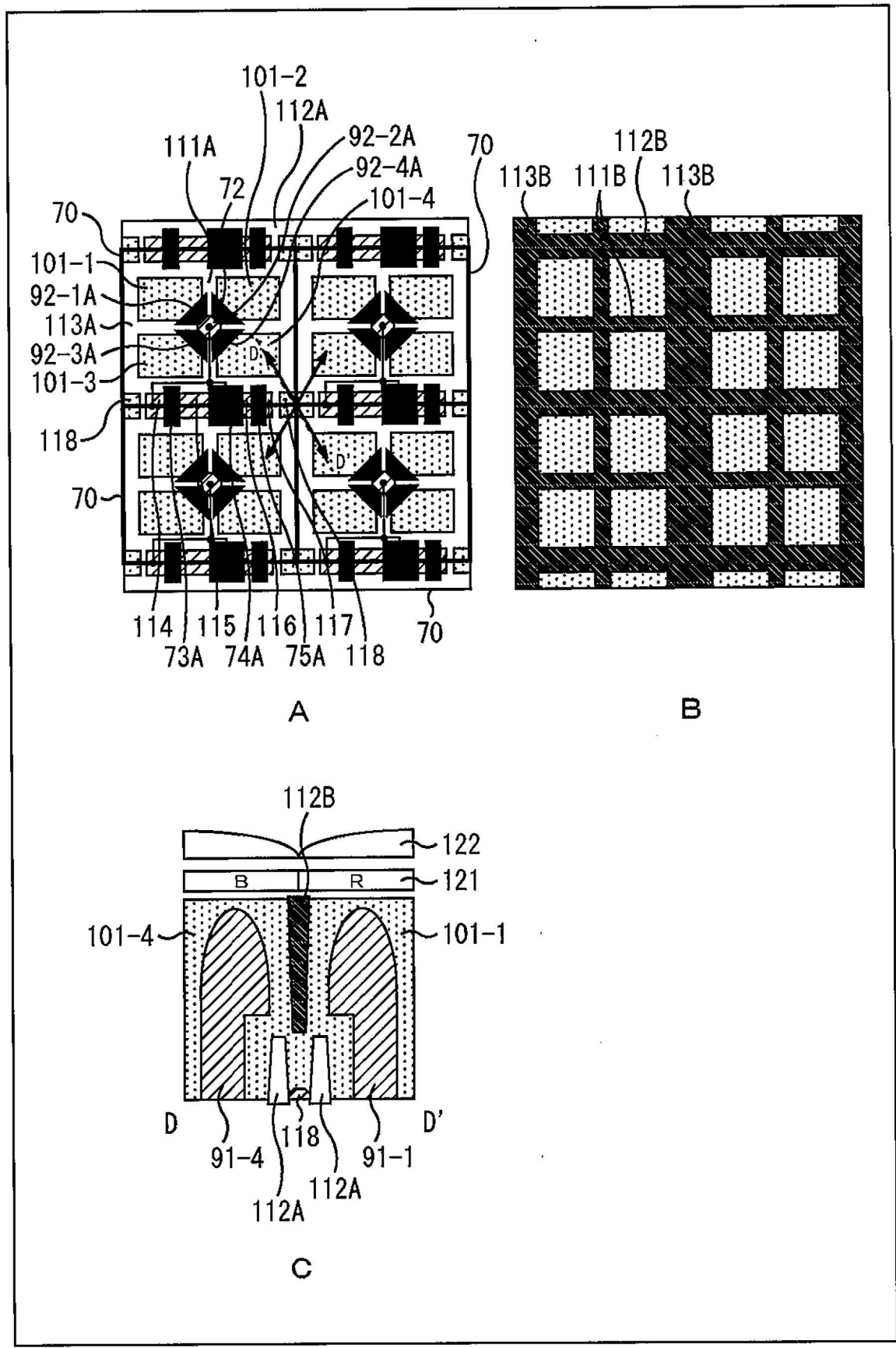
【圖1】



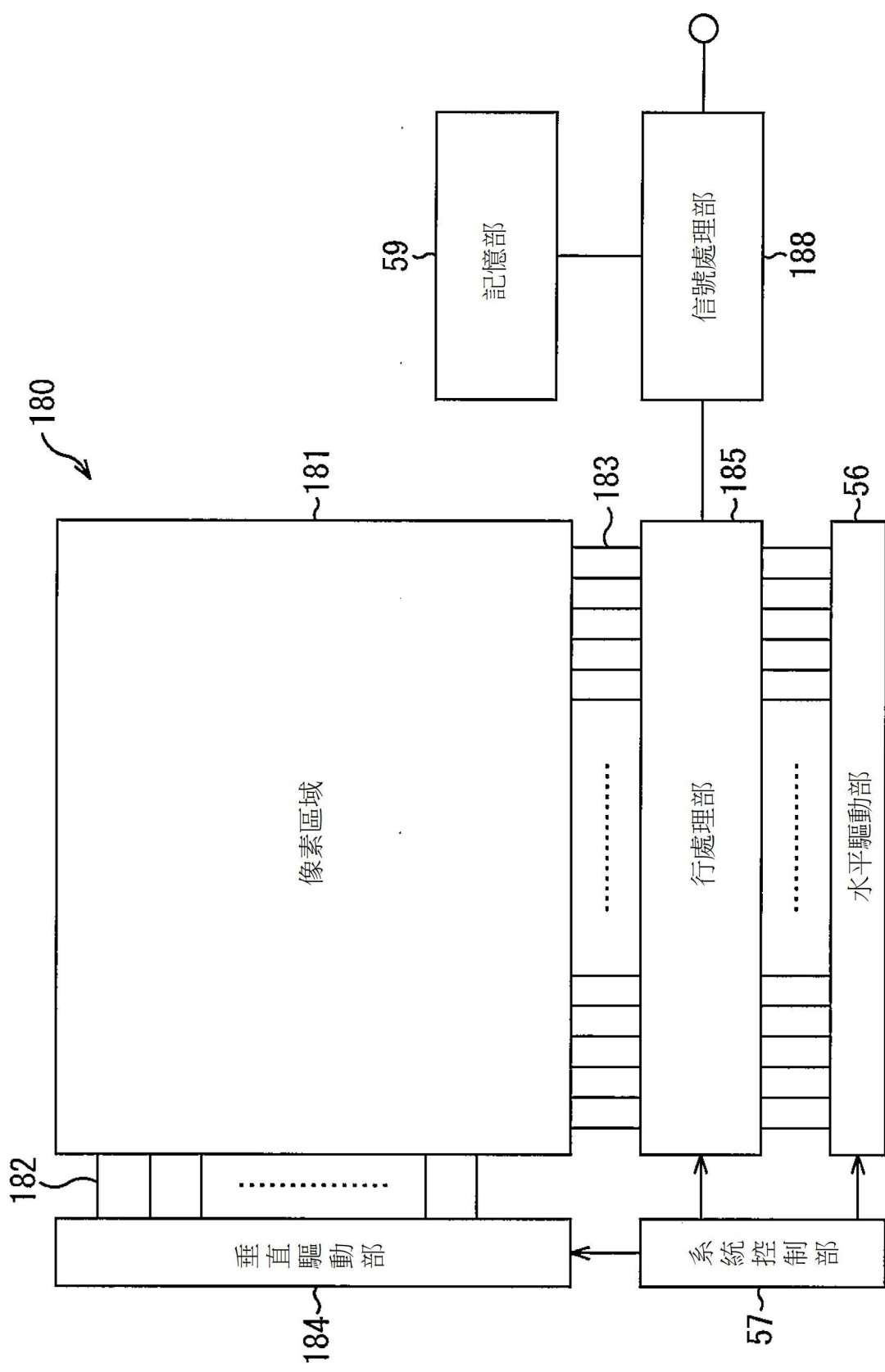
【圖2】



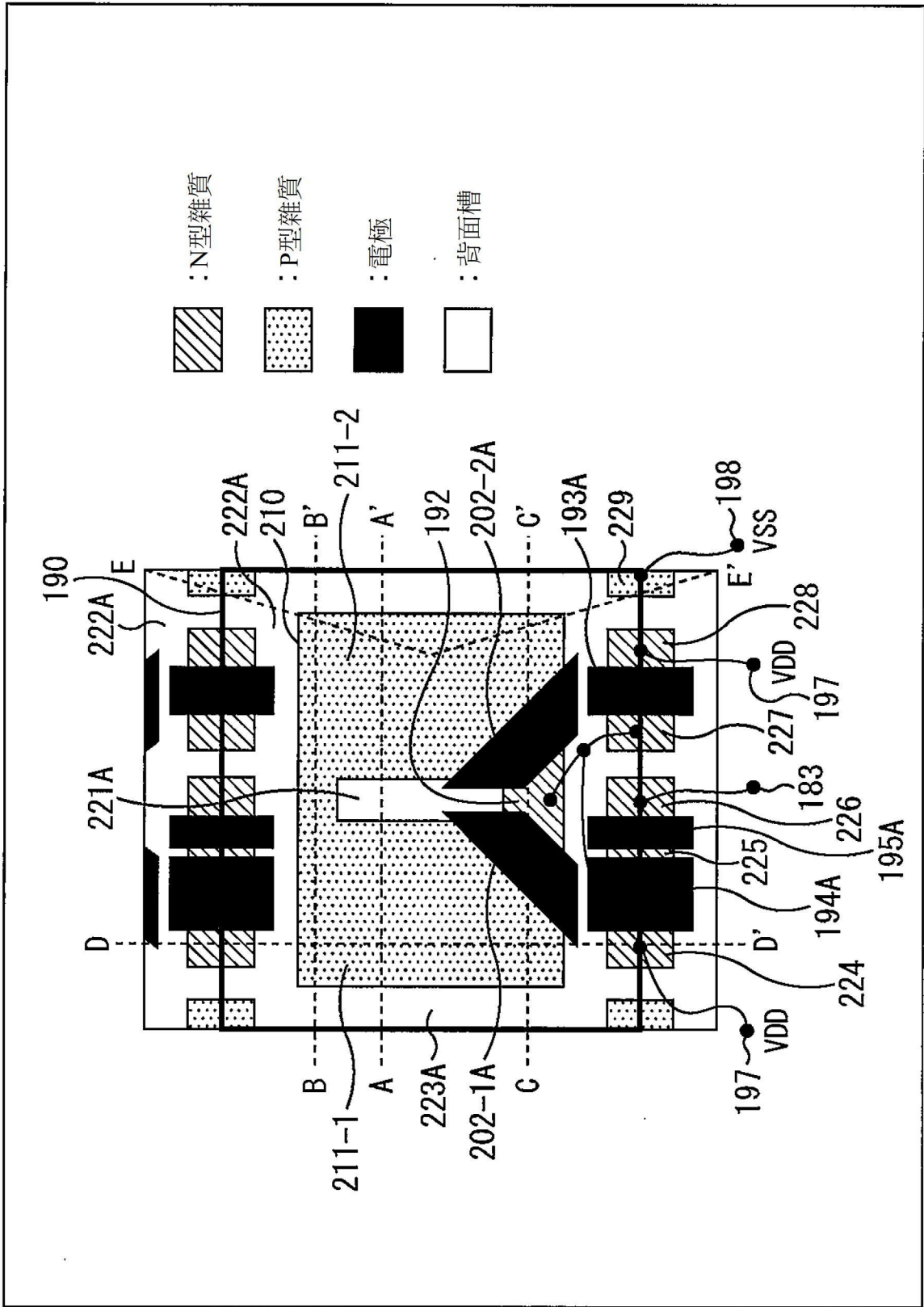
【圖3】



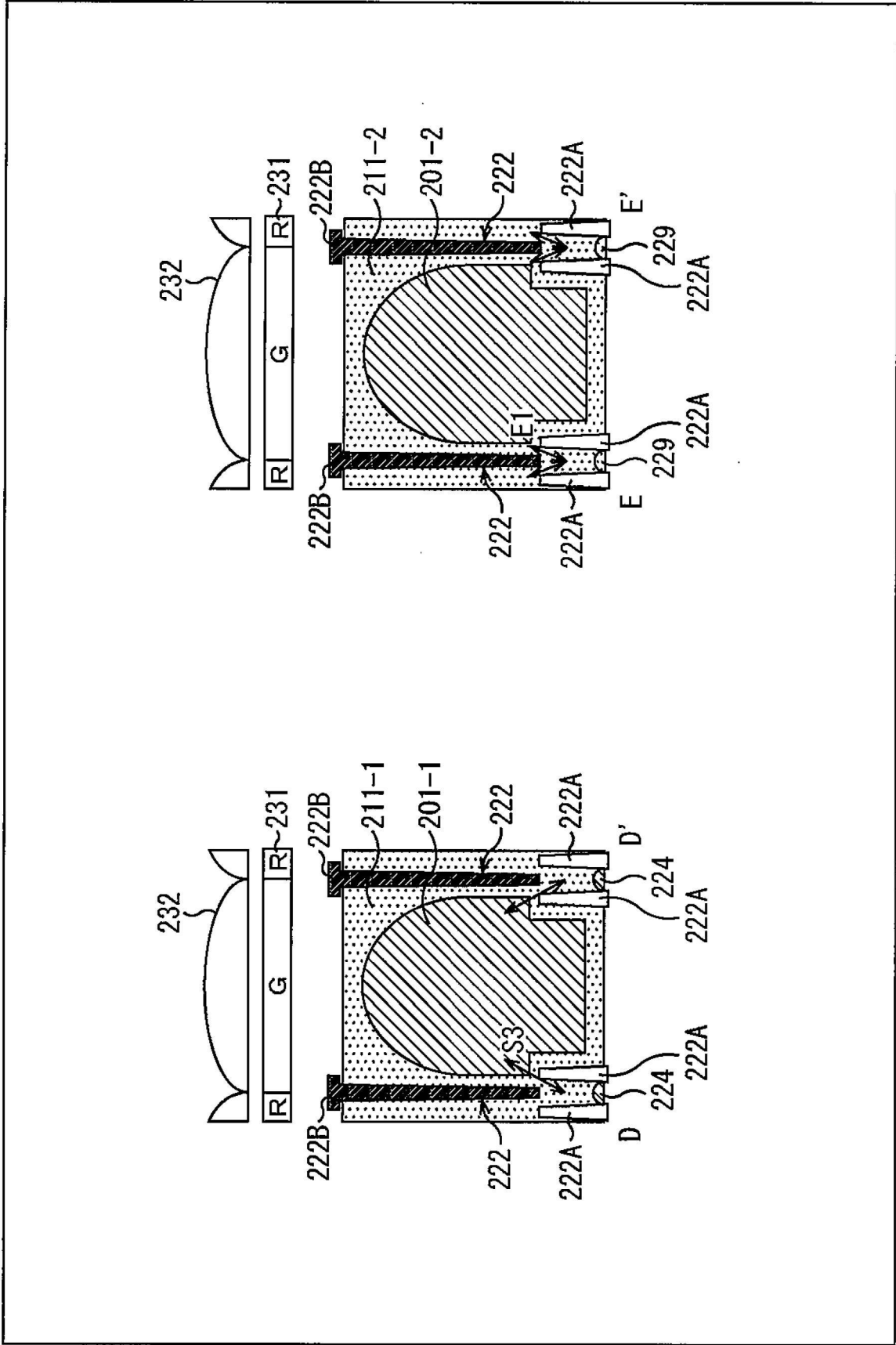
【圖6】



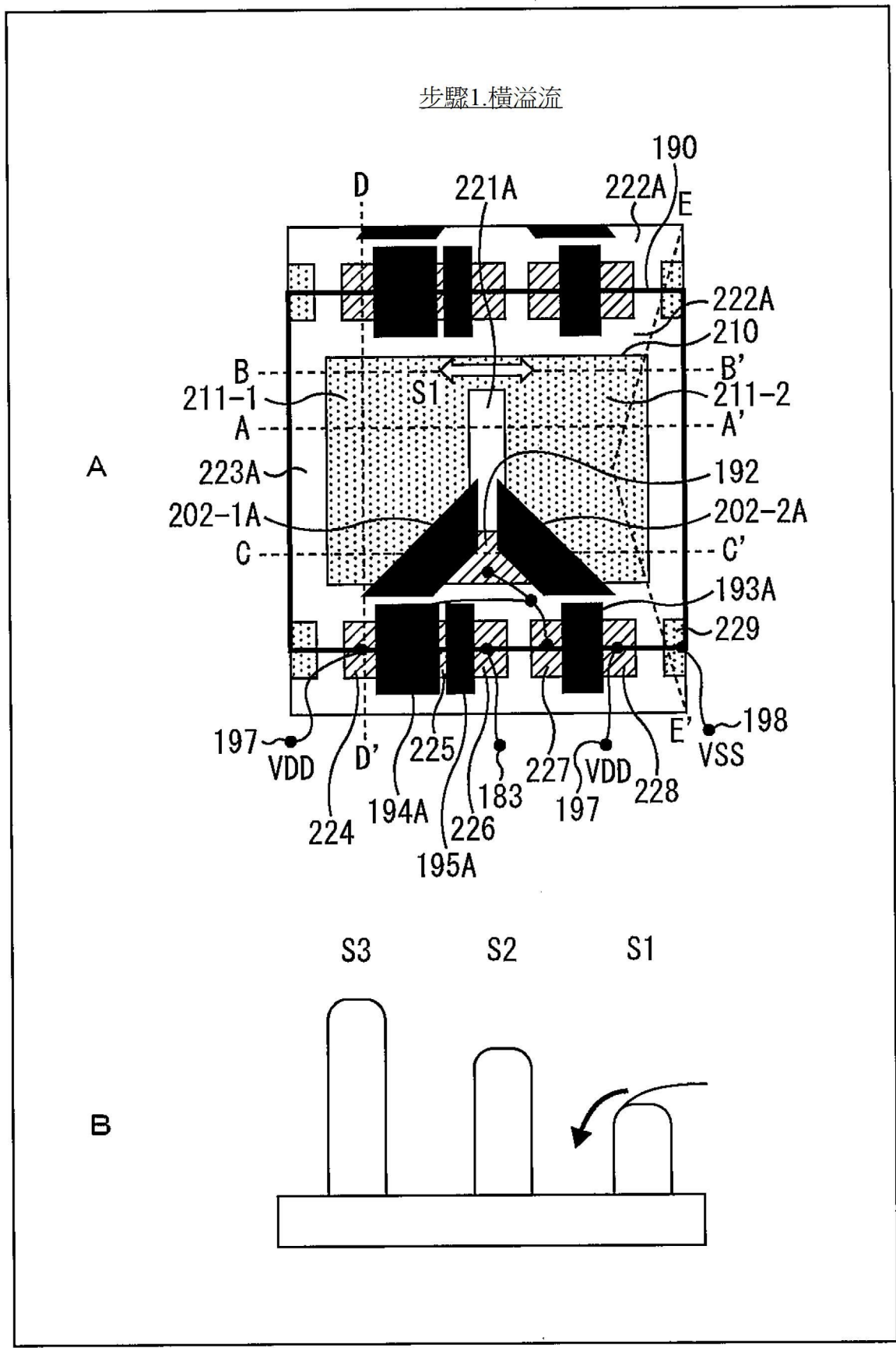
【圖7】



【圖9】

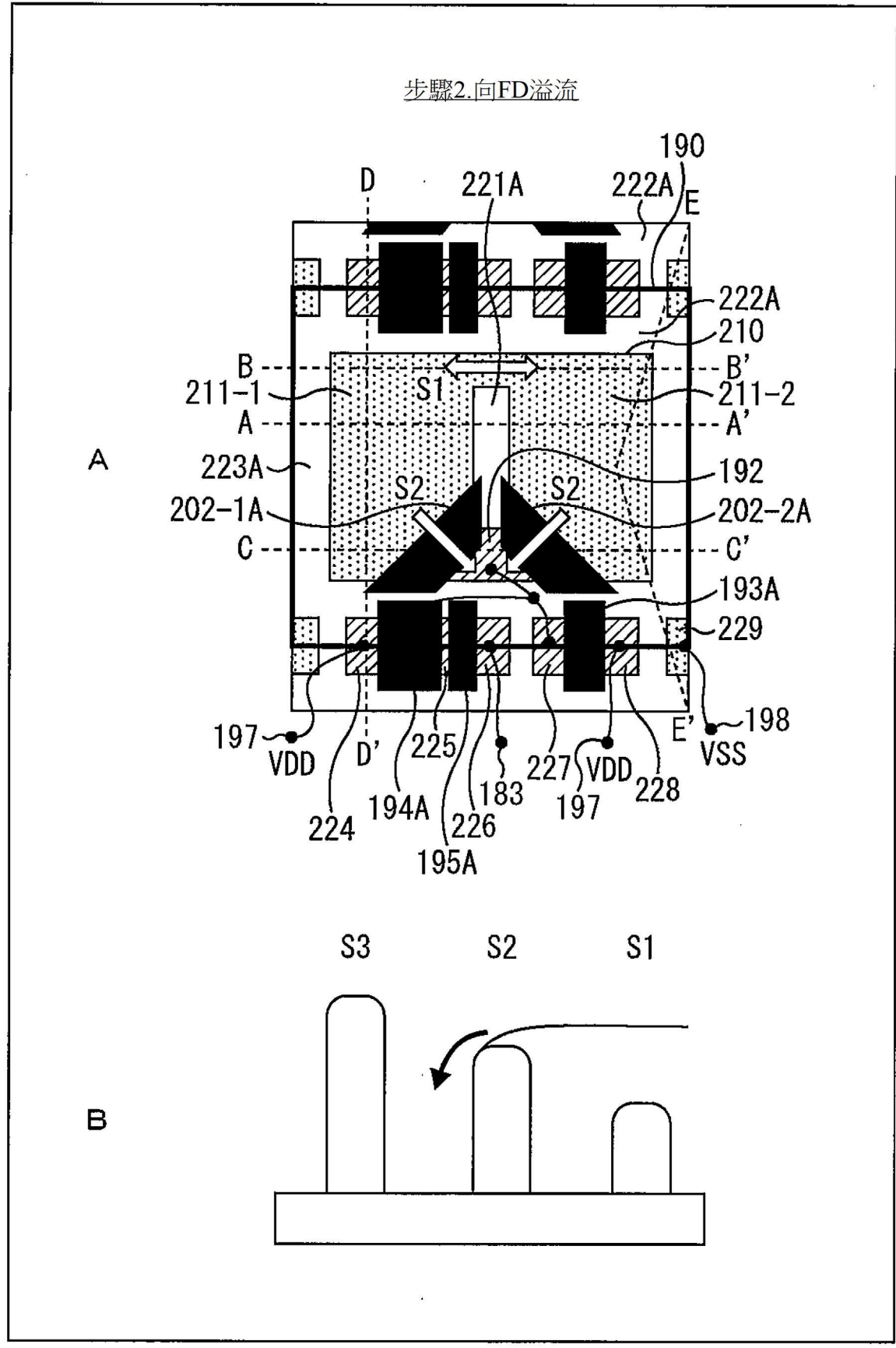


【圖11】



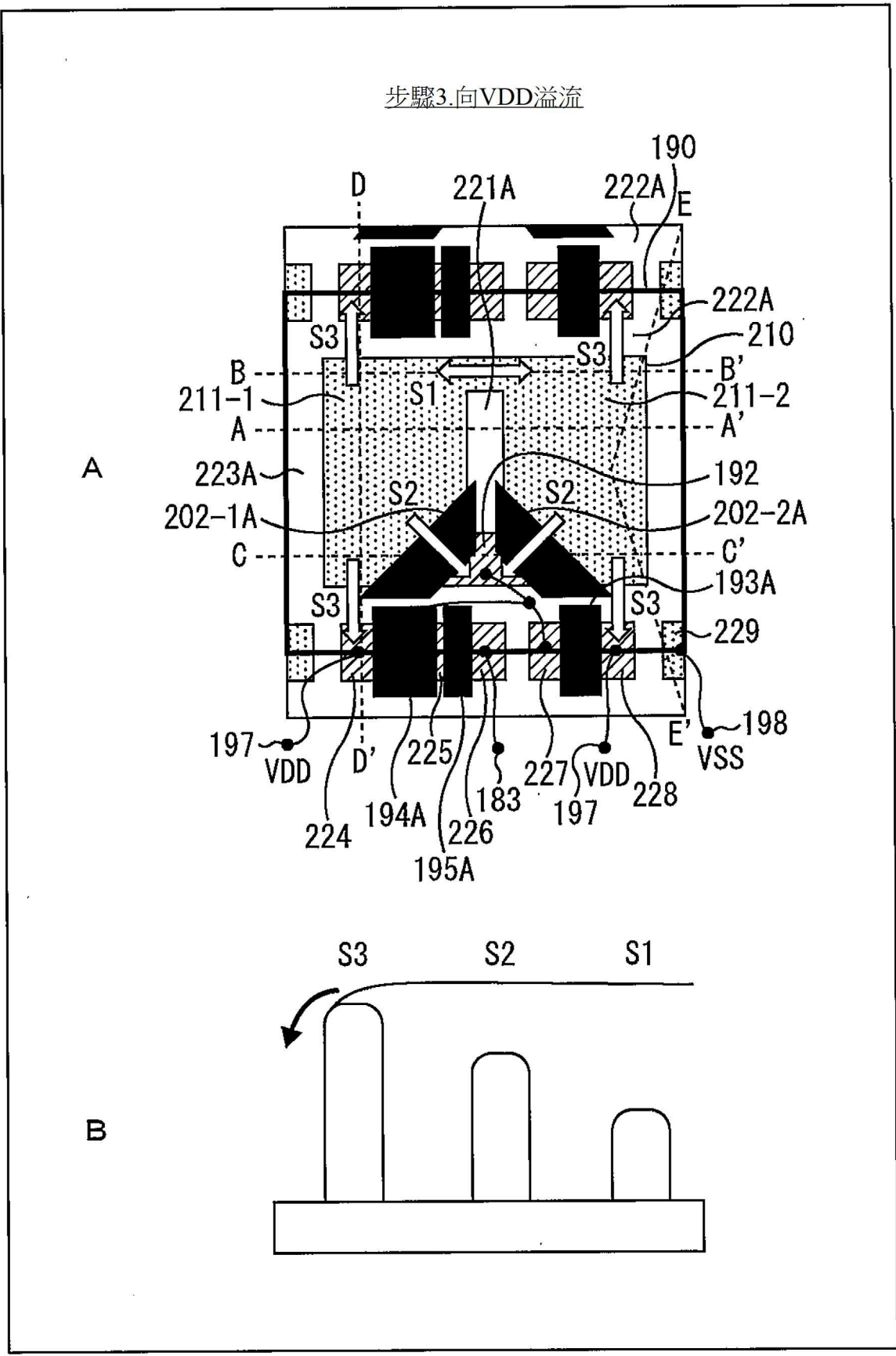
【圖12】

步驟2.向FD溢流

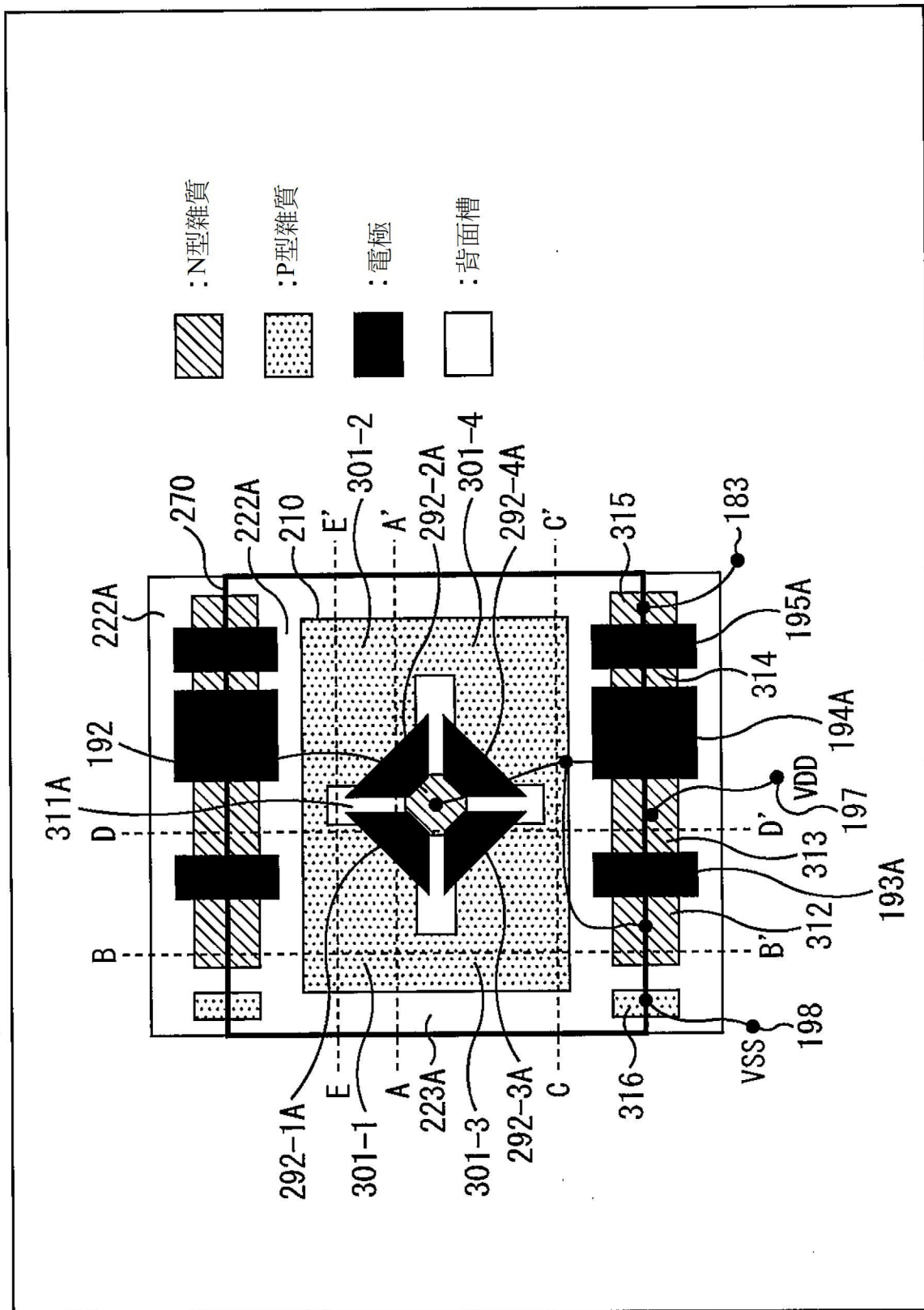


【圖13】

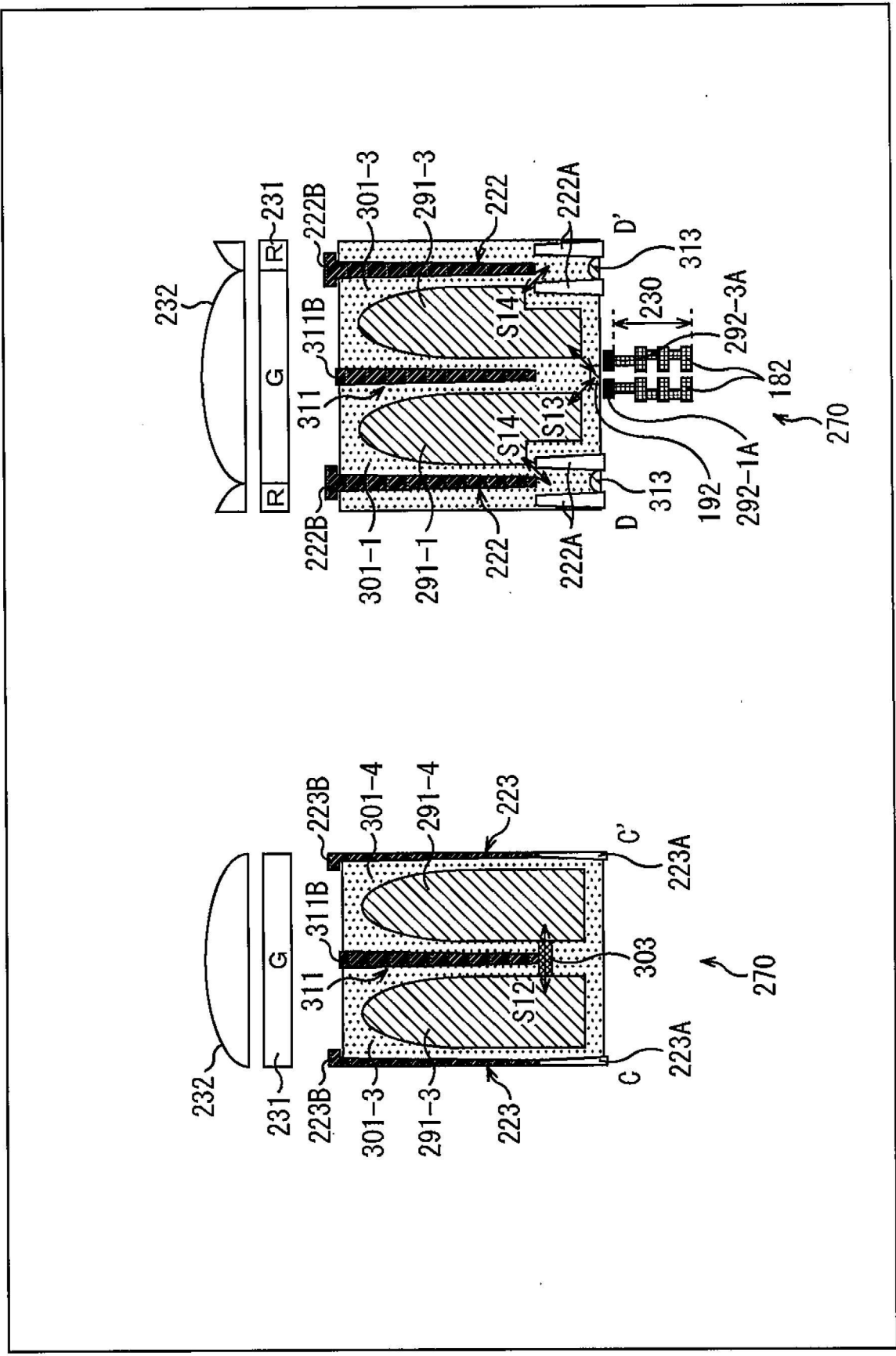
步驟3.向VDD溢流



【圖14】

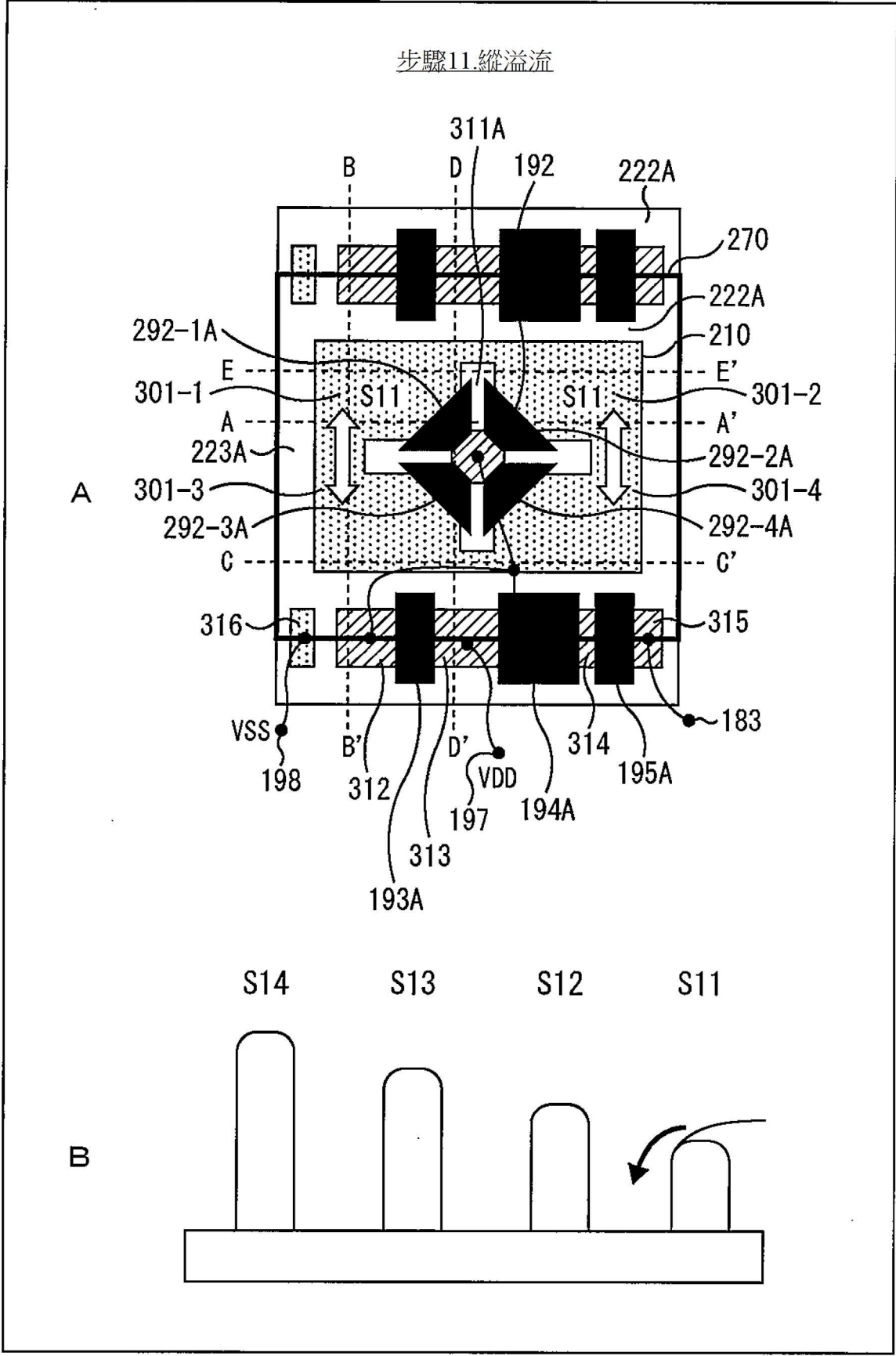


【圖16】

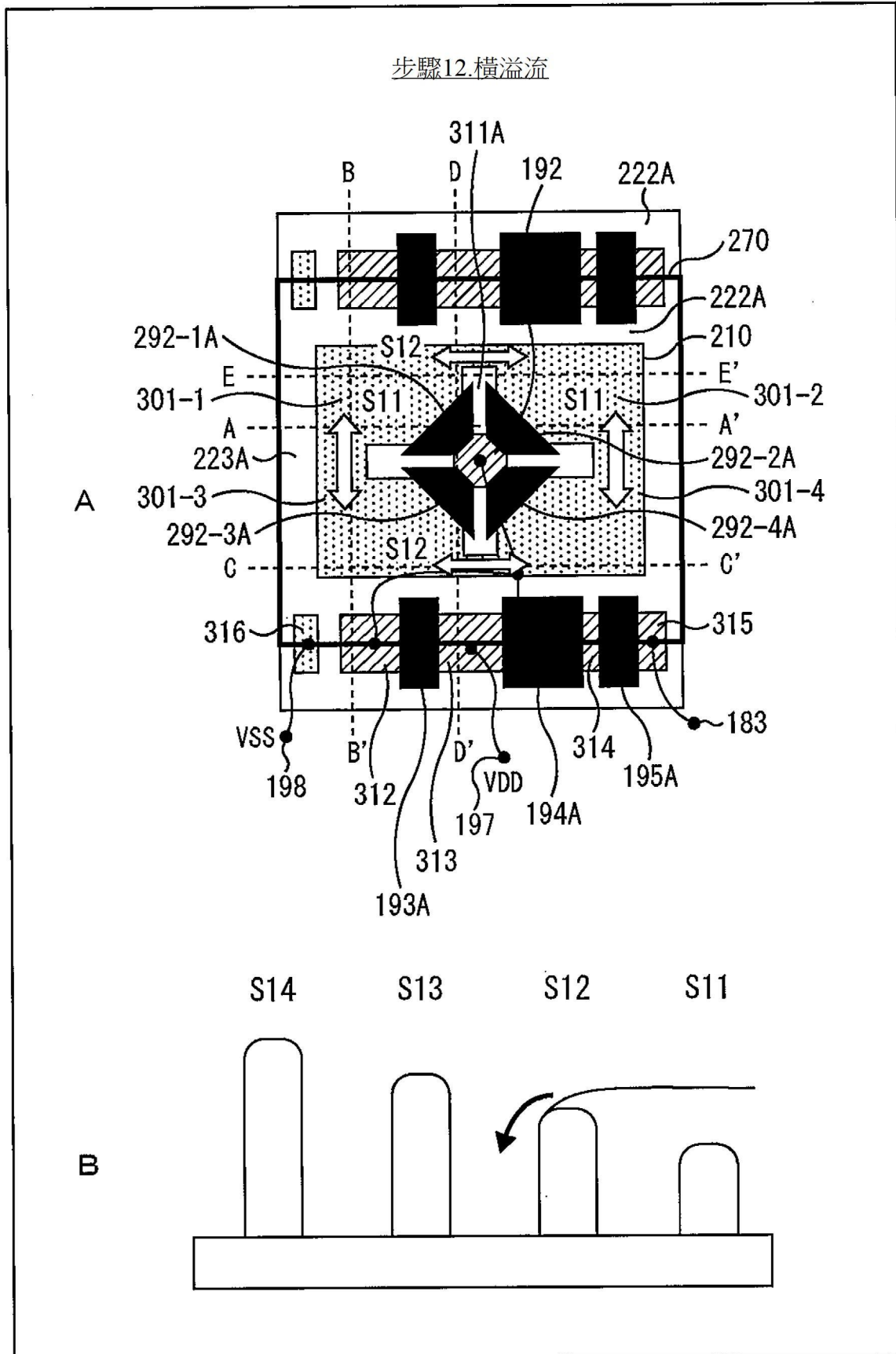


【圖18】

步驟11.縱溢流

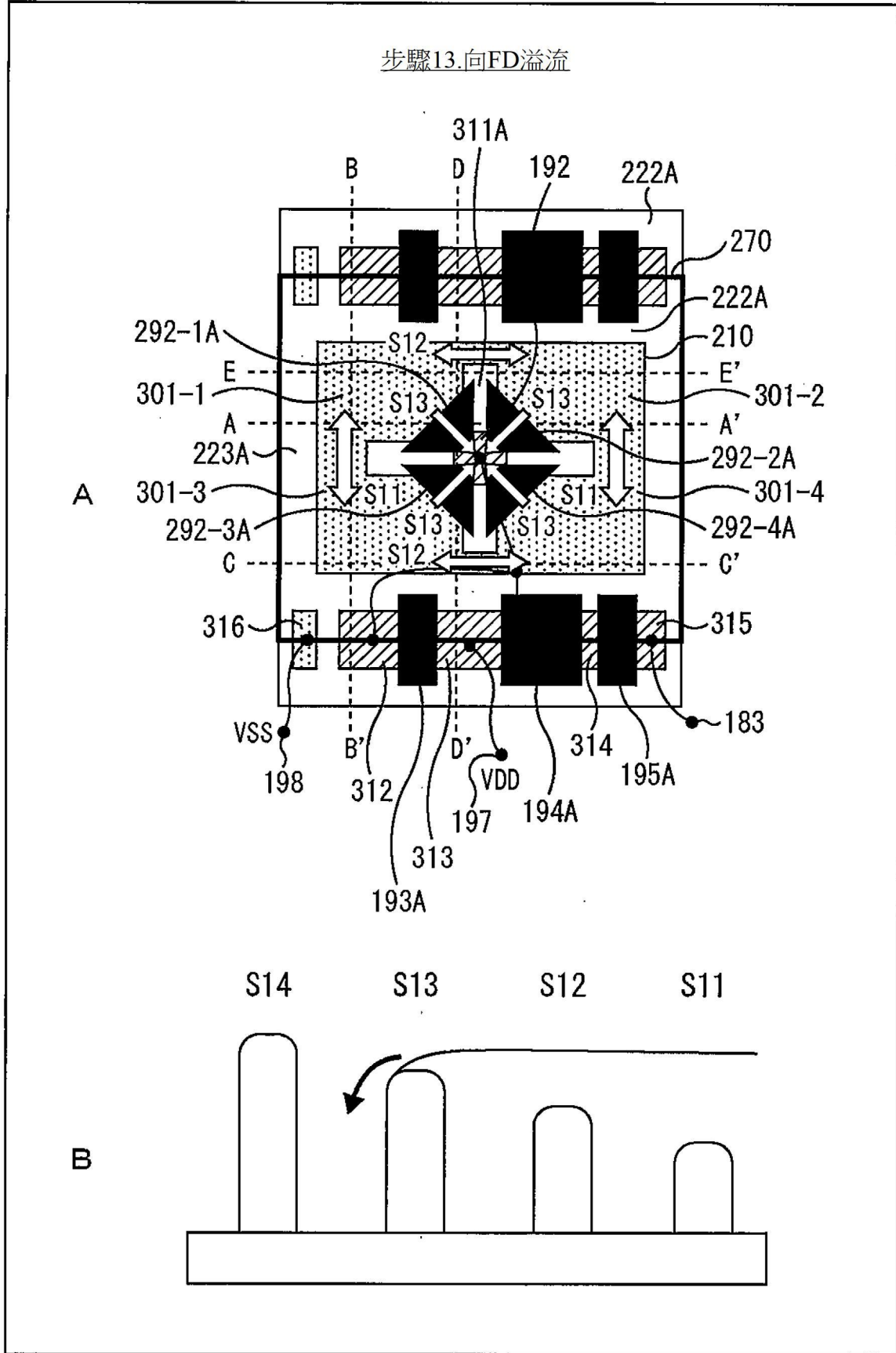


【圖19】



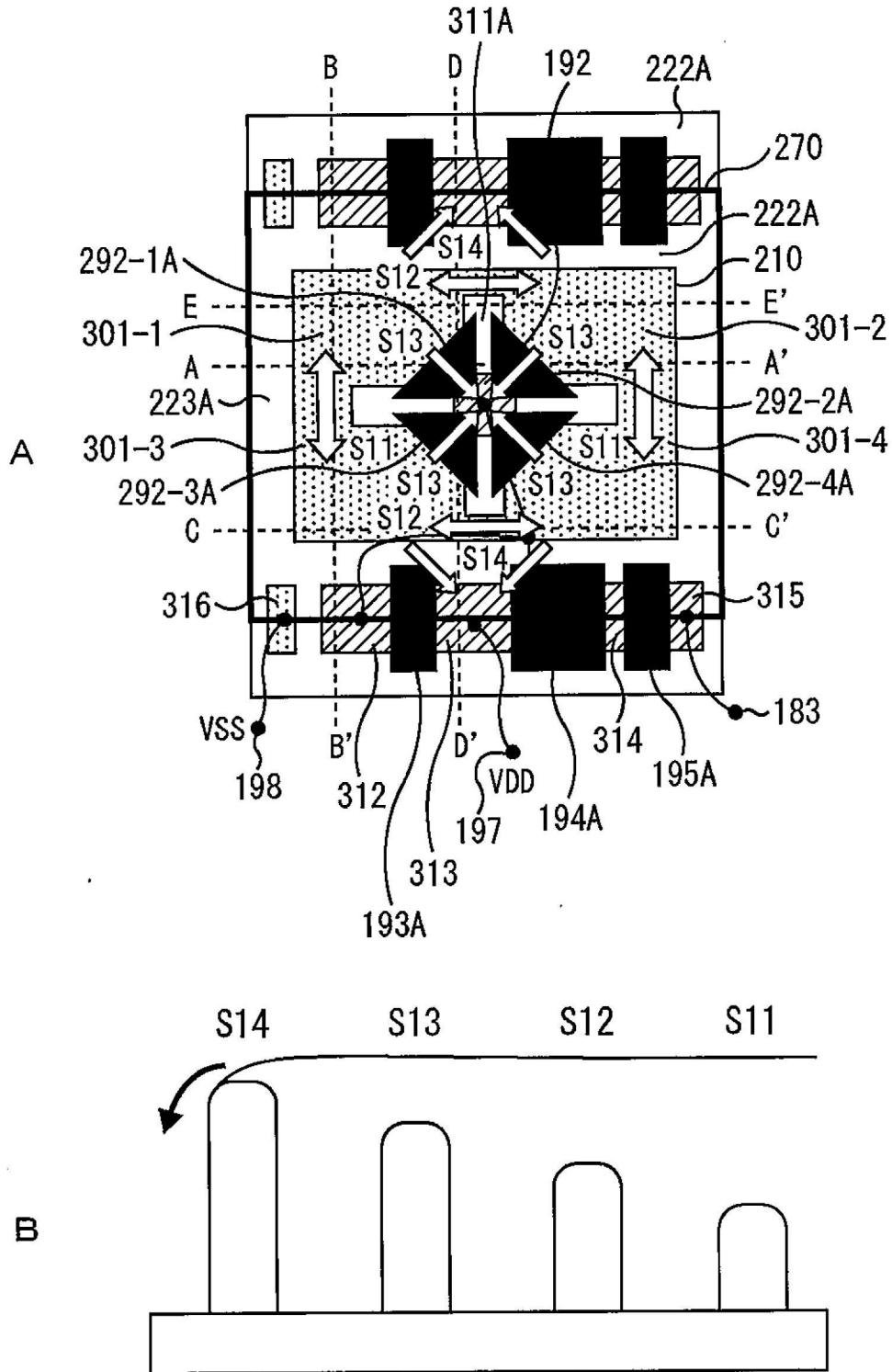
【圖20】

步驟13.向FD溢流

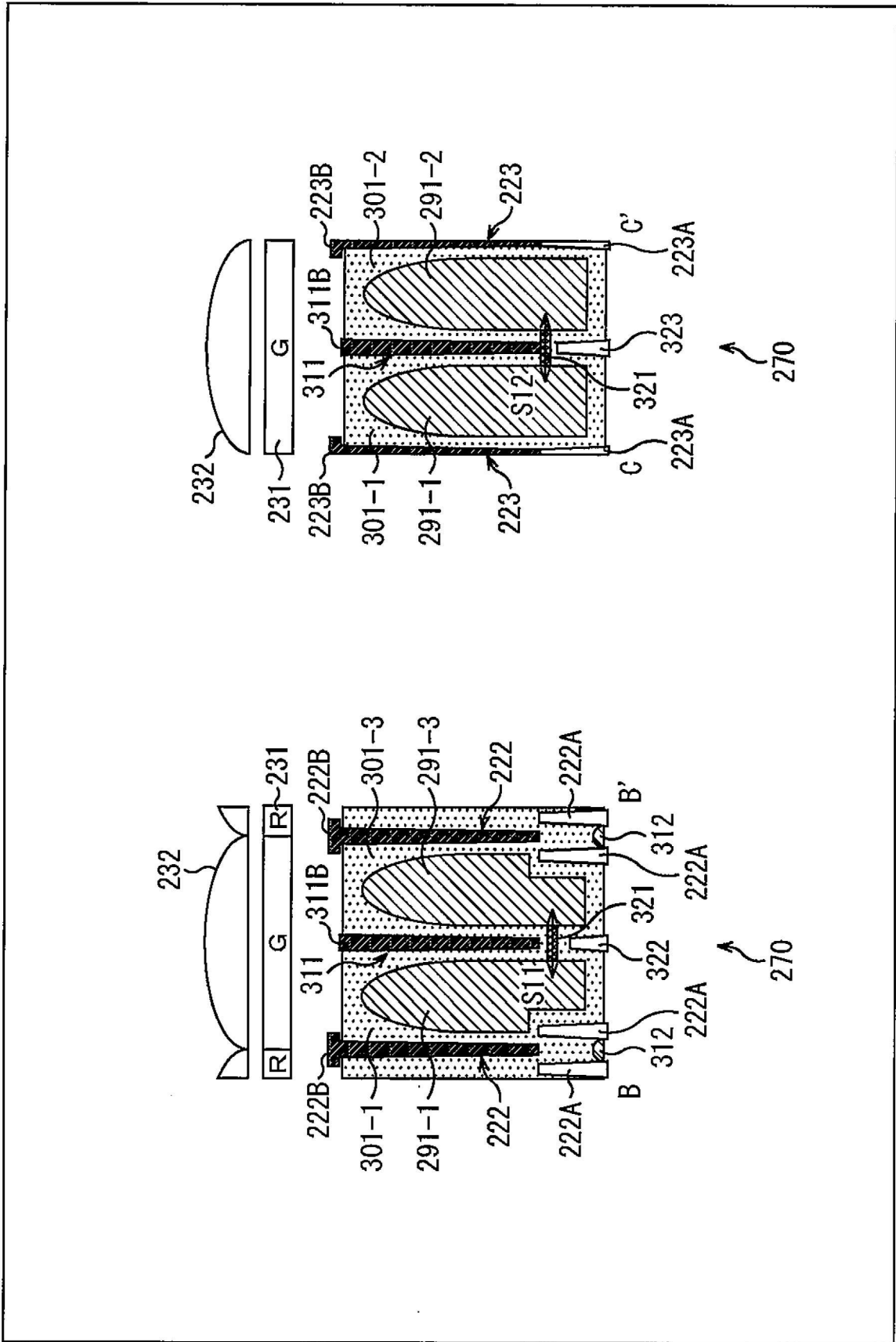


【圖21】

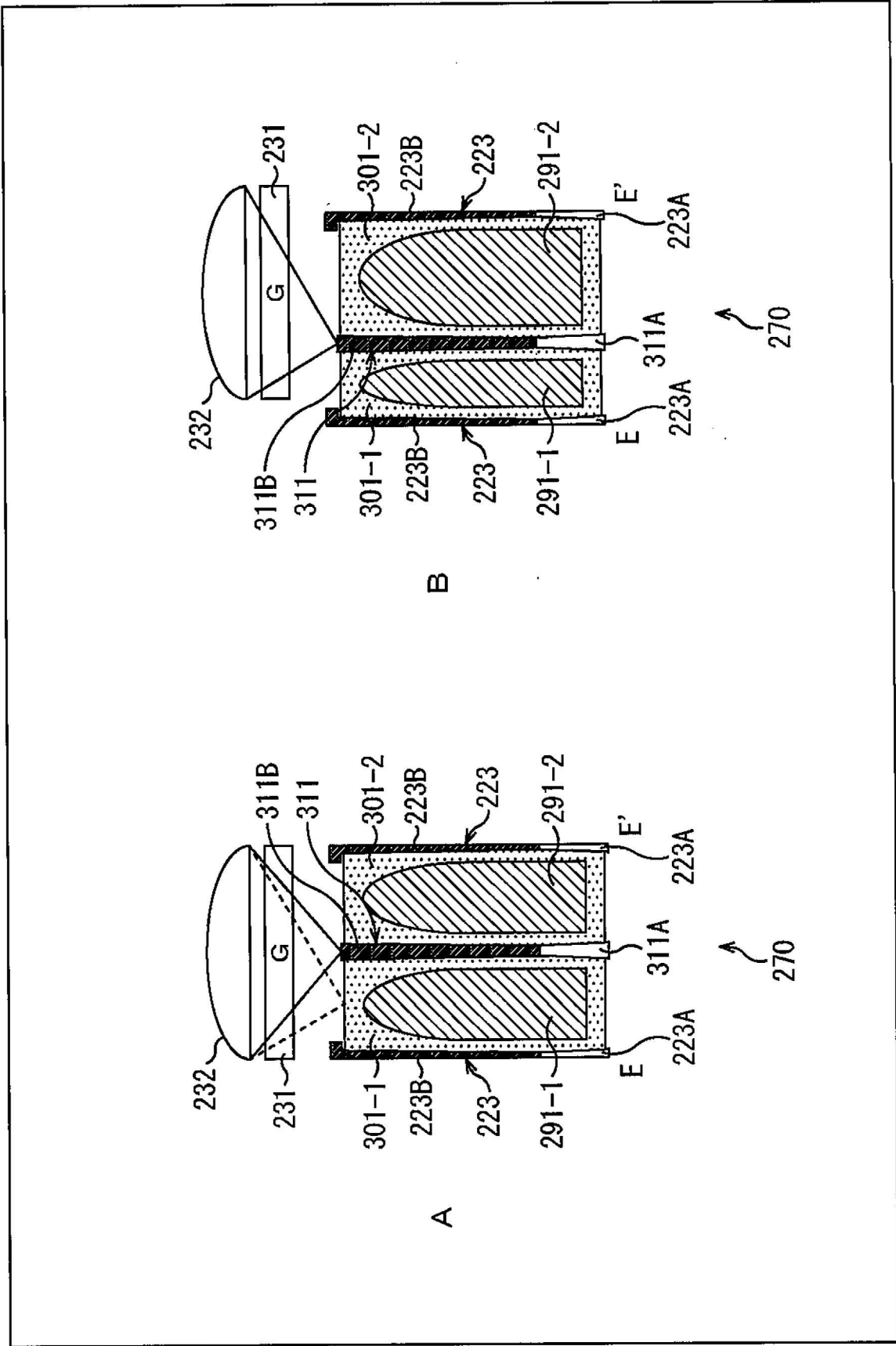
步驟14.向VDD溢流



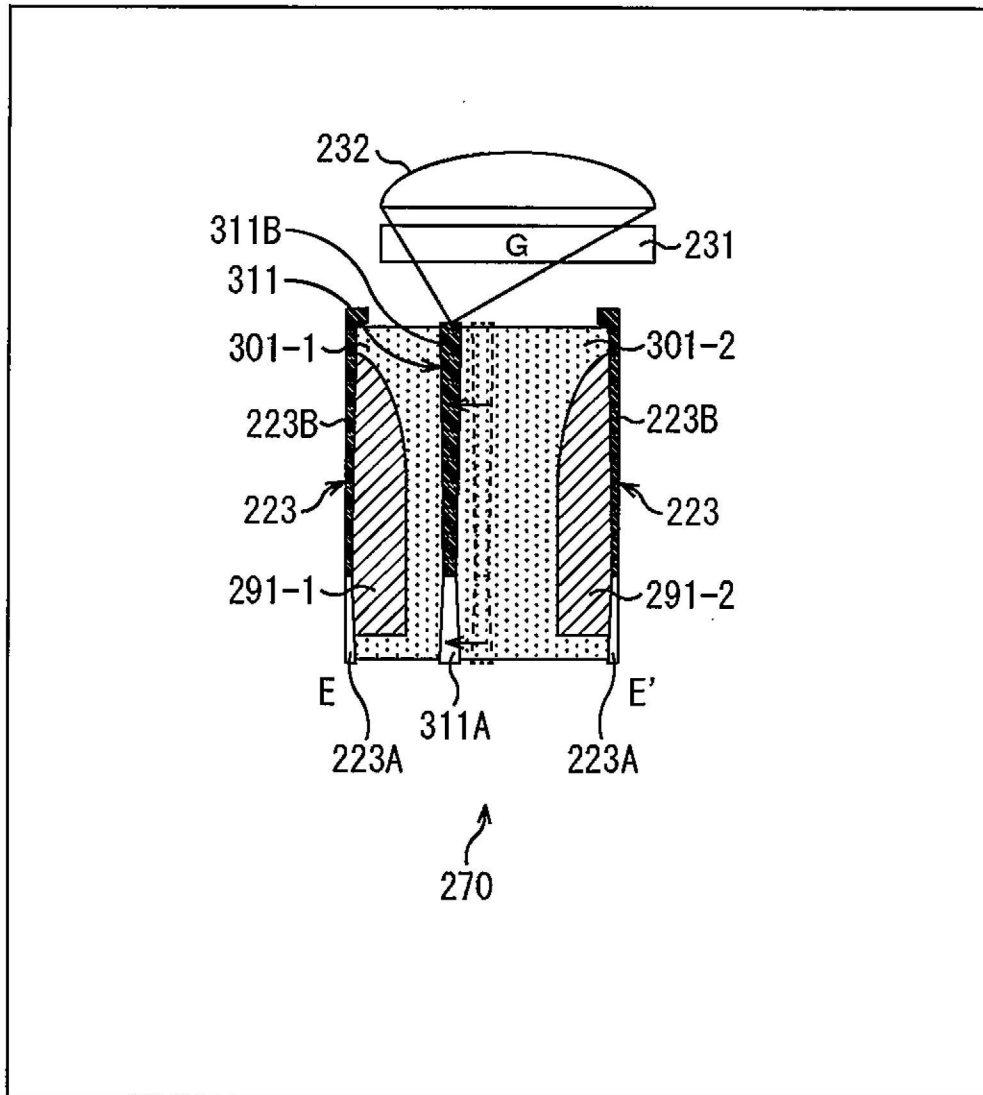
【圖22】



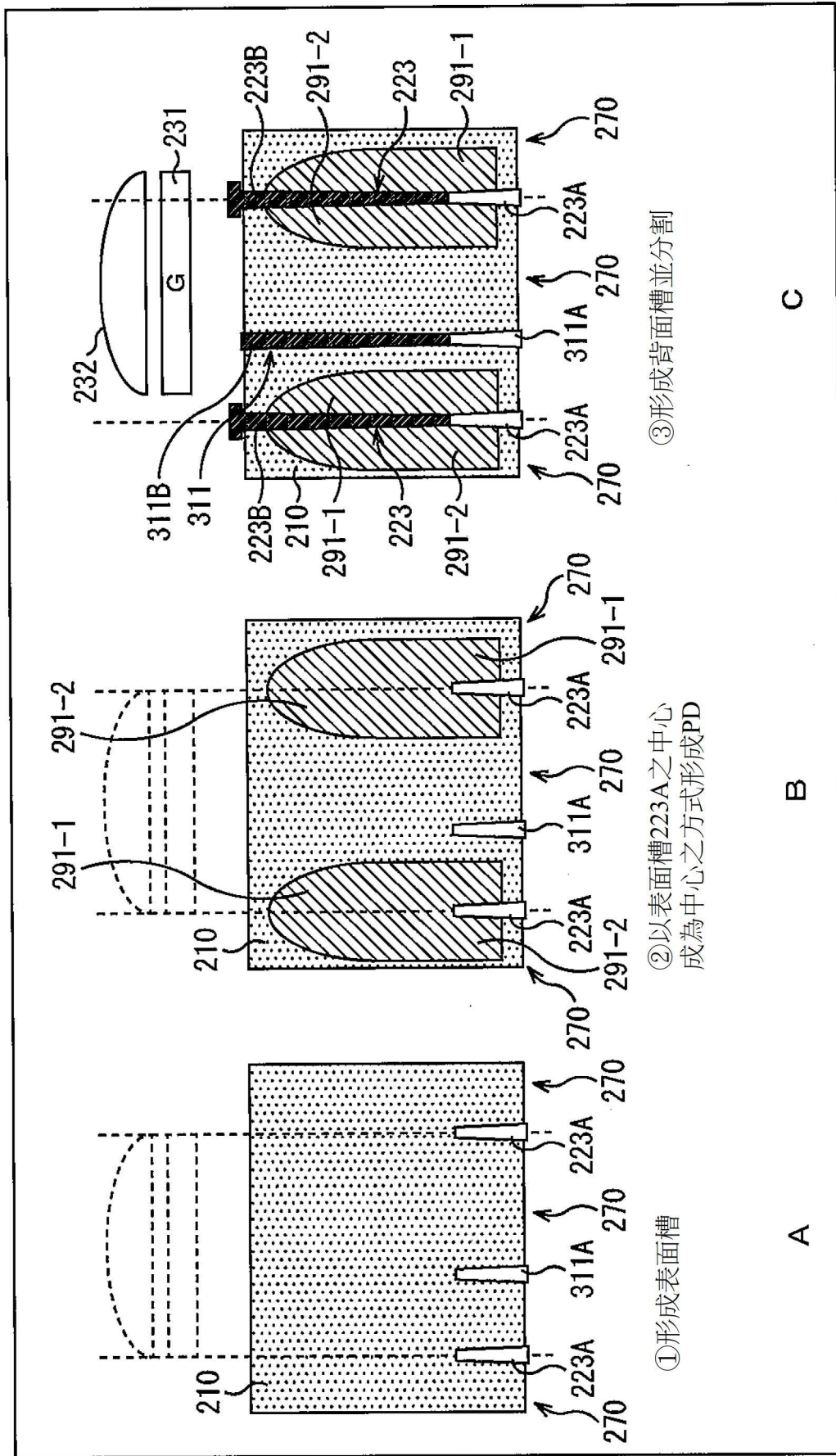
【圖23】



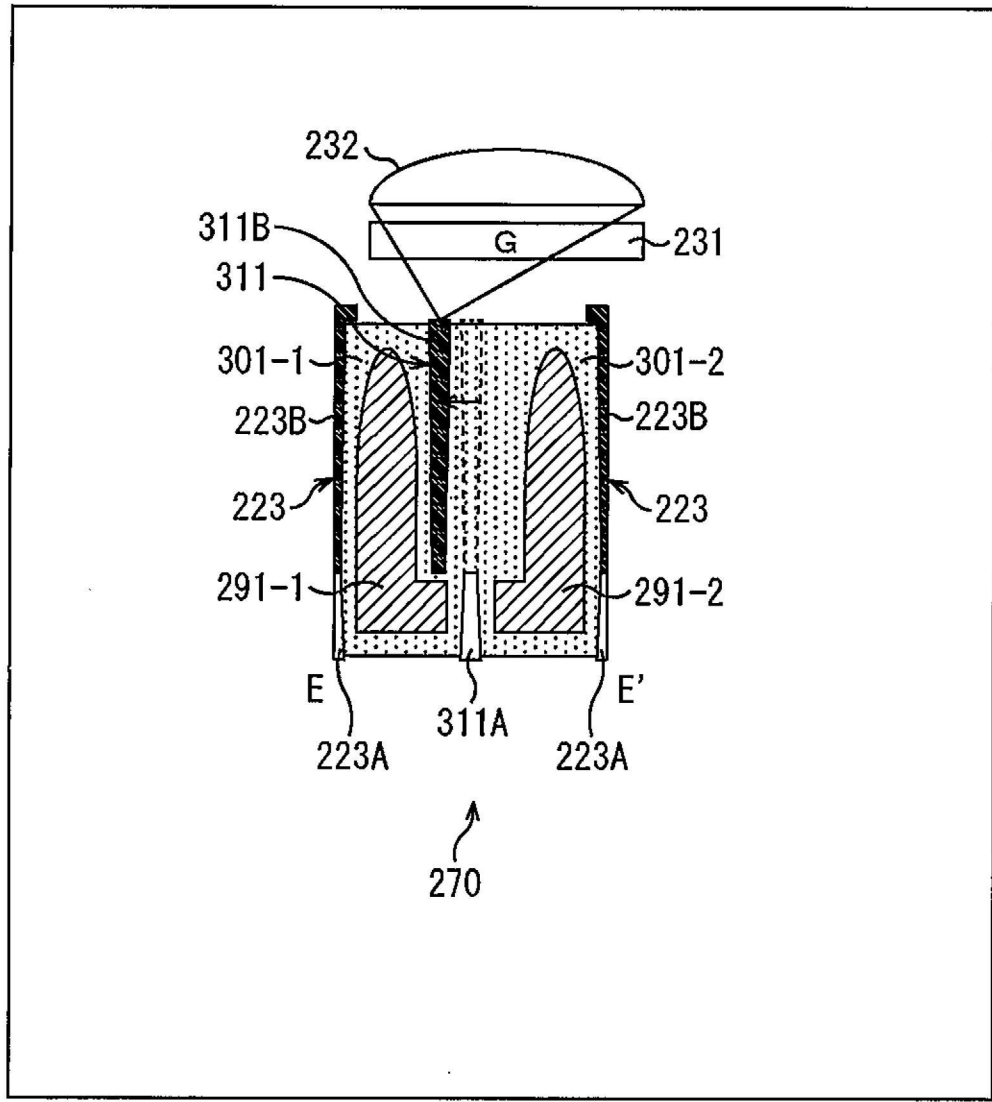
【圖24】



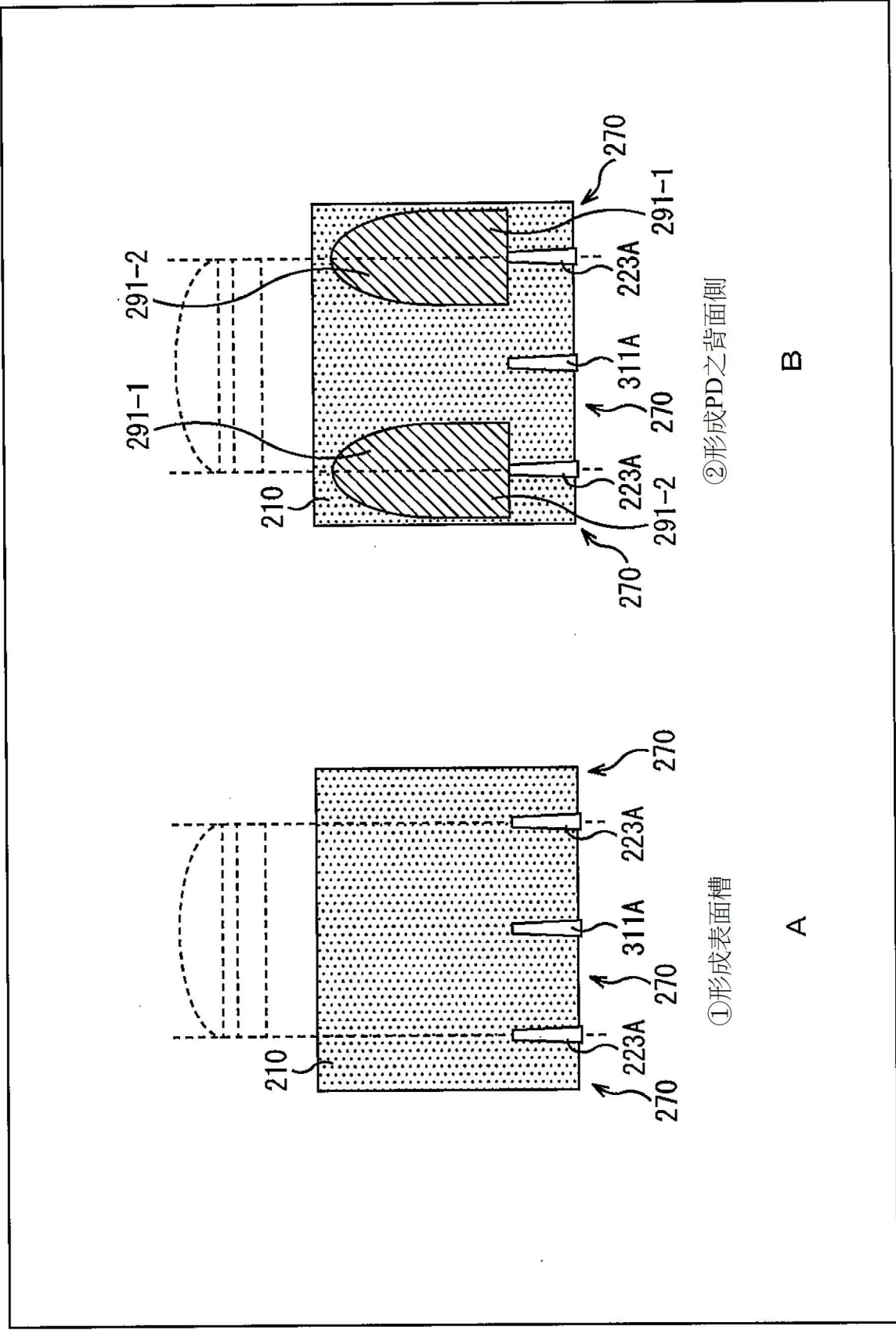
【圖25】



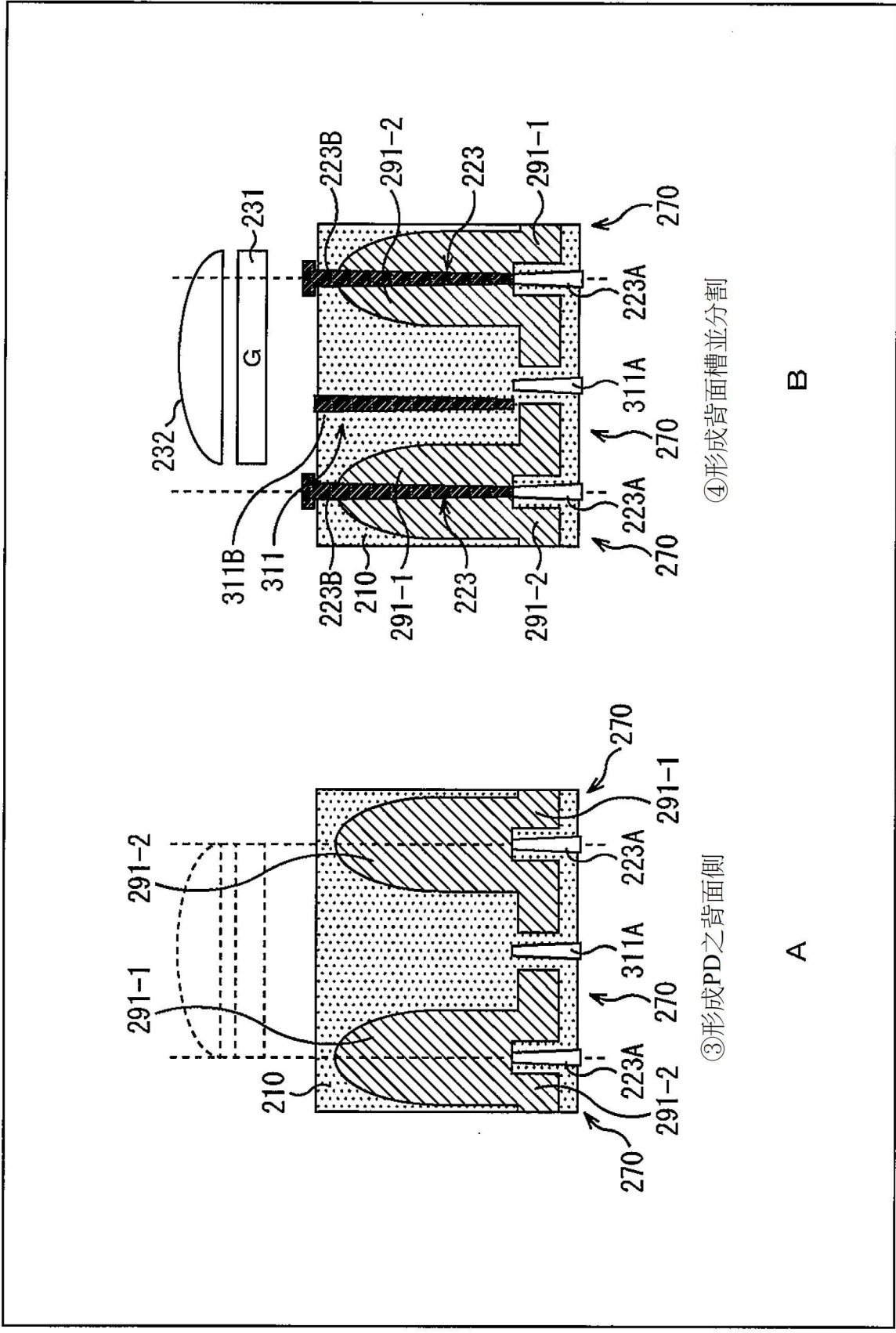
【圖26】



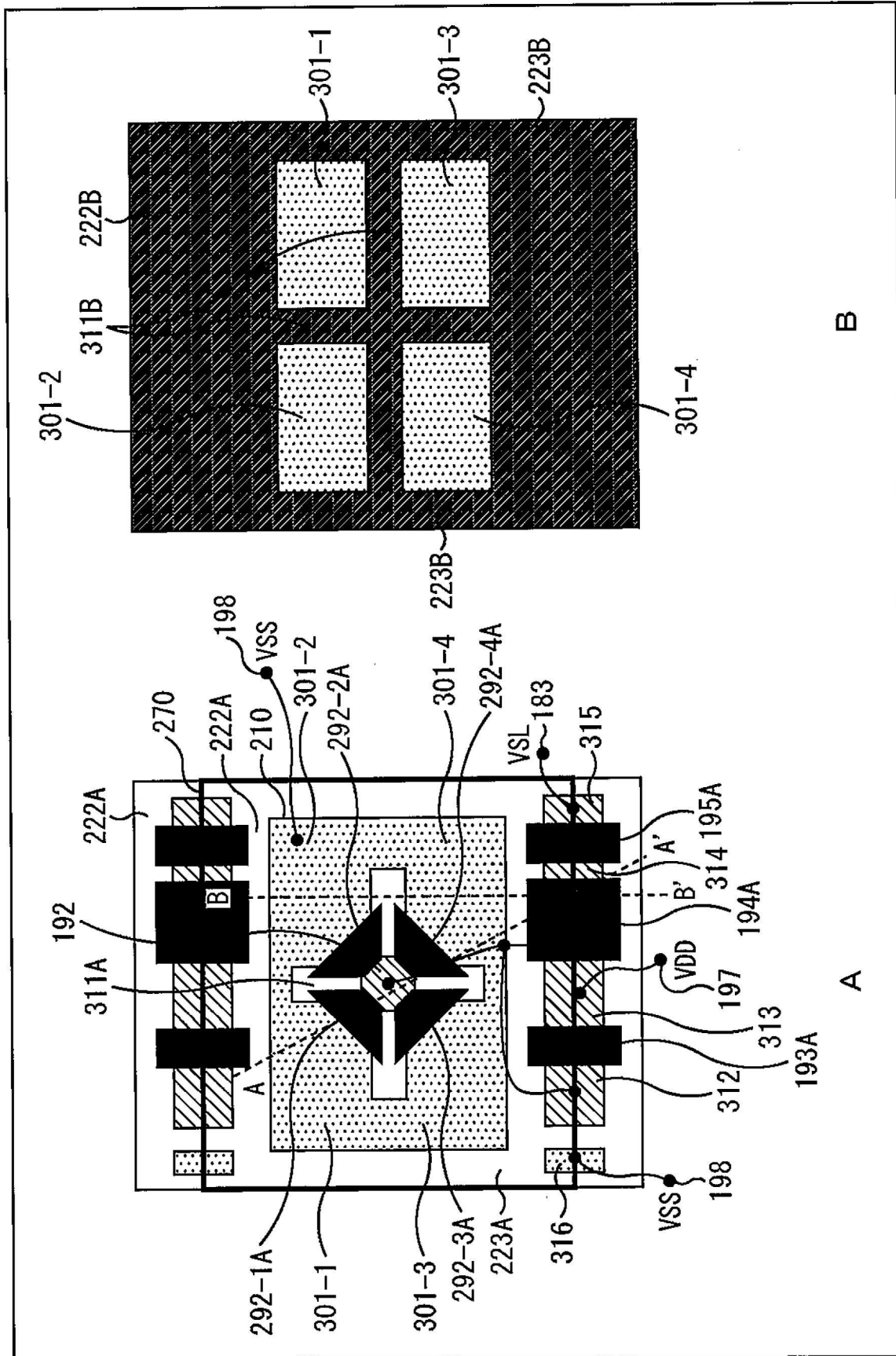
【圖27】



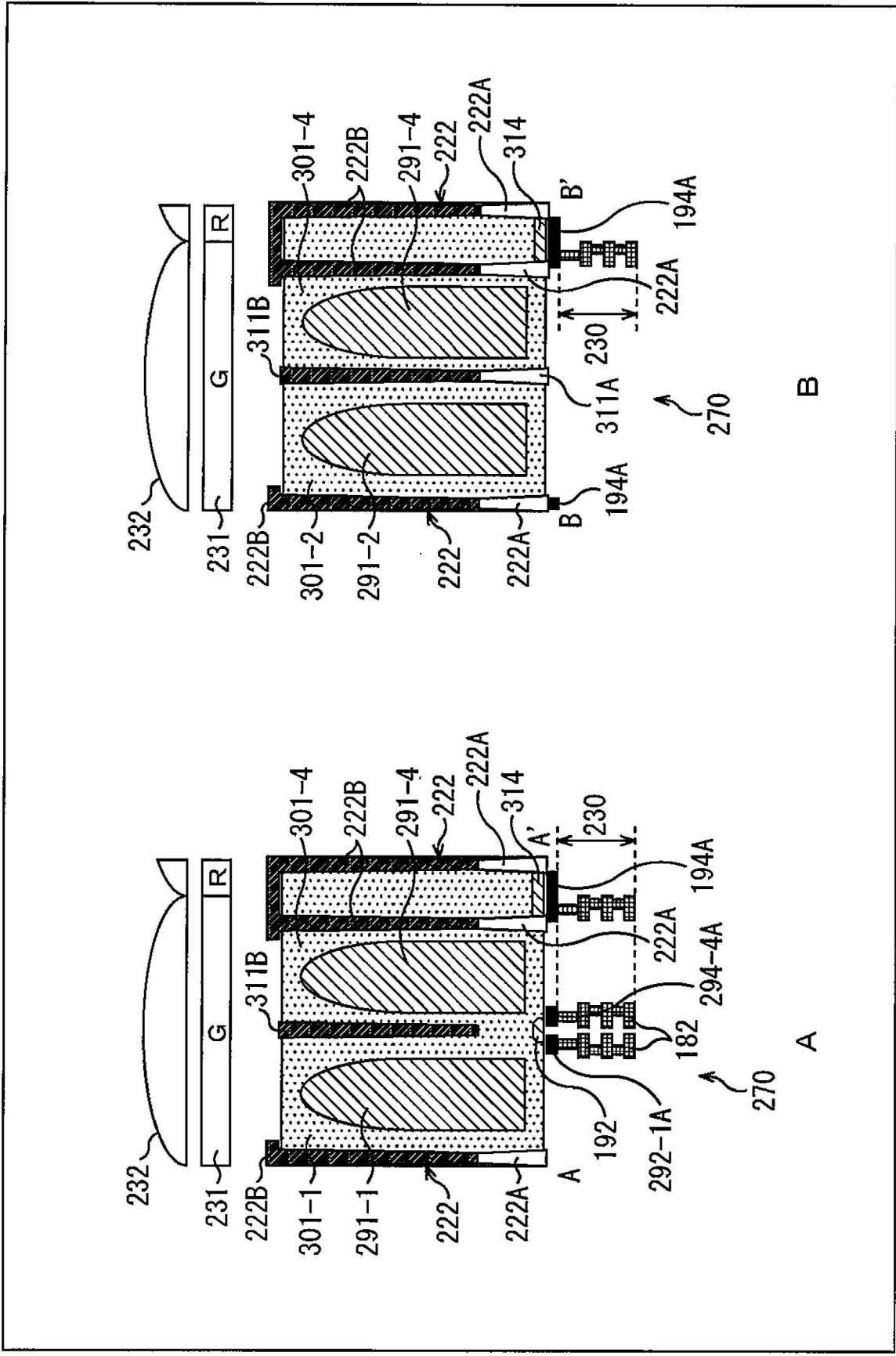
【圖28】



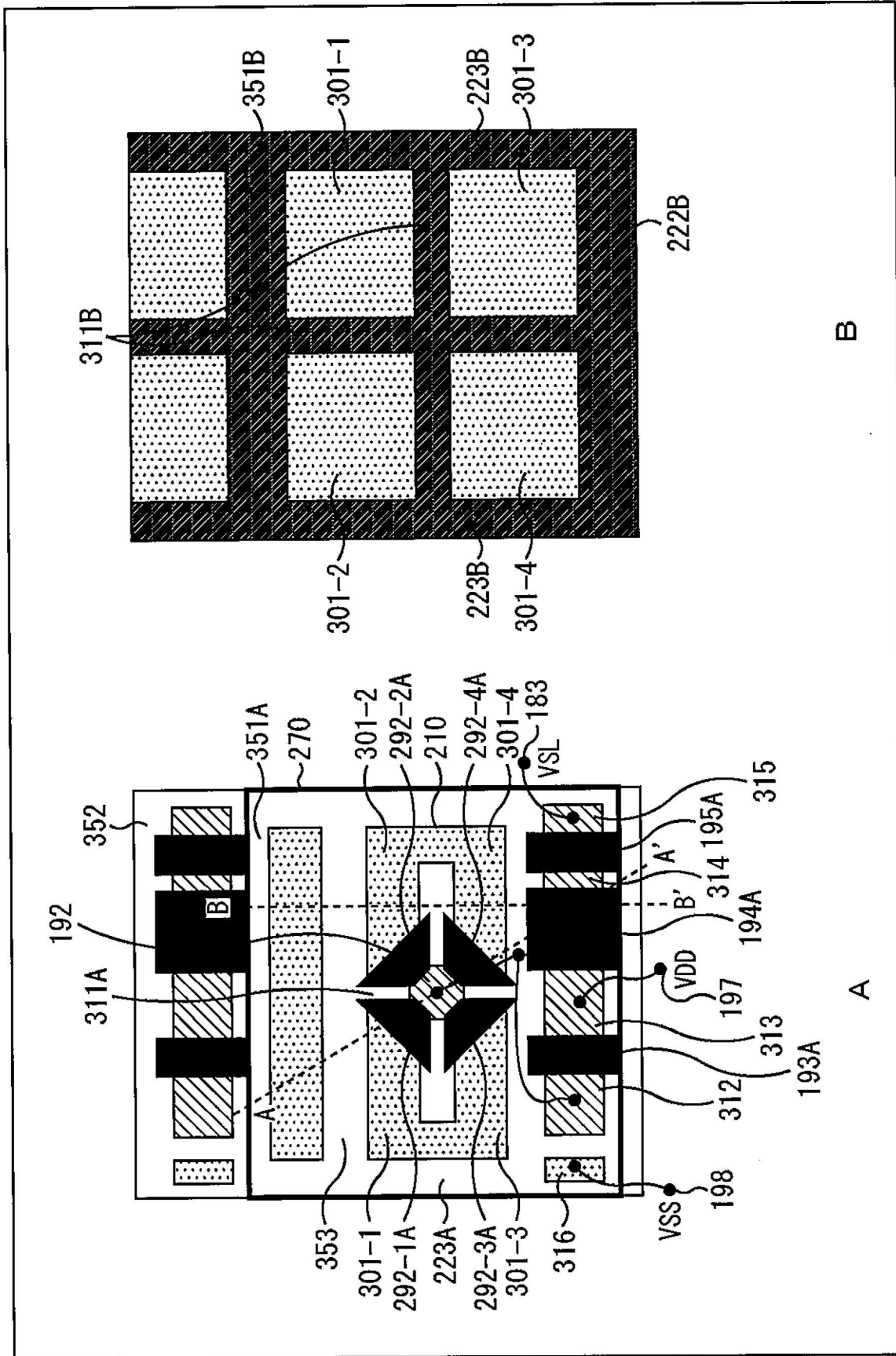
【圖29】



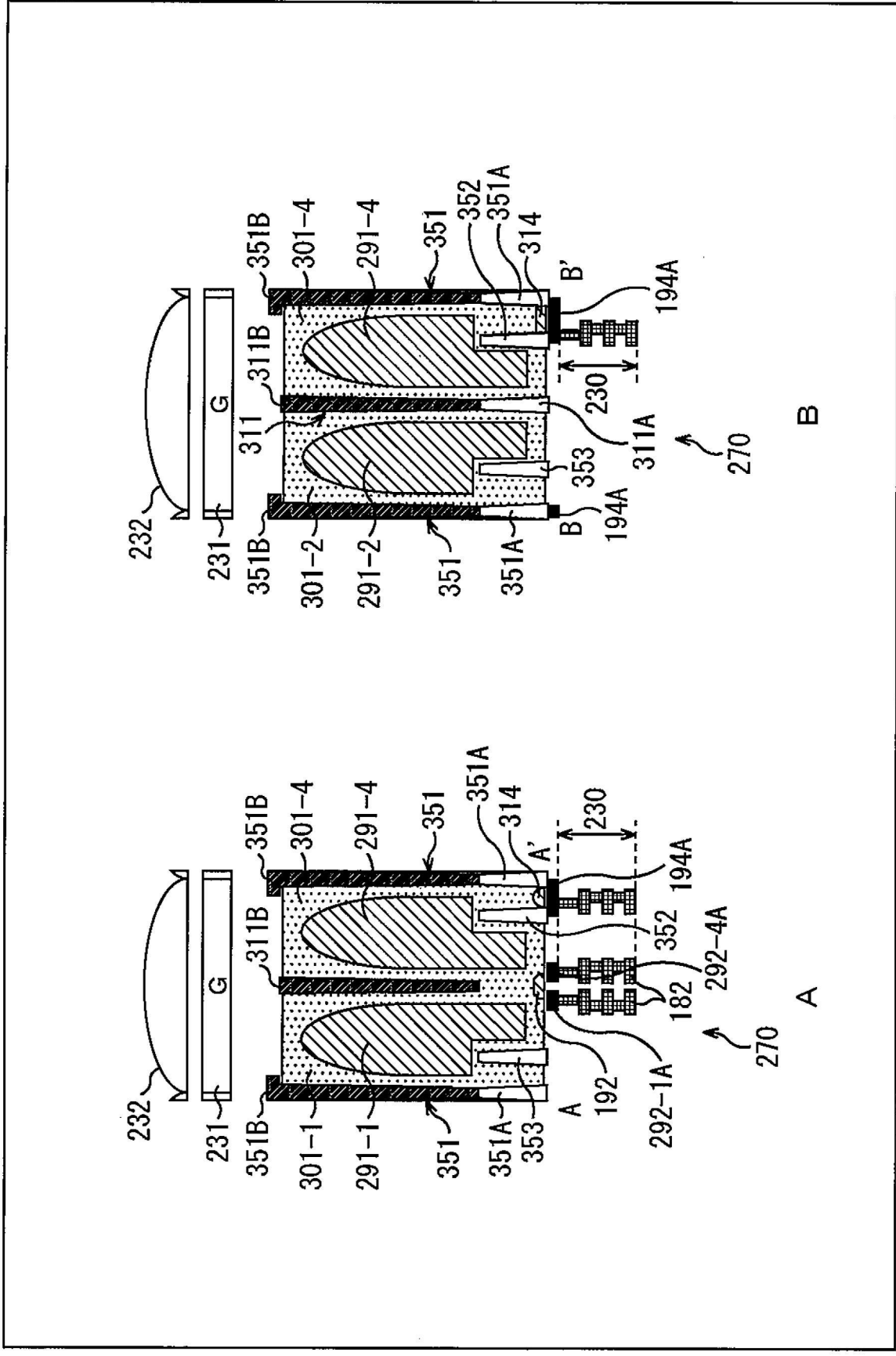
【圖30】



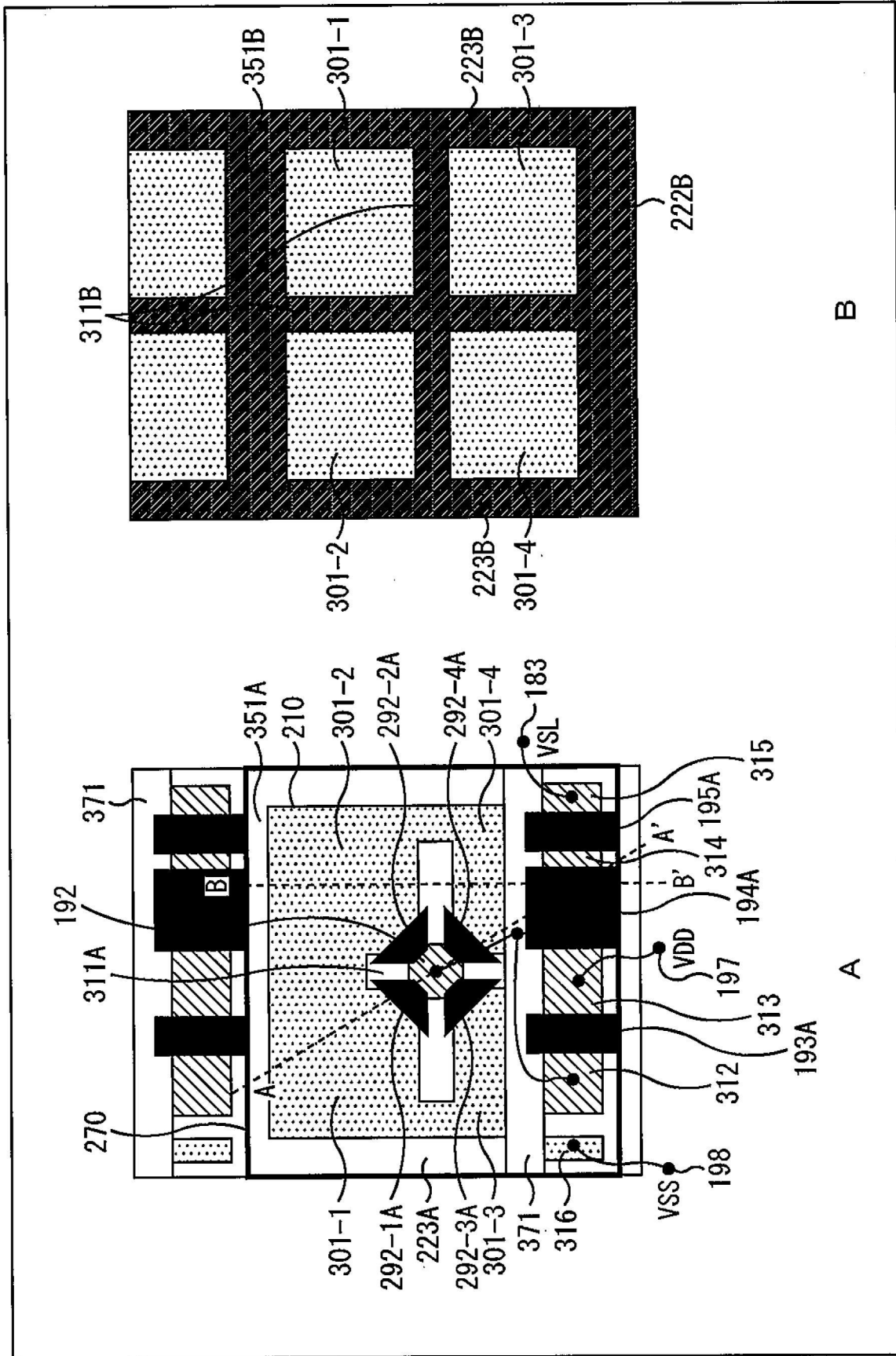
【圖31】



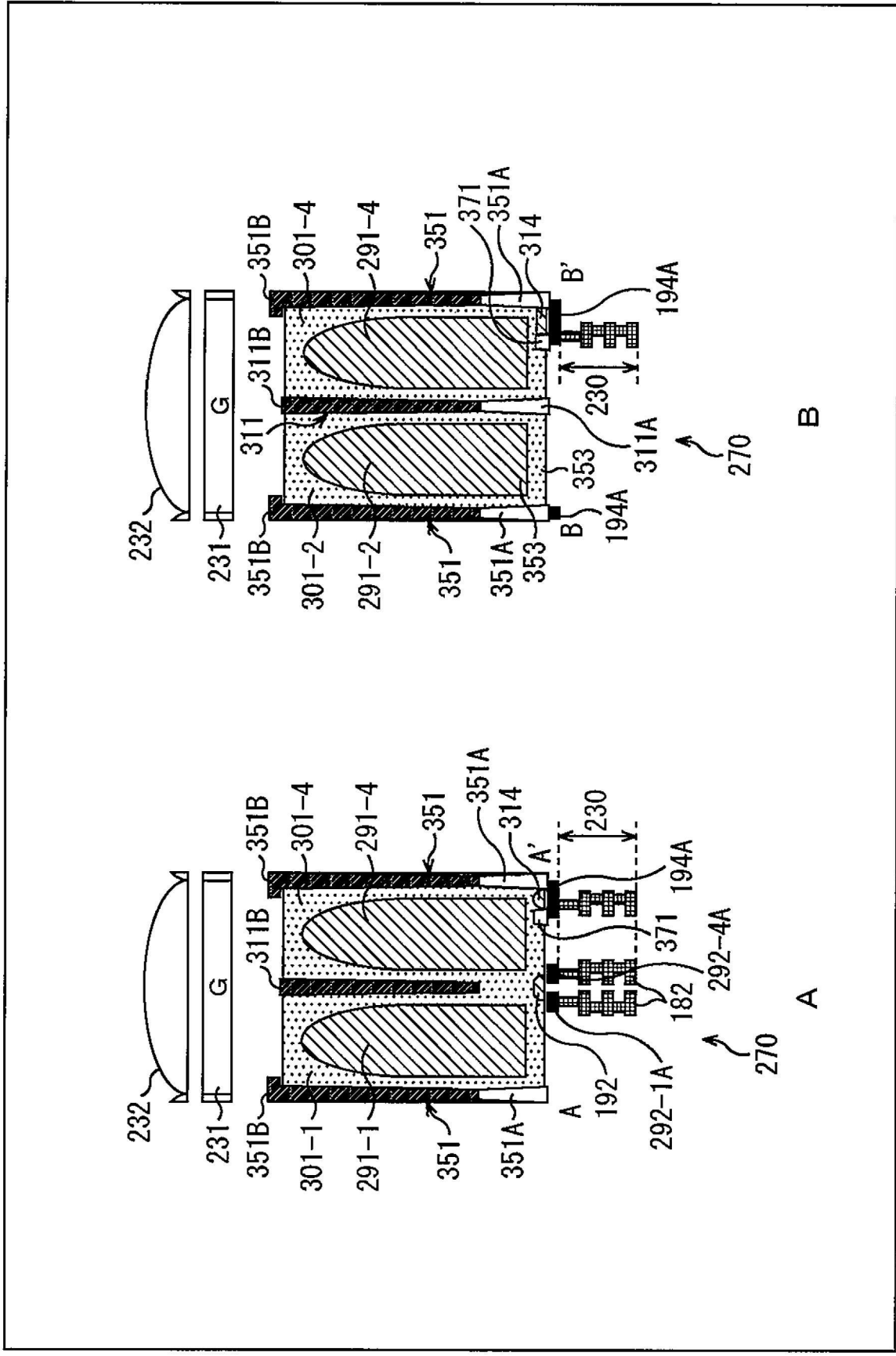
【圖32】



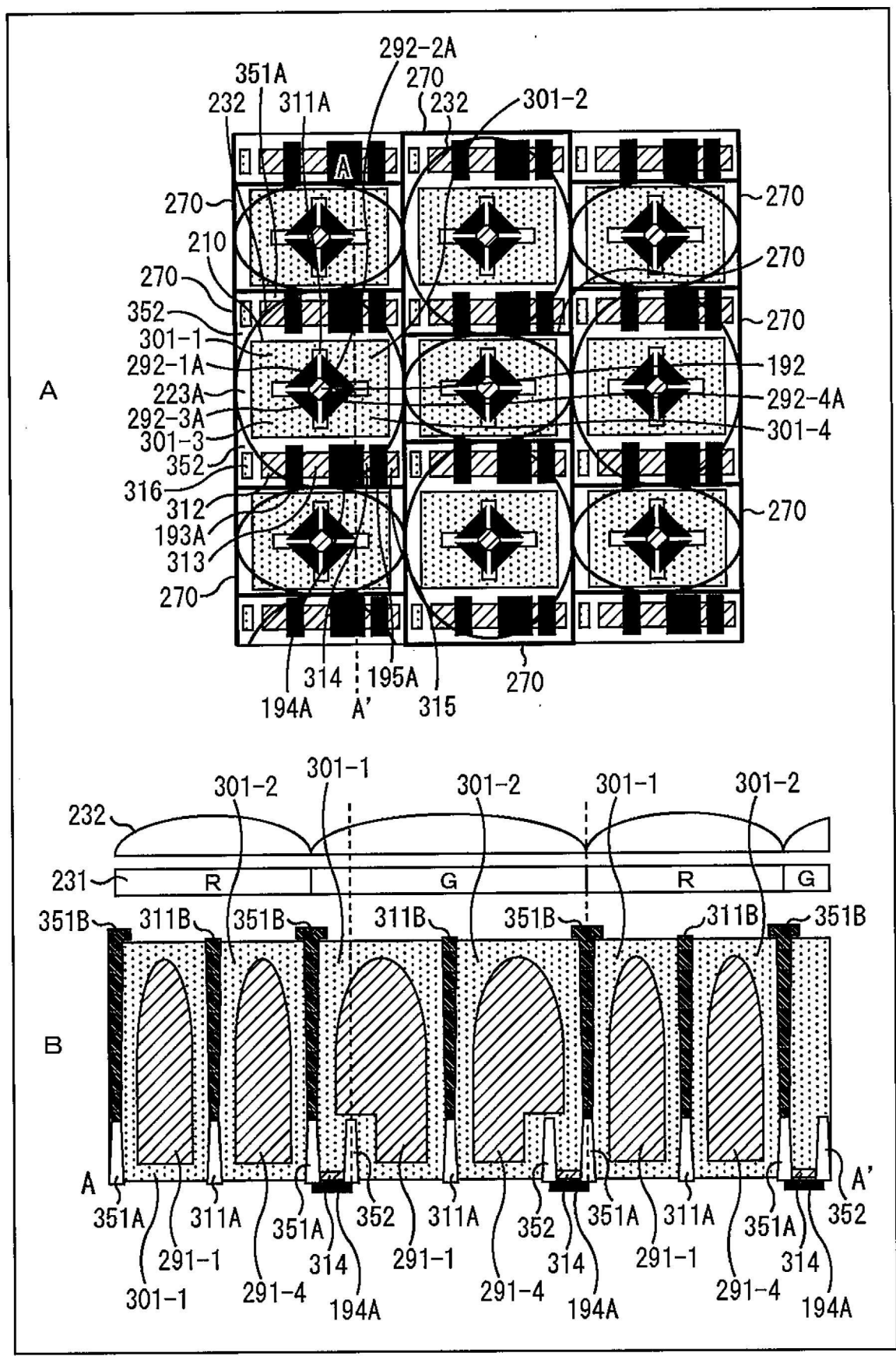
【圖33】



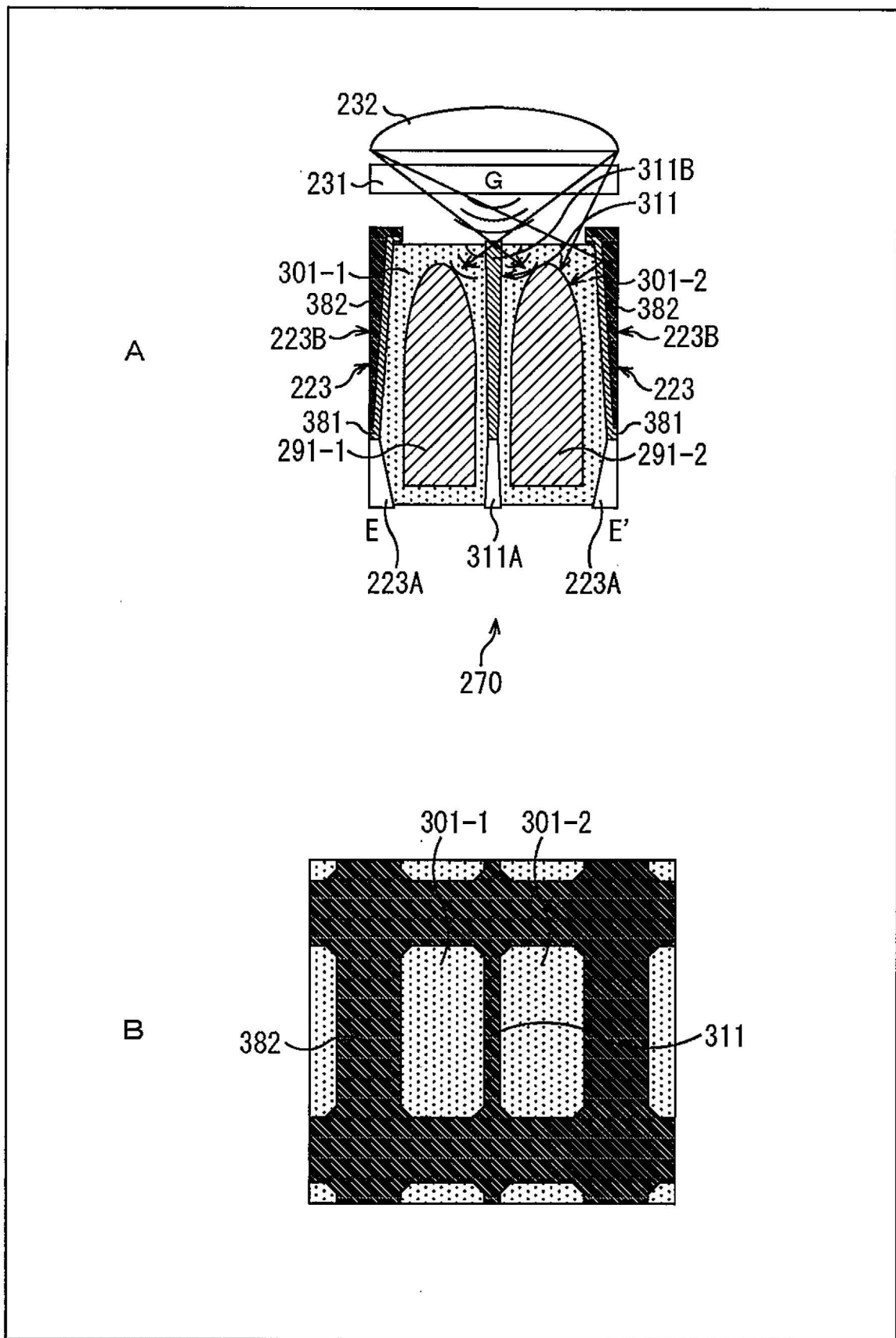
【圖34】



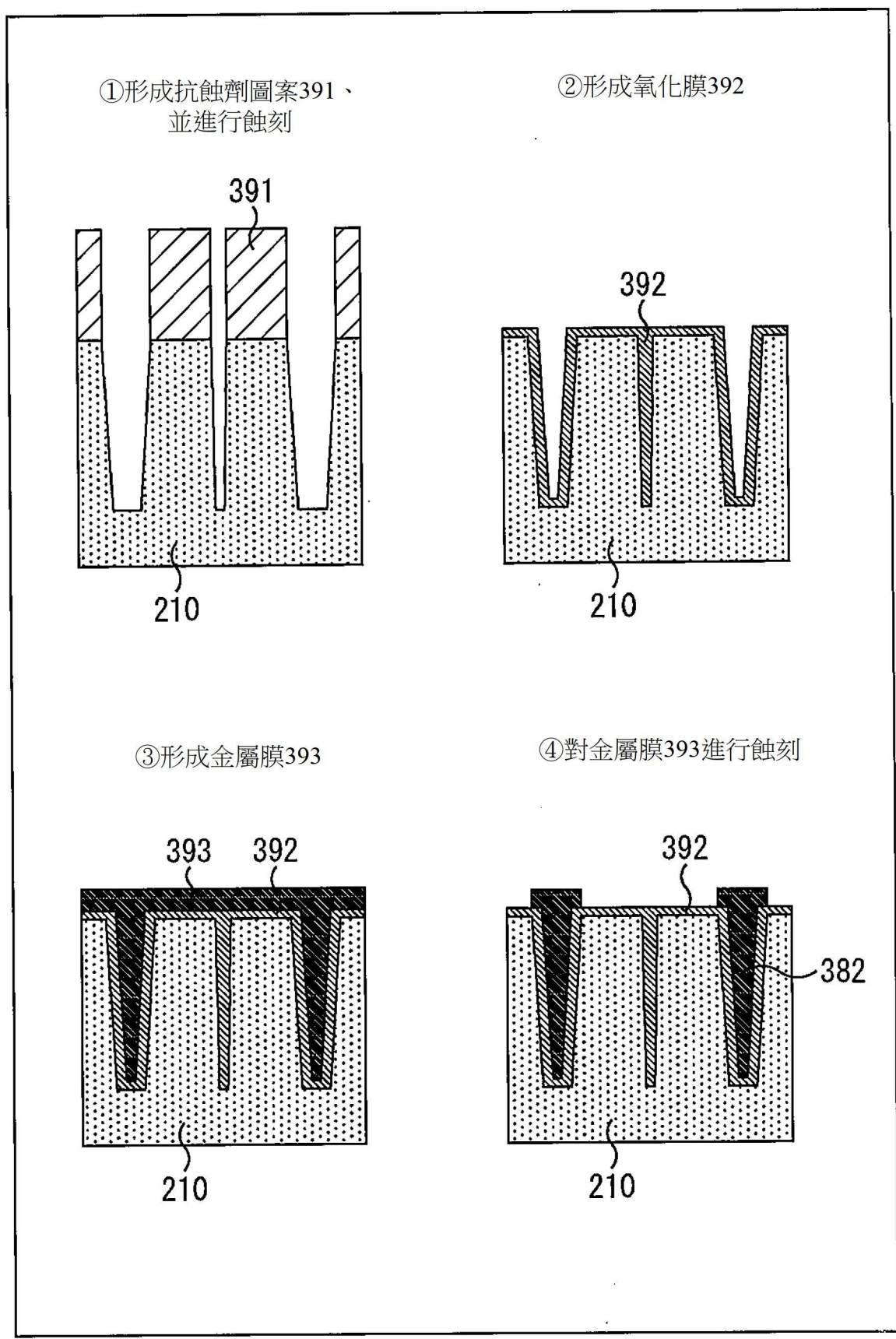
【圖35】



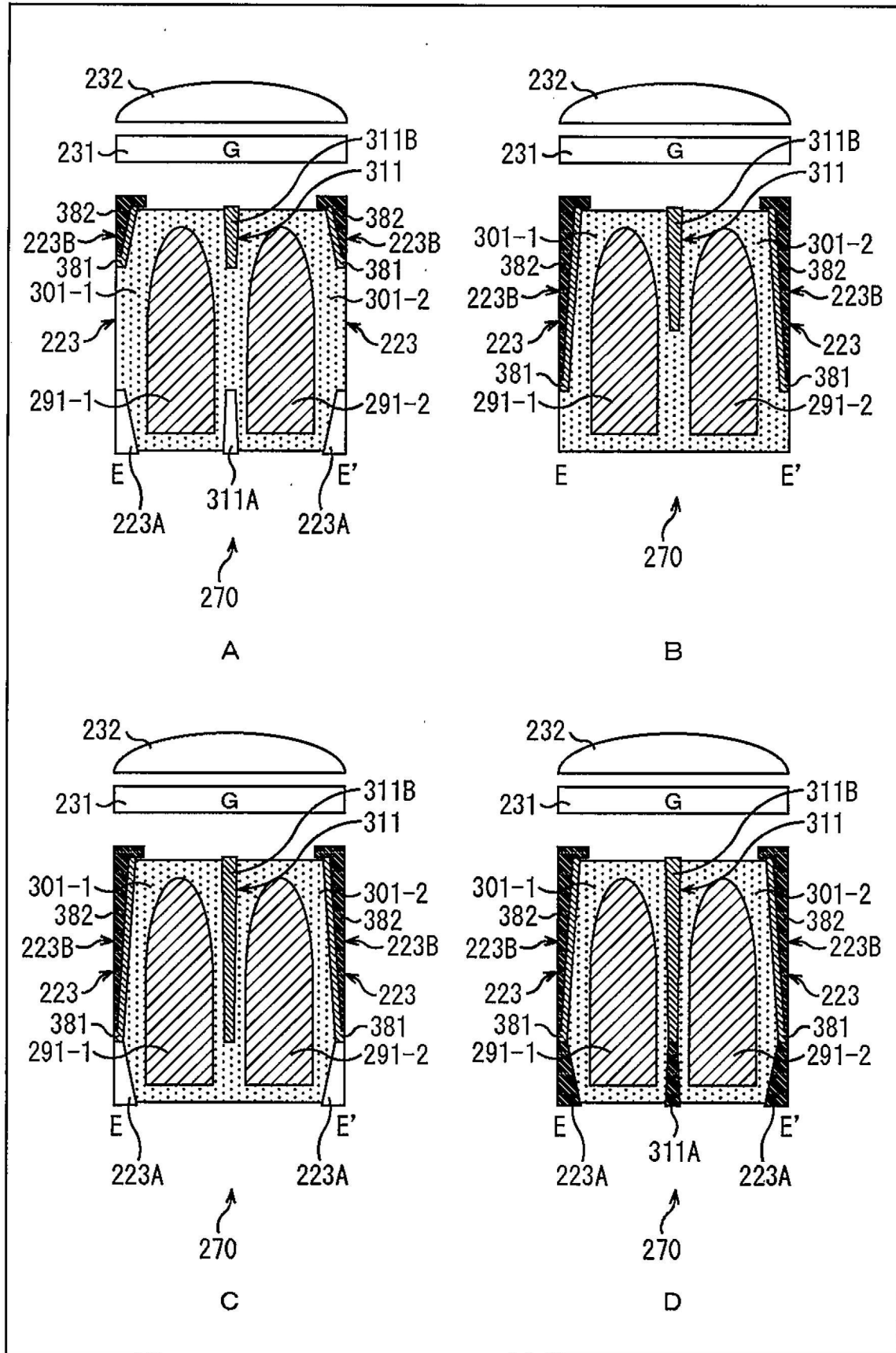
【圖36】



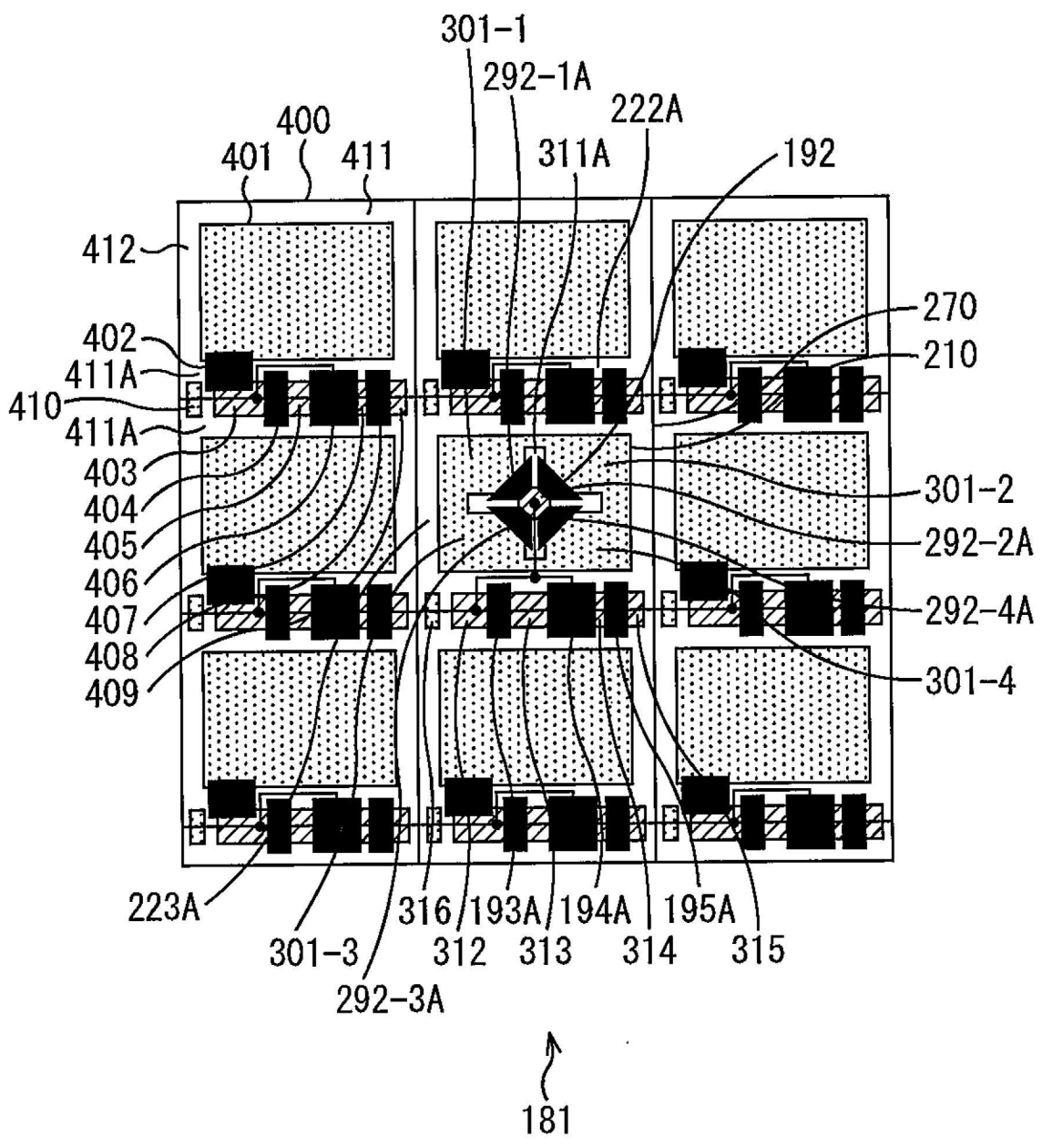
【圖37】



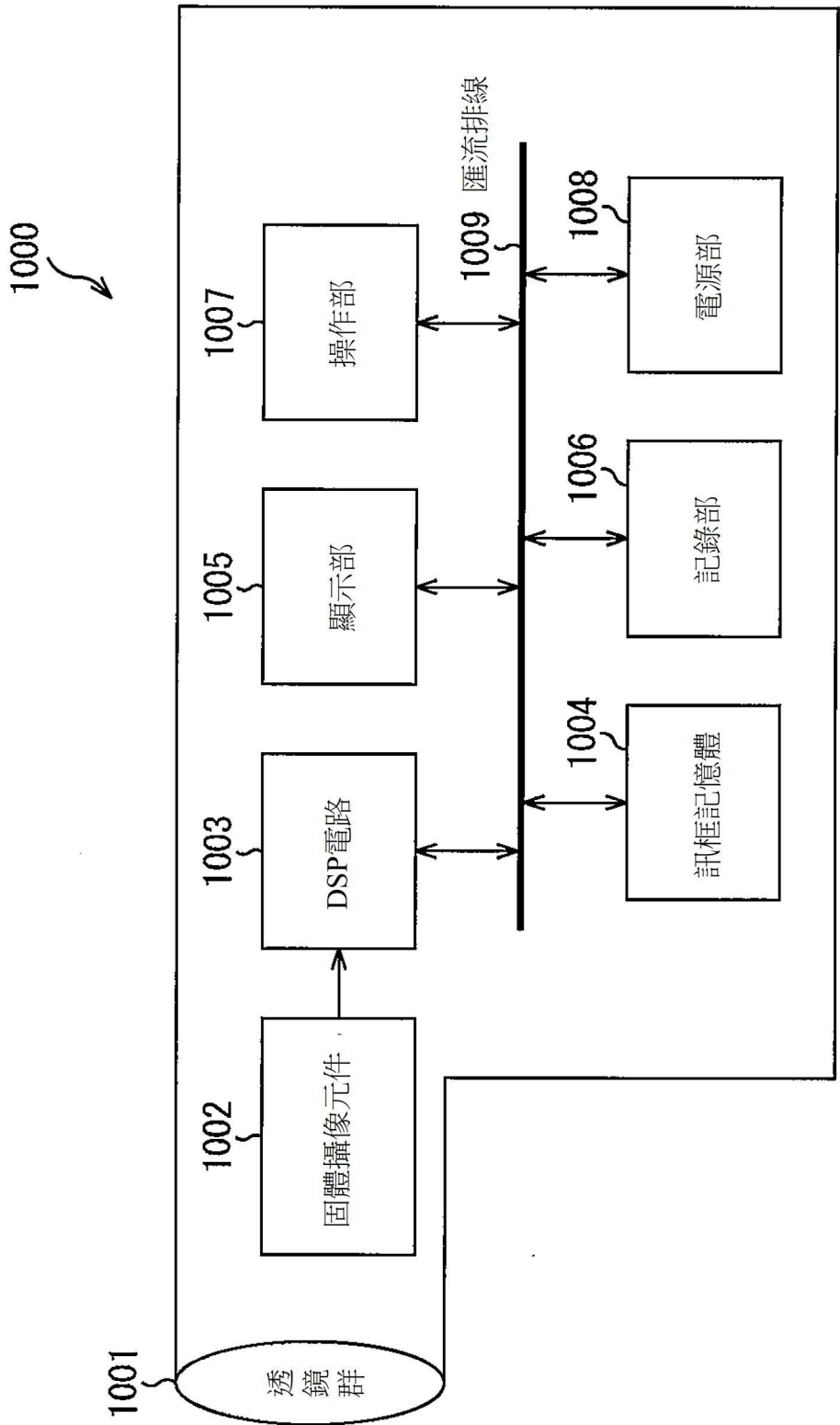
【圖38】



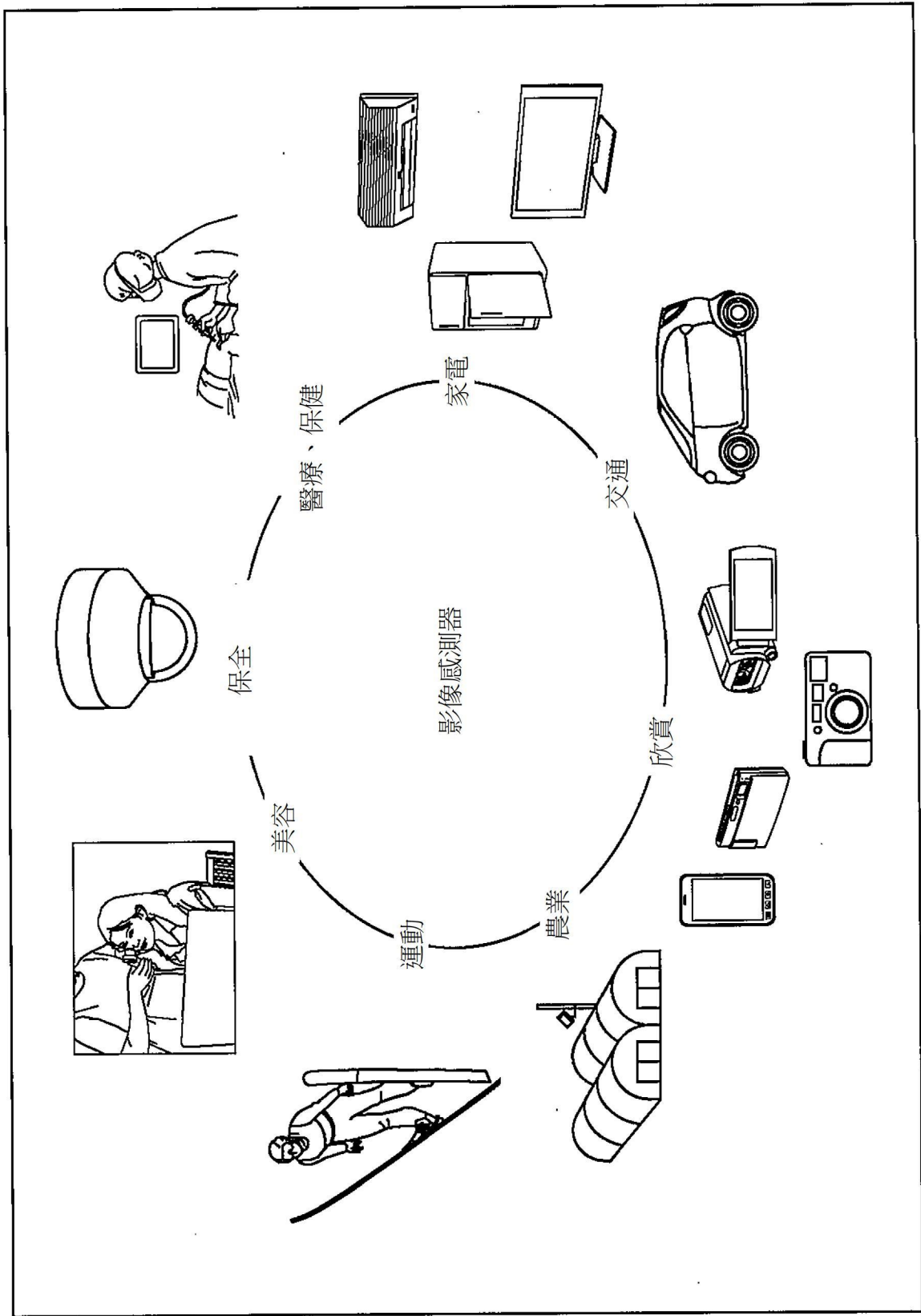
【圖39】



【圖40】



【圖41】



【圖42】