



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

227173
(11) (B1)

(22) Přihlášeno 20 11 81
(21) (PV 8528-81)

(40) Zveřejněno 26 08 83

(45) Vydáno 15 06 86

(51) Int. Cl.³
H 03 K 23/00

(73)

Autor vynálezu

FEBER STANISLAV ing., BYSTRICE

(54) Zapojení k měření difference četností impulsů

1

Vynález se týká zapojení k měření difference četností impulsů v měřicích soustavách a řeší měření difference četností impulsů pomocí logických obvodů a přepínačů.

Jsou známá zapojení k měření difference četností impulsů analogová, založená na převodu impulsních signálů na analogovou veličinu zpracovávanou dále analogovými odečítacími obvody, jejichž nevýhodou je náročnost zapojení k dosažení požadovaných parametrů tepelné i časové stability, resp. číslicová, využívající zapojení logických obvodů, kterými jsou čítače, paměti a podobně.

Některé nevýhody známých zapojení částečně odstraňuje zapojení k měření difference četností impulsů podle vynálezu, složené z logických obvodů a přepínačů, jehož podstata spočívá v tom, že signální vstup zapojení je spojen se signálním vstupem hradla, řídicí vstup zapojení je spojen s řídicím vstupem hradla, výstup hradla je spojen s čítačovým vstupem čítače, první výstup první buňky čítače je spojen s první svorkou prvního přepínače a se vstupem první buňky druhé paměti, druhý výstup první buňky čítače je spojen s druhou svorkou prvního přepínače, první výstup druhé buňky čítače je spojen s první svorkou druhého přepínače a se vstupem druhé buňky

2

druhé paměti, druhý výstup druhé buňky čítače je spojen s druhou svorkou druhého přepínače, až první výstup n-té buňky čítače je spojen s první svorkou n-tého přepínače a se vstupem n-té buňky druhé paměti, druhý výstup n-té buňky čítače je spojen s druhou svorkou n-tého přepínače, kde n je přirozené konečné číslo, třetí svorka prvního přepínače je spojena s prvním vstupem prvního kombinačního obvodu, třetí svorka druhého přepínače je spojena s druhým vstupem prvního kombinačního obvodu, až třetí svorka n-tého přepínače je spojena s n-tým vstupem prvního kombinačního obvodu, dále výstup prvního kombinačního obvodu je spojen s nastavovacím vstupem první paměti, jejíž výstup je spojen se vstupem časového obvodu, jehož výstup je spojen s druhým vstupem druhého kombinačního obvodu, jehož výstup je spojen s nulovacím vstupem čítače, nulovací vstup zapojení je spojen s mazacím vstupem první paměti a s prvním vstupem druhého kombinačního obvodu, vkládací vstup zapojení je spojen s vkládacím vstupem druhé paměti, výstup buňky druhé paměti je prvním výstupem zapojení, výstup druhé buňky druhé paměti je druhým výstupem zapojení, až výstup n-té buňky druhé paměti je n-tým výstupem zapojení.

K přednostem zapojení podle vynálezu patří vysoká přesnost měření difference četnosti impulsů závislá pouze na přesnosti doby trvání impulsního signálu na řídicím vstupu zapojení.

Zapojení k měření difference četností impulsů podle vynálezu je v příkladném provedení znázorněno na přiloženém výkresu.

Na obrázku je znázorněn signální vstup zapojení I_s , jež je spojen se signálním vstupem h_1 hradla H , řídicí vstup zapojení I_z je spojen s řídicím vstupem h_2 hradla H , výstup hradla H je spojen s čítačovým vstupem c_1 čítače C , první výstup 1C_1 první buňky čítače C je spojen s první svorkou 1p_1 prvního přepínače P_1 a se vstupem s_1 první buňky druhé paměti S , druhý výstup 2C_1 první buňky čítače C je spojen s druhou svorkou 2p_1 prvního přepínače P_1 , první výstup 1C_2 druhé buňky čítače C je spojen s první svorkou 1p_2 druhého přepínače P_2 a se vstupem s_2 druhé buňky druhé paměti S , druhý výstup 2C_2 druhé buňky čítače C je spojen s druhou svorkou 2p_2 druhého přepínače P_2 , až první výstup 1C_n n -té buňky čítače C je spojen s první svorkou 1p_n n -tého přepínače P_n a se vstupem s_n n -té buňky druhé paměti S , druhý výstup 2C_n n -té buňky čítače C je spojen s druhou svorkou 2p_n n -tého přepínače P_n , kde n je přirozené konečné číslo, třetí svorka 3p_1 prvního přepínače P_1 je spojena s n -tým vstupem k_n prvního kombinačního obvodu K , třetí svorka 3p_2 druhého přepínače P_2 je spojena s druhým vstupem k_2 prvního kombinačního obvodu K , až třetí svorka 3p_n n -tého přepínače P_n je spojena s n -tým vstupem k_n prvního kombinačního obvodu K , dále výstup prvního kombinačního obvodu K je spojen s nastavovacím vstupem r_1 první paměti R , jejíž výstup je spojen se vstupem d časového obvodu D , jehož výstup je spojen s druhým vstupem z_2 druhého kombinačního obvodu Z , jehož výstup je spojen s nulovacím vstupem c_2 čítače C , nulovací vstup zapojení I_o je spojen s mazacím vstupem r_1 první paměti R a s prvním vstupem z_1 druhého kombinačního obvodu Z , vkladací vstup zapojení I_k je spojen s vkladacím vstupem s_{n+1} druhé paměti S , výstup S_1 první buňky druhé paměti S je prvním výstupem zapojení, výstup S_2 druhé buňky druhé paměti S je druhým výstupem zapojení, až výstup S_n n -té buňky druhé paměti S je n -tým výstupem zapojení.

Jako hradlo H se uvažuje obvod logického součtu, resp. logického součinu se signálním vstupem h_1 , řídicím vstupem h_2 a výstupem.

Jako první kombinační obvod K se uvažuje obvod logického součtu, resp. logického součinu s prvním vstupem k_1 , druhým vstupem k_2 , až n -tým vstupem k_n a výstupem.

Jako druhý kombinační obvod Z se uvažuje obvod logického součtu s prvním vstupem z_1 , druhým vstupem z_2 a výstupem.

Jako první paměť R se uvažuje bistabilní klopný obvod s mazacím vstupem r_1 , nastavovacím vstupem r_2 a výstupem.

Jako časový obvod D se uvažuje derivační obvod se vstupem d a výstupem.

Jako čítač C se uvažuje n -buněk klopných obvodů zapojených k čítání impulsů s nulovacím vstupem c_2 , čítačovým vstupem c_1 .

První buňka čítače C má první výstup 1C_1 a druhý výstup 2C_1 , který je negovaným výstupem první buňky čítače C , druhá buňka čítače C má první výstup 1C_2 a druhý výstup 2C_2 , který je negovaným výstupem druhé buňky čítače C , až n -tá buňka čítače C má první výstup 1C_n a druhý výstup 2C_n , který je negovaným výstupem n -té buňky čítače C .

Jako druhá paměť S se uvažuje n -buněk, tvořených D klopnými obvody jako strádač se společným vkladacím vstupem s_{n+1} .

První buňka druhé paměti S má vstup s_1 a výstup S_1 , druhá buňka druhé paměti S má vstup s_2 a výstup S_2 , až n -tá buňka druhé paměti S má vstup s_n a výstup S_n .

Jako soustava přepínačů prvního P_1 až n -tého P_n se uvažují mechanické, resp. elektronické spínací prvky, kde první přepínač P_1 má první svorku 1p_1 , druhou svorku 2p_1 , třetí svorku 3p_1 , druhý přepínač P_2 má první svorku 1p_2 , druhou svorku 2p_2 , třetí svorku 3p_2 , až n -tý přepínač má první svorku 1p_n , druhou svorku 2p_n , třetí svorku 3p_n .

Funkce zapojení k měření difference četnosti impulsů podle vynálezu v příkladném provedení podle obrázku je taková, že na signální vstup zapojení I_s je přiveden impulsní signál, například od neutronové sondy, resp. jiných impulsních snímačů, a to takové vlastnosti, že četnost impulsů se mění podle velikosti měřené veličiny, kterou může být vlhkost, vzdálenost, napětí a podobně. Nejmenší velikosti měřené veličiny odpovídá dolní mezní četnost impulsů, která lineárně narůstá se zvětšováním velikosti měřené veličiny.

Ve výchozím stavu je čítač C vynulován pomocí impulsního signálu přivedeného na nulovací vstup zapojení I_o . Impulsní signál na řídicím vstupu zapojení I_z otevírá hradlo H a čítač C po dobu jeho trvání čítá impulsy. Pokud dojde k ukončení čítání uzavřením hradla H , aniž hodnota četnosti impulsů v čítači dosáhla, resp. přesáhla binární hodnotu předvolenou volbou poloh prvního P_1 až n -tého přepínače P_n , následující vnější impulsní signál přivedený na vkladací vstup zapojení I_k způsobí přenos údaje čítače C do druhé paměti S . Následuje nulování čítače C vnějším impulsním signálem přivedeným na nulovací vstup zapojení I_o . Přivedením následujícího vnějšího impulsního signálu na řídicí vstup zapojení I_z je opětovně zahájeno čítání.

V daném případě pracuje zapojení jako prostý čítač.

Pokud načítaná hodnota impulsů v čítači

C je shodná nebo převyšší-li binární hodnotu předvolenou polohou prvního P_1 až n -tého přepínače P_n v době před ukončením impulsního signálu na řídicím vstupu I_z , je prvním kombinačním obvodem **K** tato skutečnost indikována a na jeho výstupu se objeví impulsní signál, který změní stav první paměti **R**, na jejímž výstupu se objeví impulsní signál, který je tvarován časovým obvodem **D**, a který dále projde druhým kombinačním obvodem **Z**, způsobí vynulování čítače **C**. Čítač **C** čítá až do ukončení trvání vnějšího impulsního signálu na řídicím vstupu zapojení I_z .

Načítaná hodnota kladné difference četností impulsů je po ukončení čítání vložena impulsním signálem na vkládacím vstupu zapojení I_k do druhé paměti **S**. Pokud hodnota difference četností impulsů načítaná v čítači **C** přesáhne binární hodnotu předvolenou polohou prvního P_1 až n -tého přepínače P_n , nedojde k druhému nulování, protože první paměť **R** druhým impulsním signálem v průběhu čítání od prvního kombinačního obvodu **K** nemění svůj stav.

V druhé paměti **S** je uložena hodnota kladné difference četností impulsů impulsního signálu přivedeného na signální vstup

zapojení I_s , načítaná po zvolenou dobu danou dobou trvání impulsního signálu na řídicím vstupu zapojení I_z a binární hodnoty předvolené polohou prvního P_1 až n -tého přepínače P_n .

Přivedením impulsního signálu na nulovací vstup zapojení I_o dojde k změně stavu paměti **R** a vynulování čítače **C**. Hodnota difference četností impulsů uložená v druhé paměti **S** zůstává zapamatována do doby přemazání následující hodnotou difference četností impulsů následujícího cyklu čítání vnějším impulsním signálem na vkládacím vstupu zapojení I_k .

Zapojení k měření difference četností impulsů nachází uplatnění zejména v oblasti měřicí techniky, a to při stavbě číslicových převodníků pro číslicová měření. Praktické realizace číslicových převodníků využívají pro generování posloupnosti řídicích impulsů přiváděných na řídicí vstup zapojení I_z , vkládací vstup zapojení I_k a nulovací vstup zapojení I_o zvláštního zapojení, dovolujícího např. automatické opakování měření, dálkové ovládání a podobně. Další aplikace najde předmět vynálezu v oblasti výstavby soustav automatického řízení.

PŘEDMĚT VYNÁLEZU

Zapojení k měření difference četností impulsů složené z logických obvodů a přepínačů, vyznačené tím, že signální vstup zapojení (I_s) je spojen se signálním vstupem (h_1) hradla (**H**), řídicí vstup zapojení (I_z) je spojen s řídicím vstupem (h_2) hradla (**H**), výstup hradla (**H**) je spojen s čítačovým vstupem (c_1) čítače (**C**), první výstup ($1C_1$) první buňky čítače (**C**) je spojen s první svorkou ($1p_1$) prvního přepínače (P_1) a se vstupem (s_1) první buňky druhé paměti (**S**), druhý výstup ($2C_1$) první buňky čítače (**C**) je spojen s druhou svorkou ($2p_1$) prvního přepínače (P_1), první výstup ($1C_2$) druhé buňky čítače (**C**) je spojen s první svorkou ($1p_2$) druhého přepínače (P_2) a se vstupem (s_2) druhé buňky druhé paměti (**S**), druhý výstup ($2C_2$) druhé buňky čítače (**C**) je spojen s druhou svorkou ($2p_2$) druhého přepínače (P_2), až první výstup ($1C_n$) n -té buňky čítače (**C**) je spojen s první svorkou ($1p_n$) n -tého přepínače (P_n) a se vstupem (s_n) n -té buňky druhé paměti (**S**), druhý výstup ($2C_n$) n -té buňky čítače (**C**) je spojen s druhou svorkou ($2p_n$) n -tého přepínače (P_n), kde n je přirozené konečné číslo, třetí svorka ($3p_1$) prvního přepínače

(P_1) je spojena s prvním vstupem (k_1) prvního kombinačního obvodu (**K**), třetí svorka ($3p_2$) druhého přepínače (P_2) je spojena s druhým vstupem (k_2) prvního kombinačního obvodu (**K**), až třetí svorka ($3p_n$) n -tého přepínače (P_n) je spojena s n -tým vstupem (k_n) prvního kombinačního obvodu (**K**), dále výstup prvního kombinačního obvodu (**K**) je spojen s nastavovacím vstupem (r_2) první paměti (**R**), jejíž výstup je spojen se vstupem (d) časového obvodu (**D**), jehož výstup je spojen s druhým vstupem (z_2) druhého kombinačního obvodu (**Z**), jehož výstup je spojen s nulovacím vstupem (c_2) čítače (**C**), nulovací vstup zapojení (I_o) je spojen s mazacím vstupem (r_1) první paměti (**R**) a s prvním vstupem (z_1) druhého kombinačního obvodu (**Z**), vkládací vstup zapojení (I_k) je spojen s vkládacím vstupem (s_{n+1}) druhé paměti (**S**), výstup (S_1) první buňky druhé paměti (**S**) je prvním výstupem zapojení, výstup (S_2) druhé buňky druhé paměti (**S**) je druhým výstupem zapojení, až výstup (S_n) n -té buňky druhé paměti (**S**) je n -tým výstupem zapojení.

