

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4884655号  
(P4884655)

(45) 発行日 平成24年2月29日 (2012. 2. 29)

(24) 登録日 平成23年12月16日 (2011. 12. 16)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 6 1 2 T

G 0 9 G 3 / 2 0 6 2 1 A

G 0 9 G 3 / 2 0 6 2 2 E

G 0 9 G 3 / 2 0 6 2 2 F

請求項の数 3 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2004-145903 (P2004-145903)

(22) 出願日 平成16年5月17日 (2004. 5. 17)

(65) 公開番号 特開2005-4189 (P2005-4189A)

(43) 公開日 平成17年1月6日 (2005. 1. 6)

審査請求日 平成19年5月14日 (2007. 5. 14)

(31) 優先権主張番号 特願2003-139607 (P2003-139607)

(32) 優先日 平成15年5月16日 (2003. 5. 16)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷 3 9 8 番地

(72) 発明者 尾崎 匡史

神奈川県厚木市長谷 3 9 8 番地 株式会社

半導体エネルギー研究所内

審査官 佐野 潤一

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 の記憶回路及び第 2 の記憶回路を含む複数の画素と、

前記複数の画素に電氣的に接続され、前記第 1 の記憶回路又は前記第 2 の記憶回路のデータが更新される前記複数の画素の少なくとも一を選択するデコーダと、

アドレスバスを介して前記デコーダに電氣的に接続され、アドレス書き込み制御信号に応じて前記アドレスバスの電位を保持又は更新することで前記デコーダにおける画素の選択を制御するアドレスラッチ回路と、

画像データバスを介して前記複数の画素に電氣的に接続され、画像データ書き込み制御信号に応じて前記画像データバスの電位を保持又は更新することで前記デコーダによって選択された画素における前記第 1 の記憶回路又は前記第 2 の記憶回路のデータを更新する画像データラッチ回路と、

前記アドレスラッチ回路及び前記画像データラッチ回路に電氣的に接続された書き込み制御回路と、

前記複数の画素のそれぞれに電氣的に接続され、前記複数の画素のそれぞれにおいて前記第 1 の記憶回路又は前記第 2 の記憶回路のデータに基づいて行われる表示を制御し、且つ前記書き込み制御回路に電氣的に接続された表示制御回路と、を有し、

外部から第 1 の画像データが入力されるタイミングで、前記書き込み制御回路が前記アドレス書き込み制御信号を出力することにより前記アドレスラッチ回路及び前記デコーダを介して対象画素を選択し、且つ、前記書き込み制御回路が前記画像データ書き込み制御

信号を出力することにより前記画像データラッチ回路を介して前記対象画素の前記第 1 の記憶回路のデータを前記第 1 の画像データに更新し、

前記対象画素において前記第 1 の画像データを用いた表示が行われている間において、  
外部から第 2 の画像データが入力されるタイミングで、前記書き込み制御回路が前記アドレス書き込み制御信号を出力することにより前記アドレスラッチ回路及び前記デコーダを介して前記対象画素を選択し、且つ、前記書き込み制御回路が前記画像データ書き込み制御信号を出力することにより前記画像データラッチ回路を介して前記対象画素の前記第 2 の記憶回路のデータを前記第 2 の画像データに更新し、

且つ、前記書き込み制御回路が受信周期の途中であることを知らせる信号を前記表示制御回路に出力し、且つ、前記表示制御回路が表示途中であることを知らせる信号を前記書き込み制御回路に出力し、

前記受信周期の途中に、前記表示制御回路が 1 フレーム分の表示が終わったことを知らせる信号を前記書き込み制御回路に出力した場合に、前記対象画素において、表示が休止され又は前記第 1 の画像データを用いた表示が連続して行われ、

前記表示制御回路が 1 フレーム分の表示が終わったことを知らせる信号を前記書き込み制御回路に出力し、且つ、前記書き込み制御回路が前記受信周期が終わったことを知らせる信号を前記表示制御回路に出力した後に、前記対象画素において前記第 2 の画像データを用いた表示が行われる表示装置。

#### 【請求項 2】

請求項 1 において、

前記複数の画素のそれぞれが、発光素子を有し、

前記表示制御回路が、前記第 1 の記憶回路のデータを用いて前記発光素子を発光させる手段と、前記第 2 の記憶回路のデータを用いて前記発光素子を発光させる手段とを有する表示装置。

#### 【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 の記憶回路のデータを用いて表示を行う期間の長さと、前記第 2 の記憶回路のデータを用いて表示を行う期間の長さとが異なる表示装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、表示装置の駆動回路及び前記駆動回路の制御システムに関する。特に、絶縁体基板上に形成される薄膜トランジスタを有し、前記表示装置の各画素は、前記薄膜トランジスタで構成される複数の揮発性、もしくは不揮発性の記憶保持装置を有するアクティブマトリクス型発光装置に関する。表示装置の表示素子として、有機エレクトロルミネッセンス (EL) 素子等の自発光素子を用いたアクティブマトリクス型表示装置に関する。

#### 【背景技術】

#### 【0002】

従来のデジタル方式表示装置の一例を、図12に示す。ソース信号線駆動回路101、ゲート信号線駆動回路102、シフトレジスタ回路103、第1のラッチ回路104、第2のラッチ回路105、電流供給線106、画素部107などが配置されている。ソース信号線駆動回路101に関しては、図13に示すような構成を有している。なお、図12においては、ゲート信号線駆動回路102は、画素部の左右両側に配置されている。

#### 【0003】

図12及び図13を用いて動作について簡単に説明する。まず、シフトレジスタ回路103 (図13中、SR(201)と表記) にクロック信号 (S-CLK、S-CLKb) およびスタートパルス (S-SP) が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第1のラッチ回路104 (図13中、LAT1(202)と表記) に入力され、同じく第1のラッチ回路104に入力されたデジタル映像信号 (Digital Data) をそれぞれ保持していく。第1のラッチ回路104において、1水平周期、

10

20

30

40

50

それぞれ1ビット分のデジタル映像信号の保持が完了すると、帰線期間中に、第1のラッチ回路104で保持されているデジタル映像信号は、ラッチ信号(Latch Pulse)の入力に従い、一斉に第2のラッチ回路105(図13中、LAT2(203)と表記)へと転送される。

#### 【0004】

一方、ゲート信号線駆動回路102において、シフトレジスタ(図示せず)に、ゲート側クロック信号(G-CLK)、ゲート側スタートパルス(G-SP)が入力される。シフトレジスタは、これら入力信号に基づいて、順次パルスを出力し、ゲート信号線選択パルスとして出力され、順次ゲート信号線を選択していく。

#### 【0005】

ソース信号線駆動回路101の第2のラッチ回路105に転送されたデータは、ゲート信号線選択パルスによって選択されている列の画素(図13ではPixel(204))に書き込まれる。

#### 【0006】

続いて、画素部107の駆動について説明する。図14に、図12の画素部107の一部を示す。図14(A)は、3×3画素のマトリクスを示している。点線枠300にて囲まれた部分が1画素であり、図14(B)にその拡大図を示す。

スイッチング用TFT301のゲート電極に電圧が印加され、スイッチング用TFT301が導通状態になる。すると、ソース信号線306の信号(電圧)が保持容量304に蓄積される。保持容量304の電圧は、EL駆動用TFT302のゲート・ソース間電圧 $V_{GS}$ となるため、保持容量304の電圧に応じた電流がEL駆動用TFT302とEL素子303に流れる。その結果、EL素子303が点灯する。

#### 【0007】

ゲート信号線305を非選択状態にすると、スイッチング用TFT301のゲートが閉じ、スイッチング用TFT301を非導通状態となる。そのとき保持容量304に蓄積された電荷は保持される。よってEL駆動用TFT302の $V_{GS}$ は、そのまま保持され、 $V_{GS}$ に応じた電流が、EL駆動用TFT302を経由してEL素子303に流れつづける。なお、図14(B)での保持容量304の一方の端子は電流供給線307に接続されているが、専用の配線を用いることもある。

#### 【0008】

EL素子の駆動等に関しては、これまでに報告がなされている(例えば、非特許文献1~3参照。)

【非特許文献1】SID99 Digest : P372 : "Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT"

【非特許文献2】ASIA DISPLAY98 : P217 : "High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver"

【非特許文献3】Euro Display99 Late News : P27 : "3.8 Green OLED with Low Temperature Poly-Si TFT"

#### 【0009】

次に、EL素子の階調表示の方式について述べる。

EL素子の階調表示方式の一つとして、時間階調方式がある。時間階調方式とは、EL素子が点灯している時間を制御して、その点灯時間の長短によって階調を出す方式である。つまり、1フレーム期間を、複数のサブフレーム期間に分割し、点灯しているサブフレーム期間の数や長さを制御して、階調を表現している。

#### 【0010】

図15を参照する。図15は、時間階調方式を用いた、回路の駆動タイミングについて簡単に示している。フレーム周波数を60[MHz]とし、時間階調方式によって、画素数VGA(640×480画素)の発光装置において、3ビットの階調を得る例である。ソース信号線駆動回路に関しては、図13に示した回路を用いるものとする。また、画面を

10

20

30

40

50

一回描画する期間を、1フレーム期間という。

【0011】

図15(A)に示すように、時間階調方式においては、1フレーム期間を、階調ビット数分のサブフレーム期間に分割する。ここでは3ビットであるので、3つのサブフレーム期間(SF1、SF2、SF3)に分割している(図15(B))。1つのサブフレーム期間は、さらにアドレス期間( $T_a$ )とサステイン(点灯)期間( $T_s$ )に分けられる(図15(B))。SF<sub>1</sub>でのサステイン期間を $T_{s_1}$ と呼ぶことにする。SF<sub>2</sub>、SF<sub>3</sub>の場合においても同様に $T_{s_2}$ 、 $T_{s_3}$ と呼ぶことにする。アドレス期間は、1フレーム分の画像信号を画素に書き込む期間であるので、いずれのサブフレーム期間においても長さが等しい(図15(C))。サステイン期間は、ここでは $T_{s_1} : T_{s_2} : T_{s_3} = 2^2 : 2^1 : 2^0 = 4 : 2 : 1$ というように、2のべき乗の比を有する。

10

【0012】

アドレス期間においては、1行目から順にゲート信号が選択され、順次各画素へのデジタル信号の書き込みが行われる。

$T_{s_1}$ から $T_{s_2}$ のサステイン(点灯)期間において、EL素子を点灯させるか点灯させないかのいずれかの状態に制御することにより、1フレーム期間内の総点灯時間の長短によって輝度を制御している。この例では、点灯するサステイン(点灯)期間の組み合わせにより、 $2^3 = 8$ 通りの点灯時間の長さを決定することができるため、8階調を表示できる。このように点灯時間の長短を利用して階調表現を行う。さらに階調数を増やす場合は、1フレーム期間の分割数を増やしていけばよい。

20

【0013】

上記の時間階調方式のように1フレーム分の画像データを複数個のサブフレームに分けて表示させるためには、表示装置の外部から受信されるデジタル映像信号を適切なタイミングで表示装置に転送させなければならない。そのため、デジタル映像信号の受信タイミングを表示装置への転送タイミングに変更する動作を行うための回路を表示装置の外部に設けている。

【発明の開示】

【発明が解決しようとする課題】

【0014】

時間階調方式を用いた表示装置の制御方式の一例を、図16、図17を用いて説明する。図16は、時間階調方式を用いた表示装置制御系のブロック図である。501は、外部から受信される受信画像データであり、受信画像データは、表示装置制御回路500に入力される。表示装置制御回路500には第1の記憶装置505及び第2の記憶装置506と、フォーマット変換部502と表示装置制御部503が設けられている。表示部509は、図12に示される表示装置と同様の構成になっており、ソース信号線駆動回路510とゲート信号線駆動回路511と画素部512が設けられている。ソース信号線駆動回路510には、画像データバス508を介して画像データが送られる。

30

【0015】

また、表示装置制御信号507は、ソース信号線駆動回路510やゲート信号線駆動回路511を制御する信号であり、具体的には図12中のシフトレジスタ回路103を制御するS-CLK(クロック信号)及びS-SP(スタートパルス)、第2のラッチ回路105を制御するLatch Pulse(ラッチ信号)、ゲート信号線駆動回路102を制御するG-CLK(クロック信号)及びG-SP(スタートパルス)である。

40

【0016】

図17(A)及び図17(B)は、画像データのフォーマットを図示したものである。図16の画素部512において、各画素を識別するための番号を $n$ ( $n$ は自然数)とし、1フレーム期間に $n$ 番目の画素に送られる画像データを $A_n$ とする。また、画像データの階調ビット幅を $M$ ( $M$ は自然数)する。さらに、画像データ $A_n$ のうち、 $m$ 番目のビット( $m$ は自然数かつ $0 < m < M - 1$ )の画像データを $D_{nm}$ とする。

【0017】

50

次に、表示装置制御系の動作の役割について説明する。図16中の受信画像データ501は、通常図17(A)に示すフォーマットで表示装置制御回路500に入力される。図17(A)で示す画像データの流れは、1番目の画像データA1からA2、A3、A4・・・Anという順番にフォーマット変換部502に、画像データビットは並列に入力される。

#### 【0018】

一方、表示装置509のソース信号線駆動回路510へ入力される画像フォーマットについて説明する。1フレーム内にサブフレームがK回(Kは自然数)ある表示方式では、サブフレームSFk(kは自然数かつ $0 < k < K - 1$ )内のアドレス期間Takに画素部512の1番目の画素に送られるべき画像データはDlk(lは自然数で、Nを全画素数とすると $0 < l < N - 1$ )である。画像データはソース信号線駆動回路510へ1サブフレームにつき画像データの1階調ビットごとに、すなわち階調ビットを直列に送信する必要がある。但し、ソース信号線駆動回路510は、複数の画素アドレスを並列に処理する方式でもよい。したがって、階調ビットをシリアルにソース信号線駆動回路510へ送信するとき、複数の画素についてパラレルに送信しても良い。J個(Jは自然数)の画素データを並列にソース信号線駆動回路510へ送信するときの画像データフォーマットを、図17(B)に示す。

#### 【0019】

すなわち、表示装置制御回路500の役割は、受信画像データ501のフォーマットを図17(A)で示されるフォーマットから図17(B)で示されるフォーマットに変換し、表示装置509へ正確なタイミングで前記フォーマット変換された画像データおよび表示装置制御信号507を送信するというものである。

#### 【0020】

次に、表示装置制御回路500の動作を説明する。あるフレーム期間中で、受信画像データ501は、フォーマット変換部502で図17(B)で示す画像データフォーマットに変換され、第1の記憶装置505へ格納されると同時に、表示装置制御部503は表示制御信号507を表示装置509へ送るとともに、第2の記憶装置506に格納された、図17(B)で示すフォーマットの画像データを適切なタイミングで画像データバス508を介してソース信号線駆動回路510へ送信する。次のフレーム期間では、第1の記憶装置505と、第2の記憶装置506の役割を入れ替えて上記と同様な動作を行う。ここで、第1の記憶装置505と第2の記憶装置506の役割の切り替えは、同期信号504を用いて行う。しかし、上記の表示装置制御回路は1フレーム分の画像データを格納する大容量の記憶回路を2個実装しており、製品の小型化、低消費電力化において支障となる。

#### 【0021】

一般的なアクティブマトリクス型表示装置では、画像の表示をスムーズに行うため、前述の図15(A)に示したように、1秒間に60回前後、画面表示の更新が行われる。すなわち、1フレームごとにデジタル映像信号を供給し、その都度画素への書き込みを行う必要がある。たとえ、画像が静止画であったとしても、1フレーム毎に同一の信号を供給しつづけなければならないため、駆動回路が連続して同じデジタル映像信号の繰り返し処理を行う必要がある。

#### 【0022】

また、画素内に複数の記憶保持装置を配置し、画素毎にデジタル映像信号を記憶させる方式を採用した場合では、次のようになる。従来の駆動方式では、全画面が静止画の場合は、1度書き込みを行えばそれ以降画素に書き込まれる情報は同様である。したがって、フレームごとに信号の入力を行わなくとも、記憶回路に記憶されている信号を読み出すことによって静止画を継続的に表示することができる。しかし、画素データの一部を変えず、一部変化させたい場合は、やはり全画像データを送信して画素内に配置した記憶保持装置を書き換えなければならない。

#### 【0023】

また、従来の表示装置駆動方式では、ソース信号線駆動回路及びゲート信号線駆動回路

10

20

30

40

50

の制御信号に同期させたタイミングで表示装置に画像データを送信しなければならなかったため、表示装置制御回路は、受信した1フレーム分の画像データを、少なくとも画素数以上のアドレス数を有する大容量の記憶装置しなければならなかった。

【0024】

低消費電力化、小型化は、特に携帯機器において重要視されている。しかし、従来のような表示方式では、全画面静止画もしくは全画面のうち、一部静止させて一部だけ動作するような動画を表示する場合でも、全画素の画像データを表示装置に送信しなければならない。このため、駆動回路の低消費電力化をする上で問題となっていた。また、画素に記憶保持装置を配置しない場合は、従来技術で述べたフォーマット変換回路や、受信データを一時保持しておくための大容量のメモリを2個実装しなければならず、画素に記憶保持装置を配置させた場合でも、受信される画像データと表示装置の表示タイミングとを同期させなければならぬため、受信される画像データを1フレーム分保持させておくための大容量の記憶保持装置が1個以上は必要となる。このため、製品を小型化する上で問題となっていた。

10

【課題を解決するための手段】

【0025】

本発明の表示装置は、以下の特徴を有する。

発光素子と複数の記憶回路とを有する画素と、

この画素を複数個配置した表示部と、

この表示部の周囲に配置され、表示部を制御する複数のデコーダと、

20

これらのデコーダを制御する表示制御回路と、

これらのデコーダが電氣的な信号を用いて記憶回路の1つまたは複数を選択する手段と、

これらのデコーダによって選択された記憶回路にデジタル信号を書き込む手段とを有することを特徴としている。

【0026】

また、本発明の表示装置の表示方法は、以下の特徴を有する。

表示制御回路は複数のデコーダを制御し、

これらのデコーダは、表示部に配置された複数の画素が各々有する記憶回路の1つまたは複数を選択する電氣的な信号によって選択し、

デコーダによって選択された記憶回路にデジタル信号を書き込むことによって、画素が有する発光素子を発光させることを特徴とする。

30

【発明の効果】

【0027】

本発明の表示装置及び表示装置制御回路においては、記憶回路が配置された画素を、デコーダを用いて表示させることにより表示させることにより、受信された1フレームの画像データを記憶するための大容量の記憶装置を外部に実装する必要が無く、また、静止画を表示させる場合は、記憶回路に記憶された画像データを反復して読み出せば良く、さらには一部分の画素だけ選択して画像データを更新することが可能であるため、画像データの転送量を減らし、製品の小型化と低消費電力化に大きく貢献する。

【発明を実施するための最良の形態】

40

【0028】

本明細書では、本発明で用いるNチャネルトランジスタの閾値よりも高い電位を“0”と表現し、Pチャネルトランジスタの閾値よりも低い電位を“1”と表現する。また、本明細書では、本発明の電子回路において、バッファやインバータなどは全て省いて説明するが、必要に応じて追加しても良い。

【0029】

図1は、本発明で用いる表示装置の構成を示したものである。表示装置708は、列デコーダ710、行デコーダ709、画素部716が含まれており、画素部716には画素711がマトリクス状に配列されており、画素711には複数の記憶回路が配置されている。電流は電流供給線712により供給されている。列デコーダから出力された列選択信

50

号線 713 は画素 711 の各列に入力されており、行デコーダから出力された行選択信号線 714 は画素 711 の各行に入力されている。表示装置制御回路 700 には、アドレスコントローラ 703、アドレスラッチ回路 705、画像データラッチ回路 706、表示制御回路 707 が配置されている。アドレスコントローラには、同期クロック 704 が入力され、アドレスバス 702 が出力されている。アドレスバスは、アドレスラッチ回路 705 に入力され、アドレスラッチ回路から出力された後、2 組のビットに分けられ、それぞれ列デコーダと行デコーダに入力されている。ただし、アドレスバスの分割方法はどのような形態でも良い。画像データバス 701 は、画像データラッチ回路 706 を通って各画素 711 に入力されている。表示制御回路 707 からは、表示制御信号バス 715 が各画素へ入力されている。書き込み制御回路 718 からはアドレス書き込み制御信号 717 と、画像データ書き込み制御信号 721 が出力されており、アドレス書き込み制御信号 717 はアドレスラッチ回路 705 へ入力され、画像データ書き込み制御信号 721 は画像データラッチ回路 706 へ入力されている。表示制御回路 707 と書き込み制御回路 718 とは、同期信号 723 で結合されている。アドレス制御信号 722 は、書き込み制御回路 718 から出力され、アドレスコントローラ 703 に入力されている。

【0030】

図7(A)は、本発明の表示装置のタイミングチャートを示したものである。

【0031】

図2では、図1の画素 711 への画像データの書き込みタイミングの一例を示す。

【0032】

図3、図4及び図5は、本発明で用いる表示装置におけるフレーム期間と、受信されるフレームごとの画像データとのタイミングの関係を示したものである。

【0033】

図1中の 711 に示す画素は、画像データと同じビット数の記憶回路を 2 組有し、この 2 組の記憶回路のうち、一方の組の記憶回路を MA、もう片方の組の記憶回路をと MB とする。あるフレームで MA の画像データを表示させている間 MB に画像データ書き込み、別のフレームでは MB の画像データを表示させている間 MA に画像データ書き込むという様に、MA と MB の、画像データ表示用及び画像データ書き込み用としての役割をフレームごとに交互に切り替えて用いる表示方式であってもよい。また、画素は 1 組の記憶回路を有し、全画素を 2 つの画素群に分け、前記画素群のうち一方を A 群、もう一方を B 群とする。あるフレームで、A 群の画素に配置された記憶回路のデータを表示させ、その間 B 群の画素に配置された記憶回路のデータを更新させ、次のフレームで B 群の画素に配置された記憶回路のデータを表示させ、その間 A 群の画素に配置された記憶回路のデータを更新させるという方式で、フレームごとに A 群と B 群の画素のどちらか一方を表示させる表示形式であってもよい。A 群と B 群の定義の例としては、A 群を奇数行の画素とし、B 群を偶数行の画素とするなどである。

【0034】

次に、図1で示される表示制御回路の動作について説明する。本発明の表示制御回路 700 の動作は、画素 711 に配置された記憶回路へ画像データを書き込む動作と、画素 711 に配置された記憶回路に格納された画像データの表示を制御する動作に分けることができる。

【0035】

まず、記憶回路へ画像データを書き込む動作から説明する。アドレスラッチ回路 705 は、アドレスバス 719 の電位を保持するか、またはアドレスバス 719 の電位をアドレスバス 702 の電位に更新する動作を行うものであるが、この動作はアドレス書き込み制御信号 717 によって制御される。また、画像データラッチ回路 706 は、画像データバス 701 の電位を保持するか、または画像データバス 720 の電位を画像データバス 701 の電位に更新する動作を行うものであるが、この動作は画像データ書き込み制御信号 717 によって制御される。

【0036】

まず、外部から画像データが、同期クロック704に同期して、画像データバス701を  
通って表示装置制御回路700へ入力される。アドレスコントローラ703は、画像デー  
タが入力するたびにアドレスをカウントして、アドレスバス702に出力する。画像デー  
タはアドレスバス702から、アドレスラッチ回路705に入力され、アドレス書き込み  
制御信号717の制御により、アドレスバス719のアドレス電位が更新される。さらに  
、アドレスは2組のビットに分けられ、行デコーダ709及び列デコーダ710に入力され  
る。列デコーダ710に入力された一組のアドレスビットは、デコードされ、画素部7  
16の各画素の列に配置された列選択信号線のうち、アドレス指定した画素が存在する列  
の列選択信号線が選択される。

【0037】

10

一方、行デコーダ709に入力されたもう一組のアドレスビットは、デコードされ、画素  
部716の各画素の行に配置された列選択信号線のうち、アドレス指定した画素が存在す  
る行の行選択信号線が選択される。結果、前記選択された画素の1列と、前記選択された  
画素の1行とが交差したところの1画素が選択され、ほぼ同時に画像データバス720の  
電位が、画像データ書き込み制御信号721の制御により、画像データバス701に入力  
された画像データの電位に更新され、前記画像データが画素部716に送られ、前記アド  
レスのデコードにより選択された画素に配置された記憶回路に画像データが書き込まれる  
。

【0038】

図2は、記憶回路への画像データの書き込みタイミングの一例を示したものである。図2  
のaは同期クロック704を、bは画像データバス701を、cはアドレスバス702を  
、dはアドレス書き込み制御信号717を、eは画像データ書き込み制御信号721を、  
fは画素内記憶回路のデータのタイミングを示している。

20

【0039】

アドレスラッチ回路制御信号の電位が“0”のとき、アドレスラッチ回路705はアドレ  
スバス702のアドレスをアドレスバス719に出力し、画像データラッチ回路制御信号  
の電位が“0”のとき、画像データラッチ回路706は画像データバス701の画像デー  
タを画像データバス720に出力する。ここではアドレスラッチ回路制御信号の電位が“  
1”のとき、アドレスバス719に出力されているアドレスの値は保持され、画像デー  
タラッチ回路制御信号の電位が“1”のとき、画像データバス720に出力されている画像  
データの値は保持されるものとするが、アドレスラッチ回路制御信号の電位が“1”のとき  
に、アドレスラッチ回路705の出力値を更新するようにしても良いし、画像データラ  
ッチ回路制御信号の電位が“1”のとき画像データラッチ回路706の出力値を更新する  
ようにしても良いし、アドレスラッチ回路制御信号の電位が“1”から“0”へ、又は“  
0”から“1”への変化時にアドレスラッチ回路705の出力値を更新するようにしても  
良いし、画像データラッチ回路制御信号の電位が“1”から“0”へ、又は“0”から“  
1”への変化時に画像データラッチ回路706の出力値を更新するようにしても良い。

30

【0040】

図2中の $t_{\text{account}}$ は、画像データの画像データバス701への入力から、アドレスコント  
ローラ703がアドレスをカウントしてアドレスバス702に出力されるまでの遅延時間  
であり、 $t_{\text{al at}}$ は、画像データの画像データバス701への入力から、アドレス書き込み  
制御信号717が“0”になるまでの遅延時間であり、 $t_{\text{ac}}$ はアドレスがアドレスバス7  
19に出力されてから、デコードして画素を選択するまでの遅延時間である。また、 $t_{\text{wc}}$   
は、画像データ書き込み制御信号が“0”になってから、アドレスのデコードにより選択  
された画素の画像データが確定するための遅延時間であり、 $t_{\text{wc}}$ は画像データ書き込み制  
御信号を“0”にしておく時間である。 $t_{\text{wait}}$ は、 $t_{\text{wc}}$ が“1”になってから次の画像デ  
ータが受信されるまでの時間である。

40

【0041】

次に、画素711に配置された記憶回路への画像データの書き込み動作を、図2を用いて  
詳細に説明する。画像データは画像データ受信期間603に画像データバス701から入

50



力される。また、受信ブランキング期間 601 は 1 フレーム期間分の画像データが受信された後、画像データの受信を中断する期間であり、受信ブランキング期間では画像データバス 701 がどんな電位であっても表示装置の動作には影響しない。また、受信ブランキング期間は無くて良い。また、本明細書では、受信ブランキング期間と 1 フレーム分の画像データの受信との 1 組を合わせて受信周期と表記する。また、書き込みブランキング期間 602 とは、画像データが受信されているが、後述する表示期間との同期の関係で前記受信されたデータは画素内の記憶回路に書き込まれないような期間を指す。

#### 【0042】

まず、受信ブランキング期間では、画素 711 に配置した記憶装置のデータが書き換わらないようにアドレス書き込み制御信号と画像データ書き込み制御信号を“1”にしておく。画像データ受信期間になると、同期クロックに同期して画像データ A 604 が画像データバス 701 に入力される。ほぼ同時にアドレスコントローラがアドレス A をアドレスバス 702 に出力し、書き込み制御回路はアドレス書き込み制御信号を“0”にする。

#### 【0043】

次にアドレスがデコードされ、画像データ A 604 を書き込む画素に配置された記憶回路が選択されると、書き込み制御回路は画像データ書き込み制御信号を“0”として、前記選択された、画素中の記憶回路に画像データ A 604 が書き込まれる。このとき  $t_{we}$  は、 $t_{wc}$  よりも長いとする。画像データ A 604 の書き込み後、図2ではアドレス書き込み制御信号は、画像データ受信期間中は“0”としたままであるが、画像データ書き込み後に“1”として、次の画像データが受信されたときに“0”としても良い。図2では、画像データ A 604 の書き込み後は同期クロックに同期して画像データ B 605 が送られてくるが、このときの  $t_{alat}$  は 0 である。以下、1 フレーム期間分の画像データの受信が終わるまで、すなわち画像データ受信期間が終わるまで上記の書き込み動作が繰り返される。

#### 【0044】

次に、画素 711 に配置された記憶回路に格納された画像データの表示を制御する動作について説明する。表示制御回路 707 は、画素に書き込まれた記憶回路のデータの表示制御を行う回路である。表示制御は、表示制御信号バス 715 に表示制御信号を出力することにより、画素部 716 に配置された記憶回路のデータを、表示させる。表示は、時間分割方式で行われる。サブフレームのタイミングについては実施例に示す。

#### 【0045】

通常、表示装置における 1 フレーム期間と、1 フレーム期間分の画像データが受信される周期とは異なっているが、本発明の表示装置制御回路は、画素 711 に配置された記憶回路への画像データの書き込みと、画素 711 に配置された記憶回路に格納された画像データの表示とを同期させて表示装置を制御している。前記同期は、同期信号 723 を用いて行われる。本発明の表示装置制御回路では、前記同期動作において、外付けの、大容量の記憶装置を用いないことを特徴としている。

#### 【0046】

フレーム期間（以後  $T_f$  と表記する）と、受信周期（以後  $T_r$  と表記する）との長さの違いによって、同期の方法は 2 種類考えられる。今、 $T_r$  の  $n$  倍（ $n$  は自然数）から  $T_f$  を差し引いた値を  $t(n)$  と定義する。すなわち、次式で  $t(n)$  を定義する。

$$t(n) = n \times T_r - T_f$$

#### 【0047】

ここで、 $n$  は  $t(n)$  が正で、 $t(n)$  が最小になるときの値とする。 $t(n)$  の大きさにより、2 つの同期方法が考えられる。 $t(n)$  が、小さい場合は、フレーム期間が終わった後、受信周期が終わるまで画像の表示を休止するという方法である。前記画像の表示休止期間を表示ブランキング期間という。以下、この同期方法を、同期法 A と表記する。

#### 【0048】

表示ブランキング期間が大きい場合（ $t(n)$  が大きい場合）は画面のちらつきが著しくなるため、次に示す同期の方法をとる。表示動作は休止させずに連続して行い、あるフレーム期間で画像データを表示させている間、前記フレームの始まりの時点で画素内の記憶

10

20

30

40

50

回路への書き込みが行われていない場合には、前記フレームの始まりから数えて始めにくる受信周期の画像データを、画素内の記憶回路に書き込み、前記受信周期が2つのフレーム期間にまたがっている場合には、前記2つのフレーム期間は同じ画像データを表示させるという方法である。以下、この同期方法を、同期法Bと表記する。また、 $t(n)$ が同期法Aを用いても画面のちらつきが認識されないほど十分小さい場合であっても、同期法Bを用いることができる。

#### 【0049】

ここで、ある定数 $T_h$ を次のように定義する。上記2種類の同期方法のうち、 $t(n)$ が $T_h$ 以下の場合、同期法Aを用い、 $t(n)$ が $T_h$ 以上の時は同期法Bを用いるとする。 $T_h$ の情報を、本発明の表示装置制御回路に組み込み、 $t(n)$ の大きさを判別して自動的に同期法Aまたは同期法Bを選ぶようにしても良いし、外部スイッチから同期法Aと同期法Bとを切り替えるようにしても良い。また、同期法Aまたは同期法Bの何れか一方を用いるようにしても良い。

10

#### 【0050】

この場合、後述のように、同期法Aを用いるほうが同期法Bを用いるよりも動画の残像を少なくすることができることから、動画が多用される場合は表示ブランキング期間による画面のちらつきをなくすために、フレーム周期や階調ビット数などを調整して $t(n)$ をなるべく小さくして、同期法Aを用いるようにすることが好ましいが、高速な動画を必要としない場合は、同期法Bを用いても良い。また、受信の周期によって $t(n)$ が $T_h$ 以下になるようにフレーム期間を自動で変化させて同期法Aを用いるようにしても良いし、あるフレーム期間の範囲を決めておいて、受信の周期によって $t(n)$ が $T_h$ 以下になるように前記フレーム期間の範囲内でフレーム期間を変化させて同期法Aを用いるようにして、前記フレーム期間の範囲外にしなければ $t(n)$ が $T_h$ 以下にならないような場合は同期法Bを用いるという動作を自動で行うようにしても良い。

20

#### 【0051】

図3、図4、図5は、受信される画像データの周期と、画素711の記憶装置に書き込まれた画像データを表示する周期との同期の方法を示したものである。ここで図3、図4、図5中のaは表示のタイミングを表し、bは画素に配置された記憶回路への画像データの書き込みタイミングを表す。

#### 【0052】

まず、同期法Aを、図3を用いて具体的に説明する。図3(A)は、 $n=1$ の場合を示しており、まずこの場合から説明する。まずフレーム期間F1で画素に配置された表示用の記憶回路に格納された画像データを表示させている間、画素に配置された書き込み用の記憶回路に画像データAを書き込む。画像データを表示させている間は、図1の表示制御回路707は、書き込み制御回路718に、まだ表示途中であることを知らせる信号を、同期信号723を介して出力する。また、受信周期 $T_r$ の途中では書き込み制御回路718は、表示制御回路707に、まだ受信周期の途中であることを知らせる信号を、同期信号723を介して出力する。次に、1フレーム分の画像データが表示され終わると、表示制御回路718は1フレーム分の画像データを表示し終わったことを同期信号723により書き込み制御回路718に知らせるが、この時点ではまだ受信周期 $T_r$ は終わっていないので、表示制御回路707は休止状態となる(表示ブランキング期間801)。

30

40

#### 【0053】

次に受信周期 $T_r$ が終わると、書き込み制御回路718は、同期信号723を介して受信周期 $T_r$ が終わったことを表示制御回路707に知らせ、アドレスコントローラから出力されるアドレスを、アドレス制御信号を介して次のフレームで始めに書き込む画素のアドレスに設定する。表示制御回路707は、受信周期 $T_r$ が終わったことを認識し、表示制御バス715を通して画素内に配置された記憶回路のうち書き込み用の記憶回路を読み出し用に切り替え、読み出し用の記憶回路を書き込み用に切り替え、画像データAを表示すべくフレーム期間F2を開始する。同時に書き込み制御回路718及びアドレスコントローラ703の制御のもとで、受信されてくるフレーム期間F3で表示するための画像データBを

50

前記書き込み用に切り替えた記憶回路へ書き込んでゆく。上記動作の繰り返しにより表示装置から画像データを表示させる。

【 0 0 5 4 】

次に、 $n = 2$  の場合を図3 ( B ) を用いて説明する。まずフレーム期間  $F_1$  で画素に配置された表示用の記憶回路に格納された画像データを表示させている間、画素に配置された書き込み用の記憶回路に画像データ A を書き込む。画像データを表示させている間は、図1の表示制御回路 7 0 7 は、書き込み制御回路 7 1 8 に、まだ表示途中であることを知らせる信号を、同期信号 7 2 3 を介して出力する。また、受信周期の途中では書き込み制御回路 7 1 8 は、表示制御回路 7 0 7 に、まだ受信周期の途中であることを知らせる信号を、同期信号 7 2 3 を介して出力する。

10

【 0 0 5 5 】

次に、受信周期が終わると、書き込み制御回路 7 1 8 は受信周期が終わったことを同期信号 7 2 3 により表示制御回路 7 0 7 に知らせるが、この時点ではまだフレーム期間は終わっていない。そこで、書き込み制御回路 7 1 8 はアドレスコントローラから出力されるアドレスを、アドレス制御信号を介して次のフレームで始めに書き込む画素のアドレスに設定する。その後、休止状態（書き込みブランキング期間 8 0 2 ）となり、次に入ってくる画像データ B は画素内の記憶回路には書き込まれず、破棄される（図3 ( B ) 中における書き込みランキング期間の部分）。次にフレーム期間  $F_1$  が終わると、表示制御回路 7 0 7 は、同期信号 7 2 3 を介してフレーム期間が終わったことを書き込み制御回路 7 1 8 に知らせる。

20

【 0 0 5 6 】

表示制御回路 7 0 7 は、表示制御バス 7 1 5 を通して画素内に配置された記憶回路のうち書き込み用の記憶回路を読み出し用に切り替え、読み出し用の記憶回路を書き込み用に切り替え、画像データ A を表示すべくフレーム期間  $F_2$  を開始する。同時に書き込み制御回路及びアドレスコントローラの制御のもとで、受信されてくるフレーム期間  $F_3$  で表示するための画像データ B を前記書き込み用に切り替えた記憶回路へ書き込んでゆく。上記動作の繰り返しにより表示装置から画像データを表示させる。

【 0 0 5 7 】

次に、同期法 B を、図4を用いて具体的に説明する。まず、受信周期  $T_r$  がフレーム期間  $T_f$  よりも短い場合を図4 ( A ) を用いて説明する。まずフレーム期間  $F_1$  で画素に配置された表示用の記憶回路に格納された画像データを表示させている間、画素に配置された書き込み用の記憶回路に画像データ A を書き込む。画像データを表示させている間は、図1の表示制御回路 7 0 7 は、書き込み制御回路 7 1 8 に、まだフレーム期間  $F_1$  の途中であることを知らせる信号を、同期信号 7 2 3 を介して出力する。また、受信周期の途中では書き込み制御回路 7 1 8 は、表示制御回路 7 0 7 に、まだ同時に、画像データ書き込み期間であることを知らせる信号を、同期信号 7 2 3 を介して出力する。

30

【 0 0 5 8 】

次に、受信周期が終わると、書き込み制御回路 7 1 8 は受信周期が終わったことを同期信号 7 2 3 により表示制御回路 7 0 7 に知らせるが、この時点ではまだフレーム期間は終わっていない。そこで、書き込み制御回路 7 1 8 はアドレスコントローラから出力されるアドレスを、アドレス制御信号を介して次の受信周期で始めに書き込む画素のアドレスに設定する。その後、休止状態（書き込みブランキング期間）となり、次に入ってくる画像データ B は画素内の記憶回路には書き込まれず、破棄される（図4 ( A ) 中の画像データ B 受信期間、画像データ D 受信期間、画像データ F 受信期間、画像データ H 受信期間の部分）。

40

【 0 0 5 9 】

また、書き込み制御回路 7 1 8 は、書き込みブランキング期間であることを同期信号により表示制御回路へ知らせておく。但し、図4 ( A ) の場合に限らず、あるフレーム期間内において、画素内記憶回路への書き込みを終えた後、書き込みブランキング期間に入った後は、たとえ受信期間が複数回入っても、前記フレーム期間が終わるまでは書き込みブランキング期間は続けられる。次にフレーム期間  $F_1$  が終わると、表示制御回路 7 0 7 は、

50

同期信号 7 2 3 を介して受信周期が終わったことを書き込み制御回路 7 1 8 に知らせる。

【 0 0 6 0 】

また、表示制御回路 7 0 7 は、フレーム期間 F 1 が終了した直後の書き込み制御回路 7 1 8 の状態が休止状態（書き込みブランキング期間）であることを認識すると、表示制御バス 7 1 5 を通して画素内に配置された記憶回路のうち書き込み用の記憶回路を読み出し用に切り替え、読み出し用の記憶回路を書き込み用に切り替え、画像データ A を表示するためにフレーム期間 F 2 を開始する。次に書き込み制御回路 7 1 8 は、画像データ C が受信される受信周期に入ると、書き込みブランキング期間を解除し、画像データ C を前記書き込み用に切り替えた記憶回路へ書き込んでゆくと同時に、画像データ書き込み期間であることを表示制御回路 7 0 7 に知らせておく。

10

【 0 0 6 1 】

次にフレーム期間 F 2 が終わると、表示制御回路 7 0 7 は、同期信号 7 2 3 を介して受信周期が終わったことを書き込み制御回路 7 1 8 に知らせる。また、表示制御回路 7 0 7 は、フレーム期間 F 2 が終了した直後の書き込み制御回路 7 1 8 の状態が画像データ書き込み期間であることを認識すると、画素内記憶回路の読み出し用を書き込み用に、書き込み用を読み出し用に切り替えず、フレーム期間 F 2 で表示していた画素内記憶回路の内容をフレーム期間 F 3 で再び表示する。次に、書き込み制御回路 7 1 8 は、画像データ C の受信が終了すると、休止状態（書き込みブランキング期間 9 0 1）となり、休止状態（書き込みブランキング期間）であることを、同期信号を介して表示制御回路 7 0 7 に知らせておく。上記動作の繰り返しにより表示装置から画像データを表示させる。

20

【 0 0 6 2 】

図 4 ( B ) は、受信周期  $T_r$  がフレーム期間  $T_f$  よりも長い場合の受信と表示の同期タイミングを示したものであるが、表示装置制御回路の動作としては図 6 ( A ) で示したものと同様である。

【 0 0 6 3 】

次に、図 5 を用いて、 $t(n)$  が十分小さい場合に同期法 A を用いることの利点について説明する。図 5 は、 $t(n)$  の  $n$  が 2 の場合を示している。図 5 ( A ) は、同期法 A を用いたときの受信と表示のタイミングを示したものであり、図 5 ( B ) は、同期法 B を用いたときの受信と表示のタイミングを示したものである。ここで、図 5 ( A ) の場合と図 5 ( B ) の場合とで、フレーム期間と受信周期及び受信ブランキング期間 1 1 0 1 の長さは等しいとする。図 5 ( A ) の同期法 A を用いた場合は、画像データ書き込み期間と書き込みブランキング期間 1 1 0 2 が受信周期ごとに交互に繰り返され、1 フレームごとに新しい画像データが更新されている。

30

【 0 0 6 4 】

一方図 5 ( B ) の同期法 B を用いた場合は、画像データ B 受信期間、画像データ D 受信期間、画像データ F 受信期間、画像データ H 受信期間、画像データ I 受信期間、および画像データ K 受信期間で示した期間は書き込みブランキング期間 1 1 0 2 であるが、フレーム期間 F 5 からフレーム期間 F 6 への変化時では書き込みブランキング期間ではなく、画像データ I が画素内の記憶回路へ書き込まれている期間なので、F 6 では F 5 と同じ画像データ G が表示されている。このように、前のフレームと同じデータを表示することが頻繁に起きた場合、例えば高速な動画を表示する場合などで残像が顕著になる。

40

【実施例 1】

【 0 0 6 5 】

本実施例では、本発明の表示装置に用いる画素部の一例を、図 6 を用いて説明する。図 6 は、図 1 中の画素 7 1 1 の回路構成を詳細に示したものである。この画素は、3 ビットデジタル階調に対応したものである。1 2 2 9 は保持容量 ( C s )、1 2 3 0 は E L 駆動用 T F T、1 2 3 1 は E L 素子、1 2 2 8 は電流供給線、1 2 0 1、1 2 0 2、1 2 0 3 はソース信号線であり、1 2 0 4 は行選択信号線、1 2 3 5 は列選択信号線、1 2 0 5 ~ 1 2 0 7 は表示制御信号線、1 2 0 8 ~ 1 2 1 0 及び 1 2 3 2 ~ 1 2 3 4 は書き込み用 T F T、1 2 1 1 ~ 1 2 1 3 は読み出し用 T F T である。記憶回路選択部は、書き込み選択用

50

T F T 1 2 1 4、1 2 1 6、1 2 1 8、1 2 2 0、1 2 2 2、1 2 2 4 および読み出し選択用 T F T 1 2 1 5、1 2 1 7、1 2 1 9、1 2 2 1、1 2 2 3、1 2 2 5 等を用いて構成される。1 2 2 6 および 1 2 2 7 は、記憶回路選択信号線である。

なお、ソース信号線 1 2 0 1 ~ 1 2 0 3 は、図1中の画像データバス 7 0 1 と同じものであり、表示制御信号線 1 2 0 5 ~ 1 2 0 7 及び記憶回路選択信号線 1 2 2 6、1 2 2 7 は、図1中の表示制御信号バス 7 1 5 と同じものである。また、行選択信号線 1 2 0 4 は図1中の行選択信号線 7 1 4 と同じものであり、列選択信号線 1 2 3 5 は図1中の列選択信号線 7 1 3 と同じものである。

#### 【 0 0 6 6 】

図6中の記憶回路 A 1 ~ A 3 の動作は、図7 ( A ) 中の記憶回路 A の動作で示され、図6中の記憶回路 B 1 ~ B 3 の動作は、図7 ( A ) の記憶回路 B の動作で示される。図7のフレーム期間 A では、記憶回路選択信号線 1 2 2 6 は “ 1 ” に、記憶回路選択信号線 1 2 2 7 は “ 0 ” となり、書き込み選択用 T F T 1 2 1 4、1 2 1 8、1 2 2 2、のソースとドレインは導通の状態となり、書き込み選択用 T F T 1 2 1 6、1 2 2 0、1 2 2 4 のソースとドレインは非導通の状態となり、読み出し選択用 T F T 1 2 1 7、1 2 2 1、1 2 2 5 導通の状態となり、読み出し選択用 T F T 1 2 1 5、1 2 1 9、1 2 2 3 は非導通の状態となる。これにより、行選択信号線 1 2 0 4 及び列選択信号線 1 2 3 5 が “ 1 ” になった場合、すなわち、アドレスのデコードにより画素が選択された時にだけ、書き込み用 T F T 1 2 0 8 ~ 1 2 1 0 及び 1 2 3 2 ~ 1 2 3 4 が導通状態となり、ソース信号線 1 2 0 1 ~ 1 2 0 3 から伝播してきた画像データが A 1 ~ A 3 の記憶回路に書き込まれる。

#### 【 0 0 6 7 】

同時に、図7 ( B ) に示す、1 フレーム期間を複数のサブフレームに分割して表示させる方式 ( 時間階調方式 ) を用いることにより、T s 1 では、表示制御信号線 1 2 0 5 にパルスが入力されて読み出し用 T F T 1 2 1 1 が導通し、記憶回路 B 1 に書き込まれている画像データが E L 駆動用 T F T 1 2 3 0 のゲートへ送られ、E L 駆動用 T F T 1 2 3 0 が N チャネルなら前記画像データの電位が “ 1 ” のとき、電流供給線 1 2 2 8 から電流が E L 素子 1 2 3 1 に流れ、発光する。T s 2 では、表示制御信号線 1 2 0 6 にパルスが入力されて読み出し用 T F T 1 2 1 2 が導通し、記憶回路 B 2 に書き込まれている画像データを表示する。T s 3 では、表示制御信号線 1 2 0 7 にパルスが入力されて読み出し用 T F T 1 2 1 3 が導通し、記憶回路 B 3 に書き込まれている画像データを表示する。すなわち、フレーム期間 A では、A 1 ~ A 3 の記憶回路が書き込み用、B 1 ~ B 3 の記憶回路が表示用の記憶回路となっている。

#### 【 0 0 6 8 】

次に、フレーム期間 B に移行すると、記憶回路選択信号線 1 2 2 6 および 1 2 2 7 の電位が反転され、今度は A 1 ~ A 3 が表示用記憶回路となり、B 1 ~ B 3 が書き込み用記憶回路となる。また、以前のフレーム期間の画像データを次のフレーム期間で再び表示させたい場合は、図7中のフレーム期間 C からフレーム期間 D へ移行するときのように、記憶回路選択信号線 1 2 2 6 および 1 2 2 7 の電位を反転させなければよい。

#### 【 0 0 6 9 】

本実施例で示した画素内に配置された記憶回路 A 1 ~ A 3 及び B 1 ~ B 2 は、スタティック型メモリ ( S R A M ) であるが、強誘電体メモリ ( F e R A M ) でも良いし、ダイナミック型メモリ ( D R A M ) を用いて画素部を構成することも可能である。また、本実施例で用いた画素内の T F T は全て N チャネルとなっているが、画素内の T F T のうち一部または全部を P チャネルにしても良い。また、本実施例では保持容量 1 2 2 9 は無くても良い。

#### 【 実施例 2 】

#### 【 0 0 7 0 】

本実施例では、本発明で用いる表示装置において、アドレスのデコード時間を高速にする方法を示す。図8は、本発明の表示装置に配置した行デコーダもしくは列デコーダの構造である。1 4 0 8 は本実施例で示すデコーダである。デコーダには N 個のアドレスラッ

チ用フリップフロップ回路が設けられ、画像データが入力される順に数えてk番目（kは自然数かつ $0 < k < N + 1$ ）のアドレスラッチ用フリップフロップ回路を第kのアドレスラッチ用フリップフロップ回路と表記する。

【0071】

図8では、第1のアドレスラッチ用フリップフロップ回路が1409、第2のアドレスラッチ用フリップフロップ回路が1410、第3のアドレスラッチ用フリップフロップ回路が1411、第Nのアドレスラッチ用フリップフロップ回路が1412に相当する。図8には4つのアドレスラッチ用フリップフロップ回路しか記載していないが、実際にはN個のアドレスラッチ用フリップフロップ回路が設けられている。N個の各アドレスラッチ用フリップフロップには、クロック1406が入力されている。アドレスバス1405は、Mビット（Mは自然数）のビット幅を持っており、第1のアドレスラッチ用フリップフロップ1409に入力され、第1のアドレスラッチ用フリップフロップ1409から第1の内部アドレスバス1414が出力されている。

【0072】

第kのアドレスラッチ用フリップフロップの出力を第kの内部アドレスバスとし、第kの内部アドレスバスのうち $m_k$ ビットほど分け、前記第kの内部アドレスバスから分岐させた $m_k$ ビットのビット幅をもつ信号を $m_k$ ビット内部アドレスバスと表記する。また、 $k = N$ の場合は、第Nの内部アドレスバス全ビットを $m_N$ ビット内部アドレスバスとする。よって、 $m_N$ ビット内部アドレスバスとは表記せず、第Nの内部アドレスバスと表記する。上記第kの内部アドレスバスのうち $m_k$ ビット内部アドレスバスに相当しないビットは、第k+1のアドレスラッチ用フリップフロップに入力されている。よって、第kの内部アドレスバスのビット幅は、kが2以上の場合は $M - (m_1 + m_2 + m_3 + \dots + m_{k-1})$ と表現される。

【0073】

また、デコーダ1408の内部には、N個のデコーダが設けられており、前記デコーダのうちk番目のデコーダに $m_k$ ビット内部アドレスバスが入力されており、このデコーダを $m_k$ ビットデコーダと表記する。 $m_k$ ビットデコーダからは、 $2^{m_1} \times 2^{m_2} \times 2^{m_3} \times \dots \times 2^{m_k}$ 個の信号が出力されている。また、デコーダにはN個のデコード信号ラッチ用フリップフロップ回路が設けられており、 $m_k$ ビットデコーダから出力された信号は全て、前記デコード信号ラッチ用フリップフロップ回路に入力されている。 $m_k$ ビットデコーダから出力された各信号が入力されるデコード信号ラッチ用フリップフロップ回路を、第kのデコード信号ラッチ用フリップフロップ回路と表記する。第kのデコード信号ラッチ用フリップフロップ回路からは、 $m_{k+1}$ ビットデコーダへ $2^{m_1} \times 2^{m_2} \times 2^{m_3} \times \dots \times 2^{m_k}$ 個の信号が出力されている。

【0074】

また、各デコード信号ラッチ用フリップフロップ回路には、クロック1406が入力されている。図8では、1401は $m_1$ ビットデコーダ、1402は $m_2$ ビットデコーダ、1403は $m_3$ ビットデコーダ、1404は $m_N$ ビットデコーダであり、1420は第1のデコード信号ラッチ用フリップフロップ回路、1421は第2のデコード信号ラッチ用フリップフロップ回路、1422は第(N-1)のデコード信号ラッチ用フリップフロップ回路、1414は第1の内部アドレスバス、1416は第2の内部アドレスバス、1418は第3の内部アドレスバス、1419は第Nの内部アドレスバス、1413は $m_1$ ビット内部アドレスバス、1415は $m_2$ ビット内部アドレスバス、1417は $m_3$ ビット内部アドレスバスである。また、1407は画素部である。 $m_N$ ビットデコーダからは $2^{m_1} \times 2^{m_2} \times 2^{m_3} \times \dots \times 2^{m_N}$ 個すなわち $2^M$ 個の信号線が画素部1407に入力されている。この信号線は、実施例1および発明の実施の形態で説明した、列選択信号線または行選択信号線と同様のものである。

【0075】

次に、図8で示されるデコーダの動作を、図9を用いて説明する。はじめにアドレスラッチ用フリップフロップ回路及びデコード信号ラッチ用フリップフロップ回路の動作につい

10

20

30

40

50

て説明する。アドレスラッチ用フリップフロップ回路及びデコード信号ラッチ用フリップフロップ回路は、クロック 1 4 0 6 により制御される。アドレスラッチ用フリップフロップ回路及びデコード信号ラッチ用フリップフロップ回路は、クロック 1 4 0 6 の電位が変化しない時は、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路の出力電位は保持されているが、クロック 1 4 0 6 の電位が “ 0 ” から “ 1 ” ( 立ち上がり ) に変化する時、もしくはクロック 1 4 0 6 の電位が “ 1 ” から “ 0 ” に変化する時 ( 立ち下がり )、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路は出力電位を入力電位に更新される。本実施例ではクロック 1 4 0 6 の電位が “ 1 ” から “ 0 ” に変化する時、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路は出力電位を入力電位に更新されるものとして説明するが、クロック 1 4 0 6 の電位が “ 0 ” から “ 1 ” に変化する時、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路は出力電位を入力電位に更新されるようにしても良い。

10

#### 【 0 0 7 6 】

まずクロックに同期してアドレスが入力されるとき、立下りから新しいアドレスが入力されるまでの遅延時間  $t_{ain}$  は、発明の実施の形態で説明した図 2 の  $t_{account}$  に、アドレスがアドレスカウンタから出力されてデコーダに到達するまでの遅延時間を加えたものである。T 1 の始めにアドレスバスから A 1 が第 1 のアドレスラッチ用フリップフロップ回路に入力されると、次のクロックの立下り時 ( T 1 から T 2 への移行時 ) に第 1 の内部アドレスバスの電位は A 1 に更新される。同時にアドレスバスに A 2 の電位が入力される。このとき、A 1 のうち  $m_1$  ビット分は  $m_1$  ビットアドレスバスに分かれ、 $m_1$  ビットデコーダにより前記  $m_1$  ビットアドレスがデコードされ、 $m_1$  ビットデコーダの出力電位が A D 1 1 となり、第 1 のデコード信号ラッチ用フリップフロップ回路に入力される。このとき第 1 のデコード信号ラッチ用フリップフロップ回路によるデコードに要する時間を  $t_{D1}$  とする。 $t_{D1}$  は、クロック周期以内でなければならない。

20

#### 【 0 0 7 7 】

次のクロックの立下り時 ( T 2 から T 3 への移行時 ) には、第 1 の内部アドレスバスの電位 A 1 のうち、分岐により  $m_1$  ビット分省かれたデータ A 1 2 が第 2 のアドレスラッチ用フリップフロップ回路から第 2 の内部アドレスバスへ出力され、第 2 の内部アドレスバスのうち  $m_2$  ビットアドレスが分岐して  $m_2$  ビットデコーダに入力される。同時に第 1 のデコード信号ラッチ用フリップフロップ回路の出力電位は A D 1 1 に更新され、前記更新された第 1 のデコード信号ラッチ用フリップフロップ回路の出力は  $m_2$  ビットデコーダに入力され、前記  $m_2$  ビットデコーダに入力された  $m_2$  ビットアドレスと合わせてデコードされ、 $m_2$  ビットデコーダはデコード結果得られた電位 A D 2 2 を第 2 のデコード信号ラッチ用フリップフロップ回路に入力する。このとき、 $m_2$  ビットデコーダによるデコードに要する時間を  $t_{D2}$  とする。同時にアドレス A 3 がアドレスバスに入力される。以上の動作を繰り返していくと、T ( N + 1 ) でアドレス A 1 の全ビットデコードした後の電位 A D N 1 が第 N のデコード信号ラッチ用フリップフロップ回路から画素部へ出力される。

30

#### 【 0 0 7 8 】

一般に、 $m_k$  ビットデコーダが入力データをデコードする時間を  $t_{Dk}$  とすると、 $t_{Dk}$  はクロック周期未満であればよい。本実施例を用いずにデコードを行うと、デコード時間は発明の実施の形態で説明した画素内記憶回路への書き込みタイミング図 2 によると、 $t_{ac}$  が  $t_{Dk}$  の全ての k についての和すなわち  $t_{D1} + t_{D2} + \dots + t_{DN}$  とほぼ同等の大きさとなり、画素内記憶回路への書き込みの時間的制限が本実施例を用いた場合に比べてきつくなり、この問題は特に画素部が大型化した場合顕著になる。

40

#### 【 0 0 7 9 】

本実施例において、アドレスラッチ用フリップフロップ回路及びデコード信号ラッチ用フリップフロップ回路は、クロック 1 4 0 6 の電位が “ 1 ” の時は、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路の出力電位は保持されているが、クロック 1 4 0 6 の電位が “ 0 ” の時、アドレスラッチ用フリップフロップ

50

ブ回路またはデコード信号ラッチ用フリップフロップ回路は出力電位を入力電位に更新されるようにしても良い。

【 0 0 8 0 】

また、アドレスラッチ用フリップフロップ回路及びデコード信号ラッチ用フリップフロップ回路は、クロック 1 4 0 6 の電位が “ 0 ” の時は、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路の出力電位は保持されているが、クロック 1 4 0 6 の電位が “ 1 ” の時、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路は出力電位を入力電位に更新されるようにしても良い。

【 0 0 8 1 】

また、偶数番目のアドレスラッチ用フリップフロップ回路及び奇数番目のデコード信号ラッチ用フリップフロップ回路はクロック 1 4 0 6 の電位が “ 0 ” の出力電位が入力電位に更新されるようにして、奇数番目のアドレスラッチ用フリップフロップ回路及び偶数番目のデコード信号ラッチ用フリップフロップ回路はクロック 1 4 0 6 の電位が “ 1 ” の出力電位が入力電位に更新されるように回路を構成しても良い。

【 0 0 8 2 】

また、偶数番目のアドレスラッチ用フリップフロップ回路及び奇数番目のデコード信号ラッチ用フリップフロップ回路はクロック 1 4 0 6 の電位が “ 1 ” の出力電位が入力電位に更新されるようにして、奇数番目のアドレスラッチ用フリップフロップ回路及び偶数番目のデコード信号ラッチ用フリップフロップ回路はクロック 1 4 0 6 の電位が “ 0 ” の出力電位が入力電位に更新されるように回路を構成しても良い。この場合、 $t_{Dk}$ の大きさはクロックの半分の周期以下である必要がある。

【 0 0 8 3 】

また、 $m_N$ ビットデコーダの出力にデコード信号ラッチ用フリップフロップ回路を設けても良い。また、必要がなければ、上記に示す方法でアドレスを分割してデコードを行わなくても良い。本実施例は、実施例 1 と組み合わせて用いることができる。

【 実施例 3 】

【 0 0 8 4 】

本実施例では、表示装置の全画面をいくつかの区分に分け、必要な区分にだけ受信された画像データを更新するようにし、さらにアドレスコントローラによるアドレスのカウント方法を制御し、拡大、縮小、回転、反転などの画像処理をほどこすようにする方法を示す。

【 0 0 8 5 】

図10は、本実施例を示したものである。表示装置制御回路 1 6 0 0 には、画像データバス 1 6 0 1 と、アドレスバス 1 6 0 2 と、アドレスコントローラ 1 6 0 3 と、同期クロック 1 6 0 4 と、アドレスラッチ回路 1 6 0 5 と、画像データラッチ回路 1 6 0 6 と、表示制御回路 1 6 0 7 と、表示制御バス 1 6 1 1 と、アドレス書き込み制御信号 1 6 1 2 と、書き込み制御回路 1 6 1 3 と、アドレス制御信号 1 6 1 4 と、画像データ書き込み制御信号 1 6 1 5 と、同期信号 1 6 2 4 と、画像処理制御レジスタ 1 6 1 6 と、画像処理制御信号 1 6 2 5 が設けられ、表示装置 1 6 0 8 には、行デコーダ 1 6 0 9 と列デコーダ 1 6 1 0 と、画素部 1 6 2 3 が設けられている。1 6 0 0 ~ 1 6 1 5 及び同期信号 1 6 2 4 と画素部 1 6 2 3 は発明の実施の形態で示した図1のものと同様である。また、表示装置及び表示装置制御回路の外部には、表示装置インターフェース 1 6 2 2 が設けられている。また、ホストバス 1 6 2 1 により CPU 1 6 1 7、メモリ 1 6 1 8、I/Oインターフェース 1 6 1 9、表示装置インターフェース 1 6 2 2 とデータのやり取りが行われる。図10で示した電子回路は、I/Oインターフェースを介してI/Oバス 1 6 2 0 より外部の周辺機器 1 6 2 6 とデータのやり取りが行われる。

【 0 0 8 6 】

次に、図10に示した回路による表示装置の制御方法を説明する。まず、全画素をいくつかの区分に分割し、それぞれの画素区分にアドレスを割り当てる。画像処理制御レジスタ

10

20

30

40

50



1616は、CPU1617またはメモリ1618またはI/Oバス1620を介した外部装置から、更新したい画素区分のアドレスを指定する。ただし、前記画素区分のうち複数の画素区分を結合したり、離散した画素区分を指定することもできる。

【0087】

画素区分の大きさに応じてアドレスコントローラ1603が、受信された画像データの書き込み時のアドレスのカウントの仕方は自動的に変えることができ、例えば画素区分の画素の数が全画素の半分のときは、2画素の画像データが受信されるごとに1つのアドレスが加算される。このとき、前記2画素のデータが受信されるとき、不要な1画素の画像データは画素内記憶回路へ書き込まないように表示制御回路1607が制御する。

【0088】

また、1個または複数個の画素区分で表示される画像を静止させたい場合には、画像処理制御信号1625を介して、画像処理レジスタに画像を静止させる情報と、複数個または1個の画素区分のアドレス情報が保持され、複数個または1個の画素区分には画像データを書き込まないようにすることができる。

【0089】

また、1個または複数個の画素区分で表示される画像の拡張、縮小、反転、回転などの画像処理をさせたい場合には、画像処理制御信号1600を介して、画像処理レジスタに拡張、縮小、反転、回転などの画像処理をさせる情報と、複数個または1個の画素区分のアドレス情報が保持され、指定された複数個または1個の画素区分のアドレスのカウントの仕方を変えることにより、拡張、縮小、反転、回転などの画像処理を行うことができる。このように、必要な画素区分にしか画像データを表示装置に転送しなくても良く、低消費電力化が見込まれる。本実施例は、実施例1及び実施例2と組み合わせる用いることができる。

【実施例4】

【0090】

本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図11に示す。

【0091】

図11（A）は表示装置であり、筐体1701、支持台1702、表示部1703を含む。本発明は表示部1703を有する表示装置に適用が可能である。

【0092】

図11（B）はビデオカメラであり、本体1711、表示部1712、音声入力1713、操作スイッチ1714、バッテリー1715、受像部1716などによって構成されている。本発明は表示部1712を有する表示装置に適用が可能である。

【0093】

図11（C）はパーソナルコンピュータであり、本体1721、筐体1722、表示部1723、キーボード1724などによって構成されている。本発明は表示部1723を有する表示装置に適用が可能である。

【0094】

図11（D）は携帯情報端末であり、本体1731、スタイラス1732、表示部1733、操作ボタン1734、外部インターフェイス1735などによって構成されている。本発明は表示部1733を有する表示装置に適用が可能である。

【0095】

図11（E）は音響再生装置、具体的には車載用のオーディオ装置であり、本体1741、表示部1742、操作スイッチ1743、1744などによって構成されている。本発

10

20

30

40

50

明は表示部 1742 を有する表示装置に適用が可能である。また、今回は車載用オーディオ装置を例に上げたが、携帯型もしくは家庭用オーディオ装置に用いてもよい。

【0096】

図11(F)はデジタルカメラであり、本体 1751、表示部(A) 1752、接眼部 1753、操作スイッチ 1754、表示部(B) 1755、バッテリー 1756 などによって構成されている。本発明は表示部(A) 1752 および表示部(B) 1755 を有する表示装置に適用が可能である。

【0097】

図11(G)は携帯電話であり、本体 1761、音声出力部 1762、音声入力部 1763、表示部 1764、操作スイッチ 1765、アンテナ 1766 などによって構成されている。本発明は表示部 1764 を有する表示装置に適用が可能である。

10

【0098】

これらの電子機器に使われる表示装置はガラス基板だけでなく耐熱性のプラスチック基板を用いることもできる。それによってよりいっそうの軽量化を図ることができる。

【0099】

なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。

【0100】

本実施例は、実施の形態及び実施例 1 乃至実施例 3 と自由に組み合わせて実施することが可能である。

20

【図面の簡単な説明】

【0101】

【図1】本発明の表示装置及び表示装置制御回路の回路構成を示した図。

【図2】本発明を用いた表示装置制御回路の、画素に配置された記憶回路へ書き込みを行うためのタイミングチャート

【図3】本発明に用いる画像データの受信と表示との同期方法を示した図。

【図4】本発明に用いる画像データの受信と表示との同期方法を示した図。

【図5】本発明に用いる画像データの受信と表示との同期方法を示した図。

【図6】複数の記憶回路を内部に有する画素の詳細な図。

【図7】画素内部に配置された複数の記憶回路の 1 フレームごとの動作を示したタイミングチャート。

30

【図8】高速にアドレスをデコードできるデコーダの回路構成を示した図。

【図9】高速にアドレスをデコードできるデコーダの動作のタイミングチャート。

【図10】本発明を用いて画像処理を行う回路の回路構成を示した図。

【図11】本発明の表示装置及び表示装置制御回路を適用した電子機器の例を示す図。

【図12】従来の表示装置の全体の回路構成を簡略に示す図。

【図13】従来の表示装置のソース信号線駆動回路の回路構成例を示す図。

【図14】従来の表示装置の画素部の拡大図。

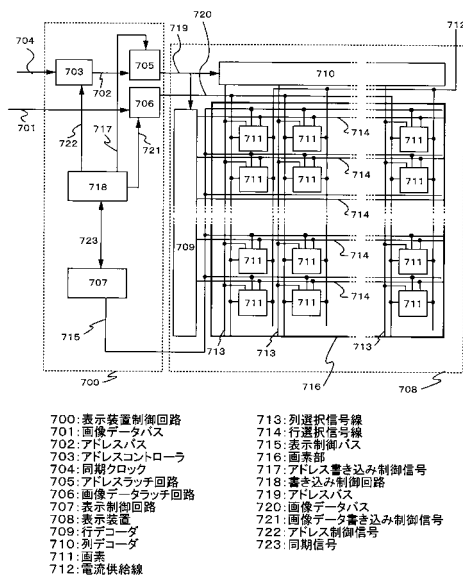
【図15】表示装置における時間階調方式のタイミングを示す図。

【図16】従来の時間階調方式を用いた表示装置の制御回路構成を示す図。

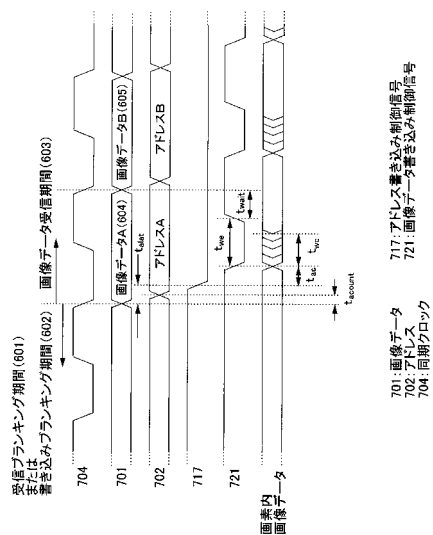
40

【図17】受信された画像データと時間階調方式を用いた表示装置に入力する画像データフォーマットを示した図。

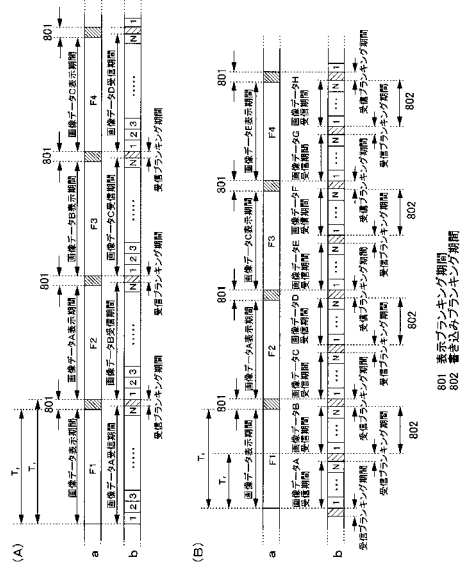
【 図 1 】



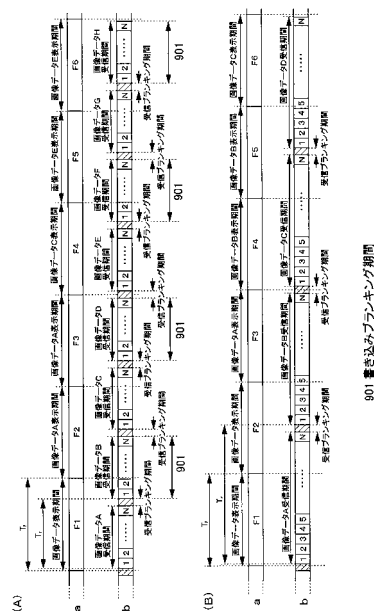
【圖 2】



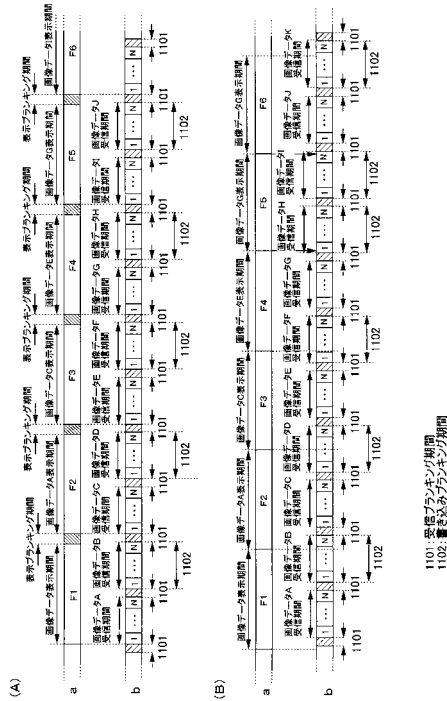
【圖 3】



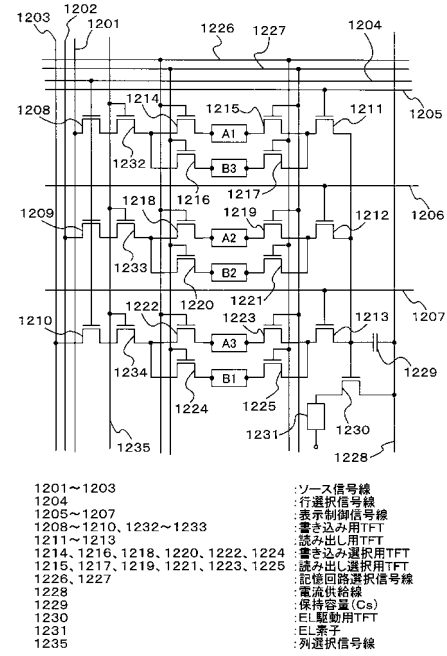
【 図 4 】



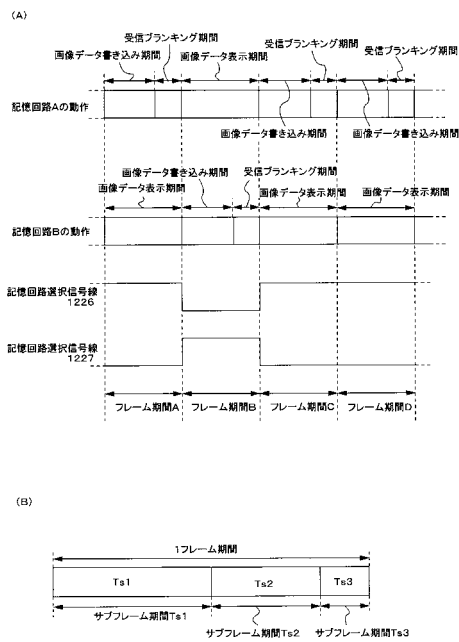
【図5】



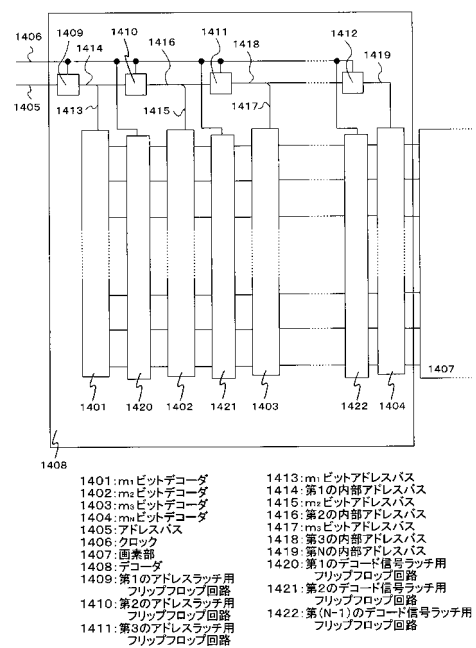
【図6】



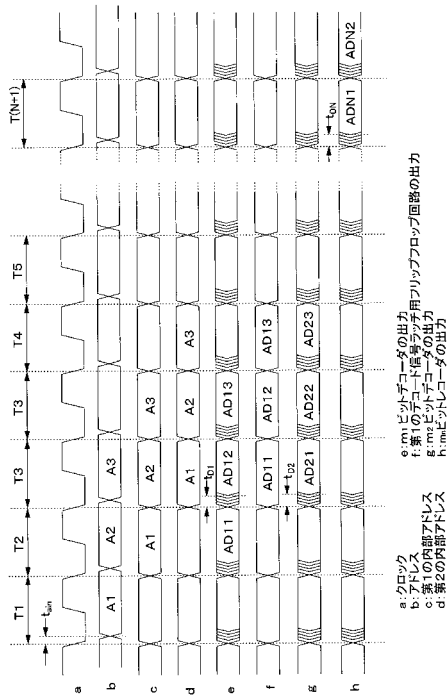
【図7】



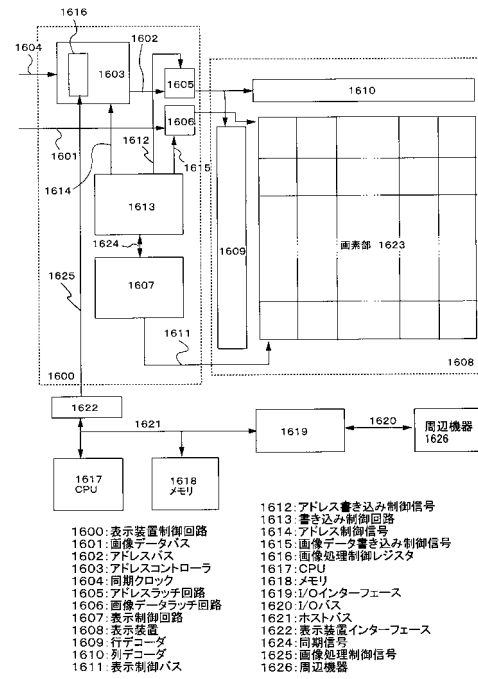
【図8】



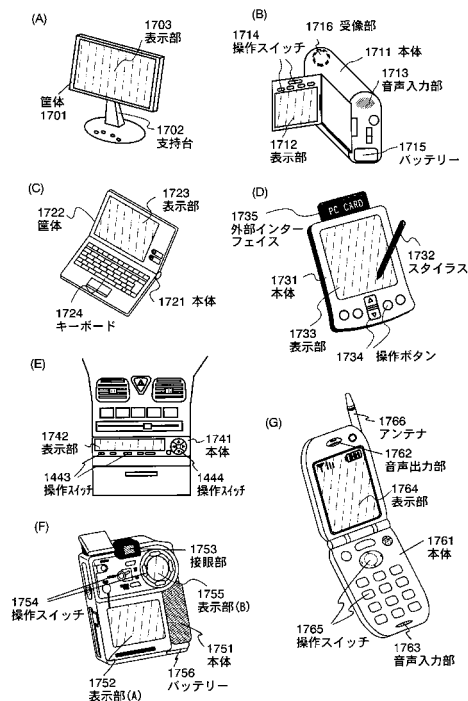
【 図 9 】



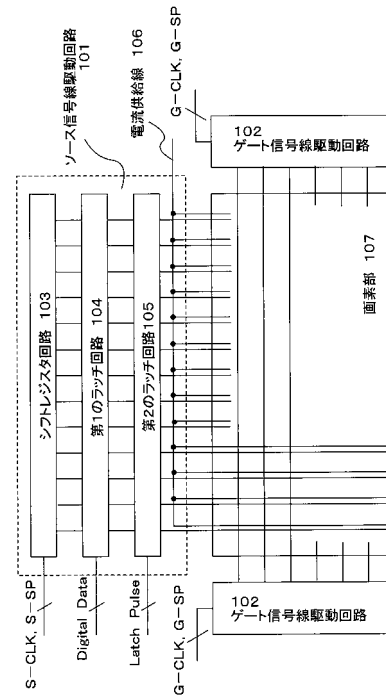
【 図 1 0 】



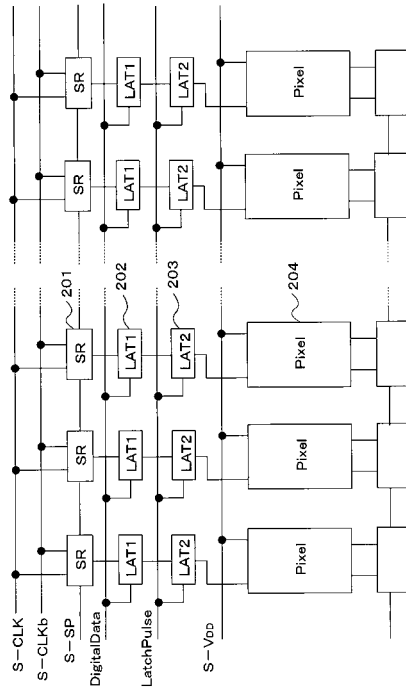
【 図 1 1 】



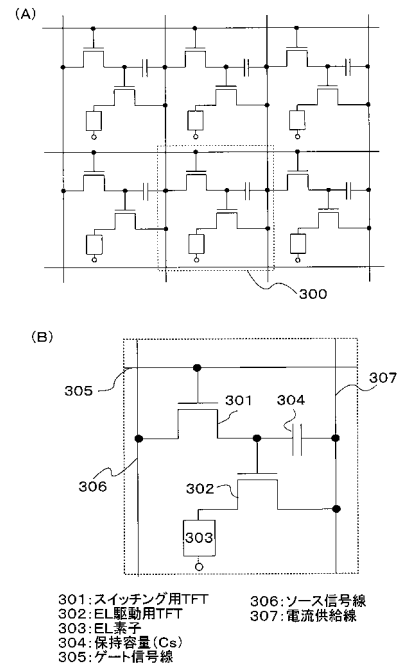
【 図 1 2 】



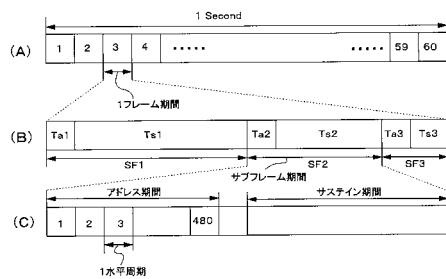
【図 13】



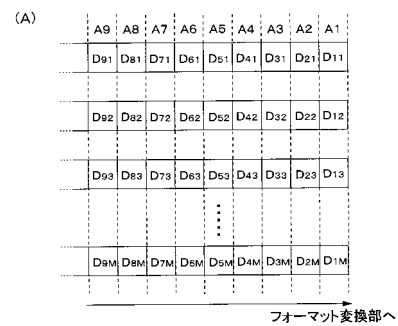
【図 14】



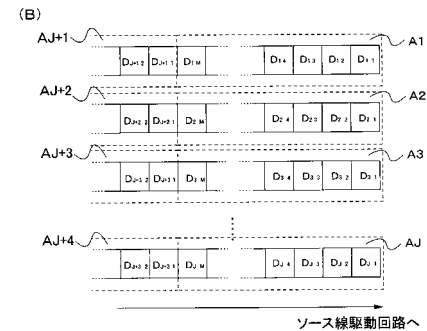
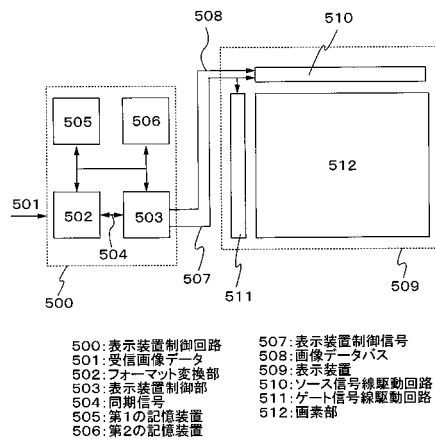
【図 15】



【図 17】



【図 16】



---

 フロントページの続き

|             |         |       |         |
|-------------|---------|-------|---------|
| (51)Int.Cl. | F I     |       |         |
|             | G 0 9 G | 3/20  | 6 2 3 H |
|             | G 0 9 G | 3/20  | 6 2 4 B |
|             | G 0 9 G | 3/20  | 6 4 1 E |
|             | G 0 9 G | 3/20  | 6 5 0 J |
|             | H 0 5 B | 33/14 | A       |

(56)参考文献 特開 2 0 0 2 - 1 2 3 2 1 8 ( J P , A )  
 特開平 0 5 - 0 6 1 4 5 5 ( J P , A )  
 特開平 0 5 - 2 4 9 9 3 5 ( J P , A )  
 特開平 0 7 - 1 4 0 9 3 9 ( J P , A )  
 特開平 1 1 - 2 6 1 9 2 7 ( J P , A )  
 特開昭 6 3 - 2 5 7 7 8 5 ( J P , A )  
 特開 2 0 0 0 - 2 5 3 4 2 3 ( J P , A )  
 特開 2 0 0 2 - 2 2 1 9 5 2 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
 G 0 9 G 3 / 3 0  
 G 0 9 G 3 / 2 0