

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4884655号
(P4884655)

(45) 発行日 平成24年2月29日(2012.2.29)

(24) 登録日 平成23年12月16日(2011.12.16)

(51) Int.Cl.

F 1

| | | | | | |
|-------------|--------------|------------------|------|------|---------|
| G09G | 3/30 | (2006.01) | G09G | 3/30 | J |
| G09G | 3/20 | (2006.01) | G09G | 3/20 | 6 1 2 T |
| H01L | 51/50 | (2006.01) | G09G | 3/20 | 6 2 1 A |
| | | | G09G | 3/20 | 6 2 2 E |
| | | | G09G | 3/20 | 6 2 2 F |

請求項の数 3 (全 23 頁) 最終頁に続く

(21) 出願番号

特願2004-145903 (P2004-145903)

(22) 出願日

平成16年5月17日 (2004.5.17)

(65) 公開番号

特開2005-4189 (P2005-4189A)

(43) 公開日

平成17年1月6日 (2005.1.6)

審査請求日 平成19年5月14日 (2007.5.14)

(31) 優先権主張番号 特願2003-139607 (P2003-139607)

(32) 優先日 平成15年5月16日 (2003.5.16)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 尾崎 匡史

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

審査官 佐野 潤一

最終頁に続く

(54) 【発明の名称】表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1の記憶回路及び第2の記憶回路を含む複数の画素と、
前記複数の画素に電気的に接続され、前記第1の記憶回路又は前記第2の記憶回路のデータが更新される前記複数の画素の少なくとも一を選択するデコーダと、
アドレスバスを介して前記デコーダに電気的に接続され、アドレス書き込み制御信号に応じて前記アドレスバスの電位を保持又は更新することで前記デコーダにおける画素の選択を制御するアドレスラッチ回路と、

画像データバスを介して前記複数の画素に電気的に接続され、画像データ書き込み制御信号に応じて前記画像データバスの電位を保持又は更新することで前記デコーダによって選択された画素における前記第1の記憶回路又は前記第2の記憶回路のデータを更新する画像データラッチ回路と、

前記アドレスラッチ回路及び前記画像データラッチ回路に電気的に接続された書き込み制御回路と、

前記複数の画素のそれぞれに電気的に接続され、前記複数の画素のそれぞれにおいて前記第1の記憶回路又は前記第2の記憶回路のデータに基づいて行われる表示を制御し、且つ前記書き込み制御回路に電気的に接続された表示制御回路と、を有し、

外部から第1の画像データが入力されるタイミングで、前記書き込み制御回路が前記アドレス書き込み制御信号を出力することにより前記アドレスラッチ回路及び前記デコーダを介して対象画素を選択し、且つ、前記書き込み制御回路が前記画像データ書き込み制御

10

20

信号を出力することにより前記画像データラッチ回路を介して前記対象画素の前記第1の記憶回路のデータを前記第1の画像データに更新し、

前記対象画素において前記第1の画像データを用いた表示が行われている間ににおいて、

外部から第2の画像データが入力されるタイミングで、前記書き込み制御回路が前記アドレス書き込み制御信号を出力することにより前記アドレスラッチ回路及び前記デコダを介して前記対象画素を選択し、且つ、前記書き込み制御回路が前記画像データ書き込み制御信号を出力することにより前記画像データラッチ回路を介して前記対象画素の前記第2の記憶回路のデータを前記第2の画像データに更新し、

且つ、前記書き込み制御回路が受信周期の途中であることを知らせる信号を前記表示制御回路に出力し、且つ、前記表示制御回路が表示途中であることを知らせる信号を前記書き込み制御回路に出力し、

前記受信周期の途中に、前記表示制御回路が1フレーム分の表示が終わったことを知らせる信号を前記書き込み制御回路に出力した場合に、前記対象画素において、表示が休止され又は前記第1の画像データを用いた表示が連続して行われ、

前記表示制御回路が1フレーム分の表示が終わったことを知らせる信号を前記書き込み制御回路に出力し、且つ、前記書き込み制御回路が前記受信周期が終わったことを知らせる信号を前記表示制御回路に出力した後に、前記対象画素において前記第2の画像データを用いた表示が行われる表示装置。

【請求項2】

請求項1において、

20

前記複数の画素のそれぞれが、発光素子を有し、

前記表示制御回路が、前記第1の記憶回路のデータを用いて前記発光素子を発光させる手段と、前記第2の記憶回路のデータを用いて前記発光素子を発光させる手段とを有する表示装置。

【請求項3】

請求項1又は請求項2において、

前記第1の記憶回路のデータを用いて表示を行う期間の長さと、前記第2の記憶回路のデータを用いて表示を行う期間の長さとが異なる表示装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、表示装置の駆動回路及び前記駆動回路の制御システムに関する。特に、絶縁体基板上に形成される薄膜トランジスタを有し、前記表示装置の各画素は、前記薄膜トランジスタで構成される複数の揮発性、もしくは不揮発性の記憶保持装置を有するアクティブラマトリクス型発光装置に関する。表示装置の表示素子として、有機エレクトロルミネッセンス(EL)素子等の自発光素子を用いたアクティブラマトリクス型表示装置に関する。

【背景技術】

【0002】

従来のデジタル方式表示装置の一例を、図12に示す。ソース信号線駆動回路101、ゲート信号線駆動回路102、シフトレジスタ回路103、第1のラッチ回路104、第2のラッチ回路105、電流供給線106、画素部107などが配置されている。ソース信号線駆動回路101に関しては、図13に示すような構成を有している。なお、図12においては、ゲート信号線駆動回路102は、画素部の左右両側に配置されている。

【0003】

図12及び図13を用いて動作について簡単に説明する。まず、シフトレジスタ回路103(図13中、S R (201)と表記)にクロック信号(S - C L K, S - C L K b)およびスタートパルス(S - S P)が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第1のラッチ回路104(図13中、LAT1(202)と表記)に入力され、同じく第1のラッチ回路104に入力されたデジタル映像信号(Digital Data)をそれぞれ保持していく。第1のラッチ回路104において、1水平周期、

40

50

それぞれ1ビット分のデジタル映像信号の保持が完了すると、帰線期間中に、第1のラッチ回路104で保持されているデジタル映像信号は、ラッチ信号(Latch Pulse)の入力に従い、一斉に第2のラッチ回路105(図13中、LAT2(203)と表記)へと転送される。

【0004】

一方、ゲート信号線駆動回路102において、シフトレジスタ(図示せず)に、ゲート側クロック信号(G-CLK)、ゲート側スタートパルス(G-SP)が入力される。シフトレジスタは、これら入力信号に基づいて、順次パルスを出力し、ゲート信号線選択パルスとして出力され、順次ゲート信号線を選択していく。

【0005】

ソース信号線駆動回路101の第2のラッチ回路105に転送されたデータは、ゲート信号線選択パルスによって選択されている列の画素(図13ではPixel(204)に書き込まれる)。

【0006】

続いて、画素部107の駆動について説明する。図14に、図12の画素部107の一部を示す。図14(A)は、 3×3 画素のマトリクスを示している。点線枠300にて囲まれた部分が1画素であり、図14(B)にその拡大図を示す。

スイッチング用TFT301のゲート電極に電圧が印加され、スイッチング用TFT301が導通状態になる。すると、ソース信号線306の信号(電圧)が保持容量304に蓄積される。保持容量304の電圧は、EL駆動用TFT302のゲート・ソース間電圧 V_{GS} となるため、保持容量304の電圧に応じた電流がEL駆動用TFT302とEL素子303に流れる。その結果、EL素子303が点灯する。

【0007】

ゲート信号線305を非選択状態にすると、スイッチング用TFT301のゲートが閉じ、スイッチング用TFT301を非導通状態となる。そのとき保持容量304に蓄積された電荷は保持される。よってEL駆動用TFT302の V_{GS} は、そのまま保持され、 V_{GS} に応じた電流が、EL駆動用TFT302を経由してEL素子303に流れつづける。なお、図14(B)での保持容量304の一方の端子は電流供給線307に接続されているが、専用の配線を用いることもある。

【0008】

EL素子の駆動等に関しては、これまでに報告がなされている(例えば、非特許文献1~3参照。)。

【非特許文献1】SID99 Digest : P372 : "Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT"

【非特許文献2】ASIA DISPLAY98 : P217 : "High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver"

【非特許文献3】Euro Display99 Late News : P27 : "3.8 Green OLED with Low Temperature Poly-Si TFT"

【0009】

次に、EL素子の階調表示の方式について述べる。

EL素子の階調表示方式の一つとして、時間階調方式がある。時間階調方式とは、EL素子が点灯している時間を制御して、その点灯時間の長短によって階調を出す方式である。つまり、1フレーム期間を、複数のサブフレーム期間に分割し、点灯しているサブフレーム期間の数や長さを制御して、階調を表現している。

【0010】

図15を参照する。図15は、時間階調方式を用いた、回路の駆動タイミングについて簡単に示している。フレーム周波数を60[MHz]とし、時間階調方式によって、画素数VGA(640×480 画素)の発光装置において、3ビットの階調を得る例である。ソース信号線駆動回路に関しては、図13に示した回路を用いるものとする。また、画面を

10

20

30

40

50

一回描画する期間を、1フレーム期間という。

【0011】

図15(A)に示すように、時間階調方式においては、1フレーム期間を、階調ビット数分のサブフレーム期間に分割する。ここでは3ビットであるので、3つのサブフレーム期間(SF1、SF2、SF3)に分割している(図15(B))。1つのサブフレーム期間は、さらにアドレス期間(Ta)とサステイン(点灯)期間(Ts)に分けられる(図15(B))。SF₁でのサステイン期間をTs₁と呼ぶことにする。SF₂、SF₃の場合においても同様にTs₂、Ts₃と呼ぶことにする。アドレス期間は、1フレーム分の画像信号を画素に書き込む期間であるので、いずれのサブフレーム期間においても長さが等しい(図15(C))。サステイン期間は、ここではTs₁:Ts₂:Ts₃=2²:2¹:2⁰=4:2:1というように、2のべき乗の比を有する。10

【0012】

アドレス期間においては、1行目から順にゲート信号が選択され、順次各画素へのデジタル信号の書き込みが行われる。

Ts₁からTs₂のサステイン(点灯)期間において、EL素子を点灯させるか点灯させないかのいずれかの状態に制御することにより、1フレーム期間内の総点灯時間の長短によって輝度を制御している。この例では、点灯するサステイン(点灯)期間の組み合わせにより、2³=8通りの点灯時間の長さを決定することができるため、8階調を表示できる。このように点灯時間の長短を利用して階調表現を行う。さらに階調数を増やす場合は、1フレーム期間の分割数を増やしていくべきよ20

【0013】

上記の時間階調方式のように1フレーム分の画像データを複数個のサブフレームに分けて表示させるためには、表示装置の外部から受信されるデジタル映像信号を適切なタイミングで表示装置に転送させなければならない。そのため、デジタル映像信号の受信タイミングを表示装置への転送タイミングに変更する動作を行うための回路を表示装置の外部に設けている。

【発明の開示】

【発明が解決しようとする課題】

【0014】

時間階調方式を用いた表示装置の制御方式の一例を、図16、図17を用いて説明する。30
図16は、時間階調方式を用いた表示装置制御系のブロック図である。501は、外部から受信される受信画像データであり、受信画像データは、表示装置制御回路500に入力される。表示装置制御回路500には第1の記憶装置505及び第2の記憶装置506と、フォーマット変換部502と表示装置制御部503が設けられている。表示部509は、図12に示される表示装置と同様の構成になっており、ソース信号線駆動回路510とゲート信号線駆動回路511と画素部512が設けられている。ソース信号線駆動回路510には、画像データバス508を介して画像データが送られる。

【0015】

また、表示装置制御信号507は、ソース信号線駆動回路510やゲート信号線駆動回路511を制御する信号であり、具体的には図12中のシフトレジスタ回路103を制御するS-CLK(クロック信号)及びS-SP(スタートパルス)、第2のラッチ回路105を制御するLatch Pulse(ラッチ信号)、ゲート信号線駆動回路102を制御するG-CLK(クロック信号)及びG-SP(スタートパルス)である。40

【0016】

図17(A)及び図17(B)は、画像データのフォーマットを図示したものである。図16の画素部512において、各画素を識別するための番号をn(nは自然数)とし、1フレーム期間にn番目の画素に送られる画像データをA_nとする。また、画像データの階調ビット幅をM(Mは自然数)とする。さらに、画像データA_nのうち、m番目のビット(mは自然数かつ0 < m < M - 1)の画像データをD_{n m}とする。

【0017】

50

20

30

40

50

次に、表示装置制御系の動作の役割について説明する。図16中の受信画像データ501は、通常図17(A)に示すフォーマットで表示装置制御回路500に入力される。図17(A)で示す画像データの流れは、1番目の画像データA1からA2、A3、A4…・・・Anという順番にフォーマット変換部502に、画像データビットは並列に入力される。

【0018】

一方、表示装置509のソース信号線駆動回路510へ入力される画像フォーマットについて説明する。1フレーム内にサブフレームがK回(Kは自然数)ある表示方式では、サブフレームSFK(kは自然数かつ $0 < k < K - 1$)内のアドレス期間Takに画素部512の1番目の画素に送られるべき画像データはD1k(1は自然数で、Nを全画素数とすると $0 < 1 < N - 1$)である。画像データはソース信号線駆動回路510へ1サブフレームにつき画像データの1階調ビットごとに、すなわち階調ビットを直列に送信する必要がある。但し、ソース信号線駆動回路510は、複数の画素アドレスを並列に処理する方式でもよい。したがって、階調ビットをシリアルにソース信号線駆動回路510へ送信するとき、複数の画素についてパラレルに送信しても良い。J個(Jは自然数)の画素データを並列にソース信号線駆動回路510へ送信するときの画像データフォーマットを、図17(B)に示す。

【0019】

すなわち、表示装置制御回路500の役割は、受信画像データ501のフォーマットを図17(A)で示されるフォーマットから図17(B)で示されるフォーマットに変換し、表示装置509へ正確なタイミングで前記フォーマット変換された画像データおよび表示装置制御信号507を送信するというものである。

【0020】

次に、表示装置制御回路500の動作を説明する。あるフレーム期間中で、受信画像データ501は、フォーマット変換部502で図17(B)で示す画像データフォーマットに変換され、第1の記憶装置505へ格納されると同時に、表示装置制御部503は表示制御信号507を表示装置509へ送るとともに、第2の記憶装置506に格納された、図17(B)で示すフォーマットの画像データを適切なタイミングで画像データバス508を介してソース信号線駆動回路510へ送信する。次のフレーム期間では、第1の記憶装置505と、第2の記憶装置506の役割を入れ替えて上記と同様な動作を行う。ここで、第1の記憶装置505と第2の記憶装置506の役割の切り替えは、同期信号504を用いて行う。しかし、上記の表示装置制御回路は1フレーム分の画像データを格納する大容量の記憶回路を2個実装しており、製品の小型化、低消費電力化において支障となる。

【0021】

一般的なアクティブマトリクス型表示装置では、画像の表示をスムーズに行うため、前述の図15(A)に示したように、1秒間に60回前後、画面表示の更新が行われる。すなわち、1フレームごとにデジタル映像信号を供給し、その都度画素への書き込みを行う必要がある。たとえ、画像が静止画であったとしても、1フレーム毎に同一の信号を供給しつづけなければならないため、駆動回路が連続して同じデジタル映像信号の繰り返し処理を行う必要がある。

【0022】

また、画素内に複数の記憶保持装置を配置し、画素毎にデジタル映像信号を記憶させる方式を採用した場合では、次のようになる。従来の駆動方式では、全画面が静止画の場合は、1度書き込みを行えばそれ以後画素に書き込まれる情報は同様である。したがって、フレームごとに信号の入力を行わなくとも、記憶回路に記憶されている信号を読み出すことによって静止画を継続的に表示することができる。しかし、画素データの一部を変えず、一部変化させたい場合は、やはり全画像データを送信して画素内に配置した記憶保持装置を書き換えるなければならない。

【0023】

また、従来の表示装置駆動方式では、ソース信号線駆動回路及びゲート信号線駆動回路

の制御信号に同期させたタイミングで表示装置に画像データを送信しなければならなかつたため、表示装置制御回路は、受信した1フレーム分の画像データを、少なくとも画素数以上のアドレス数を有する大容量の記憶装置しなければならなかつた。

【0024】

低消費電力化、小型化は、特に携帯機器において重要視されている。しかし、従来のような表示方式では、全画面静止画もしくは全画面のうち、一部静止させて一部だけ動作するような動画を表示する場合でも、全画素の画像データを表示装置に送信しなければならない。このため、駆動回路の低消費電力化をする上で問題となっていた。また、画素に記憶保持装置を配置しない場合は、従来技術で述べたフォーマット変換回路や、受信データを一時保持しておくための大容量のメモリを2個実装しなければならず、画素に記憶保持装置を配置させた場合でも、受信される画像データと表示装置の表示タイミングとを同期させなければならないため、受信される画像データを1フレーム分保持させておくための大容量の記憶保持装置が1個以上は必要となる。このため、製品を小型化する上で問題となっていた。10

【課題を解決するための手段】

【0025】

本発明の表示装置は、以下の特徴を有する。

発光素子と複数の記憶回路とを有する画素と、

この画素を複数個配置した表示部と、

この表示部の周囲に配置され、表示部を制御する複数のデコーダと、20

これらのデコーダを制御する表示制御回路と、

これらのデコーダが電気的な信号を用いて記憶回路の1つまたは複数を選択する手段と、これらのデコーダによって選択された記憶回路にデジタル信号を書き込む手段とを有することを特徴としている。

【0026】

また、本発明の表示装置の表示方法は、以下の特徴を有する。

表示制御回路は複数のデコーダを制御し、

これらのデコーダは、表示部に配置された複数の画素が各々有する記憶回路の1つまたは複数を電気的な信号によって選択し、30

デコーダによって選択された記憶回路にデジタル信号を書き込むことによって、画素が有する発光素子を発光させることを特徴とする。

【発明の効果】

【0027】

本発明の表示装置及び表示装置制御回路においては、記憶回路が配置された画素を、デコーダを用いて表示させることにより表示させることにより、受信された1フレームの画像データを記憶するための大容量の記憶装置を外部に実装する必要が無く、また、静止画を表示させる場合は、記憶回路に記憶された画像データを反復して読み出せば良く、さらには一部分の画素だけ選択して画像データを更新することが可能であるため、画像データの転送量を減らし、製品の小型化と低消費電力化に大きく貢献する。

【発明を実施するための最良の形態】

【0028】

本明細書では、本発明で用いるNチャネルトランジスタの閾値よりも高い電位を“0”と表現し、Pチャネルトランジスタの閾値よりも低い電位を“1”と表現する。また、本明細書では、本発明の電子回路において、バッファやインバータなどは全て省いて説明するが、必要に応じて追加しても良い。40

【0029】

図1は、本発明で用いる表示装置の構成を示したものである。表示装置708は、列デコーダ710、行デコーダ709、画素部716が含まれており、画素部716には画素711がマトリクス状に配列されており、画素711には複数の記憶回路が配置されている。電流は電流供給線712により供給されている。列デコーダから出力された列選択信50

号線 713 は画素 711 の各列に入力されており、行デコーダから出力された行選択信号線 714 は画素 711 の各行に入力されている。表示装置制御回路 700 には、アドレスコントローラ 703、アドレスラッチ回路 705、画像データラッチ回路 706、表示制御回路 707 が配置されている。アドレスコントローラには、同期クロック 704 が入力され、アドレスバス 702 が出力されている。アドレスバスは、アドレスラッチ回路 705 に入力され、アドレスラッチ回路から出力された後、2組のビットに分けられ、それぞれ列デコーダと行デコーダに入力されている。ただし、アドレスバスの分割方法はどのような形態でも良い。画像データバス 701 は、画像データラッチ回路 706 を通って各画素 711 に入力されている。表示制御回路 707 からは、表示制御信号バス 715 が各画素へ入力されている。書き込み制御回路 718 からはアドレス書き込み制御信号 717 と、画像データ書き込み制御信号 721 が出力されており、アドレス書き込み制御信号 717 はアドレスラッチ回路 705 へ入力され、画像データ書き込み制御信号 721 は画像データラッチ回路 706 へ入力されている。表示制御回路 707 と書き込み制御回路 718 とは、同期信号 723 で結合されている。アドレス制御信号 722 は、書き込み制御回路 718 から出力され、アドレスコントローラ 703 に入力されている。
10

【0030】

図7(A)は、本発明の表示装置のタイミングチャートを示したものである。

【0031】

図2では、図1の画素 711 への画像データの書き込みタイミングの一例を示す。

【0032】

図3、図4及び図5は、本発明で用いる表示装置におけるフレーム期間と、受信されるフレームごとの画像データとのタイミングの関係を示したものである。
20

【0033】

図1中の 711 に示す画素は、画像データと同じビット数の記憶回路を2組有し、この2組の記憶回路のうち、一方の組の記憶回路をMA、もう片方の組の記憶回路をMBとする。あるフレームでMAの画像データを表示させている間MBに画像データ書き込み、別のフレームではMBの画像データを表示させている間MAに画像データ書き込むという様に、MAとMBの、画像データ表示用及び画像データ書き込み用としての役割をフレームごとに交互に切り替えて用いる表示方式であってもよい。また、画素は1組の記憶回路を有し、全画素を2つの画素群に分け、前記画素群のうち一方をA群、もう一方をB群とする。あるフレームで、A群の画素に配置された記憶回路のデータを表示させ、その間B群の画素に配置された記憶回路のデータを更新させ、次のフレームでB群の画素に配置された記憶回路のデータを表示させ、その間A群の画素に配置された記憶回路のデータを更新させるという方式で、フレームごとにA群とB群の画素のどちらか一方を表示させる表示形式であってもよい。A群とB群の定義の例としては、A群を奇数行の画素とし、B群を偶数行の画素とするなどである。
30

【0034】

次に、図1で示される表示制御回路の動作について説明する。本発明の表示制御回路700の動作は、画素711に配置された記憶回路へ画像データを書き込む動作と、画素711に配置された記憶回路に格納された画像データの表示を制御する動作に分けることができる。
40

【0035】

まず、記憶回路へ画像データを書き込む動作から説明する。アドレスラッチ回路705は、アドレスバス719の電位を保持するか、またはアドレスバス719の電位をアドレスバス702の電位に更新する動作を行うものであるが、この動作はアドレス書き込み制御信号717によって制御される。また、画像データラッチ回路706は、画像データバス701の電位を保持するか、または画像データバス720の電位を画像データバス701の電位に更新する動作を行うものであるが、この動作は画像データ書き込み制御信号717によって制御される。

【0036】

10

20

30

40

50

まず、外部から画像データが、同期クロック704に同期して、画像データバス701を通って表示装置制御回路700へ入力される。アドレスコントローラ703は、画像データが入力するたびにアドレスをカウントして、アドレスバス702に出力する。画像データはアドレスバス702から、アドレスラッチ回路705に入力され、アドレス書き込み制御信号717の制御により、アドレスバス719のアドレス電位が更新される。さらに、アドレスは2組のビットに分けられ、行デコーダ709及び列デコーダ710に入力される。列デコーダ710に入力された一組のアドレスビットは、デコードされ、画素部716の各画素の列に配置された列選択信号線のうち、アドレス指定した画素が存在する列の列選択信号線が選択される。

【0037】

10

一方、行デコーダ709に入力されたもう一組のアドレスビットは、デコードされ、画素部716の各画素の行に配置された列選択信号線のうち、アドレス指定した画素が存在する行の行選択信号線が選択される。結果、前記選択された画素の1列と、前記選択された画素の1行とが交差したところの1画素が選択され、ほぼ同時に画像データバス720の電位が、画像データ書き込み制御信号721の制御により、画像データバス701に入力された画像データの電位に更新され、前記画像データが画素部716に送られ、前記アドレスのデコードにより選択された画素に配置された記憶回路に画像データが書き込まれる。

【0038】

20

図2は、記憶回路への画像データの書き込みタイミングの一例を示したものである。図2のaは同期クロック704を、bは画像データバス701を、cはアドレスバス702を、dはアドレス書き込み制御信号717を、eは画像データ書き込み制御信号721を、fは画素内記憶回路のデータのタイミングを示している。

【0039】

アドレスラッチ回路制御信号の電位が“0”的とき、アドレスラッチ回路705はアドレスバス702のアドレスをアドレスバス719に出力し、画像データラッチ回路制御信号の電位が“0”的とき、画像データラッチ回路706は画像データバス701の画像データを画像データバス720に出力する。ここではアドレスラッチ回路制御信号の電位が“1”的とき、アドレスバス719に出力されているアドレスの値は保持され、画像データラッチ回路制御信号の電位が“1”的とき、画像データバス720に出力されている画像データの値は保持されるものとするが、アドレスラッチ回路制御信号の電位が“1”的ときに、アドレスラッチ回路705の出力値を更新するようにしても良いし、画像データラッチ回路制御信号の電位が“1”的とき画像データラッチ回路706の出力値を更新するようにしても良いし、アドレスラッチ回路制御信号の電位が“1”から“0”へ、又は“0”から“1”への変化時にアドレスラッチ回路705の出力値を更新するようにしても良いし、画像データラッチ回路制御信号の電位が“1”から“0”へ、又は“0”から“1”への変化時に画像データラッチ回路706の出力値を更新するようにしても良い。

30

【0040】

図2中の $t_{account}$ は、画像データの画像データバス701への入力から、アドレスコントローラ703がアドレスをカウントしてアドレスバス702に出力されるまでの遅延時間であり、 t_{alat} は、画像データの画像データバス701への入力から、アドレス書き込み制御信号717が“0”になるまでの遅延時間であり、 t_{ac} はアドレスがアドレスバス719に出力されてから、デコードして画素を選択するまでの遅延時間である。また、 t_{wc} は、画像データ書き込み制御信号が“0”になってから、アドレスのデコードにより選択された画素の画像データが確定するための遅延時間であり、 t_{wc} は画像データ書き込み制御信号を“0”にしておく時間である。 t_{wait} は、 t_{wc} が“1”になってから次の画像データが受信されるまでの時間である。

40

【0041】

次に、画素711に配置された記憶回路への画像データの書き込み動作を、図2を用いて詳細に説明する。画像データは画像データ受信期間603に画像データバス701から入

50

力される。また、受信プランキング期間 601 は 1 フレーム期間分の画像データが受信された後、画像データの受信を中断する期間であり、受信プランキング期間では画像データバス 701 がどんな電位であっても表示装置の動作には影響しない。また、受信プランキング期間は無くても良い。また、本明細書では、受信プランキング期間と 1 フレーム分の画像データの受信との 1 組を合わせて受信周期と表記する。また、書き込みプランキング期間 602 とは、画像データが受信されているが、後述する表示期間との同期の関係で前記受信されたデータは画素内の記憶回路に書き込まれないような期間を指す。

【0042】

まず、受信プランキング期間では、画素 711 に配置した記憶装置のデータが書き換わらないようにアドレス書き込み制御信号と画像データ書き込み制御信号を “1” にしておく。画像データ受信期間になると、同期クロックに同期して画像データ A604 が画像データバス 701 に入力される。ほぼ同時にアドレスコントローラがアドレス A をアドレスバス 702 に出力し、書き込み制御回路はアドレス書き込み制御信号を “0” にする。
10

【0043】

次にアドレスがデコードされ、画像データ A604 を書き込む画素に配置された記憶回路が選択されると、書き込み制御回路は画像データ書き込み制御信号を “0” として、前記選択された、画素中の記憶回路に画像データ A604 が書き込まれる。このとき t_{we} は、 t_{wc} よりも長いとする。画像データ A604 の書き込み後、図2ではアドレス書き込み制御信号は、画像データ受信期間中は “0” としたままであるが、画像データ書き込み後に “1” として、次の画像データが受信されたときに “0” としても良い。図2では、画像データ A604 の書き込み後は同期クロックに同期して画像データ B605 が送られてくるが、このときの t_{alat} は 0 である。以下、1 フレーム期間分の画像データの受信が終わるまで、すなわち画像データ受信期間が終わるまで上記の書き込み動作が繰り返される。
20

【0044】

次に、画素 711 に配置された記憶回路に格納された画像データの表示を制御する動作について説明する。表示制御回路 707 は、画素に書き込まれた記憶回路のデータの表示制御を行う回路である。表示制御は、表示制御信号バス 715 に表示制御信号を出力することにより、画素部 716 に配置された記憶回路のデータを、表示させる。表示は、時間分割方式で行われる。サブフレームのタイミングについては実施例に示す。
30

【0045】

通常、表示装置における 1 フレーム期間と、1 フレーム期間分の画像データが受信される周期とは異なっているが、本発明の表示装置制御回路は、画素 711 に配置された記憶回路への画像データの書き込みと、画素 711 に配置された記憶回路に格納された画像データの表示とを同期させて表示装置を制御している。前記同期は、同期信号 723 を用いて行われる。本発明の表示装置制御回路では、前記同期動作において、外付けの、大容量の記憶装置を用いないことを特徴としている。
30

【0046】

フレーム期間（以後 T_f と表記する）と、受信周期（以後 T_r と表記する）との長さの違いによって、同期の方法は 2 種類考えられる。今、 T_r の n 倍（n は自然数）から T_f を差し引いた値を $t(n)$ と定義する。すなわち、次式で $t(n)$ を定義する。
40

$$t(n) = n \times T_r - T_f$$

【0047】

ここで、n は $t(n)$ が正で、 $t(n)$ が最小になるときの値とする。 $t(n)$ の大きさにより、2 つの同期方法が考えられる。 $t(n)$ が、小さい場合は、フレーム期間が終わった後、受信周期が終わるまで画像の表示を休止するという方法である。前記画像の表示休止期間を表示プランキング期間という。以下、この同期方法を、同期法 A と表記する。

【0048】

表示プランキング期間が大きい場合（ $t(n)$ が大きい場合）は画面のちらつきが著しくなるため、次に示す同期の方法をとる。表示動作は休止させずに連続して行い、あるフレーム期間で画像データを表示させている間、前記フレームの始まりの時点で画素内の記憶
50

回路への書き込みが行われていない場合には、前記フレームの始まりから数えて始めにくる受信周期の画像データを、画素内の記憶回路に書き込み、前記受信周期が2つのフレーム間にまたがっている場合には、前記2つのフレーム期間は同じ画像データを表示させるという方法である。以下、この同期方法を、同期法Bと表記する。また、 $t(n)$ が同期法Aを用いても画面のちらつきが認識されないほど十分小さい場合であっても、同期法Bを用いることができる。

【0049】

ここで、ある定数 T_h を次のように定義する。上記2種類の同期方法のうち、 $t(n)$ が T_h 以下の場合、同期法Aを用い、 $t(n)$ が T_h 以上の時は同期法Bを用いるとする。 T_h の情報を、本発明の表示装置制御回路に組み込み、 $t(n)$ の大きさを判別して自動的に同期法Aまたは同期法Bを選ぶようにしても良いし、外部スイッチから同期法Aと同期法Bとを切り替えるようにしても良い。また、同期法Aまたは同期法Bの何れか一方を用いるようにしても良い。

10

【0050】

この場合、後述のように、同期法Aを用いるほうが同期法Bを用いるよりも動画の残像を少なくすることができますから、動画が多用される場合は表示プランキング期間による画面のちらつきをなくすために、フレーム周期や階調ビット数などを調整して $t(n)$ となるべく小さくして、同期法Aを用いるようにすることが好ましいが、高速な動画を必要としない場合は、同期法Bを用いても良い。また、受信の周期によって $t(n)$ が T_h 以下になるようにフレーム期間を自動で変化させて同期法Aを用いるようにしても良いし、あるフレーム期間の範囲を決めておいて、受信の周期によって $t(n)$ が T_h 以下になるように前記フレーム期間の範囲内でフレーム期間を変化させて同期法Aを用いるようにして、前記フレーム期間の範囲外にしなければ $t(n)$ が T_h 以下にならないような場合は同期法Bを用いるという動作を自動で行うようにしても良い。

20

【0051】

図3、図4、図5は、受信される画像データの周期と、画素711の記憶装置に書き込まれた画像データを表示する周期との同期の方法を示したものである。ここで図3、図4、図5中のaは表示のタイミングを表し、bは画素に配置された記憶回路への画像データの書き込みタイミングを表す。

30

【0052】

まず、同期法Aを、図3を用いて具体的に説明する。図3(A)は、 $n = 1$ の場合を示しており、まずこの場合から説明する。まずフレーム期間 F_1 で画素に配置された表示用の記憶回路に格納された画像データを表示させている間、画素に配置された書き込み用の記憶回路に画像データAを書き込む。画像データを表示させている間は、図1の表示制御回路707は、書き込み制御回路718に、まだ表示途中であることを知らせる信号を、同期信号723を介して出力する。また、受信周期 T_r の途中では書き込み制御回路718は、表示制御回路707に、まだ受信周期の途中であることを知らせる信号を、同期信号723を介して出力する。次に、1フレーム分の画像データが表示され終わると、表示制御回路718は1フレーム分の画像データを表示し終わったことを同期信号723により書き込み制御回路718に知らせるが、この時点ではまだ受信周期 T_r は終わっていないので、表示制御回路707は休止状態となる(表示プランキング期間801)。

40

【0053】

次に受信周期 T_r が終わると、書き込み制御回路718は、同期信号723を介して受信周期 T_r が終わったことを表示制御回路707に知らせ、アドレスコントローラから出力されるアドレスを、アドレス制御信号を介して次のフレームで始めに書き込む画素のアドレスに設定する。表示制御回路707は、受信周期 T_r が終わったことを認識し、表示制御バス715を通して画素内に配置された記憶回路のうち書き込み用の記憶回路を読み出し用に切り替え、読み出し用の記憶回路を書き込み用に切り替え、画像データAを表示すべくフレーム期間 F_2 を開始する。同時に書き込み制御回路718及びアドレスコントローラ703の制御のもとで、受信されてくるフレーム期間 F_3 で表示するための画像データBを

50

前記書き込み用に切り替えた記憶回路へ書き込んでゆく。上記動作の繰り返しにより表示装置から画像データを表示させる。

【0054】

次に、 $n = 2$ の場合を図3(B)を用いて説明する。まずフレーム期間 F 1 で画素に配置された表示用の記憶回路に格納された画像データを表示させている間、画素に配置された書き込み用の記憶回路に画像データ A を書き込む。画像データを表示させている間は、図1の表示制御回路 707 は、書き込み制御回路 718 に、まだ表示途中であることを知らせる信号を、同期信号 723 を介して出力する。また、受信周期の途中では書き込み制御回路 718 は、表示制御回路 707 に、まだ受信周期の途中であることを知らせる信号を、同期信号 723 を介して出力する。

10

【0055】

次に、受信周期が終わると、書き込み制御回路 718 は受信周期が終わったことを同期信号 723 により表示制御回路 707 に知らせるが、この時点ではまだフレーム期間は終わっていない。そこで、書き込み制御回路 718 はアドレスコントローラから出力されるアドレスを、アドレス制御信号を介して次のフレームで始めに書き込む画素のアドレスに設定する。その後、休止状態（書き込みブランкиング期間 802）となり、次に入ってくる画像データ B は画素内の記憶回路には書き込まれず、破棄される（図3(B)中における書き込みランキング期間の部分）。次にフレーム期間 F 1 が終わると、表示制御回路 707 は、同期信号 723 を介してフレーム期間が終わったことを書き込み制御回路 718 に知らせる。

20

【0056】

表示制御回路 707 は、表示制御バス 715 を通して画素内に配置された記憶回路のうち書き込み用の記憶回路を読み出し用に切り替え、読み出し用の記憶回路を書き込み用に切り替え、画像データ A を表示すべくフレーム期間 F 2 を開始する。同時に書き込み制御回路及びアドレスコントローラの制御のもとで、受信されてくるフレーム期間 F 3 で表示するための画像データ B を前記書き込み用に切り替えた記憶回路へ書き込んでゆく。上記動作の繰り返しにより表示装置から画像データを表示させる。

【0057】

次に、同期法 B を、図4を用いて具体的に説明する。まず、受信周期 T_r がフレーム期間 T_f よりも短い場合を図4(A)を用いて説明する。まずフレーム期間 F 1 で画素に配置された表示用の記憶回路に格納された画像データを表示させている間、画素に配置された書き込み用の記憶回路に画像データ A を書き込む。画像データを表示させている間は、図1の表示制御回路 707 は、書き込み制御回路 718 に、まだフレーム期間 F 1 の途中であることを知らせる信号を、同期信号 723 を介して出力する。また、受信周期の途中では書き込み制御回路 718 は、表示制御回路 707 に、まだ同時に、画像データ書き込み期間であることを知らせる信号を、同期信号 723 を介して出力する。

30

【0058】

次に、受信周期が終わると、書き込み制御回路 718 は受信周期が終わったことを同期信号 723 により表示制御回路 707 に知らせるが、この時点ではまだフレーム期間は終わっていない。そこで、書き込み制御回路 718 はアドレスコントローラから出力されるアドレスを、アドレス制御信号を介して次の受信周期で始めに書き込む画素のアドレスに設定する。その後、休止状態（書き込みブランкиング期間）となり、次に入てくる画像データ B は画素内の記憶回路には書き込まれず、破棄される（図4(A)中の画像データ B 受信期間、画像データ D 受信期間、画像データ F 受信期間、画像データ H 受信期間の部分）。

40

【0059】

また、書き込み制御回路 718 は、書き込みブランкиング期間であることを同期信号により表示制御回路へ知らせておく。但し、図4(A)の場合に限らず、あるフレーム期間内において、画素内記憶回路への書き込みを終えた後、書き込みブランкиング期間に入った後は、たとえ受信期間が複数回入っても、前記フレーム期間が終わるまでは書き込みブランкиング期間は続けられる。次にフレーム期間 F 1 が終わると、表示制御回路 707 は、

50

同期信号 723 を介して受信周期が終わったことを書き込み制御回路 718 に知らせる。

【0060】

また、表示制御回路 707 は、フレーム期間 F1 が終了した直後の書き込み制御回路 718 の状態が休止状態（書き込みプランキング期間）であることを認識すると、表示制御バス 715 を通して画素内に配置された記憶回路のうち書き込み用の記憶回路を読み出し用に切り替え、読み出し用の記憶回路を書き込み用に切り替え、画像データ A を表示するためにフレーム期間 F2 を開始する。次に書き込み制御回路 718 は、画像データ C が受信される受信周期に入ると、書き込みプランキング期間を解除し、画像データ C を前記書き込み用に切り替えた記憶回路へ書き込んでゆくと同時に、画像データ書き込み期間であることを表示制御回路 707 に知らせておく。

10

【0061】

次にフレーム期間 F2 が終わると、表示制御回路 707 は、同期信号 723 を介して受信周期が終わったことを書き込み制御回路 718 に知らせる。また、表示制御回路 707 は、フレーム期間 F2 が終了した直後の書き込み制御回路 718 の状態が画像データ書き込み期間であることを認識すると、画素内記憶回路の読み出し用を書き込み用に、書き込み用を読み出し用に切り替えず、フレーム期間 F2 で表示していた画素内記憶回路の内容をフレーム期間 F3 で再び表示する。次に、書き込み制御回路 718 は、画像データ C の受信が終了すると、休止状態（書き込みプランキング期間 901）となり、休止状態（書き込みプランキング期間）であることを、同期信号を介して表示制御回路 707 に知らせておく。上記動作の繰り返しにより表示装置から画像データを表示させる。

20

【0062】

図4(B)は、受信周期 T_r がフレーム期間 T_f よりも長い場合の受信と表示の同期タイミングを示したものであるが、表示装置制御回路の動作としては図6(A)で示したものと同様である。

【0063】

次に、図5を用いて、 $t(n)$ が十分小さい場合に同期法 A を用いることの利点について説明する。図5は、 $t(n)$ の n が 2 の場合を示している。図5(A)は、同期法 A を用いたときの受信と表示のタイミングを示したものであり、図5(B)は、同期法 B を用いたときの受信と表示のタイミングを示したものである。ここで、図5(A)の場合と図5(B)の場合とで、フレーム期間と受信周期及び受信プランキング期間 1101 の長さは等しいとする。図5(A)の同期法 A を用いた場合は、画像データ書き込み期間と書き込みプランキング期間 1102 が受信周期ごとに交互に繰り返され、1 フレームごとに新しい画像データが更新されている。

30

【0064】

一方図5(B)の同期法 B を用いた場合では、画像データ B 受信期間、画像データ D 受信期間、画像データ F 受信期間、画像データ H 受信期間、画像データ I 受信期間、および画像データ K 受信期間で示した期間は書き込みプランキング期間 1102 であるが、フレーム期間 F5 からフレーム期間 F6 への変化時では書き込みプランキング期間ではなく、画像データ I が画素内の記憶回路へ書き込まれている期間なので、F6 では F5 と同じ画像データ G が表示されている。このように、前のフレームと同じデータを表示することが頻繁に起きた場合、例えば高速な動画を表示する場合などで残像が顕著になる。

40

【実施例 1】

【0065】

本実施例では、本発明の表示装置に用いる画素部の一例を、図6を用いて説明する。図6は、図1中の画素 711 の回路構成を詳細に示したものである。この画素は、3 ビットデジタル階調に対応したものである。1229 は保持容量 (Cs)、1230 は EL 駆動用 TFT、1231 は EL 素子、1228 は電流供給線、1201、1202、1203 はソース信号線であり、1204 は行選択信号線、1235 は列選択信号線、1205～1207 は表示制御信号線、1208～1210 及び 1232～1234 は書き込み用 TFT、1211～1213 は読み出し用 TFT である。記憶回路選択部は、書き込み選択用

50

TFT1214、1216、1218、1220、1222、1224および読み出し選択用TFT1215、1217、1219、1221、1223、1225等を用いて構成される。1226および1227は、記憶回路選択信号線である。

なお、ソース信号線1201～1203は、図1中の画像データバス701と同じものであり、表示制御信号線1205～1207及び記憶回路選択信号線1226、1227は、図1中の表示制御信号バス715と同じものである。また、行選択信号線1204は図1中の行選択信号線714と同じものであり、列選択信号線1235は図1中の列選択信号線713と同じものである。

【0066】

図6中の記憶回路A1～A3の動作は、図7(A)中の記憶回路Aの動作で示され、図6中の記憶回路B1～B3の動作は、図7(A)の記憶回路Bの動作で示される。図7のフレーム期間Aでは、記憶回路選択信号線1226は“1”に、記憶回路選択信号線1227は“0”となり、書き込み選択用TFT1214、1218、1222、のソースとドレインは導通の状態となり、書き込み選択用TFT1216、1220、1224のソースとドレインは非導通の状態となり、読み出し選択用TFT1217、1221、1225導通の状態となり、読み出し選択用TFT1215、1219、1223は非導通の状態となる。これにより、行選択信号線1204及び列選択信号線1235が“1”になった場合、すなわち、アドレスのデコードにより画素が選択された時にだけ、書き込み用TFT1208～1210及び1232～1234が導通状態となり、ソース信号線1201～1203から伝播してきた画像データがA1～A3の記憶回路に書き込まれる。

【0067】

同時に、図7(B)に示す、1フレーム期間を複数のサブフレームに分割して表示させる方式(時間階調方式)を用いることにより、Ts1では、表示制御信号線1205にパルスが入力されて読み出し用TFT1211が導通し、記憶回路B1に書き込まれている画像データがEL駆動用TFT1230のゲートへ送られ、EL駆動用TFT1230がNチャネルなら前記画像データの電位が“1”的とき、電流供給線1228から電流がEL素子1231に流れ、発光する。Ts2では、表示制御信号線1206にパルスが入力されて読み出し用TFT1212が導通し、記憶回路B2に書き込まれている画像データを表示する。Ts3では、表示制御信号線1207にパルスが入力されて読み出し用TFT1213が導通し、記憶回路B3に書き込まれている画像データを表示する。すなわち、フレーム期間Aでは、A1～A3の記憶回路が書き込み用、B1～B3の記憶回路が表示用の記憶回路となっている。

【0068】

次に、フレーム期間Bに移行すると、記憶回路選択信号線1226および1227の電位が反転され、今度はA1～A3が表示用記憶回路となり、B1～B3が書き込み用記憶回路となる。また、以前のフレーム期間の画像データを次のフレーム期間で再び表示したい場合は、図7中のフレーム期間Cからフレーム期間Dへ移行するときのように、記憶回路選択信号線1226および1227の電位を反転させなければよい。

【0069】

本実施例で示した画素内に配置された記憶回路A1～A3及びB1～B2は、スタティック型メモリ(SRAM)であるが、強誘電体メモリ(FeRAM)でも良いし、ダイナミック型メモリ(DRAM)を用いて画素部を構成することも可能である。また、本実施例で用いた画素内のTFTは全てNチャネルとなっているが、画素内のTFTのうち一部または全部をPチャネルにしても良い。また、本実施例では保持容量1229は無くても良い。

【実施例2】

【0070】

本実施例では、本発明で用いる表示装置において、アドレスのデコード時間を高速にする方法を示す。図8は、本発明の表示装置に配置した行デコーダもしくは列デコーダの構造である。1408は本実施例で示すデコーダである。デコーダにはN個のアドレスラッ

10

20

30

40

50

チ用フリップフロップ回路が設けられ、画像データが入力される順に数えて k 番目（ k は自然数かつ $0 < k < N + 1$ ）のアドレスラッチ用フリップフロップ回路を第 k のアドレスラッチ用フリップフロップ回路と表記する。

【 0 0 7 1 】

図8では、第 1 のアドレスラッチ用フリップフロップ回路が 1409 、第 2 のアドレスラッチ用フリップフロップ回路が 1410 、第 3 のアドレスラッチ用フリップフロップ回路が 1411 、第 N のアドレスラッチ用フリップフロップ回路が 1412 に相当する。図8には 4 つのアドレスラッチ用フリップフロップ回路しか記載していないが、実際には N 個のアドレスラッチ用フリップフロップ回路が設けられている。 N 個の各アドレスラッチ用フリップフロップには、クロック 1406 が入力されている。アドレスバス 1405 は、 M ビット（ M は自然数）のビット幅を持っており、第 1 のアドレスラッチ用フリップフロップ 1409 に入力され、第 1 のアドレスラッチ用フリップフロップ 1409 から第 1 の内部アドレスバス 1414 が出力されている。
10

【 0 0 7 2 】

第 k のアドレスラッチ用フリップフロップの出力を第 k の内部アドレスバスとし、第 k の内部アドレスバスのうち m_k ビットほど分け、前記第 k の内部アドレスバスから分岐させた m_k ビットのビット幅をもつ信号を m_k ビット内部アドレスバスと表記する。また、 $k = N$ の場合は、第 N の内部アドレスバス全ビットを m_N ビット内部アドレスバスとする。よって、 m_N ビット内部アドレスバスとは表記せず、第 N の内部アドレスバスと表記する。
20 上記第 k の内部アドレスバスのうち m_k ビット内部アドレスバスに相当しないビットは、第 $k + 1$ のアドレスラッチ用フリップフロップに入力されている。よって、第 k の内部アドレスバスのビット幅は、 k が 2 以上の場合は $M - (m_1 + m_2 + m_3 + \dots + m_{k-1})$ と表現される。

【 0 0 7 3 】

また、デコーダ 1408 の内部には、 N 個のデコーダが設けられており、前記デコーダのうち k 番目のデコーダに m_k ビット内部アドレスバスが入力されており、このデコーダを m_k ビットデコーダと表記する。 m_k ビットデコーダからは、 $2^{m^1} \times 2^{m^2} \times 2^{m^3} \times \dots \times 2^{m^k}$ 個の信号が出力されている。また、デコーダには N 個のデコード信号ラッチ用フリップフロップ回路が設けられており、 m_k ビットデコーダから出力された信号は全て、前記デコード信号ラッチ用フリップフロップ回路に入力されている。 m_k ビットデコーダから出力された各信号が入力されるデコード信号ラッチ用フリップフロップ回路を、第 k のデコード信号ラッチ用フリップフロップ回路と表記する。第 k のデコード信号ラッチ用フリップフロップ回路からは、 m_{k+1} ビットデコーダへ $2^{m^1} \times 2^{m^2} \times 2^{m^3} \times \dots \times 2^{m^k}$ 個の信号が出力されている。
30

【 0 0 7 4 】

また、各デコード信号ラッチ用フリップフロップ回路には、クロック 1406 が入力されている。図8では、 1401 は m_1 ビットデコーダ、 1402 は m_2 ビットデコーダ、 1403 は m_3 ビットデコーダ、 1404 は m_N ビットデコーダであり、 1420 は第 1 のデコード信号ラッチ用フリップフロップ回路、 1421 は第 2 のデコード信号ラッチ用フリップフロップ回路、 1422 は第 (N - 1) のデコード信号ラッチ用フリップフロップ回路、 1414 は第 1 の内部アドレスバス、 1416 は第 2 の内部アドレスバス、 1418 は第 3 の内部アドレスバス、 1419 は第 N の内部アドレスバス、 1413 は m_1 ビット内部アドレスバス、 1415 は m_2 ビット内部アドレスバス、 1417 は m_3 ビット内部アドレスバスである。また、 1407 は画素部である。 m_N ビットデコーダからは $2^{m^1} \times 2^{m^2} \times 2^{m^3} \times \dots \times 2^{m^N}$ 個すなわち 2^M 個の信号線が画素部 1407 に入力されている。この信号線は、実施例 1 および発明の実施の形態で説明した、列選択信号線または行選択信号線と同様のものである。
40

【 0 0 7 5 】

次に、図8で示されるデコーダの動作を、図9を用いて説明する。はじめにアドレスラッチ用フリップフロップ回路及びデコード信号ラッチ用フリップフロップ回路の動作について
50

て説明する。アドレスラッチ用フリップフロップ回路及びデコード信号ラッチ用フリップフロップ回路は、クロック1406により制御される。アドレスラッチ用フリップフロップ回路及びデコード信号ラッチ用フリップフロップ回路は、クロック1406の電位が変化しない時は、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路の出力電位は保持されているが、クロック1406の電位が“0”から“1”（立ち上がり）に変化する時、もしくはクロック1406の電位が“1”から“0”に変化する時（立ち下がり）、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路は出力電位を入力電位に更新される。本実施例ではクロック1406の電位が“1”から“0”に変化する時、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路は出力電位を入力電位に更新されるものとして説明するが、クロック1406の電位が“0”から“1”に変化する時、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路は出力電位を入力電位に更新されるようにしても良い。10

【0076】

まずクロックに同期してアドレスが入力されるとき、立下りから新しいアドレスが入力されるまでの遅延時間 t_{ain} は、発明の実施の形態で説明した図2の t_{account} に、アドレスがアドレスカウンターから出力されてデコーダに到達するまでの遅延時間を加えたものである。T1の始めにアドレスバスからA1が第1のアドレスラッチ用フリップフロップ回路に入力されると、次のクロックの立下り時（T1からT2への移行時）に第1の内部アドレスバスの電位はA1に更新される。同時にアドレスバスにA2の電位が入力される。このとき、A1のうち m_1 ビット分は m_1 ビットアドレスバスに分かれ、 m_1 ビットデコーダにより前記 m_1 ビットアドレスがデコードされ、 m_1 ビットデコーダの出力電位がAD11となり、第1のデコード信号ラッチ用フリップフロップ回路に入力される。このとき第1のデコード信号ラッチ用フリップフロップ回路によるデコードに要する時間を t_{D1} とする。 t_{D1} は、クロック周期以内でなければならない。20

【0077】

次のクロックの立下り時（T2からT3への移行時）には、第1の内部アドレスバスの電位A1のうち、分岐により m_1 ビット分省かれたデータA12が第2のアドレスラッチ用フリップフロップ回路から第2の内部アドレスバスへ出力され、第2の内部アドレスバスのうち m_2 ビットアドレスが分岐して m_2 ビットデコーダに入力される。同時に第1のデコード信号ラッチ用フリップフロップ回路の出力電位はAD11に更新され、前記更新された第1のデコード信号ラッチ用フリップフロップ回路の出力は m_2 ビットデコーダに入力され、前記 m_2 ビットデコーダに入力された m_2 ビットアドレスと合わせてデコードされ、 m_2 ビットデコーダはデコード結果得られた電位AD22を第2のデコード信号ラッチ用フリップフロップ回路に入力する。このとき、 m_2 ビットデコーダによるデコードに要する時間を t_{D2} とする。同時にアドレスA3がアドレスバスに入力される。以上の動作を繰り返していくと、T(N+1)でアドレスA1の全ビットデコードした後の電位ADN1が第Nのデコード信号ラッチ用フリップフロップ回路から画素部へ出力される。30

【0078】

一般に、 m_k ビットデコーダが入力データをデコードする時間を t_{Dk} とすると、 t_{Dk} はクロック周期未満であればよい。本実施例を用いずにデコードを行うと、デコード時間は発明の実施の形態で説明した画素内記憶回路への書き込みタイミング図2によると、 t_{ac} が t_{Dk} の全ての k についての和すなわち $t_{D1} + t_{D2} + \dots + t_{DN}$ とほぼ同等の大きさとなり、画素内記憶回路への書き込みの時間的制限が本実施例を用いた場合に比べてきつくなり、この問題は特に画素部が大型化した場合顕著になる。40

【0079】

本実施例において、アドレスラッチ用フリップフロップ回路及びデコード信号ラッチ用フリップフロップ回路は、クロック1406の電位が“1”的時は、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路の出力電位は保持されているが、クロック1406の電位が“0”的時、アドレスラッチ用フリップフロッ50

ブ回路またはデコード信号ラッチ用フリップフロップ回路は出力電位を入力電位に更新されるようにしても良い。

【0080】

また、アドレスラッチ用フリップフロップ回路及びデコード信号ラッチ用フリップフロップ回路は、クロック1406の電位が“0”的時は、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路の出力電位は保持されているが、クロック1406の電位が“1”的時、アドレスラッチ用フリップフロップ回路またはデコード信号ラッチ用フリップフロップ回路は出力電位を入力電位に更新されるようにしても良い。

【0081】

また、偶数番目のアドレスラッチ用フリップフロップ回路及び奇数番目のデコード信号ラッチ用フリップフロップ回路はクロック1406の電位が“0”的出力電位が入力電位に更新されるようにして、奇数番目のアドレスラッチ用フリップフロップ回路及び偶数番目のデコード信号ラッチ用フリップフロップ回路はクロック1406の電位が“1”的出力電位が入力電位に更新されるように回路を構成しても良い。

【0082】

また、偶数番目のアドレスラッチ用フリップフロップ回路及び奇数番目のデコード信号ラッチ用フリップフロップ回路はクロック1406の電位が“1”的出力電位が入力電位に更新されるようにして、奇数番目のアドレスラッチ用フリップフロップ回路及び偶数番目のデコード信号ラッチ用フリップフロップ回路はクロック1406の電位が“0”的出力電位が入力電位に更新されるように回路を構成しても良い。この場合、 t_{Dk} の大きさはクロックの半分の周期以下である必要がある。

【0083】

また、 m_N ビットデコーダの出力にデコード信号ラッチ用フリップフロップ回路を設けても良い。また、必要がなければ、上記に示す方法でアドレスを分割してデコードを行わなくて良い。本実施例は、実施例1と組み合わせて用いることができる。

【実施例3】

【0084】

本実施例では、表示装置の全画面をいくつかの区分に分け、必要な区分にだけ受信された画像データを更新するようにし、さらにアドレスコントローラによるアドレスのカウント方法を制御し、拡大、縮小、回転、反転などの画像処理をほどこすようにする方法を示す。

【0085】

図10は、本実施例を示したものである。表示装置制御回路1600には、画像データバス1601と、アドレスバス1602と、アドレスコントローラ1603と、同期クロック1604と、アドレスラッチ回路1605と、画像データラッチ回路1606と、表示制御回路1607と、表示制御バス1611と、アドレス書き込み制御信号1612と、書き込み制御回路1613と、アドレス制御信号1614と、画像データ書き込み制御信号1615と、同期信号1624と、画像処理制御レジスタ1616と、画像処理制御信号1625が設けられ、表示装置1608には、行デコーダ1609と列デコーダ1610と、画素部1623が設けられている。1600～1615及び同期信号1624と画素部1623は発明の実施の形態で示した図1のものと同様である。また、表示装置及び表示装置制御回路の外部には、表示装置インターフェース1622が設けられている。また、ホストバス1621によりCPU1617、メモリ1618、I/Oインターフェース1619、表示装置インターフェース1622とデータのやり取りが行われる。図10で示した電子回路は、I/Oインターフェースを介してI/Oバス1620より外部の周辺機器1626とデータのやり取りが行われる。

【0086】

次に、図10に示した回路による表示装置の制御方法を説明する。まず、全画素をいくつかの区分に分割し、それぞれの画素区分にアドレスを割り当てる。画像処理制御レジスタ

10

20

30

40

50

1616は、CPU1617またはメモリ1618またはI/Oバス1620を介した外部装置から、更新したい画素区分のアドレスを指定する。ただし、前記画素区分のうち複数の画素区分を結合したり、離散した画素区分を指定することもできる。

【0087】

画素区分の大きさに応じてアドレスコントローラ1603が、受信された画像データの書き込み時のアドレスのカウントの仕方は自動的に変えることができ、例えば画素区分の画素の数が全画素の半分のときは、2画素の画像データが受信されるごとに1つのアドレスが加算される。このとき、前記2画素のデータが受信されるとき、不要な1画素の画像データは画素内記憶回路へ書き込まないように表示制御回路1607が制御する。

【0088】

また、1個または複数個の画素区分で表示される画像を静止させたい場合には、画像処理制御信号1625を介して、画像処理レジスタに画像を静止させる情報と、複数個または1個の画素区分のアドレス情報が保持され、複数個または1個の画素区分には画像データを書き込まないようにすることができる。

【0089】

また、1個または複数個の画素区分で表示される画像の拡張、縮小、反転、回転などの画像処理をさせたい場合には、画像処理制御信号1600を介して、画像処理レジスタに拡張、縮小、反転、回転などの画像処理をさせる情報と、複数個または1個の画素区分のアドレス情報が保持され、指定された複数個または1個の画素区分のアドレスのカウントの仕方を変えることにより、拡張、縮小、反転、回転などの画像処理を行うことができる。このように、必要な画素区分にしか画像データを表示装置に転送しなくても良く、低消費電力化が見込まれる。本実施例は、実施例1及び実施例2と組み合わせて用いることができる。

【実施例4】

【0090】

本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パソコン、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図11に示す。

【0091】

図11(A)は表示装置であり、筐体1701、支持台1702、表示部1703を含む。本発明は表示部1703を有する表示装置に適用が可能である。

【0092】

図11(B)はビデオカメラであり、本体1711、表示部1712、音声入力1713、操作スイッチ1714、バッテリー1715、受像部1716などによって構成されている。本発明は表示部1712を有する表示装置に適用が可能である。

【0093】

図11(C)はパソコンコンピュータであり、本体1721、筐体1722、表示部1723、キーボード1724などによって構成されている。本発明は表示部1723を有する表示装置に適用が可能である。

【0094】

図11(D)は携帯情報端末であり、本体1731、スタイルス1732、表示部1733、操作ボタン1734、外部インターフェイス1735などによって構成されている。本発明は表示部1733を有する表示装置に適用が可能である。

【0095】

図11(E)は音響再生装置、具体的には車載用のオーディオ装置であり、本体1741、表示部1742、操作スイッチ1743、1744などによって構成されている。本發

10

20

30

40

50

明は表示部 1742 を有する表示装置に適用が可能である。また、今回は車載用オーディオ装置を例に上げたが、携帯型もしくは家庭用オーディオ装置に用いてもよい。

【0096】

図11(F)はデジタルカメラであり、本体1751、表示部(A)1752、接眼部1753、操作スイッチ1754、表示部(B)1755、バッテリー1756などによって構成されている。本発明は表示部(A)1752および表示部(B)1755を有する表示装置に適用が可能である。

【0097】

図11(G)は携帯電話であり、本体1761、音声出力部1762、音声入力部1763、表示部1764、操作スイッチ1765、アンテナ1766などによって構成されている。本発明は表示部1764を有する表示装置に適用が可能である。
10

【0098】

これらの電子機器に使われる表示装置はガラス基板だけでなく耐熱性のプラスチック基板を用いることもできる。それによってよりいっそうの軽量化を図ることができる。

【0099】

なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。

【0100】

本実施例は、実施の形態及び実施例1乃至実施例3と自由に組み合わせて実施することが可能である。
20

【図面の簡単な説明】

【0101】

【図1】本発明の表示装置及び表示装置制御回路の回路構成を示した図。

【図2】本発明を用いた表示装置制御回路の、画素に配置された記憶回路へ書き込みを行うためのタイミングチャート

【図3】本発明に用いる画像データの受信と表示との同期方法を示した図。

【図4】本発明に用いる画像データの受信と表示との同期方法を示した図。

【図5】本発明に用いる画像データの受信と表示との同期方法を示した図。

【図6】複数の記憶回路を内部に有する画素の詳細な図。

【図7】画素内部に配置された複数の記憶回路の1フレームごとの動作を示したタイミングチャート。
30

【図8】高速にアドレスをデコードできるデコーダの回路構成を示した図。

【図9】高速にアドレスをデコードできるデコーダの動作のタイミングチャート。

【図10】本発明を用いて画像処理を行う回路の回路構成を示した図。

【図11】本発明の表示装置及び表示装置制御回路を適用した電子機器の例を示す図。

【図12】従来の表示装置の全体の回路構成を簡略に示す図。

【図13】従来の表示装置のソース信号線駆動回路の回路構成例を示す図。

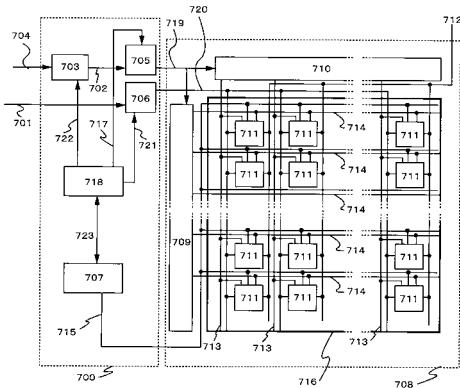
【図14】従来の表示装置の画素部の拡大図。

【図15】表示装置における時間階調方式のタイミングを示す図。

【図16】従来の時間階調方式を用いた表示装置の制御回路構成を示す図。
40

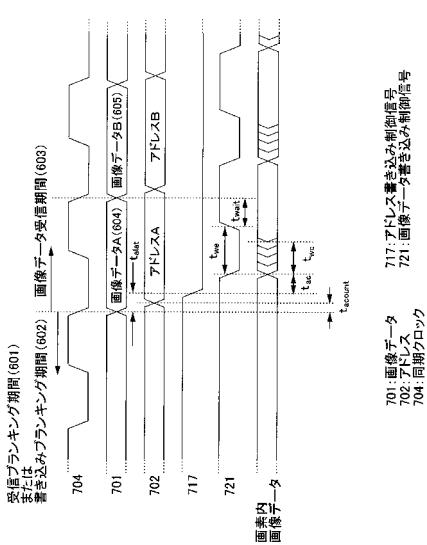
【図17】受信された画像データと時間階調方式を用いた表示装置に入力する画像データフォーマットを示した図。

【 四 1 】



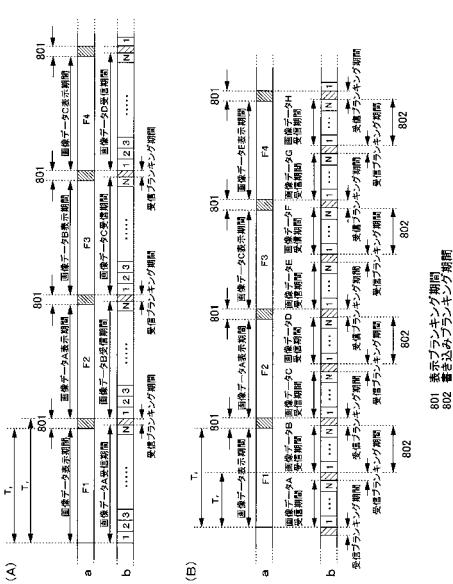
| | |
|----------------|--------------------|
| 700: 表示用蓄積回路 | 713: 列選択信号線 |
| 701: 画像データバス | 714: 行選択信号線 |
| 702: アドレスバス | 715: 表示制御バス |
| 703: アドレスストローラ | 716: 画素部 |
| 704: 同期リップツ | 717: アドレス書き込み制御信号 |
| 705: アクセスマスク回路 | 718: 書き込み制御回路 |
| 706: アクセスマスク回路 | 719: リードバス |
| 707: 表示用回路 | 720: 画像データバス |
| 708: 表示用回路 | 721: 画像データ書き込み制御信号 |
| 709: 行データダ | 722: アドレス制御信号 |
| 710: 列データ | 723: 同期信号 |
| 711: 面素 | |
| 712: 電流供給線 | |

【 図 2 】

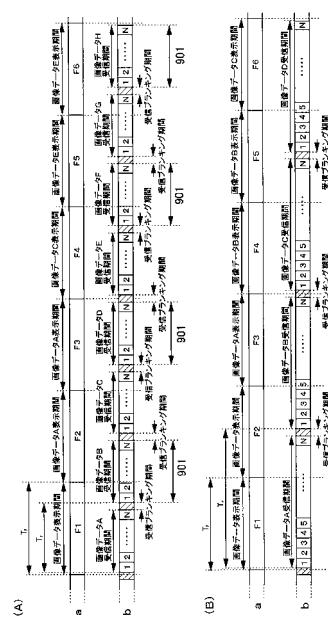


701: 画像データ
702: アドレス
704: 同期ロック
711: アドレス書き込み制御信号
721: 画像データ書き込み制御信号

【 义 3 】

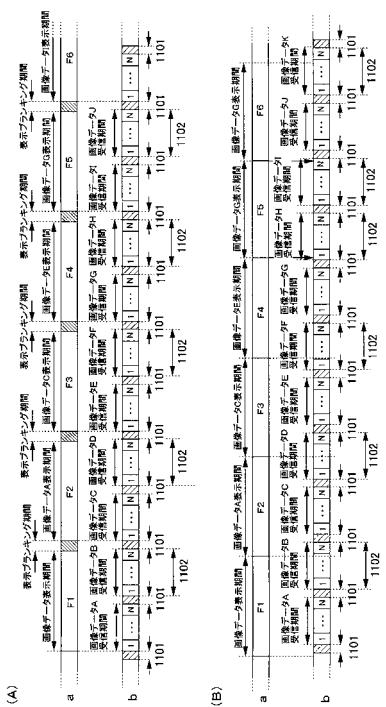


【 図 4 】

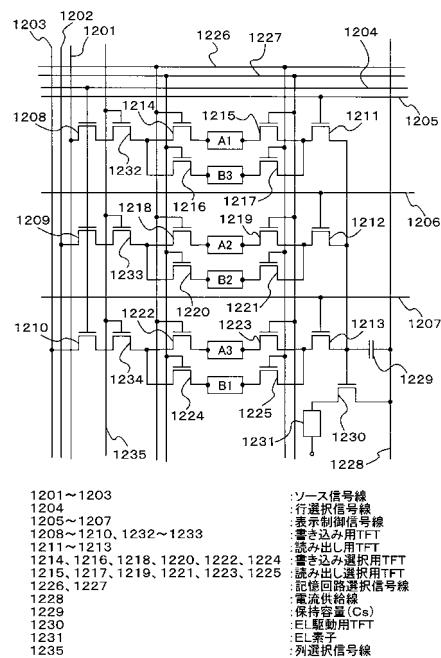


901 書き込みランキング期間

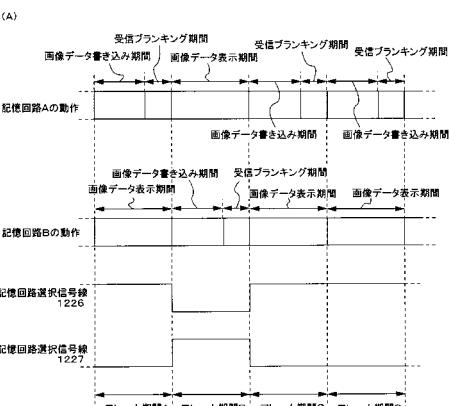
【図5】



【図6】



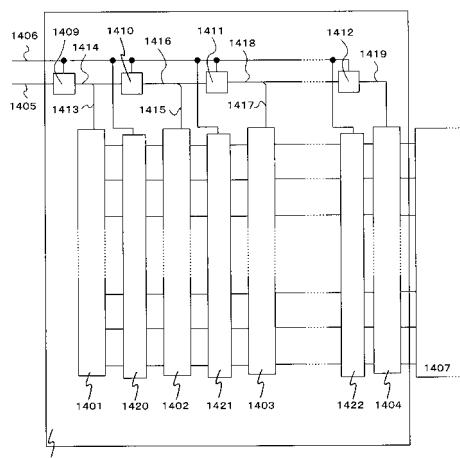
【図7】



(B)

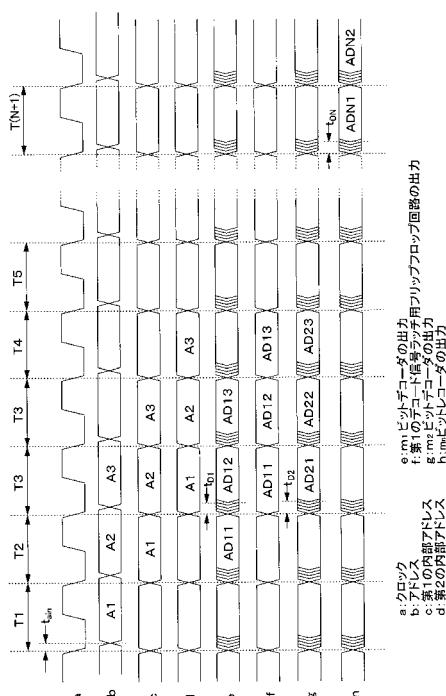


【 四 8 】

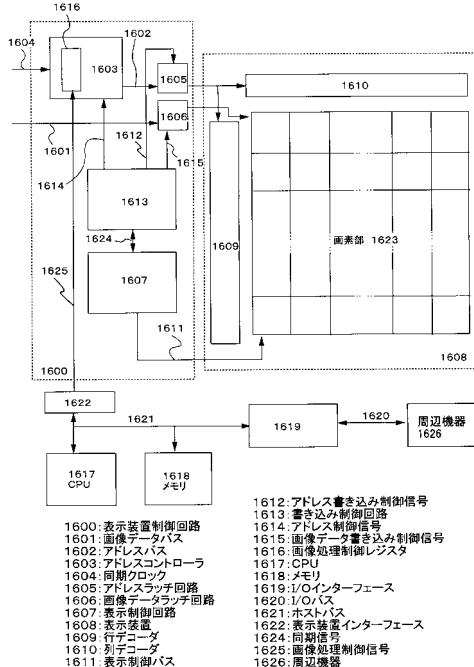


| | |
|---------------------------------|--|
| 1401: m ピットデコーダ | 1413: m ピットアレックスバス |
| 1402: m ピットデコーダ | 1414: 第1の内部アレックスバス |
| 1403: m ピットデコーダ | 1415: m ピットアレックスバス |
| 1404: m ピットデコーダ | 1416: 第2の内部アレックスバス |
| 1405: アドレスバス | 1417: m ピットアレックスバス |
| 1406: クロック | 1418: 第3の内部アレックスバス |
| 1407: 画素部 | 1419: 第4の内部アレックスバス |
| 1408: データバス | 1420: 第5の内部アレックスバス |
| 1409: 第1ビットレスラッチ用 フリップフロップ回路 | フリップフロップ回路用 1421: 第1のデコード信号ラッチ用 |
| 1410: 第2ビットレスラッチ用 フリップフロップ回路 | フリップフロップ回路用 1422: 第(N-1)のデコード信号ラッチ用 |
| 1411: 第3ビットレスラッチ用 | フリップフロップ回路用 |

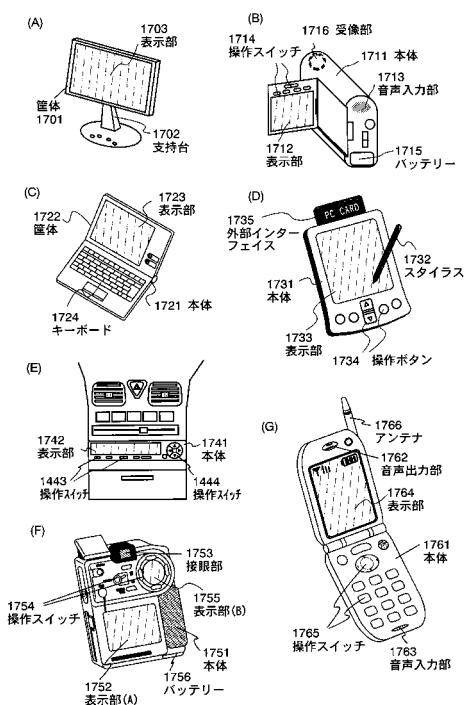
【図9】



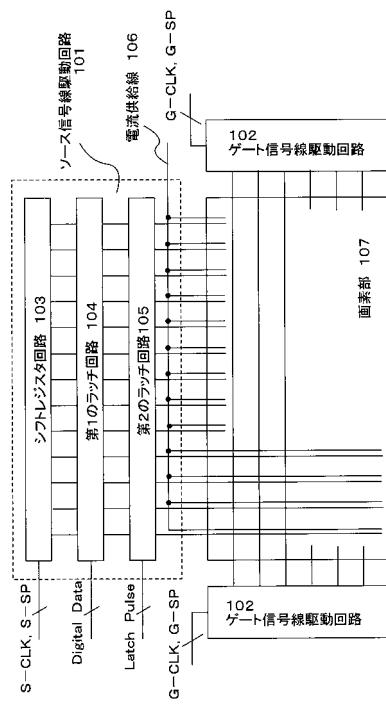
【図10】



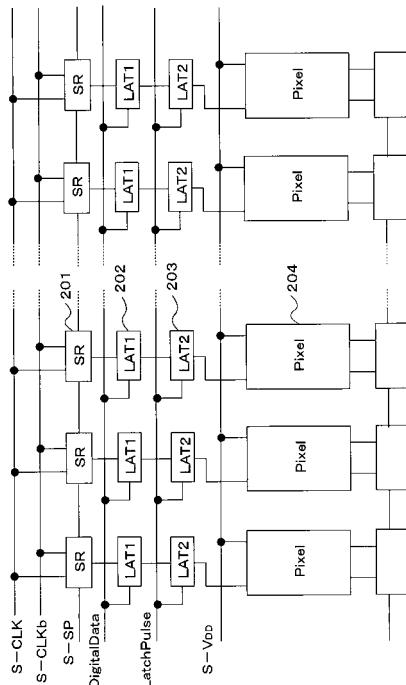
【図11】



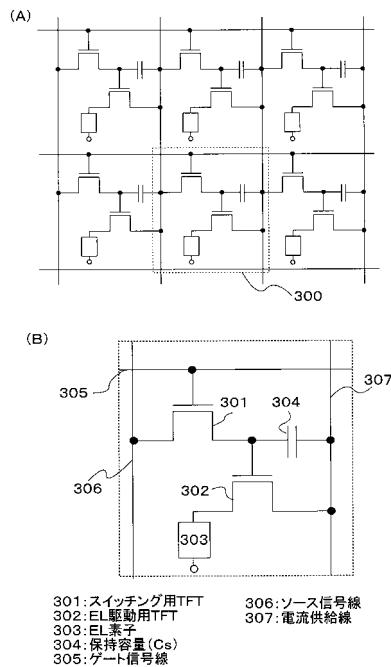
【図12】



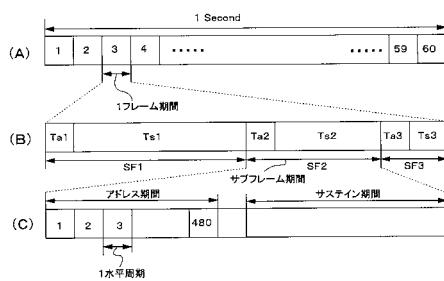
【図13】



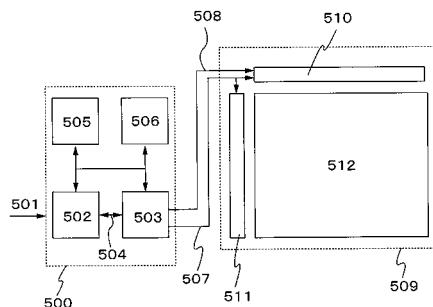
【図14】



【図15】

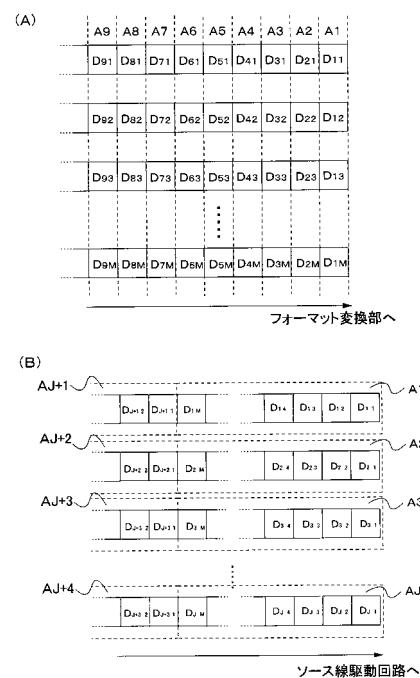


【図16】



500:表示装置制御回路
501:受信画像データ
502:フォーマット変換部
503:表示装置制御部
504:同期信号
505:第1の記憶装置
506:第2の記憶装置

【図17】



フロントページの続き

(51)Int.Cl.

F I
G 09 G 3/20 623H
G 09 G 3/20 624B
G 09 G 3/20 641E
G 09 G 3/20 650J
H 05 B 33/14 A

(56)参考文献 特開2002-123218 (JP, A)

特開平05-061455 (JP, A)

特開平05-249935 (JP, A)

特開平07-140939 (JP, A)

特開平11-261927 (JP, A)

特開昭63-257785 (JP, A)

特開2000-253423 (JP, A)

特開2002-221952 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 09 G 3 / 30

G 09 G 3 / 20