



등록특허 10-2157221



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년09월17일
(11) 등록번호 10-2157221
(24) 등록일자 2020년09월11일

- (51) 국제특허분류(Int. Cl.)
HO2M 3/155 (2006.01) *G05F 3/24* (2006.01)
- (21) 출원번호 10-2014-0091282
(22) 출원일자 2014년07월18일
심사청구일자 2019년06월03일
(65) 공개번호 10-2015-0013030
(43) 공개일자 2015년02월04일
(30) 우선권주장
JP-P-2013-155112 2013년07월26일 일본(JP)
(56) 선행기술조사문현
US20120153921 A1
US5663675 A
JP06242847 A
JP2012019682 A

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
(72) 발명자
타카하시 케이
일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 10 항

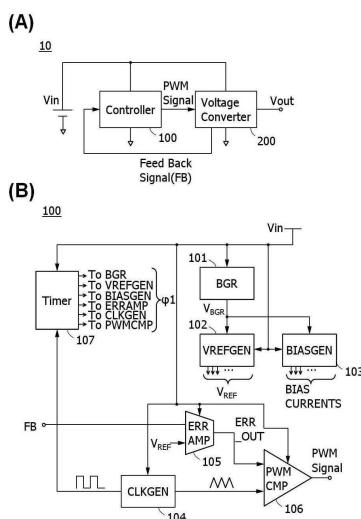
심사관 : 꽈인구

(54) 발명의 명칭 DCDC 컨버터

(57) 요 약

본 발명은 저소비 전력화가 뛰어난 DCDC 컨버터를 제공하는 것을 과제로 한다.

제어 회로 내에, 클록 생성 회로, 오차 증폭기, 비교기, 및 타이머를 가지는 구성으로 한다. 그리고, 클록 생성 회로, 오차 증폭기, 및 비교기에서는 각각의 회로가 가지는 바이어스 회로에서 생성되는 정전위를 간헐적으로 유지하기 위한 전위 유지부를 제공한다. 그리고, 이 전위 유지부에는 용량 소자와 스위치를 제공하고, 스위치의 온 또는 오프의 제어를 타이머에 의해 간헐적으로 제어하여, 전압의 공급이 정지하는 기간이어도 바이어스 회로에서 생성된 정전위에 기초한 신호의 출력을 계속해서 행하는 구성으로 한다.

대 표 도 - 도1

명세서

청구범위

청구항 1

DCDC 컨버터에 있어서:

삼각파를 출력하는 클록 생성 회로;

에러 신호를 출력하는 오차 증폭기;

상기 삼각파와 상기 에러 신호에 따라 제어 신호를 출력하는 비교기; 및

스위칭 신호를 출력하는 타이머를 포함하고,

상기 클록 생성 회로, 상기 오차 증폭기, 및 상기 비교기 각각은:

바이어스 전압을 출력하는 바이어스 회로;

용량 소자; 및

트랜지스터를 포함하고, 상기 트랜지스터의 소스 및 드레인 중 하나는 상기 바이어스 회로에 전기적으로 접속되고, 상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 용량 소자에 전기적으로 접속되고,

상기 클록 생성 회로, 상기 오차 증폭기, 및 상기 비교기 각각에서, 상기 용량 소자는 상기 트랜지스터의 게이트에 공급된 상기 스위칭 신호에 따라 상기 바이어스 전압을 간헐적으로 유지하는, DCDC 컨버터.

청구항 2

DCDC 컨버터에 있어서:

삼각파를 출력하는 클록 생성 회로;

에러 신호를 출력하는 오차 증폭기;

상기 삼각파와 상기 에러 신호에 따라 제어 신호를 출력하는 비교기; 및

스위칭 신호를 출력하는 타이머를 포함하고,

상기 클록 생성 회로, 상기 오차 증폭기, 및 상기 비교기 각각은:

바이어스 전압을 출력하는 바이어스 회로;

용량 소자; 및

트랜지스터를 포함하고, 상기 트랜지스터의 소스 및 드레인 중 하나는 상기 바이어스 회로에 전기적으로 접속되고, 상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 용량 소자에 전기적으로 접속되고,

상기 클록 생성 회로, 상기 오차 증폭기, 및 상기 비교기 각각에서, 상기 용량 소자는 상기 트랜지스터의 게이트에 공급된 상기 스위칭 신호에 따라 상기 바이어스 전압을 간헐적으로 유지하고,

상기 클록 생성 회로, 상기 오차 증폭기, 및 상기 비교기 각각의 상기 트랜지스터의 채널 형성 영역은 산화물 반도체층을 포함하는, DCDC 컨버터.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 클록 생성 회로, 상기 오차 증폭기, 상기 비교기 각각에서, 상기 바이어스 회로에의 전력 공급은 파워 스위치에 공급된 상기 스위칭 신호에 따라 정지되는, DCDC 컨버터.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 클록 생성 회로의 상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 클록 생성부에 전기적으로 접속되고,

상기 오차 증폭기의 상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 증폭 회로에 전기적으로 접속되고,

상기 비교기의 상기 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 비교 회로에 전기적으로 접속되는, DCDC 컨버터.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 클록 생성 회로, 상기 오차 증폭기, 및 상기 비교기 각각에서 상기 용량 소자가 상기 바이어스 전압을 유지할 때 상기 바이어스 회로에의 전력 공급이 정지되는, DCDC 컨버터.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 클록 생성 회로는 클록 신호를 출력하고,

상기 타이머는 상기 클록 신호에 따라 상기 스위칭 신호를 출력하는, DCDC 컨버터.

청구항 7

제 1 항 또는 제 2 항에 있어서,

제 1 기준 전압을 출력하는 밴드 캡 레퍼런스 회로;

상기 제 1 기준 전압에 따라 제 2 기준 전압을 출력하는 참조 전압 생성 회로; 및

상기 제 1 기준 전압에 따라 바이어스 전류를 출력하는 기준 바이어스 생성 회로를 더 포함하고,

상기 밴드 캡 레퍼런스 회로, 상기 기준 바이어스 생성 회로, 및 상기 참조 전압 생성 회로 각각으로의 입력 전압의 공급은 상기 스위칭 신호에 따라 정지되는, DCDC 컨버터.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 제어 신호에 따라 출력 전압을 출력하는 전압 변환 회로를 더 포함하는, DCDC 컨버터.

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 제어 신호에 따라 출력 전압을 출력하는 전압 변환 회로를 더 포함하고,

상기 전압 변환 회로는 코일, 다이오드, 저항 소자, 및 트랜스 중 적어도 하나를 포함하는, DCDC 컨버터.

청구항 10

제 1 항 또는 제 2 항에 있어서,

실온에서 상기 트랜지스터의 채널폭 $1 \mu\text{m}$ 당 오프 전류가 $10\text{zA}/\mu\text{m}$ 이하인, DCDC 컨버터.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

발명의 설명

기술 분야

[0001]

본 발명은 반도체 장치에 관한 것이다. 특히 본 발명은 반도체 특성을 이용한 DCDC 컨버터에 관한 것이다.

배경 기술

[0002]

실리콘(Si)을 채널 형성 영역이 되는 반도체층에 이용한 트랜지스터와, 산화물 반도체(Oxide Semiconductor : OS)를 채널 형성 영역이 되는 반도체층에 이용한 트랜지스터(이하, OS 트랜지스터라고 함)를 조합한 DCDC 컨버터가 제안되어 있다(특허문헌 1 및 2 참조).

선행기술문헌

특허문헌

[0003]

(특허문헌 0001) 일본국 특개 2012-019682호 공보

(특허문헌 0002) 일본국 특개 2012-100522호 공보

발명의 내용

해결하려는 과제

[0004]

상기 특허문헌 1 및 2에서의 DCDC 컨버터는 스위칭 동작에 의해 전력 변환을 행하는 트랜지스터에 OS 트랜지스터를 이용하고, 이 OS 트랜지스터의 오프 전류를 저감하는 것을 이용하여, 전력 변환 효율을 높이는 구성에 대하여 개시하고 있다.

[0005]

한편, 스위칭 동작을 행하기 위한 제어 회로에는 단속적으로 전력이 공급되어, 스위칭 동작을 하는 트랜지스터를 제어한다. 그러므로, 제어 회로에 의해 소비되는 전력이 충분히 저감되었다고는 할 수 없었다.

[0006]

여기서, 본 발명의 일 양태는 저소비 전력화가 뛰어난, 신규 구성의 DCDC 컨버터를 제공하는 것을 과제의 하나로 한다. 또는 본 발명의 일 양태는 DCDC 컨버터가 가지는 일부의 회로에의 전력의 공급을 정지해도, 성능을 저하시키는 일 없이 동작 가능한, 신규 구성의 DCDC 컨버터를 제공하는 것을 과제의 하나로 한다.

[0007]

또한, 이러한 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 양태는 이러한 과

제 모두를 해결할 필요는 없는 것으로 한다. 또한, 상기 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 스스로 명확해지는 것이고, 명세서, 도면, 청구항 등의 기재로부터 상기 이외의 과제를 추출하는 것이 가능하다.

과제의 해결 수단

[0008]

본 발명의 일 양태는 스위칭 동작에 의해 원하는 전압으로 변환하는 전압 변환 회로와, 스위칭 제어하는 제어 회로를 가지는 DCDC 컨버터에 관한 것이다. 그리고 제어 회로 내에, 클록 생성 회로, 오차 증폭기, 비교기, 및 타이머를 가지는 구성으로 한다. 그리고, 클록 생성 회로, 오차 증폭기, 및 비교기에서는, 각각의 회로가 가지는 바이어스 회로에서 생성되는 정전위를 간헐적으로 유지하기 위한 전위 유지부를 제공한다. 그리고, 이 전위 유지부에는 용량 소자와 스위치를 제공하고, 스위치의 온 또는 오프의 제어를 타이머에 의해 간헐적으로 제어하고, 전력의 공급이 정지하는 기간이어도 바이어스 회로에서 생성된 정전위에 기초한 신호의 출력을 계속해서 행할 수 있는 DCDC 컨버터로 하는 것이다.

[0009]

또한 전위 유지부에서 스위치로서는 오프 전류가 현저히 작은 트랜지스터를 이용한다. 오프 전류가 현저히 작은 트랜지스터로서는 채널이 산화물 반도체막에 형성되는 트랜지스터를 이용할 수 있다. 스위치로서 채널이 산화물 반도체막에 형성되는 트랜지스터를 이용함으로써, 스위치와 용량 소자가 접속된 노드의 전위가 일정하게 유지된 후, 스위치를 오프로 해도 스위치를 통하여 누출되는 전하량을 현저히 작게 억제할 수 있다.

[0010]

그러므로, 전위 유지부에서는 스위치를 오프로 함으로써, 바이어스 회로에서 생성되는 정전위를 스위치와 용량 소자가 접속된 노드에 유지할 수 있다. 따라서, 바이어스 회로에서 생성되는 정전위를 계속 출력할 필요가 없어지기 때문에, 바이어스 회로를 상시 동작시킬 필요가 없어진다. 이것에 의해, 바이어스 회로에 전력의 공급을 정지할 수 있기 때문에, 바이어스 회로에서 소비되는 전력을 삭감할 수 있다.

[0011]

본 발명의 일 양태는 트랜지스터를 가지는 전압 변환 회로와, 트랜지스터를 제어하는 제어 회로를 가지고, 제어 회로는 클록 생성 회로, 오차 증폭기, 비교기, 및 타이머를 가지고, 클록 생성 회로, 오차 증폭기, 및 비교기는 각각 바이어스 회로, 및 바이어스 회로에서 생성되는 정전위를 유지하기 위한 전위 유지부를 가지고, 전위 유지부는 용량 소자와 스위치를 가지고, 스위치는 타이머에 의해 온 또는 오프가 간헐적으로 제어되는 DCDC 컨버터이다.

[0012]

본 발명의 일 양태에서, 타이머는 스위치를 오프로 하는 기간에 바이어스 회로에의 전력의 공급을 정지하도록 제어하는 회로인 DCDC 컨버터가 바람직하다.

[0013]

본 발명의 일 양태에서, 제어 회로는 밴드 캡 레퍼런스 회로, 기준 바이어스 생성 회로 및 참조 전압 생성 회로를 가지고, 타이머는 스위치를 오프로 하는 기간에 밴드 캡 레퍼런스 회로, 기준 바이어스 생성 회로 및 참조 전압 생성 회로가 출력하는 신호를 정지하도록 제어하는 회로인 DCDC 컨버터가 바람직하다.

[0014]

본 발명의 일 양태에서, 스위치는 산화물 반도체를 채널 형성 영역이 되는 반도체층에 이용한 트랜지스터인 DCDC 컨버터가 바람직하다.

[0015]

본 발명의 일 양태에서, 전압 변환 회로는 비절연형 승압 초크 방식, 비절연형 강압 초크 방식, 절연형 포워드 방식, 절연형 플라이 백 방식, 하프 브릿지 방식, 또는 풀 브릿지 방식인 DCDC 컨버터가 바람직하다.

발명의 효과

[0016]

본 발명의 일 양태에 의해, 저소비 전력화가 뛰어난 신규 구성의 DCDC 컨버터를 제공할 수 있다. 또는 본 발명의 일 양태에 의해, DCDC 컨버터가 가지는 일부의 회로에의 전력의 공급을 정지해도, 성능을 저하시키는 일 없이 동작 가능한 신규 구성의 DCDC 컨버터를 제공할 수 있다.

도면의 간단한 설명

[0017]

도 1은 본 발명의 일 형태에 따른 블록도이다.

도 2는 본 발명의 일 형태에 따른 블록도이다.

도 3은 본 발명의 일 형태에 따른 블록도이다.

도 4는 본 발명의 일 형태에 따른 회로도이다.

도 5는 본 발명의 일 형태에 따른 회로도이다.

도 6은 본 발명의 일 형태에 따른 회로도이다.

도 7은 본 발명의 일 형태에 따른 과형도이다.

도 8은 본 발명의 일 형태에 따른 과형도이다.

도 9는 본 발명의 일 형태에 따른 회로도이다.

도 10은 본 발명의 일 형태에 따른 회로도이다.

도 11은 본 발명의 일 형태에 따른 단면도이다.

도 12는 DCDC 컨버터를 이용한 전자기기이다.

발명을 실시하기 위한 구체적인 내용

[0018]

이하, 실시형태에 대하여 도면을 참조하면서 설명한다. 단, 실시형태는 많은 다른 양태로 실시하는 것이 가능하고, 취지 및 그 범위로부터 벗어나는 일 없이 그 형태 및 상세한 내용을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하의 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다. 또한 이하에 설명하는 발명의 구성에서, 같은 물건을 지시하는 부호는 다른 도면 사이에서 공통으로 이용한다.

[0019]

또한, 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일로 한정되지 않는다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타내는 형상 또는 값 등에 한정되지 않는다. 예를 들면, 노이즈에 의한 신호, 전압, 혹은 전류의 편차, 또는 타이밍의 차이에 의한 신호, 전압, 혹은 전류의 편차 등을 포함하는 것이 가능하다.

[0020]

또한 본 명세서 등에서 트랜지스터란, 게이트, 드레인, 및 소스를 포함한 적어도 3개의 단자를 가지는 소자이다. 그리고, 드레인(드레인 단자, 드레인 영역 또는 드레인 전극)과 소스(소스 단자, 소스 영역 또는 소스 전극) 사이에 채널 영역을 가지고 있고, 드레인과 채널 영역과 소스를 통하여 전류를 흐르게 할 수 있는 것이다.

[0021]

여기서 소스와 드레인은 트랜지스터의 구조 또는 동작 조건 등에 의해 바뀌기 때문에, 어떤 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 그러므로, 스스로서 기능하는 부분, 및 드레인으로서 기능하는 부분을 소스 또는 드레인이라고 부르지 않고, 소스와 드레인의 한쪽을 제 1 전극이라고 표기하고, 소스와 드레인의 다른 한쪽을 제 2 전극이라고 표기하는 경우가 있다.

[0022]

또한 본 명세서 등에서 이용하는 「제 1」, 「제 2」, 「제 3」이라고 하는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이고, 수적으로 한정하는 것은 아니라는 것을 부기한다.

[0023]

또한 본 명세서 등에서 A와 B가 접속되어 있다는 것은, A와 B가 직접 접속되어 있는 것 외에, 전기적으로 접속되어 있는 것을 포함하는 것으로 한다. 여기서, A와 B가 전기적으로 접속되어 있다는 것은 A와 B의 사이에 어떠한 전기적 작용을 가지는 대상물이 존재할 때, A와 B와의 전기 신호의 수수를 가능하게 하는 것을 말한다.

[0024]

또한 본 명세서 등에서, 「위에」, 「아래에」 등의 배치를 나타내는 어구는 구성들의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 이용한다. 또한, 구성들의 위치 관계는 각 구성의 묘사하는 방향에 따라 적절히 변화하는 것이다. 따라서, 명세서에서 설명한 어구로 한정되지 않고, 상황에 따라 적절히 바꾸어 말할 수 있다.

[0025]

또한 본 명세서 등에서 도면에서의 각 회로 블록의 배치는 설명을 위하여 위치 관계를 특정하는 것이며, 다른 회로 블록으로 다른 기능을 실현하도록 도면에서 나타내고 있어도 실제의 회로나 영역에서는 같은 회로나 같은 영역 내에서 다른 기능을 실현할 수 있도록 제공되어 있는 경우도 있다. 또한 도면에서의 각 회로 블록의 기능은 설명을 위하여 기능을 특정하는 것이고, 하나의 회로 블록으로 나타내고 있어도, 실제의 회로나 영역에서는 하나의 회로 블록에서 행하는 처리를 복수의 회로 블록에서 행하도록 제공되어 있는 경우도 있다.

[0026]

또한 본 명세서 등에서 전압이란 어느 전위와, 기준 전위(예를 들면 그라운드 전위)와의 전위차를 나타내는 경우가 많다. 따라서, 전압, 전위, 전위차를 각각, 전위, 전압, 전압차라고 바꾸어 말하는 것이 가능하다. 또한 전압이란 두 점 사이에서의 전위차를 말하고, 전위란 어느 한 점에서의 정전장 중에 있는 단위 전하가 가지는

정전 에너지(전기적인 위치 에너지)를 말한다.

[0027] 또한 본 명세서 등에서 「평행」이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하인 경우도 포함된다. 또한, 「수직」이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하인 경우도 포함된다.

[0028] 또한 본 명세서 등에서, 결정이 삼방정 또는 능면체정인 경우, 육방정계로 나타낸다.

[0029] (실시형태 1)

[0030] 본 실시형태에서는 DCDC 컨버터의 회로 구성, 및 그 동작에 대하여 설명한다.

[0031] 또한 DCDC 컨버터는 반도체 특성을 이용한 회로이다. 그러므로 DCDC 컨버터를 반도체 장치라고 하는 경우도 있다. 여기서 반도체 장치란, 반도체 소자를 가지는 장치를 말한다. 또한 반도체 장치는 반도체 소자를 포함한 회로를 구동시키는 구동 회로 등을 포함한다.

[0032] 먼저 도 1의 (A)에서는 DCDC 컨버터의 일례에 대하여 도시하여, 설명한다.

[0033] 도 1의 (A)에 나타내는 DCDC 컨버터(10)는 제어 회로(100)(도면 중, Controller라고 약기함), 전압 변환 회로(200)(도면 중, Voltage Converter라고 약기함)를 가진다.

[0034] DCDC 컨버터(10)는 입력 전압(Vin)을 출력 전압(Vout)으로 변환하기 위한 회로이다. 입력 전압(Vin)은 직류 전압인 것이 바람직하다. 교류 전압의 경우는 교류 전압을 직류 전압으로 변환하고, DCDC 컨버터(10)에 부여하는 것이 바람직하다.

[0035] 제어 회로(100)는 전압 변환 회로(200)가 가지는 스위치로서 기능하는 트랜지스터의 온 또는 오프를 제어하기 위한 펄스폭 제어 신호(도면 중, PWM Signal이라고 약기함)를 출력하는 회로이다. 제어 회로(100)는 입력 전압(Vin) 및 전압 변환 회로(200)로부터의 피드백 신호(도면 중, Feed Back Signal(FB)이라고 약기함)가 부여되고, 펄스폭 제어 신호를 출력한다. 또한 본 실시형태에서는 펄스폭 변조 방식을 행하는 구성에 대하여 설명하지만, PFM(펄스 주파수 변조) 방식이어도 좋다.

[0036] 전압 변환 회로(200)는 스위치로서 기능하는 트랜지스터를 가지고, 이 트랜지스터의 온 또는 오프를 전환함으로써, 입력 전압(Vin)을 승압 또는 강압한 출력 전압(Vout)으로 변환하는 회로이다. 본 실시형태에서의 전압 변환 회로(200)는 입력 전압(Vin)을 승압하는 회로 구성이어도 좋고, 입력 전압(Vin)을 강압하는 회로 구성이어도 좋다. 또한 스위치로서 기능하는 트랜지스터는 단결정 실리콘이나 SiC를 이용함으로써, 고속의 스위칭 동작을 가능하게 한 트랜지스터인 것이 바람직하지만, 그 외의 반도체 재료를 이용하여 제작된 트랜지스터여도 좋다.

[0037] 다음으로, 도 1의 (B)에서는 도 1의 (A)에 나타내는 제어 회로(100)의 블록도의 일례에 대하여 설명한다.

[0038] 도 1의 (B)에 나타내는 제어 회로(100)는 밴드 캡 레퍼런스 회로(101)(도면 중, BGR이라고 약기함), 참조 전압 생성 회로(102)(도면 중, VREFGEN이라고 약기함), 기준 바이어스 생성 회로(103)(도면 중, BIASGEN이라고 약기함), 클록 생성 회로(104)(도면 중, CLKGEN이라고 약기함), 오차 증폭기(105)(도면 중, ERRAMP라고 약기함), 비교기(106)(도면 중, PWMCMP라고 약기함), 및 타이머(107)(도면 중, Timer라고 약기함)를 가진다.

[0039] 밴드 캡 레퍼런스 회로(101)는 입력 전압(Vin)을 기초로 참조 전압 생성 회로(102) 및 기준 바이어스 생성 회로(103)를 동작시키기 위한 기준 전압(V_{BGR})을 생성하는 기능을 가지는 회로이다. 또한 밴드 캡 레퍼런스 회로(101)에서는 타이머(107)로부터 출력되는 모드 전환 신호(도면 중, $\phi 1$ 이라고 약기함)에 따라 기준 전압(V_{BGR})의 생성을 정지할 수 있다. 또한 입력 전압(Vin)의 공급을 정지하기 위해서는, 밴드 캡 레퍼런스 회로(101) 내의 트랜지스터의 게이트에 상기 트랜지스터가 동작하지 않도록 전위를 인가함으로써, 출력되는 신호를 정지하는 구성을 하면 좋다.

[0040] 참조 전압 생성 회로(102)는 기준 전압(V_{BGR})을 기초로 제어 회로(100) 내에서 이용하는 참조 전압(VREF)을 생성하는 기능을 가지는 회로이다. 또한 참조 전압(V_{REF})은 일례로서, 오차 증폭기(105)에 부여된 전압이다. 또한 참조 전압 생성 회로(102)에서는 입력 전압(Vin)이 공급되지만, 타이머(107)로부터 출력되는 모드 전환 신호에 따라 참조 전압(V_{REF})의 생성을 정지할 수 있다. 또한 입력 전압(Vin)의 공급을 정지하기 위해서는, 참조 전압 생성 회로(102) 내의 트랜지스터의 게이트에 상기 트랜지스터가 동작하지 않도록 전위를 인가함으로써, 출력되는 신호를 정지하는 구성을 하면 좋다.

- [0041] 기준 바이어스 생성 회로(103)는 기준 전압(V_{BGR})을 기초로 제어 회로(100) 내에서 이용하는 바이어스 전류(도면 중, BIAS CURRENTS라고 약기함)를 생성하는 기능을 가지는 회로이다. 또한 바이어스 전류는 일례로서 클록 생성 회로(104), 오차 증폭기(105), 및 비교기(106)에 부여되는 전류이다. 또한 기준 바이어스 생성 회로(103)에서는 입력 전압(V_{in})이 공급되지만, 타이머(107)로부터 출력되는 모드 전환 신호에 따라 바이어스 전류의 생성을 정지할 수 있다. 또한 입력 전압(V_{in})의 공급을 정지하기 위해서는, 기준 바이어스 생성 회로(103) 내의 트랜지스터의 게이트에 상기 트랜지스터가 동작하지 않도록 전위를 인가함으로써, 출력되는 신호를 정지하는 구성으로 하면 좋다.
- [0042] 클록 생성 회로(104)는 바이어스 전류 및 입력 전압(V_{in})이 부여되고, 제어 회로(100) 내에서 이용하는 클록 신호 및 삼각파를 생성하는 기능을 가지는 회로이다. 클록 생성 회로(104)는 일례로서 바이어스 회로, 기준 클록 생성 회로, 및 전위 유지부를 가진다. 바이어스 회로는 바이어스 전류를 기초로 정전위인 바이어스 전압을 생성한다. 또한 기준 클록 생성 회로는 상기 바이어스 전압에 따라 클록 신호 및 삼각파를 생성한다. 전위 유지부는 용량 소자와 스위치를 가지고, 상기 스위치의 온 또는 오프의 제어를 타이머(107)에 의해 간헐적으로 제어함으로써, 타이머(107)로부터 출력되는 모드 전환 신호에 따라 바이어스 전압을 유지할 수 있다. 그러므로, 바이어스 회로의 기능을 정지해도 기준 클록 생성 회로에의 바이어스 전압의 공급을 계속해서 행할 수 있다.
- [0043] 또한 클록 생성 회로(104)에서는 입력 전압(V_{in})이 공급되지만, 타이머(107)로부터 출력되는 모드 전환 신호에 따라 클록 생성 회로(104)가 가지는 바이어스 회로에의 입력 전압(V_{in})의 공급을 정지하고, 바이어스 전압의 생성을 정지할 수 있다. 또한 바이어스 회로에의 입력 전압(V_{in})의 공급을 정지하기 위해서는, 바이어스 회로에 파워 게이팅용 스위치를 제공하고, 상기 스위치의 온 또는 오프를 전환하는 구성으로 해도 좋다.
- [0044] 오차 증폭기(105)는 바이어스 전류 및 입력 전압(V_{in})이 부여되고, 피드백 신호의 전위와 참조 전압(V_{REF})과의 차이를 증폭한 에러 신호(도면 중, ERR_OUT 이라고 약기함)를 생성하는 기능을 가지는 회로이다. 오차 증폭기(105)는 일례로서 OP 앰프(Operational Amplifier) 및 OT 앰프(Operational Trans-conductance Amplifier)를 가진다.
- [0045] OP 앰프는 일례로서 바이어스 회로, 전압 증폭 회로 및 전위 유지부를 가진다. 바이어스 회로는 바이어스 전류를 기초로 정전위인 바이어스 전압을 생성한다. 또한 전압 증폭 회로는 입력되는 피드백 신호의 전위와 참조 전압(V_{REF})의 차분을, 상기 바이어스 전압을 기초로 증폭한 신호로서 생성한다. 전위 유지부는 용량 소자와 스위치를 가지고, 상기 스위치의 온 또는 오프의 제어를 타이머(107)에 의해 간헐적으로 제어함으로써, 타이머(107)로부터 출력되는 모드 전환 신호에 따라 바이어스 전압을 유지할 수 있다. 그러므로, 바이어스 회로의 기능을 정지해도, 전압 증폭 회로에의 바이어스 전압의 공급을 계속해서 행할 수 있다.
- [0046] OT 앰프는 일례로서 바이어스 회로, 전압 증폭 회로 및 전위 유지부를 가진다. 바이어스 회로는 바이어스 전류를 기초로 정전위인 바이어스 전압을 생성한다. 또한 전압 증폭 회로는 입력되는 피드백 신호의 전위와 참조 전압(V_{REF})의 차분을, 상기 바이어스 전압을 기초로 증폭한 신호로서 생성한다. 전위 유지부는 용량 소자와 스위치를 가지고, 상기 스위치의 온 또는 오프의 제어를 타이머(107)에 의해 간헐적으로 제어함으로써, 타이머(107)로부터 출력되는 모드 전환 신호에 따라 바이어스 전압을 유지할 수 있다. 그러므로, 바이어스 회로의 기능을 정지해도, 전압 증폭 회로에의 바이어스 전압의 공급을 계속해서 행할 수 있다.
- [0047] 또한 오차 증폭기(105)가 가지는 OP 앰프 및 OT 앰프에서는 입력 전압(V_{in})이 공급되지만, 타이머(107)로부터 출력되는 모드 전환 신호에 따라 OP 앰프 및 OT 앰프가 가지는 바이어스 회로에의 입력 전압(V_{in})의 공급을 정지하고, 바이어스 전압의 생성을 정지할 수 있다. 또한 바이어스 회로에의 입력 전압(V_{in})의 공급을 정지하기 위해서는, 입력 전압(V_{in})을 부여하는 배선과 바이어스 회로 사이에 파워 게이팅용 스위치를 제공하고, 상기 스위치의 온 또는 오프를 전환하는 구성으로 해도 좋다.
- [0048] 비교기(106)는 에러 신호 및 삼각파가 부여되고, 전압 변환 회로(200)가 가지는 스위치로서 기능하는 트랜지스터의 온 또는 오프를 제어하기 위한 펄스폭 제어 신호를 생성하는 기능을 가지는 회로이다. 비교기(106)는 일례로서 바이어스 회로, 비교 회로, 및 전위 유지부를 가진다. 바이어스 회로는 바이어스 전류를 기초로 정전위인 바이어스 전압을 생성한다. 또한 비교 회로는 상기 바이어스 전압에 따라, 에러 신호의 전위와 삼각파의 전위를 비교하고, 상기 바이어스 전압을 기초로 비교한 대소 관계에 의해 얻어지는 신호를 생성한다. 전위 유지부는 용량 소자와 스위치를 가지고, 상기 스위치의 온 또는 오프의 제어를 타이머(107)에 의해 간헐적으로 제어함으로써, 타이머(107)로부터 출력되는 모드 전환 신호에 따라 바이어스 전압을 유지할 수 있다. 그러므로, 바

이어스 회로의 기능을 정지해도, 비교 회로에의 바이어스 전압의 공급을 계속해서 행할 수 있다.

[0049] 또한 비교기(106)에서는 입력 전압(Vin)이 공급되지만, 타이머(107)로부터 출력되는 모드 전환 신호에 따라 비교기(106)가 가지는 바이어스 회로에의 입력 전압(Vin)의 공급을 정지하고, 바이어스 전압의 생성을 정지할 수 있다. 또한 바이어스 회로에의 입력 전압(Vin)의 공급을 정지하기 위해서는, 입력 전압(Vin)을 부여하는 배선과 바이어스 회로 사이에, 파워 게이팅용 스위치를 제공하고, 상기 스위치의 온 또는 오프를 전환하는 구성으로 해도 좋다.

[0050] 타이머(107)는 밴드 캡 레퍼런스 회로(101), 참조 전압 생성 회로(102), 기준 바이어스 생성 회로(103), 클록 생성 회로(104), 오차 증폭기(105), 및 비교기(106)에, 일정 기간마다 상태를 전환하기 위한 모드 전환 신호를 출력하는 기능을 가지는 회로이다. 모드 전환 신호는 제 1 모드와 제 2 모드를 전환하기 위한 신호이다. 또한, 모드 전환 신호는 일례로서는 일정 기간마다 클록 생성 회로(104)에서 생성되는 클록 신호의 파수를 카운터 등을 이용하여 카운트하고, 모드가 전환되도록 하여 생성된다.

[0051] 또한 제 1 모드는 모드 전환 신호를 H 레벨로서 전환하도록 설정하면 좋다. 제 1 모드에서는 클록 생성 회로(104), 오차 증폭기(105), 및 비교기(106)가 가지는 전위 유지부의 스위치를 온으로 하고, 바이어스 전압을 전위 유지부에 부여하도록 제어한다. 또한 제 1 모드에서는 클록 생성 회로(104), 오차 증폭기(105), 및 비교기(106)가 가지는 바이어스 회로에의 입력 전압(Vin)의 공급을 행하기 위한 파워 게이팅용 스위치를 온으로 하면 좋다. 또한 제 1 모드에서는 밴드 캡 레퍼런스 회로(101), 참조 전압 생성 회로(102), 기준 바이어스 생성 회로(103)에의 입력 전압(Vin)의 공급을 행하기 위한 파워 게이팅용 스위치를 온으로 하면 좋다. 제 1 모드는 샘플링 모드(Sampling mode)라고 하는 경우도 있다.

[0052] 도 2의 (A)는 도 1의 (B)의 제어 회로(100)에서의 제 1 모드에서의 입력 전압(Vin)의 공급 상태를 가시화하여 나타낸 블록도이다. 도면 중, 굵은 선의 화살표로 각 회로에의 입력 전압(Vin)의 공급을 나타낸다.

[0053] 또한, 제 2 모드는 모드 전환 신호를 L 레벨로서 전환하도록 설정하면 좋다. 제 2 모드에서는 클록 생성 회로(104), 오차 증폭기(105), 및 비교기(106)가 가지는 전위 유지부의 스위치를 오프로 하고, 제 1 모드에서 부여된 바이어스 전압을 전위 유지부에서 유지하도록 제어한다. 또한 제 2 모드에서는 클록 생성 회로(104), 오차 증폭기(105), 및 비교기(106)가 가지는 바이어스 회로에의 입력 전압(Vin)의 공급을 행하기 위한 파워 게이팅용 스위치를 오프로 하면 좋다. 또한 제 2 모드에서는 밴드 캡 레퍼런스 회로(101), 참조 전압 생성 회로(102), 기준 바이어스 생성 회로(103)에의 입력 전압(Vin)의 공급을 행하기 위한 파워 게이팅용 스위치를 오프로 하면 좋다. 제 2 모드는 홀드 모드(Hold mode)라고 하는 경우도 있다.

[0054] 도 2의 (B)는 도 1의 (B)의 제어 회로(100)에서의 제 2 모드에서 입력 전압(Vin)을 공급하는 상태를 가시화하여 나타낸 블록도이다. 도면 중, 굵은 화살표로 각 회로에의 입력 전압(Vin)의 공급을 나타낸다. 또한, 도면 중, 굵은 점선 화살표로 각 회로에의 입력 전압(Vin)의 부분적인 공급을 나타낸다. 또한, 도면 중, 얇은 점선 화살표로 각 회로에의 입력 전압(Vin)의 공급 정지를 나타낸다. 도면 중, 엑스(×)표로 각 회로로부터의 신호의 공급이 정지된 것을 나타낸다.

[0055] 이상 설명한 구성에 의해, 클록 생성 회로(104), 오차 증폭기(105), 및 비교기(106)가 가지는 전위 유지부에서는 전위의 샘플링 또는 유지를 타이머(107)로부터의 모드 전환 신호에 의해 간헐적으로 제어할 수 있다. 이 전환은 전위 유지부가 가지는 스위치의 온 또는 오프의 제어를 행함으로써 실현된다. 또한 전위 유지부에서는 바이어스 회로에서 생성된 정전위의 바이어스 전압을 유지하고, 바이어스 회로에의 전력의 공급이 정지하는 기간이어도, 후단에 있는 회로에서는 신호의 출력을 계속해서 행할 수 있다. 따라서 본 실시형태의 구성의 DCDC 컨버터의 제어 회로를 이용함으로써, 저소비 전력화가 뛰어난 DCDC 컨버터로 할 수 있다. 또는 본 실시형태의 구성의 DCDC 컨버터의 제어 회로를 이용함으로써, 제어 회로가 가지는 일부의 회로에의 전력의 공급을 정지해도, 성능을 저하시키는 일 없이 동작 가능하게 할 수 있는 DCDC 컨버터로 할 수 있다.

[0056] 다음으로, 클록 생성 회로(104), 오차 증폭기(105), 및 비교기(106)가 가지는 전위 유지부의 구성에 대하여 설명하기 위하여, 각 회로의 구체적인 회로 구성의 일례에 대하여 설명한다.

[0057] 우선 오차 증폭기(105)의 회로 구성의 일례에 대하여 도 3에 나타낸다. 도 3에 나타내는 오차 증폭기(105)는 OP 앰프(111), OP 앰프(112), OT 앰프(113), 저항 소자(114A), 저항 소자(114B), 및 전위 유지부(115)를 가진다.

[0058] OP 앰프(111)의 입력 단자에는 피드백 신호 및 부(負) 귀환하기 위한 출력 신호가 부여되고, 출력 단자로부터 출

력 신호를 출력한다. OP 앰프(112)의 입력 단자에는 참조 전압(V_{REF}), 및 저항 소자(114A)를 통하여 OP 앰프(111)의 출력 신호가 부여되고, 출력 단자로부터 출력 신호를 출력한다. 출력 신호는 저항 소자(114B)를 통하여, OP 앰프(111)의 출력 신호가 부여되는 입력 단자에 부귀환된다. OT 앰프(113)의 입력 단자에는 참조 전압(V_{REF}), 및 OP 앰프(112)의 출력 신호가 부여되고, 출력 단자로부터 에러 신호를 출력한다.

- [0059] 전위 유지부(115)는 스위치로서 기능하는 트랜지스터와, 용량 소자로 구성된다. 스위치로서 기능하는 트랜지스터의 게이트에는 모드 전환 신호가 부여되고, 상기 트랜지스터의 온 또는 오프를 제어할 수 있다.
- [0060] 스위치로서 기능하는 트랜지스터로서는 오프 전류가 현저히 작은 트랜지스터를 이용한다. 오프 전류가 매우 적은 트랜지스터로서는 채널이 산화물 반도체막에 형성되는 트랜지스터를 이용할 수 있다.
- [0061] 또한 오프 전류가 낮다는 것은, 실온에서 채널폭 $1\mu\text{m}$ 당의 정규화된 오프 전류가 $10\text{zA}/\mu\text{m}$ 이하인 것을 말한다. 오프 전류는 적을수록 바람직하기 때문에, 이 정규화된 오프 전류값이 $1\text{zA}/\mu\text{m}$ 이하, 바람직하게는 $10\text{yA}/\mu\text{m}$ 이하로 하고, 더욱 바람직하게는 $1\text{yA}/\mu\text{m}$ 이하인 것이 바람직하다. 또한 그 경우의 소스와 드레인 사이의 전압은 예를 들면 0.1V , 5V , 또는 10V 정도이다.
- [0062] 스위치로서 기능하는 트랜지스터는 모드 전환 신호에 의해 제 1 모드에서는 온으로 한다. 또한, 스위치로서 기능하는 트랜지스터는 모드 전환 신호에 의해 제 2 모드에서는 오프로 한다. 스위치로서, 채널이 산화물 반도체막에 형성되는 트랜지스터를 이용함으로써, 스위치와 용량 소자가 접속된 노드의 전위가 일정하게 유지된 후, 스위치를 오프로 해도, 스위치를 통하여 누출되는 전하량을 현저히 작게 억제할 수 있다.
- [0063] 그러므로, 전위 유지부(115)에서는 스위치를 오프로 함으로써, 참조 전압 생성 회로(102)에서 생성되는 참조 전압(V_{REF})을 스위치와 용량 소자가 접속된 노드에 유지할 수 있다.
- [0064] 또한 본 명세서에서 OS 트랜지스터는 산화물 반도체를 채널 형성 영역이 되는 반도체층에 이용한 것을 명시하기 위하여, OS의 부호를 병기하였다.
- [0065] 또한 전위 유지부(115)가 가지는 용량 소자는 그라운드선에 접속되어 있다. 또한 용량 소자의 한쪽의 전극은 정전위의 배선에 접속되어 있으면 좋다. 또한 용량 소자는 기생 용량이나, 트랜지스터의 게이트 용량을 이용함으로써 생략하는 것도 가능하다.
- [0066] 다음으로, OT 앰프(113)의 구체적인 회로 구성의 일례에 대하여, 도 4의 (A)에 나타낸다. OT 앰프(113)는 바이어스 회로(121), 증폭 회로(122), 전위 유지부(123A) 내지 전위 유지부(123C), 및 파워 스위치(P_SWA)를 가진다.
- [0067] 바이어스 회로(121)는 기준 바이어스 생성 회로(103)에 의해 부여되는 바이어스 전류에 따라, 증폭 회로(122)에서 이용하는 정전압의 바이어스 전압을 생성하기 위한 기능을 가지는 회로이다. 또한 바이어스 전압은 입력 전압(V_{in})이 부여되는 복수의 트랜지스터에 전류를 흘려 보냄으로써 얻어진다. 그리고 얻어진 복수의 전압이 바이어스 전압으로서 전위 유지부(123A) 내지 전위 유지부(123C)를 통하여, 증폭 회로(122)가 가지는 트랜지스터의 게이트에 부여된다. 또한 바이어스 회로(121)는 커런트 미러를 이용한 회로로 구성하면 좋다.
- [0068] 증폭 회로(122)는 전위 유지부(123A) 내지 전위 유지부(123C)를 통하여 트랜지스터의 게이트에 바이어스 전압이 부여된 상태에서 입력 단자 IN^+ , 입력 단자 IN^- 에 신호가 입력됨으로써, 피드백 신호를 증폭한 신호인 에러 신호를 출력하는 기능을 가지는 회로이다. 또한 증폭 회로(122)는 차동 증폭 회로, 커런트 미러를 이용한 회로로 구성하면 좋다.
- [0069] 전위 유지부(123A) 내지 전위 유지부(123C)는 각각, 스위치로서 기능하는 트랜지스터와, 용량 소자로 구성된다. 스위치로서 기능하는 트랜지스터의 게이트에는 모드 전환 신호가 부여되고, 상기 트랜지스터의 온 또는 오프를 제어할 수 있다.
- [0070] 파워 스위치(P_SWA)는 파워 스위치로서 기능하는 트랜지스터로 구성된다. 파워 스위치로서 기능하는 트랜지스터의 게이트에는 모드 전환 신호가 부여되고, 상기 트랜지스터의 온 또는 오프를 제어할 수 있다.
- [0071] 그러므로, 전위 유지부(123A) 내지 전위 유지부(123C)에서는 스위치를 오프로 함으로써, 바이어스 회로(121)에서 생성되는 정전위를 스위치와 용량 소자가 접속된 노드에 유지할 수 있다. 따라서, 바이어스 회로(121)에서 생성되는 정전위를 계속 출력할 필요가 없어지기 때문에, 파워 스위치(P_SWA)를 오프로 하고, 바이어스 회로(121)의 동작을 정지할 수 있다. 이것에 의해, OT 앰프(113)의 동작을 정지하는 일 없이, 바이어스 회로에 전

력의 공급을 정지할 수 있기 때문에, 바이어스 회로(121)에서 소비되는 전력을 삭감할 수 있는 OT 앰프(113)로 할 수 있다.

[0072] 또한 전위 유지부(123A) 내지 전위 유지부(123C)가 가지는 용량 소자는 입력 전압(Vin)이 부여되는 배선, 또는 그라운드선에 접속되어 있다. 또한 용량 소자의 한쪽의 전극은 정전위의 배선에 접속되어 있으면 좋다. 또한 용량 소자는 기생 용량이나, 트랜지스터의 게이트 용량을 이용함으로써 생략하는 것도 가능하다.

[0073] 또한 바이어스 회로(121) 및 증폭 회로(122)를 구성하는 트랜지스터는 실리콘(Si)을 채널 형성 영역이 되는 반도체층에 이용한 트랜지스터로 구성하는 것이 적합하다. 이 구성으로 함으로써, 트랜지스터에 흐르는 전류량을 크게 할 수 있고, 회로 동작의 고속화를 도모할 수 있다.

[0074] 다음으로, OP 앰프(111) 및 OP 앰프(112)의 구체적인 회로 구성의 일례에 대하여, 도 4의 (B)에 나타낸다. OP 앰프(111) 및 OP 앰프(112)는 바이어스 회로(131), 전압 증폭 회로(132), 전위 유지부(133A) 내지 전위 유지부(133D), 및 파워 스위치(P_SWB)를 가진다.

[0075] 바이어스 회로(131)는 기준 바이어스 생성 회로(103)에 의해 부여되는 바이어스 전류에 따라, 전압 증폭 회로(132)에서 이용하는 정전압의 바이어스 전압을 생성하기 위한 기능을 가지는 회로이다. 또한 바이어스 전압은 입력 전압(Vin)이 부여되는 복수의 트랜지스터에 전류를 흘려 보냄으로써 얻어진다. 그리고 얻어진 복수의 전압이 바이어스 전압으로서 전위 유지부(133A) 내지 전위 유지부(133D)를 통하여, 전압 증폭 회로(132)가 가지는 트랜지스터의 게이트에 부여된다. 또한 바이어스 회로(131)는 커런트 미러를 이용한 회로로 구성하면 좋다.

[0076] 전압 증폭 회로(132)는 전위 유지부(133A) 내지 전위 유지부(133D)를 통하여 트랜지스터의 게이트에 바이어스 전압이 부여된 상태에서 입력 단자 IN^+ , 입력 단자 IN^- 에 신호가 입력됨으로써 출력 신호(OUT)를 출력하는 기능을 가지는 회로이다. 또한 전압 증폭 회로(132)는 차동 증폭 회로, 커런트 미러를 이용한 회로로 구성하면 좋다.

[0077] 전위 유지부(133A) 내지 전위 유지부(133D)는 각각, 전위 유지부(123A) 내지 전위 유지부(123C)와 마찬가지로, 스위치로서 기능하는 트랜지스터와, 용량 소자로 구성된다. 또한, 파워 스위치(P_SWB)는 파워 스위치(P_SWA)와 마찬가지로, 스위치로서 기능하는 트랜지스터로 구성된다.

[0078] 그러므로, 전위 유지부(133A) 내지 전위 유지부(133D)에서는 스위치를 오프로 함으로써, 바이어스 회로(131)에서 생성되는 정전위를 스위치와 용량 소자가 접속된 노드에 유지할 수 있다. 따라서, 바이어스 회로(131)에서 생성되는 정전위를 계속 출력할 필요가 없어지기 때문에, 파워 스위치(P_SWB)를 오프로 하고, 바이어스 회로(131)의 동작을 정지할 수 있다. 이것에 의해, OP 앰프(111) 및 OP 앰프(112)의 동작을 정지하는 일 없이, 바이어스 회로에 전력의 공급을 정지할 수 있기 때문에, 바이어스 회로(131)에서 소비되는 전력을 삭감할 수 있는 OP 앰프(111) 및 OP 앰프(112)로 할 수 있다.

[0079] 또한 바이어스 회로(131) 및 전압 증폭 회로(132)를 구성하는 트랜지스터는 실리콘(Si)을 채널 형성 영역이 되는 반도체층에 이용한 트랜지스터로 구성하는 것이 적합하다. 이 구성으로 함으로써, 트랜지스터에 흐르는 전류량을 크게 할 수 있어 회로 동작의 고속화를 도모할 수 있다.

[0080] 다음으로, 비교기(106)의 구체적인 회로 구성의 일례에 대하여, 도 5에 나타낸다. 비교기(106)는 바이어스 회로(141), 비교 회로(142), 전위 유지부(143A) 내지 전위 유지부(143D), 및 파워 스위치(P_SWC)를 가진다.

[0081] 바이어스 회로(141)는 기준 바이어스 생성 회로(103)에 의해 부여되는 바이어스 전류에 따라, 비교 회로(142)에서 이용하는 정전압의 바이어스 전압을 생성하기 위한 기능을 가지는 회로이다. 또한 바이어스 전압은 입력 전압(Vin)이 부여되는 복수의 트랜지스터에 전류를 흘려 보냄으로써 얻어진다. 그리고 얻어진 복수의 전압이 바이어스 전압으로서 전위 유지부(143A) 내지 전위 유지부(143D)를 통하여, 비교 회로(142)가 가지는 트랜지스터의 게이트에 부여된다. 또한 바이어스 회로(141)는 커런트 미러를 이용한 회로로 구성하면 좋다.

[0082] 비교 회로(142)는 전위 유지부(143A) 내지 전위 유지부(143D)를 통하여 트랜지스터의 게이트에 바이어스 전압이 부여된 상태로, 입력 단자 IN^+ , 입력 단자 IN^- 에 신호가 입력됨으로써, 출력 신호(OUT)를 출력하는 기능을 가지는 회로이다. 또한 비교 회로(142)는 차동 증폭 회로, 커런트 미러를 이용한 회로로 구성하면 좋다.

[0083] 전위 유지부(143A) 내지 전위 유지부(143D)는 각각, 전위 유지부(123A) 내지 전위 유지부(123C)와 마찬가지로, 스위치로서 기능하는 트랜지스터와, 용량 소자로 구성된다. 또한, 파워 스위치(P_SWC)는 파워 스위치(P_SWA)와 마찬가지로, 스위치로서 기능하는 트랜지스터로 구성된다.

- [0084] 그러므로, 전위 유지부(143A) 내지 전위 유지부(143D)에서는 스위치를 오프로 함으로써, 바이어스 회로(141)에서 생성되는 정전위를 스위치와 용량 소자가 접속된 노드에 유지할 수 있다. 따라서, 바이어스 회로(141)에서 생성되는 정전위를 계속 출력할 필요가 없어지기 때문에, 파워 스위치(P_SWC)를 오프로 하고, 바이어스 회로(141)의 동작을 정지할 수 있다. 이것에 의해, 비교기(106)의 동작을 정지하는 일 없이, 바이어스 회로에 전력의 공급을 정지할 수 있기 때문에, 성능을 저하시키는 일 없이 동작시키고, 바이어스 회로(141)에서 소비되는 전력을 삭감할 수 있는 비교기(106)로 할 수 있다.
- [0085] 또한 바이어스 회로(141) 및 비교 회로(142)를 구성하는 트랜지스터는 실리콘(Si)을 채널 형성 영역이 되는 반도체층에 이용한 트랜지스터로 구성하는 것이 적합하다. 이 구성으로 함으로써, 트랜지스터에 흐르는 전류량을 크게 할 수 있어, 회로 동작의 고속화를 도모할 수 있다.
- [0086] 다음으로, 클록 생성 회로(104)의 구체적인 회로 구성의 일례에 대하여, 도 6에 나타낸다. 클록 생성 회로(104)는 바이어스 회로(151), 클록 생성부(152), 전위 유지부(153A) 내지 전위 유지부(153D). 및 파워 스위치(P_SWD)를 가진다.
- [0087] 바이어스 회로(151)는 기준 바이어스 생성 회로(103)에 의해 부여되는 바이어스 전류에 따라, 클록 생성부(152)에서 이용하는 정전압의 바이어스 전압을 생성하기 위한 기능을 가지는 회로이다. 또한 바이어스 전압은 입력 전압(Vin)이 부여되는 복수의 트랜지스터에 전류를 흘려 보냄으로써 얻어진다. 그리고 얻어진 복수의 전압이 바이어스 전압으로서 전위 유지부(153A) 내지 전위 유지부(153D)를 통하여, 클록 생성부(152)가 가지는 트랜지스터의 게이트에 부여된다. 또한 바이어스 회로(151)는 커런트 미러를 이용한 회로로 구성하면 좋다.
- [0088] 클록 생성부(152)는 비교 회로(154), 제어용 논리 회로(155)(도면 중, Control Logic이라고 약기함), 스위치로서 기능하는 트랜지스터(156) 및 트랜지스터(157)를 가진다. 클록 생성부(152)에서는 전위 유지부(153A) 내지 전위 유지부(153D)를 통하여 트랜지스터의 게이트에 바이어스 전압이 부여된 상태로, 제어용 논리 회로(155)에 의해 트랜지스터(156) 및 트랜지스터(157)의 온 또는 오프를 교대로 선택함으로써, 전압의 승강을 일정 속도로 행하도록 제어한다. 그리고 클록 생성부(152)에서는 비교 회로(154)를 이용하고, 일정한 속도로 승강하는 전압과 참조 전압(V_{REFH}) 및 참조 전압(V_{REFL})과 비교하고, 제어용 논리 회로(155)가 비교 회로(154)의 비교 결과를 이용하여 트랜지스터(156) 및 트랜지스터(157)의 온 또는 오프를 제어하고, 일정한 속도로 승강하는 전압을 삼각파로 정형한다. 또한, 제어용 논리 회로(155)는 성형된 삼각파에 동기하여 클록 신호를 생성할 수 있다.
- [0089] 전위 유지부(153A) 내지 전위 유지부(153D)는 각각, 전위 유지부(123A) 내지 전위 유지부(123C)와 마찬가지로, 스위치로서 기능하는 트랜지스터와, 용량 소자로 구성된다. 또한, 파워 스위치(P_SWD)는 파워 스위치(P_SWA)와 마찬가지로, 스위치로서 기능하는 트랜지스터로 구성된다.
- [0090] 그러므로, 전위 유지부(153A) 내지 전위 유지부(153D)에서는 스위치를 오프로 함으로써, 바이어스 회로(151)에서 생성되는 정전위를 스위치와 용량 소자가 접속된 노드에 유지할 수 있다. 따라서, 바이어스 회로(151)에서 생성되는 정전위를 계속 출력할 필요가 없어지기 때문에, 파워 스위치(P_SWD)를 오프로 하고, 바이어스 회로(151)의 동작을 정지할 수 있다. 이것에 의해, 클록 생성부(152)의 동작을 정지하는 일 없이, 바이어스 회로에 전력의 공급을 정지할 수 있기 때문에, 성능을 저하시키는 일 없이 동작시키고, 바이어스 회로(151)에서 소비되는 전력을 삭감할 수 있는 클록 생성 회로(104)로 할 수 있다.
- [0091] 또한 바이어스 회로(151) 및 클록 생성부(152)를 구성하는 트랜지스터는 실리콘(Si)을 채널 형성 영역이 되는 반도체층에 이용한 트랜지스터로 구성하는 것이 적합하다. 이 구성으로 함으로써, 트랜지스터에 흐르는 전류량을 크게 할 수 있고, 회로 동작의 고속화를 도모할 수 있다.
- [0092] 다음으로, 비교기(106)의 동작에 대하여 도 7을 참조하여 설명한다. 도 7에는 삼각파(Triangle Wave)의 파형, 삼각파와 오차 증폭기의 출력 신호(ERR_OUT)의 파형을 중첩하여 나타낸 것, 및 비교기(106)로부터 출력되는 펄스폭 제어 신호의 파형을 나타낸다.
- [0093] 클록 생성 회로(104)로부터 출력되는 삼각파는 도 7에 나타내는 바와 같이, 도 6에서 설명한 참조 전압(V_{REFH})과 참조 전압(V_{REFL}) 사이에서 진폭을 반복하는 신호이다. 한편, 비교기(106)에 입력되는 오차 증폭기의 출력 신호의 파형은 출력 전압(V_{out})과 마찬가지로 변화하는 피드백 신호에 따라 연속적으로 변화한다. 그러므로 오차 증폭기의 출력 신호의 파형도, 연속적으로 변화하는 파형을 가지는 신호이다.
- [0094] 비교기(106)에서는 이 2개의 신호의 대소 관계를 기초로 펄스폭 제어 신호가 되는 구형파(square wave)를 생성할 수 있다. 펄스폭 제어 신호에 의해, 전압 변환 회로(200)가 가지는 스위치로서 기능하는 트랜지스터의 온

또는 오프를 제어할 수 있다. 이 트랜지스터의 온 또는 오프를 제어함으로써, 출력 전압(Vout)이 일정한 정전압이 되도록 제어할 수 있다. 예를 들면, 출력 전압(Vout)에 변화가 생기려면 피드백 신호에 따라 오차 증폭기의 출력 신호의 파형이 변화하고, 이에 따라 펄스폭 제어 신호가 변화함으로써, 출력 전압(Vout)이 일정한 정전압이 되도록 제어할 수 있다.

[0095] 다음으로 타이머(107)에 의한 스위치의 제어에 대하여 도 8을 참조하여 설명한다. 도 8에는 입력 전압(Vin)의 변화, 및 모드 전환 신호(Φ1)의 신호 파형을 나타낸다.

[0096] 본 실시형태에서의 DCDC 컨버터(10)의 제어 회로(100)에서는 상술한 바와 같이 모드 전환 신호(Φ1)를 이용하고, 제 1 모드와 제 2 모드의 전환을 행한다. 제 1 모드와 제 2 모드의 전환에 의해, 클록 생성 회로, 오차 증폭기 및 비교 회로의 각각에 제공된 바이어스 회로에서 생성되는 정전위를 전위 유지부에 간헐적으로 유지시킬 수 있다.

[0097] 구체적으로는 도 8에 나타내는 바와 같이 입력 전압(Vin)의 상승과 함께, 제 1 모드(샘플링 모드)가 되도록 모드 전환 신호(Φ1)를 전환한다. 그 후, 제 2 모드(홀드 모드)가 되도록 모드 전환 신호(Φ1)를 전환한다. 타이머(107)에 의해 특정된 일정 기간 경과 후, 모드 전환 신호(Φ1)는 다시 제 1 모드로 전환되고, 제 2 모드의 전환을 반복한다.

[0098] 제어 회로(100)가 가지는 타이머(107)에 의해, 제 1 모드와 제 2 모드를 교대로 반복하도록 제어함으로써, 제어 회로(100)가 가지는 각 회로에서의 저소비 전력화를 도모할 수 있다. 구체적으로는 제 2 모드 시에, 클록 생성 회로(104), 오차 증폭기(105), 및 비교기(106) 각각에 제공된 바이어스 회로(121), 바이어스 회로(131), 바이어스 회로(141), 및 바이어스 회로(151)에의 전력의 공급을 정지하는 구성으로 한다. 이 구성으로 함으로써, 제 2 모드 시의 바이어스 회로에 흐르는 전류를 없애고, 그만큼의 소비 전력을 저감할 수 있다.

[0099] 또한 본 실시형태의 구성에서는 클록 생성 회로(104), 오차 증폭기(105), 및 비교기(106) 각각에 제공된 바이어스 회로(121), 바이어스 회로(131), 바이어스 회로(141), 및 바이어스 회로(151)에의 전력의 공급이 간헐적으로 정지되어도, 각 회로의 성능이 저하되는 일은 없다. 구체적으로는 제 2 모드 시에, 전위 유지부(123A) 내지 전위 유지부(123C), 전위 유지부(133A) 내지 전위 유지부(133D), 전위 유지부(143A) 내지 전위 유지부(143D), 및 전위 유지부(153A) 내지 전위 유지부(153D)에서는 스위치와 용량 소자가 접속된 노드에, 바이어스 회로(121), 바이어스 회로(131), 바이어스 회로(141), 및 바이어스 회로(151)에서 얻어지는 정전위를 유지할 수 있다. 그러므로, 이 정전위에 의해 동작을 행하는 증폭 회로(122), 전압 증폭 회로(132), 비교 회로(142), 및 클록 생성부(152)에서는 바이어스 회로에의 전력의 공급이 정지되어도, 출력하는 신호에 변화는 없다. 따라서 제 2 모드에서도 DCDC 컨버터(10)는 성능을 저하시키는 일 없이 동작시킬 수 있다.

[0100] 또한, 제 2 모드 시에는 밴드 캡 레퍼런스 회로(101), 참조 전압 생성 회로(102), 및 기준 바이어스 생성 회로(103)에의 전력의 공급을 정지하도록 제어하는 구성으로 하는 것이 효율적이다. 이 구성으로 함으로써, 제 2 모드 시에 밴드 캡 레퍼런스 회로(101), 참조 전압 생성 회로(102), 및 기준 바이어스 생성 회로(103)에 흐르는 전류를 간헐적으로 없애고, 그 만큼의 소비 전력을 저감할 수 있다.

[0101] 이상으로 설명한 본 발명의 일 양태에서는 저소비 전력화가 뛰어나고, DCDC 컨버터가 가지는 일부의 회로에의 전력의 공급을 정지해도 성능을 저하시키는 일 없이 동작 가능한 DCDC 컨버터로 할 수 있다.

[0102] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0103] (실시형태 2)

[0104] 본 실시형태에서는 실시형태 1에서 설명한 전압 변환 회로(200)의 구체적인 예에 대하여 설명한다. 또한 이하에서는 도 9 내지 도 10을 참조하여 설명한다.

[0105] 도 9의 (A)는 도 1의 (A)에 설명한 DCDC 컨버터(10)의 구성에서, 비절연형 승압 초크 방식의 전압 변환 회로(200A)를 이용한 구성예를 나타내는 블록도이다.

[0106] 도 9의 (A)에 나타내는 전압 변환 회로(200A)는 스위치로서 기능하는 트랜지스터(211), 코일(212), 다이오드(213), 용량 소자(214), 및 직렬로 접속된 저항 소자(215)를 가진다.

[0107] 트랜지스터(211)는 코일(212)과 다이오드(213)의 사이의 노드와, 고정 전위(예를 들면 그라운드 전위) 사이의 전기적인 접속을 제어한다. 구체적으로, 트랜지스터(211)는 소스 및 드레인의 한쪽이 코일(212)과 다이오드(213) 간의 노드에 접속되고, 소스 및 드레인의 다른 한쪽이 고정 전위에 접속된다.

- [0108] 코일(212)은 한쪽의 단자에 입력 전압(Vin)이 부여되고, 다른 한쪽의 단자가 다이오드(213)의 한쪽의 전극에 접속된다.
- [0109] 다이오드(213)의 다른 한쪽의 전극은 출력 전압(Vout)을 부여하는 단자에 접속된다.
- [0110] 용량 소자(214)는 한쪽의 전극이 출력 전압(Vout)을 부여하는 단자에 접속되고, 다른 한쪽이 고정 전위에 접속된다.
- [0111] 저항 소자(215)는 출력 전압(Vout)을 부여하는 단자와 고정 전위를 부여하는 단자와의 사이에 저항 분할하도록 제공된다. 저항 분할되어 얻어지는 전압은 피드백 신호로서 제어 회로(100)에 부여된다.
- [0112] 도 9의 (A)에 나타내는 전압 변환 회로(200A)에서는 트랜지스터(211)가 온인 기간의 비율을 높게 함으로써, 코일(212)에 흐르는 전류를 크게 하고, 출력 전압(Vout)과 입력 전압(Vin)의 차이가 커지도록 승압할 수 있다. 반대로, 트랜지스터(211)가 오프인 기간의 비율을 높게 함으로써, 코일(212)에 흐르는 전류를 작게 하고, 출력 전압(Vout)과 입력 전압(Vin)의 차이가 작아지도록 승압할 수 있다.
- [0113] 도 9의 (B)는 도 1의 (A)에 설명한 DCDC 컨버터(10)의 구성에서, 비절연형 강압 초크 방식의 전압 변환 회로(200B)를 이용한 구성예를 나타내는 블록도이다.
- [0114] 도 9의 (B)에 나타내는 전압 변환 회로(200B)는 스위치로서 기능하는 트랜지스터(221), 다이오드(222), 코일(223), 용량 소자(224), 및 직렬로 접속된 저항 소자(225)를 가진다.
- [0115] 트랜지스터(221)는 입력 전압(Vin)이 부여되는 노드와, 다이오드(222)와 코일(223) 사이의 노드 사이의 전기적인 접속을 제어한다. 구체적으로, 트랜지스터(221)는 소스 및 드레인의 한쪽이 입력 전압(Vin)을 부여하는 단자에 접속되고, 소스 및 드레인의 다른 한쪽이 다이오드(222)와 코일(223) 사이의 노드에 접속되어 있다.
- [0116] 다이오드(222)의 한쪽의 전극이 다이오드(222)와 코일(223) 사이의 노드에 접속되고, 다른 한쪽이 고정 전위에 접속되어 있다.
- [0117] 코일(223)은 한쪽의 단자가 다이오드(222)와 코일(223) 사이의 노드에 접속되고, 다른 한쪽의 단자가 출력 전압(Vout)을 부여하는 단자에 접속된다.
- [0118] 용량 소자(224)는 한쪽의 전극이 출력 전압(Vout)을 부여하는 단자에 접속되고, 다른 한쪽이 고정 전위에 접속되어 있다.
- [0119] 저항 소자(225)는 출력 전압(Vout)을 부여하는 단자와 고정 전위를 부여하는 단자와의 사이에 저항 분할하도록 제공된다. 저항 분할되어 얻어지는 전압은 피드백 신호로서 제어 회로(100)에 부여된다.
- [0120] 도 9의 (B)에 나타내는 전압 변환 회로(200B)에서는 트랜지스터(221)가 온인 기간의 비율을 높게 함으로써, 용량 소자(224)에 유지되는 전압을 입력 전압(Vin)에 가까워지도록 강압할 수 있다. 반대로, 트랜지스터(221)가 오프인 기간의 비율을 높게 함으로써, 용량 소자(224)에 유지되는 전압을 작게 하고, 강압할 수 있다.
- [0121] 도 10의 (A)는 도 1의 (A)에 설명한 DCDC 컨버터(10)의 구성에서, 절연형 포워드 방식의 전압 변환 회로(200C)를 이용한 구성예를 나타내는 블록도이다.
- [0122] 도 10의 (A)에 나타내는 전압 변환 회로(200C)는 스위치로서 기능하는 트랜지스터(231), 트랜스(232), 다이오드(233), 다이오드(234), 코일(235), 및 용량 소자(236)를 가진다.
- [0123] 트랜지스터(231)는 트랜스(232)를 구성하는 일차 코일과 고정 전위에 접속된 단자 사이의 전기적인 접속을 제어한다. 구체적으로, 트랜지스터(231)는 소스 및 드레인의 한쪽이 트랜스(232)를 구성하는 일차 코일에 접속되고, 소스 및 드레인의 다른 한쪽이 고정 전위에 접속된다.
- [0124] 트랜스(232)는 일차 코일과 이차 코일로 구성된다. 트랜스(232)를 구성하는 이차 코일은 다이오드(233)의 한쪽의 전극에 접속된다.
- [0125] 다이오드(233)의 다른 한쪽의 전극은 다이오드(234)와 코일(235) 사이의 노드에 접속된다.
- [0126] 다이오드(234)의 한쪽의 전극은 다이오드(233)와 코일(235) 사이의 노드에 접속된다. 다이오드(234)의 다른 한쪽의 전극은 고정 전위에 접속된 단자에 접속된다.
- [0127] 코일(235)의 한쪽의 단자는 다이오드(233)와 다이오드(234) 사이의 노드에 접속된다. 코일(235)의 다른 한쪽의

단자는 출력 전압(Vout)을 부여하는 단자에 접속된다.

[0128] 용량 소자(236)의 한쪽의 전극은 출력 전압(Vout)을 부여하는 단자에 접속된다. 용량 소자(236)의 다른 한쪽의 전극은 고정 전위에 접속된 단자에 접속된다. 출력 전압(Vout)은 피드백 신호로서 제어 회로(100)에 부여된다.

[0129] 도 10의 (A)에 나타내는 전압 변환 회로(200C)에서는 트랜지스터(231)의 온 또는 오프를 교대로 전환함으로써, 일차 코일에 흐르는 전류를 제어하여 트랜스(232)를 여자(勵磁)한다. 그리고 이차 코일측에서의 출력 전압(Vout)의 강압을 제어할 수 있다.

[0130] 도 10의 (B)는 도 1의 (A)에 설명한 DCDC 컨버터(10)의 구성에서, 절연형 플라이 백 방식의 전압 변환 회로(200D)를 이용한 구성예를 나타내는 블록도이다.

[0131] 도 10의 (B)에 나타내는 전압 변환 회로(200D)는 스위치로서 기능하는 트랜지스터(241), 트랜스(242), 다이오드(243), 및 용량 소자(244)를 가진다.

[0132] 트랜지스터(241)는 트랜스(242)를 구성하는 일차 코일과, 고정 전위에 접속된 단자와의 사이의 전기적인 접속을 제어한다. 구체적으로, 트랜지스터(241)는 소스 및 드레인의 한쪽이 트랜스(242)를 구성하는 일차 코일에 접속되고, 소스 및 드레인의 다른 한쪽이 고정 전위에 접속된다.

[0133] 트랜스(242)는 일차 코일과 이차 코일로 구성된다. 트랜스(242)를 구성하는 이차 코일은 다이오드(243)의 한쪽의 전극에 접속된다.

[0134] 다이오드(243)의 다른 한쪽의 전극은 출력 전압(Vout)을 부여하는 단자에 접속된다.

[0135] 용량 소자(244)의 한쪽의 전극은 출력 전압(Vout)을 부여하는 단자에 접속된다. 용량 소자(244)의 다른 한쪽의 전극은 고정 전위에 접속된 단자에 접속된다. 출력 전압(Vout)은 피드백 신호로서 제어 회로(100)에 부여된다.

[0136] 도 10의 (B)에 나타내는 전압 변환 회로(200D)에서는 트랜지스터(241)의 온 또는 오프를 교대로 전환함으로써, 일차 코일에 흐르는 전류를 이차 코일측에서의 자기 유도 전압으로 변환한다. 그리고 이차 코일측에서의 출력 전압(Vout)의 승압을 제어할 수 있다.

[0137] 또한 상술한 트랜지스터(211), 트랜지스터(221), 트랜지스터(231), 및 트랜지스터(241)는 하나만 제공하는 구성을 나타냈지만, 복수 제공하는 구성으로 해도 좋다. 혹은 n채널형을 도시했지만, p채널형이어도 좋다. 혹은 실리콘을 가지는 것 이외의 반도체, 예를 들면 산화물 반도체, 화합물 반도체를 이용한 트랜지스터로 해도 좋다. 혹은 복수의 게이트 전극, 예를 들면 백 게이트 전극을 제공하고, 트랜지스터의 오프 전류 또는 온 저항을 출력 전력의 크기에 맞추어 조정하고, 전력 변환 효율을 높이는 구성으로 해도 좋다.

[0138] 또한 도 9의 (A) 내지 도 10의 (B)에 설명한, 전압 변환 회로(200A) 내지 전압 변환 회로(200D)에서는 비절연형 승압 초크 방식, 비절연형 강압 초크 방식, 절연형 포워드 방식, 절연형 플라이 백 방식의 전압 변환 회로에 대하여 설명했지만, 하프 브릿지 방식, 또는 풀 브릿지 방식의 전압 변환 회로로 할 수도 있다.

[0139] 이상, 본 실시형태에 설명한 DCDC 컨버터는 상기 실시형태 1에 설명한 제어 회로의 구성을 가진다. 그러므로, 저소비 전력화가 뛰어나 DCDC 컨버터가 가지는 일부의 회로에의 전력의 공급을 정지해도, 성능을 저하시키지 않고 동작할 수 있는 DCDC 컨버터로 할 수 있다.

[0140] 이상, 본 실시형태에 나타내는 구성은 다른 실시형태에 나타내는 구성과 적절히 조합하여 이용할 수 있다.

[0141] (실시형태 3)

[0142] 본 실시형태에서는 상기 실시형태에 설명한 오프 전류가 낮은 트랜지스터의 채널 형성 영역이 되는 반도체층에 이용할 수 있는 산화물 반도체층에 대하여 설명한다.

[0143] 트랜지스터의 채널 형성 영역이 되는 반도체층에 이용하는 산화물 반도체로서는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In 및 Zn을 포함하는 것이 바람직하다. 또한, 이에 더하여 산소와 강하게 결합하는 스태빌라이저(stabilizer)를 가지는 것이 바람직하다. 스태빌라이저로서는, 갈륨(Ga), 주석(Sn), 지르코늄(Zr), 하프늄(Hf), 및 알루미늄(Al) 중 적어도 어느 하나를 가지면 좋다.

[0144] 또한, 다른 스태빌라이저로서, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 텐븀(Tm), 이테르븀(Yb), 류테튬(Lu) 중 어느 일종 또는 복수종을 가져도 좋다.

- [0145] 트랜지스터의 채널 형성 영역이 되는 반도체층으로서 이용되는 산화물 반도체로서는, 예를 들면, 산화 인듐, 산화 주석, 산화 아연, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-Zr-Zn계 산화물, In-Ti-Zn계 산화물, In-Sc-Zn계 산화물, In-Y-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물 등이 있다.
- [0146] 예를 들면, In : Ga : Zn=1 : 1 : 1, In : Ga : Zn=3 : 1 : 2, 혹은 In : Ga : Zn=2 : 1 : 3의 원자수비의 In-Ga-Zn계 산화물이나 그 조성 근방의 산화물을 이용하면 좋다.
- [0147] 채널 형성 영역이 되는 반도체층을 구성하는 산화물 반도체막에 수소가 다량으로 포함되면, 산화물 반도체와 결합함으로써, 수소의 일부가 도너가 되고, 캐리어인 전자를 발생시킨다. 이것에 의해, 트랜지스터의 문턱 전압이 마이너스 방향으로 시프트된다. 그러므로, 산화물 반도체막의 형성 후, 탈수화 처리(탈수소화 처리)를 행하여, 산화물 반도체막으로부터 수소, 또는 수분을 제거하여, 불순물이 가능한 한 포함되지 않도록 고순도화하는 것이 바람직하다.
- [0148] 또한 산화물 반도체막에서의 탈수화 처리(탈수소화 처리)에 의해, 산화물 반도체막으로부터 산소가 감소하는 경우가 있다. 따라서, 산화물 반도체막에의 탈수화 처리(탈수소화 처리)에 의해 증가한 산소 결손을 보충하기 위하여 산소를 산화물 반도체막에 더하는 처리를 행하는 것이 바람직하다. 본 명세서 등에서, 산화물 반도체막에 산소를 공급하는 경우를 가산소화 처리라고 기재하는 경우가 있고, 또는 산화물 반도체막에 포함되는 산소를 화학양론적 조성보다 많이 하는 경우를 과산소화 처리라고 기재하는 경우가 있다.
- [0149] 이와 같이, 산화물 반도체막은 탈수화 처리(탈수소화 처리)에 의해 수소 또는 수분이 제거되고, 가산소화 처리에 의해 산소 결손을 보충함으로써, i형(진성)화 또는 i형에 한없이 가깝고 실질적으로 i형(진성)인 산화물 반도체막으로 할 수 있다. 또한 실질적으로 진성이라, 산화물 반도체막 중에 도너에서 유래하는 캐리어가 매우 적고(0에 가깝고), 캐리어 밀도가 $1 \times 10^{17}/\text{cm}^3$ 이하, $1 \times 10^{16}/\text{cm}^3$ 이하, $1 \times 10^{15}/\text{cm}^3$ 이하, $1 \times 10^{14}/\text{cm}^3$ 이하, $1 \times 10^{13}/\text{cm}^3$ 이하인 것을 말한다.
- [0150] 또한, 이와 같이 i형 또는 실질적으로 i형인 산화물 반도체막을 구비하는 트랜지스터는 매우 뛰어난 오프 전류 특성을 실현할 수 있다. 예를 들면, 산화물 반도체막을 이용한 트랜지스터가 오프 상태일 때의 드레인 전류를 실온(25°C 정도)에서 $1 \times 10^{-18}\text{A}$ 이하, 바람직하게는 $1 \times 10^{-21}\text{A}$ 이하, 더욱 바람직하게는 $1 \times 10^{-24}\text{A}$ 이하, 또는 85°C에서 $1 \times 10^{-15}\text{A}$ 이하, 바람직하게는 $1 \times 10^{-18}\text{A}$ 이하, 더욱 바람직하게는 $1 \times 10^{-21}\text{A}$ 이하로 할 수 있다. 또한 트랜지스터가 오프 상태란, n채널형인 트랜지스터의 경우, 게이트 전압이 문턱 전압보다 충분히 작은 상태를 말한다. 구체적으로는 게이트 전압이 문턱 전압보다 1V 이상, 2V 이상 또는 3V 이상 작으면 트랜지스터는 오프 상태가 된다.
- [0151] 또한, 성막되는 산화물 반도체는 예를 들면 비단결정을 가져도 좋다. 비단결정은 예를 들면, CAAC(C Axis Aligned Crystal), 다결정, 미결정, 비정질부를 가진다.
- [0152] 산화물 반도체는 예를 들면 CAAC를 가져도 좋다. 또한 CAAC를 가지는 산화물 반도체를 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)라고 부른다.
- [0153] CAAC-OS는 예를 들면, 투과형 전자현미경(TEM : Transmission Electron Microscope)에 의한 관찰상으로 결정부를 확인할 수 있는 경우가 있다. CAAC-OS에 포함되는 결정부는 예를 들면, TEM에 의한 관찰상에서 한 변이 100nm인 입방체 내에 들어가는 크기인 것이 많다. 또한, CAAC-OS는 TEM에 의한 관찰상에서 결정부와 결정부와의 경계를 명확하게 확인할 수 없는 경우가 있다. 또한, CAAC-OS는 TEM에 의한 관찰상에서 입계(그레인 바운더리라고도 함)를 명확하게 확인할 수 없는 경우가 있다. CAAC-OS는 예를 들면, 명확한 입계를 갖지 않기 때문에, 불순물이 편석(偏析)하는 일이 적다. 또한, CAAC-OS는 예를 들면, 명확한 입계를 갖지 않기 때문에, 결함 준위 밀도가 높아지는 일이 적다. 또한, CAAC-OS는 예를 들면, 명확한 입계를 갖지 않기 때문에, 전자 이동도의 저하가 작다.

- [0154] CAAC-OS는 예를 들면, 복수의 결정부를 가지고, 상기 복수의 결정부에서 c축이 괴형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되어 있는 경우가 있다. 또한, CAAC-OS는 예를 들면, X선 회절(XRD : X-Ray Diffraction) 장치를 이용하여 out-of-plane법에 의한 분석을 행하면, 배향을 나타내는 2θ 가 30° 근방일 때 광크가 나타나는 경우가 있다. 또한, CAAC-OS는 예를 들면, 전자선 회절상으로 스팍(휘점)이 관측되는 경우가 있다. 또한 특히, 빔 직경이 $10\text{nm}\phi$ 이하, 또는 $5\text{nm}\phi$ 이하인 전자선을 이용하여 얻어지는 전자선 회절상을 극히 전자선 회절상이라고 부른다. 또한, CAAC-OS는 예를 들면, 다른 결정부 사이에서, 각각 a축 및 b축의 방향이 정렬되어 있지 않은 경우가 있다. CAAC-OS는 예를 들면, c축 배향하고, a축 또는/및 b축은 거시적으로 정렬되어 있지 않은 경우가 있다.
- [0155] CAAC-OS에 포함되는 결정부는 예를 들면, c축이 CAAC-OS의 괴형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬되고, 또한 ab면에 수직인 방향에서 볼 때 금속 원자가 삼각 형상 또는 육각 형상으로 배열되고, c축에 수직인 방향에서 볼 때 금속 원자가 층 형상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한 다른 결정부 사이에서, 각각 a축 및 b축의 방향이 달라도 좋다. 본 명세서에서, 단지 수직이라고 기재하는 경우, 80° 이상 100° 이하, 바람직하게는 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단지 평행이라고 기재하는 경우, -10° 이상 10° 이하, 바람직하게는 -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.
- [0156] 또한, CAAC-OS는 예를 들면, 결합 준위 밀도를 저감함으로써 형성할 수 있다. 산화물 반도체에서, 예를 들면 산소 결손은 결합 준위이다. 산소 결손은 트랩 준위가 되거나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다. CAAC-OS를 형성하기 위해서는 예를 들면, 산화물 반도체에 산소 결손을 일으키지 않게 하는 것이 중요해진다. 따라서, CAAC-OS는 결합 준위 밀도가 낮은 산화물 반도체이다. 또는 CAAC-OS는 산소 결손의 적은 산화물 반도체이다.
- [0157] 불순물 농도가 낮고, 결합 준위 밀도가 낮은(산소 결손이 적음) 것을 고준도 진성 또는 실질적으로 고준도 진성이라고 한다. 고준도 진성 또는 실질적으로 고준도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮게 할 수 있는 경우가 있다. 따라서, 상기 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터는 문턱 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 함)이 되는 일이 적은 경우가 있다. 또한, 고준도 진성 또는 실질적으로 고준도 진성인 산화물 반도체는 결합 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다. 따라서, 상기 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 되는 경우가 있다. 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실할 때까지 필요로 하는 시간이 길고, 마치 고정 전하와 같이 작동하는 경우가 있다. 그러므로, 트랩 준위 밀도가 높은 산화물 반도체를 채널 형성 영역에 이용한 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.
- [0158] 또한, 고준도 진성 또는 실질적으로 고준도 진성인 CAAC-OS를 이용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동이 작다.
- [0159] 산화물 반도체는 예를 들면 다결정을 가져도 좋다. 또한 다결정을 가지는 산화물 반도체를 다결정 산화물 반도체라고 부른다. 다결정 산화물 반도체는 복수의 결정립을 포함한다.
- [0160] 산화물 반도체는 예를 들면 미결정을 가져도 좋다. 또한 미결정을 가지는 산화물 반도체를 미결정 산화물 반도체라고 부른다.
- [0161] 미결정 산화물 반도체는 예를 들면, TEM에 의한 관찰상에서는 명확하게 결정부를 확인할 수 없는 경우가 있다. 미결정 산화물 반도체에 포함되는 결정부는 예를 들면, 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 것이 많다. 특히, 예를 들면, 1nm 이상 10nm 이하의 미결정을 나노 결정(nc : nanocrystal)이라고 한다. 나노 결정을 가지는 산화물 반도체를 nc-OS(nanocrystalline Oxide Semiconductor)라고 한다. 또한, nc-OS는 예를 들면, TEM에 의한 관찰상에서는 결정부와 결정부와의 경계를 명확하게 확인할 수 없는 경우가 있다. 또한, nc-OS는 예를 들면, TEM에 의한 관찰상에서는 명확한 입계를 갖지 않기 때문에, 불순물이 편석하는 일이 적다. 또한, nc-OS는 예를 들면, 명확한 입계를 갖지 않기 때문에, 결합 준위 밀도가 높아지는 일이 적다. 또한, nc-OS는 예를 들면, 명확한 입계를 갖지 않기 때문에, 전자 이동도의 저하가 작다.
- [0162] nc-OS는 예를 들면, 미소한 영역(예를 들면, 1nm 이상 10nm 이하의 영역)에서 원자 배열에 주기성을 가지는 경우가 있다. 또한, nc-OS는 예를 들면, 결정부와 결정부와의 사이에 규칙성이 없기 때문에, 거시적으로는 원자 배열에 주기성이 보이지 않는 경우, 또는 장거리 질서가 보이지 않는 경우가 있다. 따라서, nc-OS는 예를 들면, 분석 방법에 따라서는 비정질 산화물 반도체와 구별이 되지 않는 경우가 있다. nc-OS는 예를 들면, XRD

장치를 이용하여 결정부보다 큰 빔 직경의 X선으로 out-of-plane법에 의한 분석을 행하면, 배향을 나타내는 피크가 검출되지 않는 경우가 있다. 또한, nc-OS는 예를 들면, 결정부보다 큰 빔 직경(예를 들면, $20\text{nm}\phi$ 이상, 또는 $50\text{nm}\phi$ 이상)의 전자선을 이용하는 전자선 회절상에서는 할로 패턴이 관측되는 경우가 있다. 또한, nc-OS는 예를 들면, 결정부와 같거나 결정부보다 작은 빔 직경(예를 들면, $10\text{nm}\phi$ 이하, 또는 $5\text{nm}\phi$ 이하)의 전자선을 이용하는 극미 전자선 회절상에서는 스팟이 관측되는 경우가 있다. 또한, nc-OS의 극미 전자선 회절상은 예를 들면, 원을 그리는 것처럼 휘도가 높은 영역이 관측되는 경우가 있다. 또한, nc-OS의 극미 전자선 회절상은 예를 들면, 상기 영역 내에 복수의 스팟이 관측되는 경우가 있다.

[0163] nc-OS는 미소한 영역에서 원자 배열에 주기성을 가지는 경우가 있기 때문에, 비정질 산화물 반도체보다 결함 준위 밀도가 낮아진다. 단, nc-OS는 결정부와 결정부와의 사이에 규칙성이 없기 때문에, CAAC-OS와 비교하여 결함 준위 밀도가 높아진다.

[0164] 또한 산화물 반도체가 CAAC-OS, 다결정 산화물 반도체, 미결정 산화물 반도체, 비정질 산화물 반도체 중 2종 이상을 가지는 혼합막이어도 좋다. 혼합막은 예를 들면, 비정질 산화물 반도체의 영역, 미결정 산화물 반도체의 영역, 다결정 산화물 반도체의 영역, CAAC-OS의 영역 중 어느 2종 이상의 영역을 가지는 경우가 있다. 또한, 혼합막은 예를 들면, 비정질 산화물 반도체의 영역, 미결정 산화물 반도체의 영역, 다결정 산화물 반도체의 영역, CAAC-OS의 영역 중 어느 2종 이상의 영역의 적층 구조를 가지는 경우가 있다.

[0165] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0166] (실시형태 4)

[0167] 본 실시형태에서는, 개시하는 발명의 일 양태에 따른 DCDC 컨버터가 가지는 트랜지스터의 단면의 구조에 대하여, 도면을 참조하여 설명한다.

[0168] 또한 DCDC 컨버터가 가지는 트랜지스터로서는, 전위 유지부를 구성하는 OS 트랜지스터 외에, 제어 회로(100)의 그 외의 트랜지스터를 구성하는 실리콘(Si)을 채널 형성 영역이 되는 반도체층에 이용한 트랜지스터(이하, Si 트랜지스터라고 함)를 들 수 있다.

[0169] 본 실시형태에서는 특히 전위 유지부를 구성하는 OS 트랜지스터 및 용량 소자와, Si 트랜지스터를 적층하여 제공했을 때의 단면 구조의 일례에 대하여 도면을 참조하여 설명한다. 도 11에서는 Si 트랜지스터, OS 트랜지스터, 용량 소자의 단면 구조로서, 각각 트랜지스터(SiTr), 트랜지스터(OSTr), 용량 소자(Cp)의 설명을 행한다.

[0170] 또한, 본 실시형태에서는 트랜지스터(SiTr)가 단결정 실리콘 기판에 형성되고, 산화물 반도체를 반도체층에 이용한 트랜지스터(OSTr)가 트랜지스터(SiTr) 위에 형성되어 있는 경우를 예시한다. 트랜지스터(SiTr)는 비정질, 미결정, 다결정 또는 단결정인, 실리콘 또는 게르마늄 등의 박막의 반도체를 반도체층에 이용하여도 좋다.

[0171] 박막의 실리콘을 이용하여 트랜지스터(SiTr)를 형성하는 경우, 플라즈마 CVD법 등의 기상 성장법 혹은 스퍼터링 법으로 제작된 비정질 실리콘, 비정질 실리콘을 레이저 어닐링 등의 처리에 의해 결정화시킨 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 표층부를 박리한 단결정 실리콘 등을 이용할 수 있다.

[0172] 또한 상기 실시형태 1에 설명한 DCDC 컨버터(10)의 제어 회로(100)가 가지는 트랜지스터 중, OS 트랜지스터의 비율은 Si 트랜지스터의 수에 비하여 적다. 따라서, 트랜지스터(SiTr) 위에 트랜지스터(OSTr)를 적층시킴으로써, 트랜지스터(OSTr)의 디자인 률을 완화시킬 수 있다.

[0173] 이러한 Si 트랜지스터와 OS 트랜지스터를 적층한 구조에서는 DCDC 컨버터(10)의 제어 회로(100)의 칩 면적을 축소할 수 있다. 또한 하나의 회로 블록에서, Si 트랜지스터의 수는 OS 트랜지스터의 수보다 많기 때문에, 실제 칩 면적은 Si 트랜지스터의 수에 의해 결정된다.

[0174] 도 11에서는 반도체 기판(800)에 n채널형의 트랜지스터(SiTr)가 형성되어 있다.

[0175] 반도체 기판(800)은 예를 들면, n형 또는 p형의 도전형을 가지는 실리콘 기판, 게르마늄 기판, 실리콘 게르마늄 기판, 화합물 반도체 기판(GaAs 기판, InP 기판, GaN 기판, SiC 기판, GaP 기판, GaInAsP 기판, ZnSe 기판 등) 등을 이용할 수 있다.

[0176] 또한, 트랜지스터(SiTr)는 소자 분리용 절연막(801)에 의해, 다른 트랜지스터와 전기적으로 분리되어 있다. 소자 분리용 절연막(801)의 형성에는 선택 산화법(LOCOS(Local Oxidation of Silicon)법) 또는 트렌치 분리법 등을 이용할 수 있다.

- [0177] 구체적으로, 트랜지스터(SiTr)는 반도체 기판(800)에 형성된 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(802) 및 불순물 영역(803)과, 게이트 전극(804)과, 반도체 기판(800)과 게이트 전극(804) 사이에 제공된 게이트 절연막(805)을 가진다. 게이트 전극(804)은 게이트 절연막(805)을 사이에 끼우고, 불순물 영역(802)과 불순물 영역(803) 사이에 형성되는 채널 형성 영역과 중첩된다.
- [0178] 트랜지스터(SiTr) 위에는 절연막(809)이 제공되어 있다. 절연막(809)에는 개구부가 형성되어 있다. 그리고, 상기 개구부에는 불순물 영역(802), 불순물 영역(803)에 각각 접하는 배선(810), 배선(811)과, 게이트 전극(804)에 접하는 배선(812)이 형성되어 있다.
- [0179] 그리고, 배선(810)은 절연막(809) 위에 형성된 배선(815)에 접속되어 있고, 배선(811)은 절연막(809) 위에 형성된 배선(816)에 접속되어 있고, 배선(812)은 절연막(809) 위에 형성된 배선(817)에 접속되어 있다.
- [0180] 배선(815) 내지 배선(817) 위에는 절연막(820)이 형성되어 있다. 절연막(820)에는 개구부가 형성되어 있고, 상기 개구부에 배선(817)에 접속된 배선(821)이 형성되어 있다.
- [0181] 그리고, 도 11에서는 절연막(820) 위에 트랜지스터(OSTr) 및 용량 소자(Cp)가 형성되어 있다.
- [0182] 트랜지스터(OSTr)는 절연막(820) 위에, 산화물 반도체를 포함한 반도체막(830)과, 반도체막(830) 위의, 소스 전극 또는 드레인 전극으로서 기능하는 도전막(832) 및 도전막(833)과, 반도체막(830), 도전막(832), 및 도전막(833) 위의 게이트 절연막(831)과, 게이트 절연막(831) 위에 위치하고, 도전막(832)과 도전막(833)의 사이에서 반도체막(830)과 중첩되어 있는 게이트 전극(834)을 가진다. 또한 도전막(833)은 배선(821)에 접속되어 있다.
- [0183] 또한, 게이트 절연막(831) 위에서 도전막(833)과 중첩되는 위치에 도전막(835)이 제공되어 있다. 게이트 절연막(831)을 사이에 끼우고 도전막(833) 및 도전막(835)이 중첩되어 있는 부분이 용량 소자(Cp)로서 기능한다.
- [0184] 또한 도 11에서는 용량 소자(Cp)가 트랜지스터(OSTr)와 함께 절연막(820)의 위에 제공되어 있는 경우를 예시하고 있지만, 용량 소자(Cp)는 트랜지스터(SiTr)와 함께, 절연막(820) 아래에 제공되어 있어도 좋다.
- [0185] 그리고, 트랜지스터(OSTr), 용량 소자(Cp) 위에 절연막(841)이 제공되어 있다. 절연막(841)에는 개구부가 제공되어 있고, 상기 개구부에서 게이트 전극(834)에 접하는 도전막(843)이 절연막(841) 위에 제공되어 있다.
- [0186] 또한 도 11에서, 트랜지스터(OSTr)는 게이트 전극(834)을 반도체막(830)의 적어도 한쪽에 가지고 있으면 좋지만, 반도체막(830)을 사이에 끼우고 존재하는 한 쌍의 게이트 전극을 가지고 있어도 좋다.
- [0187] 트랜지스터(OSTr)가 반도체막(830)을 사이에 끼우고 존재하는 한 쌍의 게이트 전극을 가지고 있는 경우, 한쪽의 게이트 전극에는 온 또는 오프를 제어하기 위한 신호가 부여되고, 다른 한쪽의 게이트 전극은 전위가 다른 소자로부터 부여되는 상태이면 좋다. 후자의 경우, 한 쌍의 게이트 전극에 같은 높이의 전위가 부여되어도 좋고, 다른 한쪽의 게이트 전극에만 접지 전위 등의 고정의 전위가 부여되어도 좋다. 다른 한쪽의 게이트 전극에 부여하는 전위의 높이를 제어함으로써, 트랜지스터(OSTr)의 문턱 전압을 제어할 수 있다.
- [0188] 또한, 반도체막(830)은 단막의 산화물 반도체로 구성된다고 한정하지 않고, 적층된 복수의 산화물 반도체로 구성되어도 좋다.
- [0189] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0190] (실시형태 5)
- [0191] 본 실시형태에서는 상기 실시형태에 설명한 DCDC 컨버터를 구비하는 전자기기의 예에 대하여 설명한다. 전자기기의 일례로서는 컴퓨터, 휴대 정보 단말(휴대전화, 휴대형 게임기, 음향 재생 장치 등도 포함함), 전자페이퍼, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 디지털 비디오 카메라 등을 들 수 있다.
- [0192] 도 12의 (A)는 휴대형의 정보 단말이며, 하우징(901), 하우징(902), 제 1 표시부(903a), 제 2 표시부(903b) 등에 의해 구성되어 있다. 하우징(901)과 하우징(902)의 적어도 일부에는 앞의 실시형태에 나타내는 DCDC 컨버터가 제공되어 있다. 그러므로, 저소비 전력화가 뛰어나고, DCDC 컨버터가 가지는 일부의 회로에의 전력의 공급을 정지해도 성능을 저하시키는 일 없이 동작 가능한 휴대형의 정보 단말이 실현된다.
- [0193] 또한 제 1 표시부(903a)는 터치 입력 기능을 가지는 패널이고, 예를 들면 도 12의 (A)의 왼쪽 도면과 같이, 제 1 표시부(903a)에 표시되는 선택 버튼(904)에 의해 「터치 입력」을 행할지, 「키보드 입력」을 행할지를 선택할 수 있다. 선택 버튼은 다양한 크기로 표시할 수 있기 때문에, 폭넓은 세대의 사람이 편리한 사용을 실감할 수 있다. 여기서, 예를 들면 「키보드 입력」을 선택한 경우, 도 12의 (A)의 오른쪽 도면과 같이 제 1 표시부

(903a)에는 키보드(905)가 표시된다. 이것에 의해, 종래의 정보 단말과 마찬가지로, 키 입력에 의한 민첩한 문자 입력 등이 가능해진다.

[0194] 또한, 도 12의 (A)에 나타내는 휴대형의 정보 단말은 도 12의 (A)의 오른쪽 도면과 같이, 제 1 표시부(903a) 및 제 2 표시부(903b) 중, 한쪽을 떼어낼 수 있다. 제 2 표시부(903b)도 터치 입력 기능을 가지는 패널로 하여, 운반 시에 더욱 경량화를 도모할 수 있고, 한손으로 하우징(902)을 들고, 다른 한손으로 조작할 수 있기 때문에 편리하다.

[0195] 도 12의 (A)는 다양한 정보(정지 화면, 동영상, 텍스트 화상 등)를 표시하는 기능, 캘린더, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 등을 가질 수 있다. 또한, 하우징의 뒷면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 해도 좋다.

[0196] 또한, 도 12의 (A)에 나타내는 휴대형의 정보 단말은 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고, 다운로드하는 구성으로 하는 것도 가능하다.

[0197] 또한, 도 12의 (A)에 나타내는 하우징(902)에 안테나나 마이크 기능이나 무선 기능을 갖게 하여 휴대전화로서 이용해도 좋다.

[0198] 도 12의 (B)는 전자 패이퍼를 실장한 전자 서적이고, 하우징(911)과 하우징(912)의 2개의 하우징으로 구성되어 있다. 하우징(911) 및 하우징(912)에는 각각 표시부(913) 및 표시부(914)가 제공되어 있다. 하우징(911)과 하우징(912)은 축부(915)에 의해 접속되어 있고, 상기 축부(915)를 축으로 하여 개폐 동작을 행할 수 있다. 또한, 하우징(911)은 전원(916), 조작 키(917), 스피커(918) 등을 구비하고 있다. 하우징(911), 하우징(912) 중 적어도 하나에는 앞의 실시형태에 나타내는 DCDC 컨버터가 제공되어 있다. 그러므로, 저소비 전력화가 뛰어나고, DCDC 컨버터가 가지는 일부의 회로에의 전력의 공급을 정지해도 성능을 저하시키는 일 없이 동작 가능한 전자 서적이 실현된다.

[0199] 도 12의 (C)는 텔레비전 장치이고, 하우징(921), 표시부(922), 스탠드(923) 등으로 구성되어 있다. 텔레비전 장치의 조작은 하우징(921)이 구비하는 스위치나, 리모콘 조작기(924)에 의해 행할 수 있다. 하우징(921) 및 리모콘 조작기(924)에는 앞의 실시형태에 나타내는 DCDC 컨버터가 탑재되어 있다. 그러므로, 저소비 전력화가 뛰어나고, DCDC 컨버터가 가지는 일부의 회로에의 전력의 공급을 정지해도 성능을 저하시키는 일 없이 동작 가능한 텔레비전 장치가 실현된다.

[0200] 도 12의 (D)는 스마트 폰이고, 본체(930)에는 표시부(931)와, 스피커(932)와, 마이크(933)와, 조작 버튼(934) 등이 제공되어 있다. 본체(930) 내에는 앞의 실시형태에 나타내는 DCDC 컨버터가 제공되어 있다. 그러므로 저소비 전력화가 뛰어나고 DCDC 컨버터가 가지는 일부의 회로에의 전력의 공급을 정지해도 성능을 저하시키는 일 없이 동작 가능한 스마트 폰이 실현된다.

[0201] 도 12의 (E)는 손목 시계형 표시 장치이고, 본체(941), 표시부(942) 등에 의해 구성되어 있다. 본체(941) 내에는 앞의 실시형태에 나타내는 DCDC 컨버터가 제공되어 있다. 그러므로, 저소비 전력화가 뛰어나고, DCDC 컨버터가 가지는 일부의 회로에의 전력의 공급을 정지해도 성능을 저하시키는 일 없이 동작 가능한 손목 시계형 표시 장치가 실현된다.

[0202] 이상과 같이, 본 실시형태에 나타내는 전자기기에는 앞의 실시형태에 따른 DCDC 컨버터 탑재되어 있다. 그러므로, 저소비 전력화가 뛰어나고, DCDC 컨버터가 가지는 일부의 회로에의 전력의 공급을 정지해도 성능을 저하시키는 일 없이 동작 가능한 전자기기가 실현된다.

부호의 설명

[0203] 10 : DCDC 컨버터 100 : 제어 회로

101 : 밴드 캡 레퍼런스 회로 102 : 참조 전압 생성 회로

103 : 기준 바이어스 생성 회로 104 : 클록 생성 회로

105 : 오차 증폭기 106 : 비교기

107 : 타이머 111 : OP 앰프

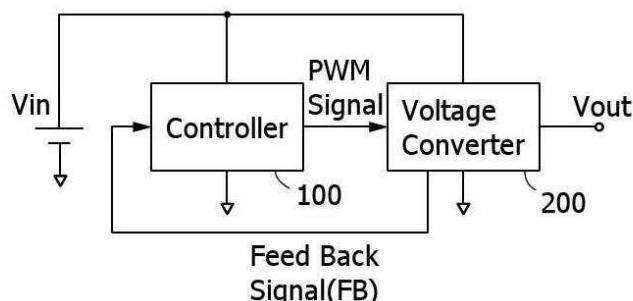
112 : OP 앰프	113 : OT 앰프
114A : 저항 소자	114B : 저항 소자
115 : 전위 유지부	121 : 바이어스 회로
122 : 증폭 회로	123A : 전위 유지부
123C : 전위 유지부	123D : 전위 유지부
131 : 바이어스 회로	132 : 전압 증폭 회로
133A : 전위 유지부	133D : 전위 유지부
141 : 바이어스 회로	142 : 비교 회로
143A : 전위 유지부	143D : 전위 유지부
151 : 바이어스 회로	152 : 클록 생성부
153A : 전위 유지부	153D : 전위 유지부
154 : 비교 회로	155 : 제어용 논리 회로
156 : 트랜지스터	157 : 트랜지스터
200 : 전압 변환 회로	200A : 전압 변환 회로
200B : 전압 변환 회로	200C : 전압 변환 회로
200D : 전압 변환 회로	211 : 트랜지스터
212 : 코일	213 : 다이오드
214 : 용량 소자	215 : 저항 소자
221 : 트랜지스터	222 : 다이오드
223 : 코일	224 : 용량 소자
225 : 저항 소자	231 : 트랜지스터
232 : 트랜스	233 : 다이오드
234 : 다이오드	235 : 코일
236 : 용량 소자	241 : 트랜지스터
242 : 트랜스	243 : 다이오드
244 : 용량 소자	800 : 반도체 기판
801 : 소자 분리용 절연막	802 : 불순물 영역
803 : 불순물 영역	804 : 게이트 전극
805 : 게이트 절연막	809 : 절연막
810 : 배선	811 : 배선
812 : 배선	815 : 배선
816 : 배선	817 : 배선
820 : 절연막	821 : 배선
830 : 반도체막	831 : 게이트 절연막
832 : 도전막	833 : 도전막
834 : 게이트 전극	835 : 도전막

841 : 절연막	843 : 도전막
901 : 하우징	902 : 하우징
903a : 표시부	903b : 표시부
904 : 선택 버튼	905 : 키보드
911 : 하우징	912 : 하우징
913 : 표시부	914 : 표시부
915 : 축부	916 : 전원
917 : 조작 키	918 : 스피커
921 : 하우징	922 : 표시부
923 : 스탠드	924 : 리모콘 조작기
930 : 본체	931 : 표시부
932 : 스피커	933 : 마이크
934 : 조작 버튼	941 : 본체
942 : 표시부	0Str : 트랜지스터
SiTr : 트랜지스터	Cp : 용량 소자
P_SWA : 파워 스위치	P_SWB : 파워 스위치
P_SWC : 파워 스위치	P_SWD : 파워 스위치

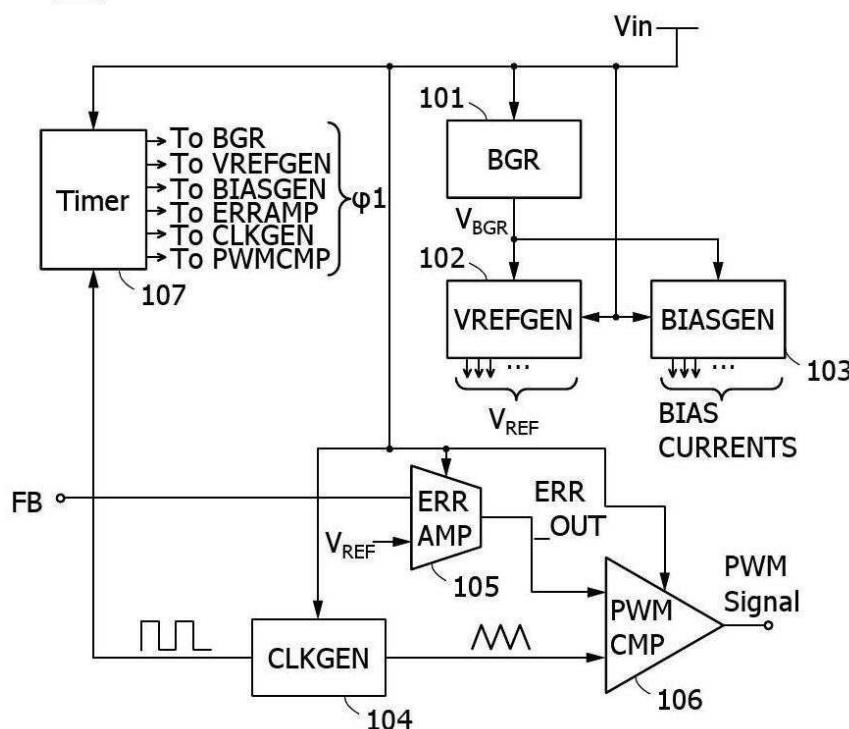
도면

도면1

(A)

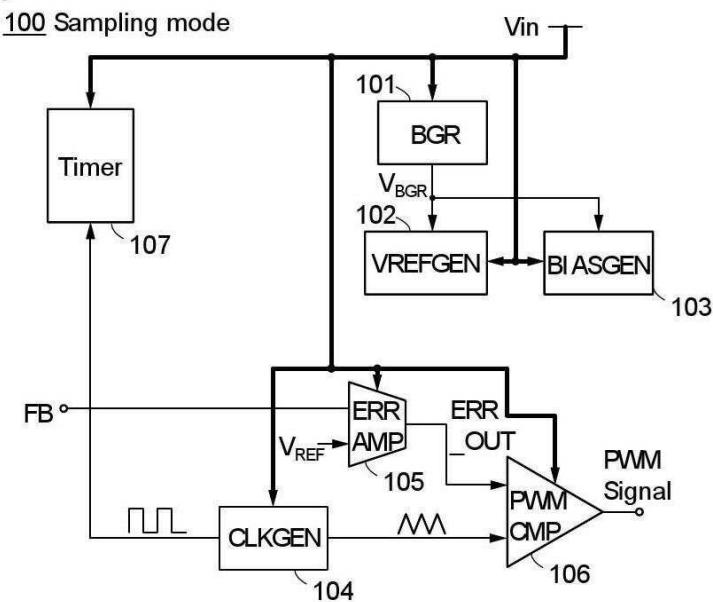
10

(B)

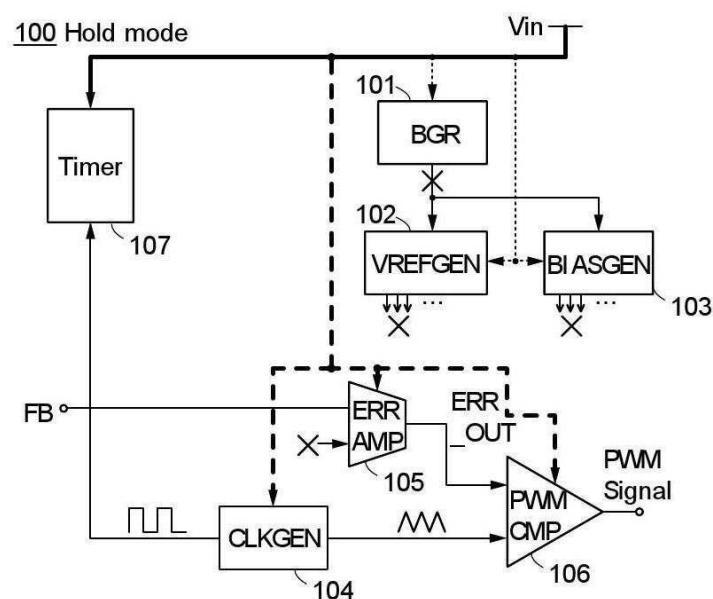
100

도면2

(A)

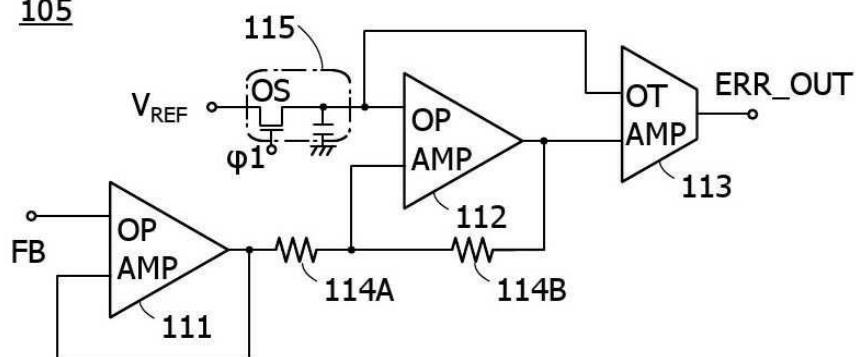


(B)



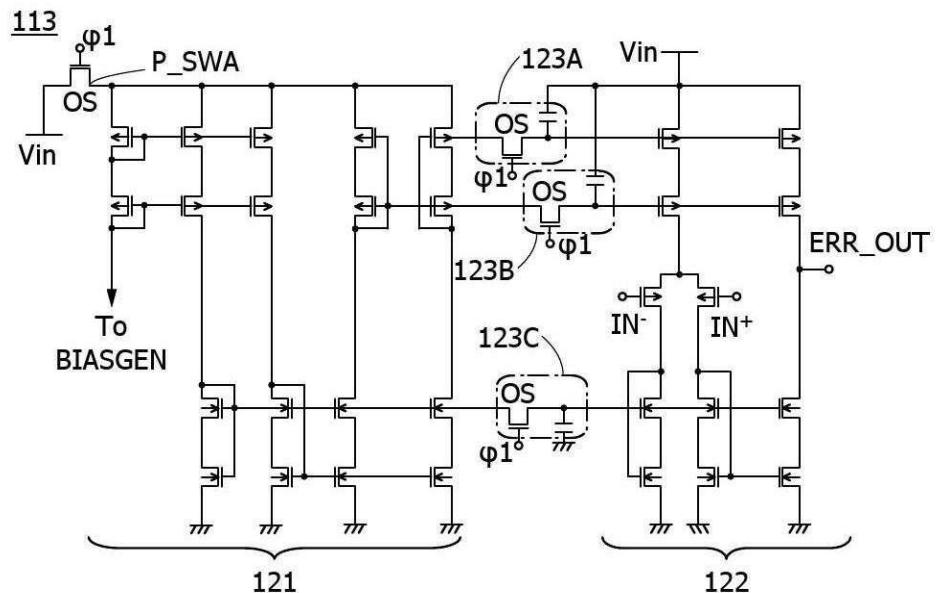
도면3

105

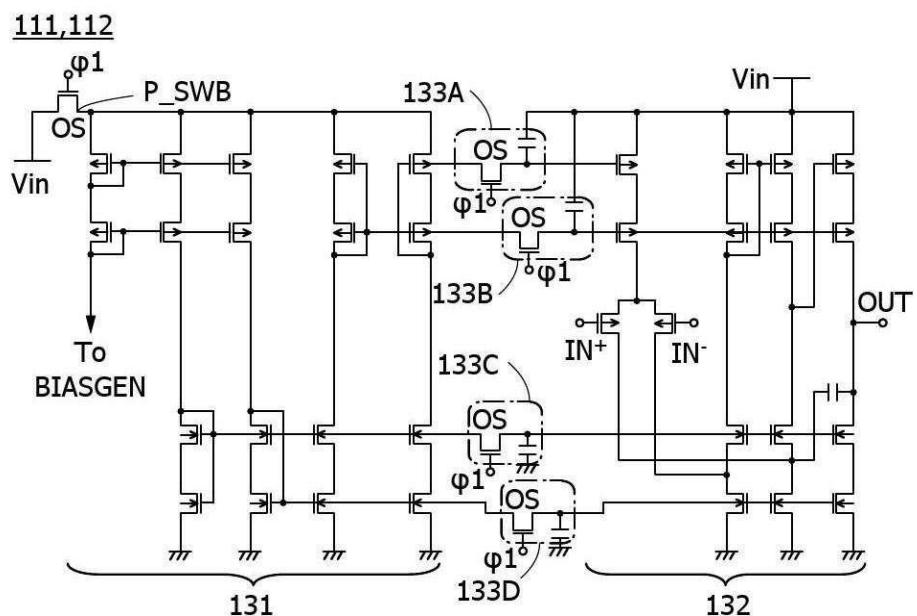


도면4

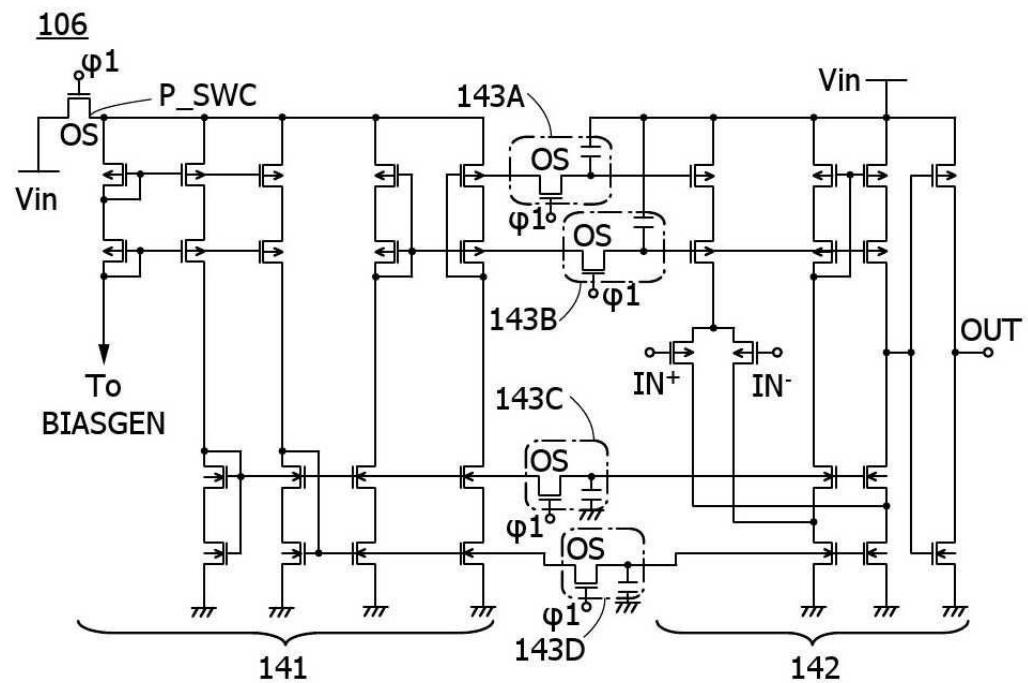
(A)



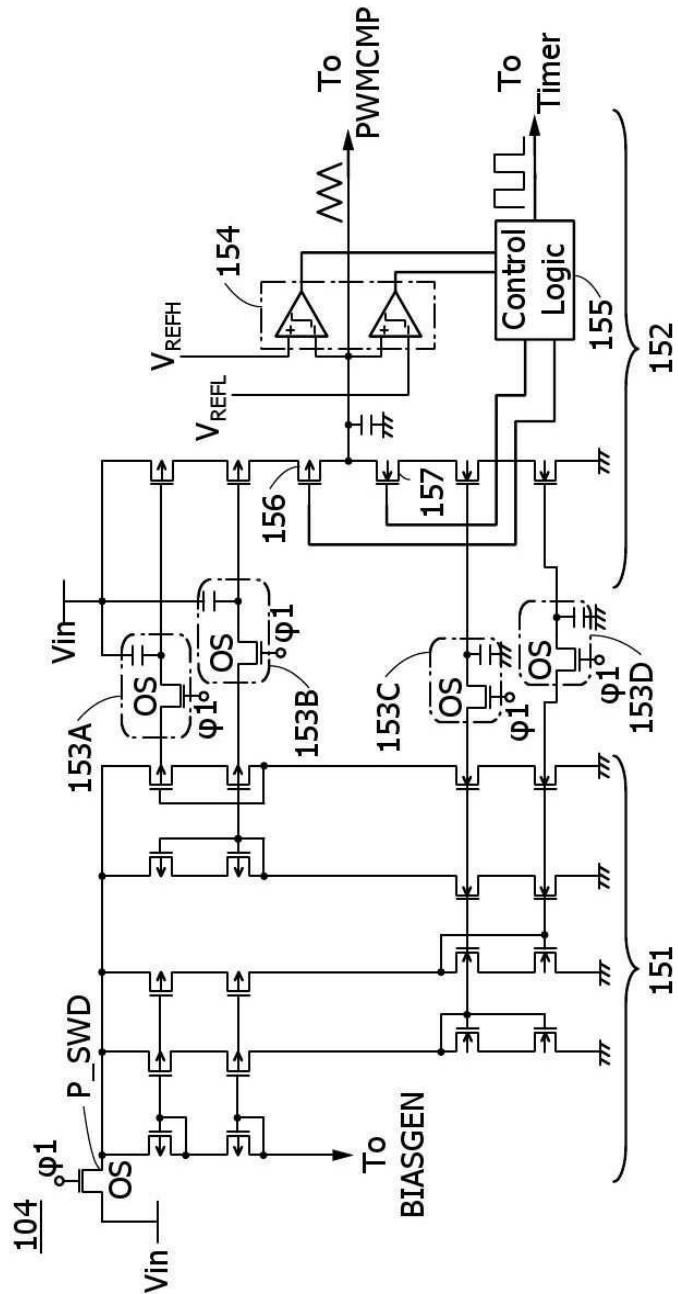
(B)



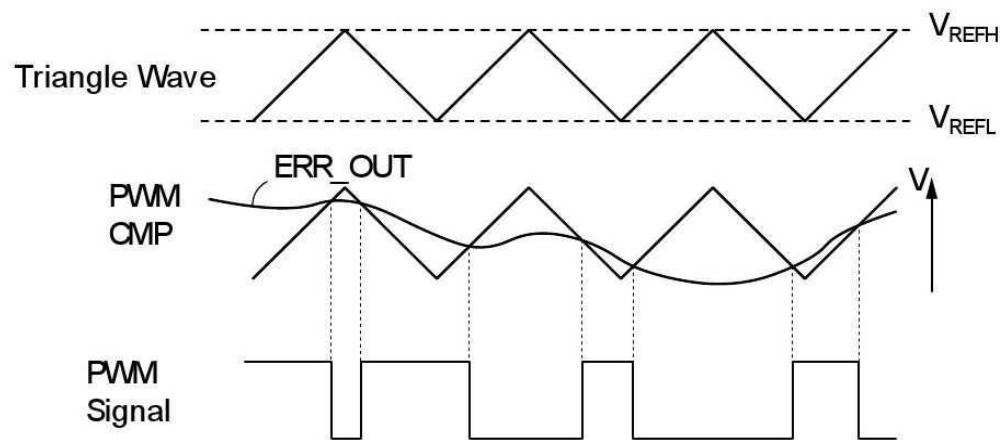
도면5



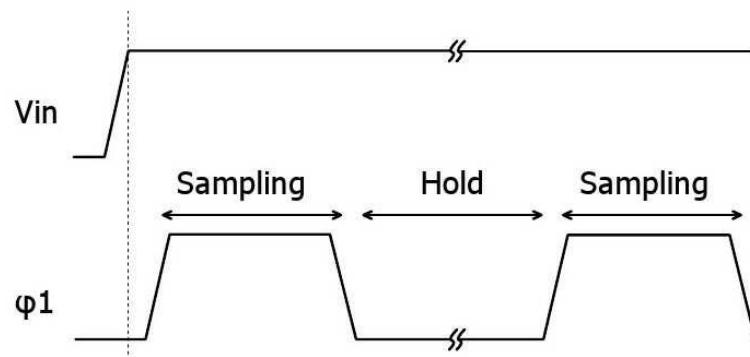
도면 6



도면7

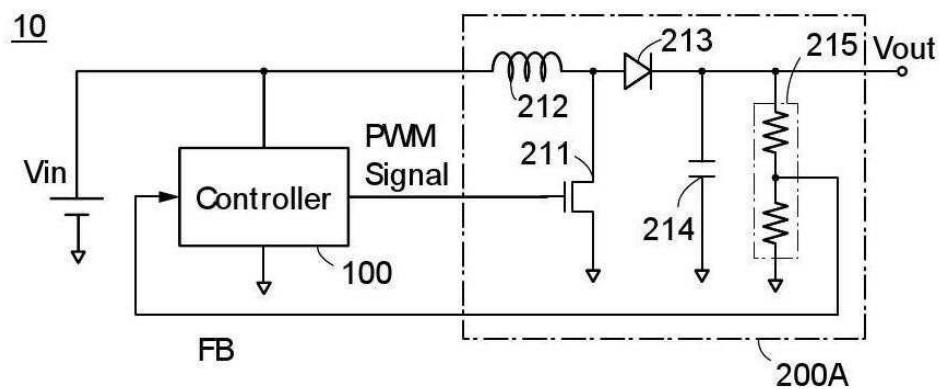


도면8

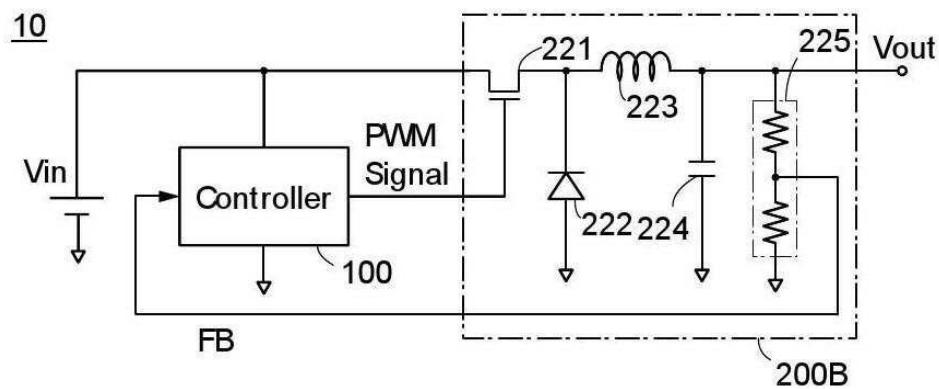


도면9

(A)

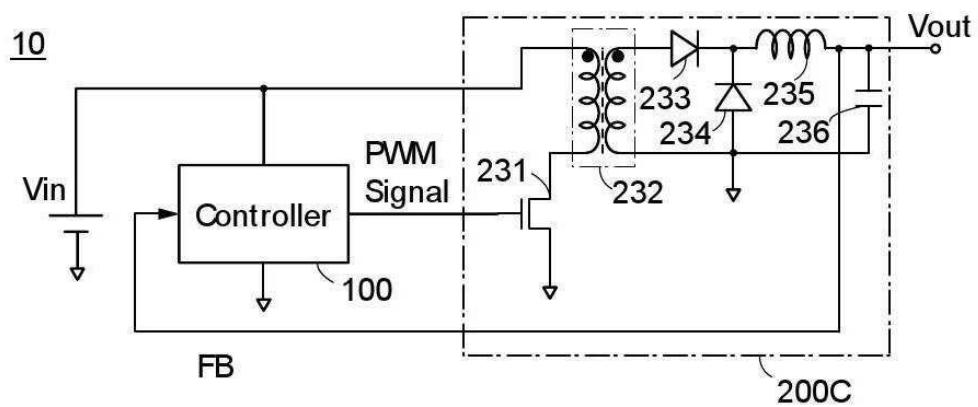


(B)

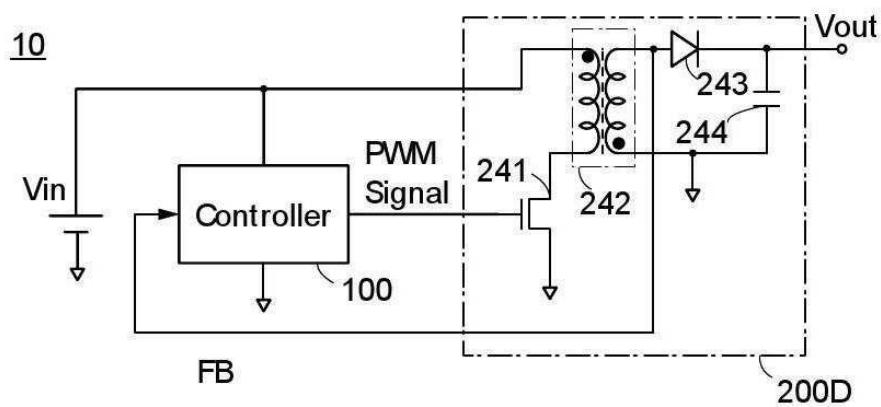


도면10

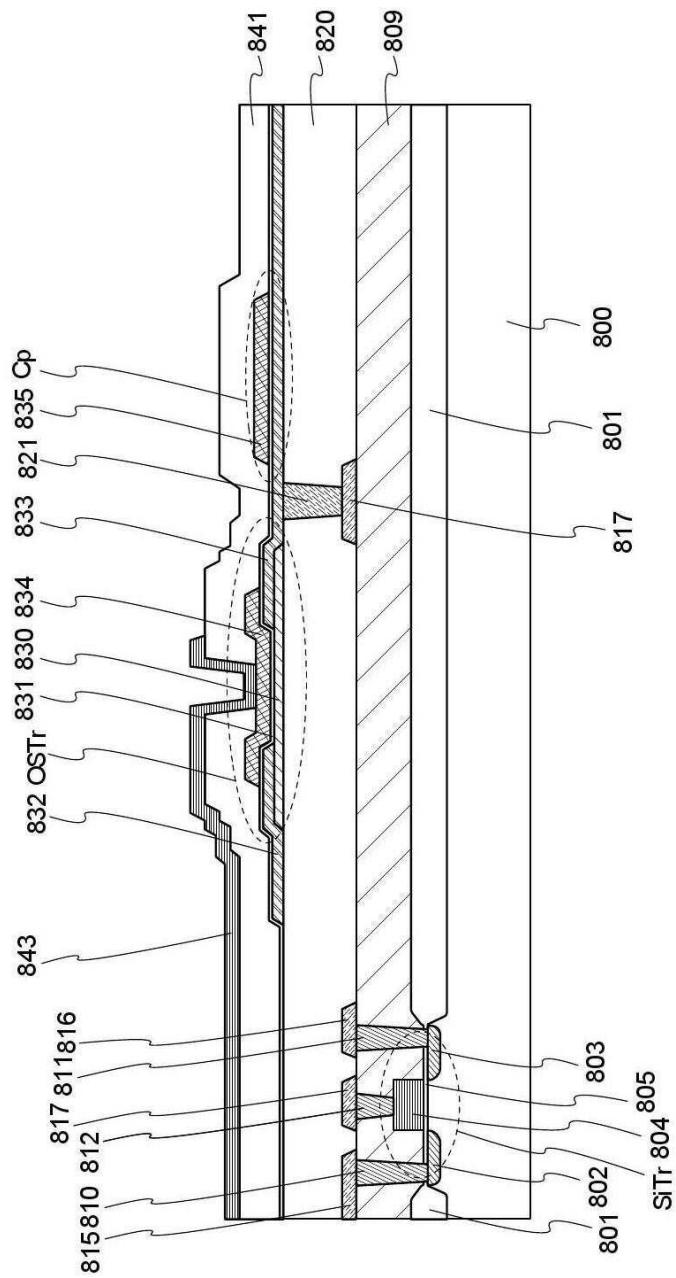
(A)



(B)

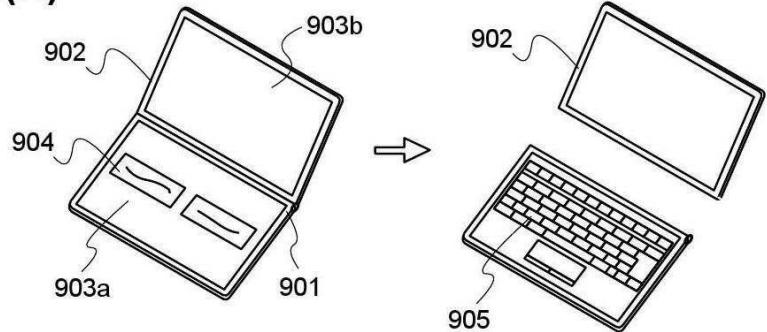


도면11

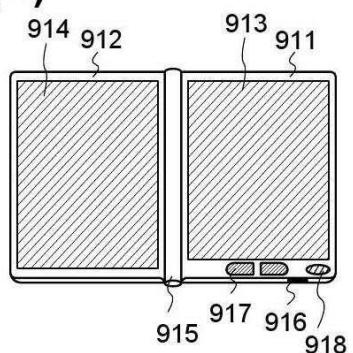


도면12

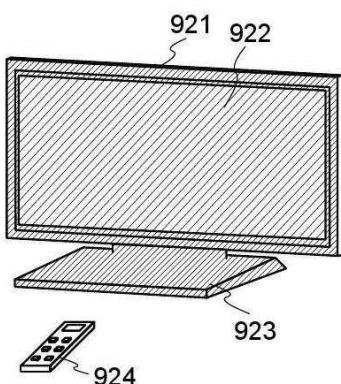
(A)



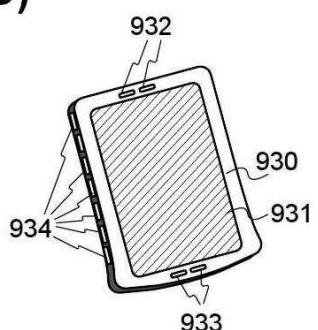
(B)



(C)



(D)



(E)

