

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2018-526868

(P2018-526868A)

(43) 公表日 平成30年9月13日 (2018.9.13)

(51) Int. Cl.		F I			テーマコード (参考)	
H03M	1/08	(2006.01)	H03M	1/08	A	5 J 0 2 2
H03H	19/00	(2006.01)	H03H	19/00		5 J 0 2 3
H03H	17/02	(2006.01)	H03H	17/02	6 7 1 C	
H03M	1/12	(2006.01)	H03M	1/12	A	

審査請求 未請求 予備審査請求 有 (全 20 頁)

(21) 出願番号	特願2018-500574 (P2018-500574)	(71) 出願人	503441780
(86) (22) 出願日	平成28年7月5日 (2016.7.5)		フォルシュングスツェントルム ユーリッヒ
(85) 翻訳文提出日	平成30年3月2日 (2018.3.2)		ゲーエムペーハー
(86) 国際出願番号	PCT/EP2016/065856		ドイツ国 ユーリッヒ 52428 レオ
(87) 国際公開番号	W02017/005745		ーブラントーシュトラッセ
(87) 国際公開日	平成29年1月12日 (2017.1.12)	(74) 代理人	110002217
(31) 優先権主張番号	102015212848.2		特許業務法人矢野内外国特許事務所
(32) 優先日	平成27年7月9日 (2015.7.9)	(72) 発明者	グレウィング, クリスティアン
(33) 優先権主張国	ドイツ (DE)		ドイツ連邦共和国 52428 ユーリッヒ, ドーラー ヴェーク 9
		Fターム (参考)	5J022 AA06 BA02 BA04 CA07 CE08
			CF01 CF03 CF06
			5J023 AA02 AA03 AB01 AD10 AD12
			AD13 BA06 BB08 CA01 CA07
			CB06 DB01 DB04 DD03
			最終頁に続く

(54) 【発明の名称】 アナログーデジタル変換器の入力信号をフィルタリングするためのフィルタの切り替え

(57) 【要約】

本発明は、第1のフィルタ・ライン(210)を少なくとも含むフィルタ回路(200)に関する。この第1のフィルタ・ライン(210)は、第1の入力回路(10)、第1の積分回路(20)、および第1の出力回路(30)を有する。この第1の入力回路(10)は、入力信号の値の関数として、入力信号を少なくとも2つの区別可能な第1のファーストステージの出力信号に変換し、所定の周期の間、ファーストステージの出力信号を第1の積分回路(20、240)に中継するよう構成される。この第1の積分回路(20)は、所定の周期中、第1の入力回路(10)の第1のファーストステージの出力信号を積分し、第1の積分信号(25)を生成するよう構成される。この第1の出力回路(25)は、第1の積分信号(25)を第1の出力基準値と比較し、第1のセカンドステージの出力信号(35)を生成するよう構成される。本発明は、また、これに伴うフィルタリングの方法にも関する。

【選択図】 図3

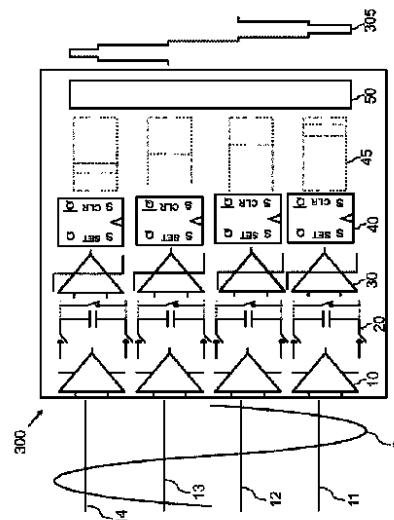


Fig. 3

【特許請求の範囲】**【請求項 1】**

フィルタ回路 (2 0 0) であって、

少なくとも第 1 のフィルタ・ライン (2 1 0) であって、前記第 1 のフィルタ・ライン (2 1 0) が第 1 の入力回路 (1 0)、第 1 の積分回路 (2 0)、および第 1 の出力回路 (3 0) を有し、

前記第 1 の入力回路 (1 0) が、前記入力信号の前記数値の関数として、所定の周期の間に、入力信号 (5) を少なくとも 2 つの区別可能な第 1 のファーストステージの出力信号に変換し、前記ファーストステージの出力信号を前記第 1 の積分回路 (2 0 、 2 4 0) を中継し、

10

前記第 1 の積分回路 (2 0) が、前記第 1 の入力回路 (1 0) の前記第 1 のファーストステージの出力信号を前記所定の周期に渡って積分し、第 1 の積分信号 (2 5) を生成するように構成され、

前記第 1 の出力回路 (2 5) が、前記第 1 の積分信号 (2 5) を第 1 の出力基準値と比較して、第 1 のセカンドステージの出力信号 (3 5) を生成するように構成される、フィルタ回路 (2 0 0)。

【請求項 2】

前記第 1 のフィルタ・ライン (2 1 0) が、第 1 の入力基準値 (1 1 、 1 2 、 1 3 、 1 4) を有する、請求項 1 に記載のフィルタ回路 (2 0 0)。

【請求項 3】

20

前記第 1 のファーストステージの出力信号を判定するために、前記入力信号が前記第 1 の入力基準値 (1 1 、 1 2 、 1 3 、 1 4) と比較される、請求項 2 に記載のフィルタ回路 (2 0 0)。

【請求項 4】

前記第 1 の入力回路 (1 0) が、入力比較器 (4 1 0) を少なくとも含み、前記第 1 の出力回路 (3 0) が、出力比較器 (4 3 0) を少なくとも含む、先行する請求項のうちの 1 つに記載のフィルタ回路 (2 0 0)。

【請求項 5】

前記第 1 の積分回路 (2 0) が、第 1 のキャパシタおよび第 1 のスイッチを少なくとも有し、

30

前記第 1 のキャパシタと前記第 1 のスイッチが、前記第 1 のファーストステージの出力信号に関連する電荷を前記所定の周期に渡って蓄積するように構成される、先行する請求項のうちの 1 つに記載のフィルタ回路 (2 0 0)。

【請求項 6】

前記所定の周期が、第 1 の定時信号により規定される、先行する請求項のうちの 1 つに記載のフィルタ回路 (2 0 0)。

【請求項 7】

前記第 1 のフィルタ・ライン (2 1 0) が、前記時間離散化 (4 0 、 4 4 0) を行うための第 1 の回路を有し、前記時間離散化 (4 0 、 4 4 0) を行うための前記第 1 の回路が、前記第 1 のセカンドステージの出力信号を処理して、時間離散出力信号 (4 5) に変換するように構成される、先行する請求項のうちの 1 つに記載のフィルタ回路 (2 0 0)。

40

【請求項 8】

前記時間離散化 (4 0 、 4 4 0) を行うための前記第 1 の回路が、前記第 1 のセカンドステージの出力信号 (3 5) を前記第 1 の定時信号の関数としての時間離散出力信号 (4 5) に変換するように構成される、請求項 7 が請求項 6 まで引用する範囲内に記載の請求項 7 に記載のフィルタ回路 (2 0 0)。

【請求項 9】

前記フィルタ回路が、第 2 のフィルタ・ライン (2 1 0) を少なくとも含み、前記入力信号の第 1 の範囲が、前記第 1 のフィルタ・ライン (2 1 0) に関連し、前記入力信号 (5) の第 2 の範囲区画が、前記第 2 のフィルタ・ライン (2 1 0) に関連し、前記入力信

50

号(5)の前記第1の範囲は前記入力信号(5)の前記第2の範囲とは異なる、先行する請求項のうちの1つに記載のフィルタ回路(200)。

【請求項10】

第3のフィルタ・ライン(210)も少なくとも含み、前記入力信号(5)の第3の範囲が、前記第3のフィルタ・ライン(210)に関連し、前記入力信号(5)の前記第2の範囲が、前記入力信号(5)の前記第1の範囲に隣接し、前記入力信号(5)の前記第3の範囲が、前記入力信号(5)の前記第2の範囲に隣接する、請求項9に記載のフィルタ回路(200)。

【請求項11】

前記第2のフィルタ・ライン(210)が、第2の入力基準値(11、12、13、14)を有し、前記第3のフィルタ・ライン(210)が、第3の入力基準値(11、12、13、14)を有し、前記第1の範囲が、前記第1の入力基準値(11、12、13、14)により関連付けられ、前記第2の範囲が、前記第2の入力基準値(11、12、13、14)により関連付けられ、前記第3の範囲が、前記第3の入力基準値(11、12、13、14)により関連付けられる、請求項10に記載のフィルタ回路(200)。

10

【請求項12】

前記第1のセカンドステージの出力信号(35)により、前記第2のフィルタ・ライン(210)により生成される第2のセカンドステージの出力信号(35)により、前記第3のフィルタ・ライン(210)により生成される第3のセカンドステージの出力信号(35)により、温度計コードが生成される、請求項10または11に記載のフィルタ回路(200)。

20

【請求項13】

アナログ-デジタル変換器であって、請求項12に記載のフィルタ回路(200)および変換ユニット(50)を含み、前記変換ユニット(50)が、前記離散時間の温度計コードを離散時間の2値の出力信号(305)に変換するよう構成される、アナログ-デジタル変換器。

【請求項14】

信号をフィルタリングする方法であって、

前記入力信号(5)の前記数値の関数として、入力信号(5)を少なくとも2つの区別可能な第1のファーストステージの出力信号に変換するステップと、

30

前記第1のファーストステージの出力信号を所定の周期で積分するステップと、

前記積分の前記結果に基づいて、第1の積分信号(25)を生成するステップと、

前記第1の積分信号(25)を第1の出力基準値と比較するステップと、

前記比較の前記結果に基づいて、第1のセカンドステージの出力信号(35)を生成するステップと、を含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はアナログ-デジタル変換器の入力信号をフィルタリングするためのフィルタ回路に関し、アナログ-デジタル変換器、および、それに関連するアナログ-デジタル変換器の入力信号をフィルタリングする方法に関する。

40

【背景技術】

【0002】

アナログ-デジタル変換器(ADC: Analog-to-Digital Converter)は、特定の周期の所与のポイントで、所与の閾値に対する入力信号の高低を判定するものと想定される。次いで、クロッキング周期の特定のポイントで、複数の閾値により、信号のデジタル表現が生成される。従来のADCの場合、変換前に入力信号をフィルタリングしなければならない(アンチエイリアジングフィルタ)。このプロセスでは、ノイズや非線形のものが、入力信号に干渉する可能性がある。アクティブ・フィルタが、余分なエネルギーを消費する。検知周期のポイントで変動することを避けるために、クロ

50

ック信号用のできるだけ鋭いエッジを生成するための試みも行われている。寄生結合により、これらのエッジが原因で、A D C の内部信号、すなわち、例えば、入力信号と比較される基準電圧においても干渉が発生する。これらの変動により、比較器の判定にエラーが生じてしまう。

【発明の概要】

【0003】

本発明の目的は、特にアナログ - デジタル変換器の入力信号をフィルタリングするための、改良型フィルタ回路を提案することである。

【0004】

本発明の第1の様態に従うと、入力信号（特に、アナログ入力信号）をフィルタリングするためのフィルタ回路が提案される。このフィルタ回路は、少なくとも第1のフィルタ・ラインを含む。この第1のフィルタ・ラインは、第1の入力回路、第1の積分回路、および第1の出力回路を有する。この第1の入力回路は、入力信号の数値の関数として、所定の周期の間に、アナログ入力信号を区別可能な少なくとも2つの第1のファーストステージの出力信号に変換し、このファーストステージの出力信号を第1の積分回路に中継するよう構成される。また、この第1の積分回路は、第1の入力回路の第1のファーストステージの出力信号を所定の周期で積分し、第1の積分信号を生成するよう構成される。第1の出力回路は、第1の積分信号を第1の出力基準値と比較して、第1のセカンドステージの出力信号を生成するよう構成される。

10

【0005】

20

このように積分することにより、入力信号への変化（特に、所定の周期よりも短い、高い周波数での入力信号の干渉）が、積分結果にほとんど、あるいは全く影響を及ぼさないことを防ぐ。これに関連して、第1のファーストステージの出力信号は離散的性質を有し得る、あるいは、基準信号により照合される入力信号の安定画像でよい。第1のファーストステージの出力信号の離散の例として、入力信号が規定の基準電圧より高いか、あるいは、低いかを比較する比較器の出力部における規定の電圧を挙げることができる。この第1のファーストステージの出力信号は、連続的に、あるいは、非連続的に出力され得る。

【0006】

この第1のフィルタ・ラインは、好ましくは、第1の入力基準値を有する。これに関連して、この第1の入力基準値は固定でよい、あるいは自由にプログラム可能でよい。好ましい実施形態では、第1のファーストステージの出力信号を判定するために、この入力信号を第1の入力基準値と比較する。

30

【0007】

入力信号は、入力回路により、第1のファーストステージの出力信号に変換されるが、この実施形態では、この出力信号により、規定の第1の入力基準値との規定の関係で入力信号が設定される。この実施形態では、入力信号を照合する狙いは、規定の第1の入力基準値との関係を通して、第1のファーストステージの区別可能な出力信号に変換することである。この第1の入力基準値は計数値を有し得る、あるいは、複雑であるが既知の信号曲線を有し得る。

【0008】

40

第1の入力回路は、好ましくは入力比較器を少なくとも含み、第1の出力回路は、好ましくは、出力比較器を少なくとも含む。

【0009】

この第1の積分回路は、好ましくは、第1のキャパシタおよび第1のスイッチを少なくとも有する。この実施形態では、第1のキャパシタと第1のスイッチは、所定の周期に渡り、第1のファーストステージの出力信号に関連する電荷を蓄積するよう構成される。第1のスイッチは、例えば、所定の周期中に、第1のファーストステージの出力信号によって、電荷が第1のキャパシタに流れるように切り替えられる。この所定の周期が終わると、所定の周期中に蓄積された電荷が積分信号として第1のキャパシタに中継され得、あるいは、出力回路が利用できるように第1のスイッチが切り替えられる。積分信号が出力回

50

路に中継されると、第 1 のキャパシタが放電されるように第 1 のスイッチは切り替えられる。その後の所定の周期では、もう一度積分信号を利用可能にするために第 1 のキャパシタが充電され得る。

【 0 0 1 0 】

この所定の周期は好ましくは、第 1 の定時信号により規定される。この第 1 の定時信号は、例えば、回路装置内の周期クロック信号でよい。このクロック信号は、例えば、長方形の形状を有し得、それにより、少なくともクロック信号の半周期を用いて積分信号を生成する。

【 0 0 1 1 】

この第 1 のフィルタ・ラインは、好ましくは時間離散化を行うための第 1 の回路を有する。このプロセスでは、時間離散化を行うための第 1 の回路は、第 1 のセカンドステージの出力信号を処理し、時間離散出力信号に変換するよう構成される。時間離散化を行うための回路の例として、クロックフリップフロップ回路やラッチ回路が挙げられる。時間離散化を行うための第 1 の回路は、好ましくは、第 1 のセカンドステージの出力信号を第 1 の定時信号、特に、周期時間信号の関数としての第 1 の時間離散出力信号に変換するよう構成される。

【 0 0 1 2 】

フィルタ回路は、好ましくは、第 2 のフィルタ・ラインを少なくとも含み、入力信号の第 1 の範囲が第 1 のフィルタ・ラインに関連し、入力信号の第 2 の範囲が第 2 のフィルタ・ラインに関連し、入力信号の第 1 の範囲と入力信号の第 2 の範囲とは異なる。

【 0 0 1 3 】

これらの第 1 の範囲と第 2 の範囲は、部分的に重なってもよい。この第 2 のフィルタ・ラインは、第 2 の入力回路、第 2 の積分回路、および第 2 の出力回路を含む。この第 2 の入力回路は、第 2 のファーストステージの出力信号を生成する。この積分回路は第 2 の積分信号を生成する。この出力回路が第 2 のセカンドステージの出力信号を生成する。したがって、この第 1 のフィルタ・ラインは、上記のやり方で、入力信号の第 1 の範囲をフィルタリングするよう構成される。したがって、この第 2 のフィルタ・ラインは、上記のやり方で、入力信号の第 2 の範囲をフィルタリングするよう構成される。

【 0 0 1 4 】

このフィルタ回路は、好ましくは、少なくとも第 3 のフィルタ・ラインを含み、入力信号の第 3 の範囲が第 3 のフィルタ・ラインに関連し、入力信号の第 2 の範囲が入力信号の第 1 の範囲に隣接し、入力信号の第 3 の範囲が入力信号の第 2 の範囲に隣接する。この第 3 のフィルタ・ラインは、第 3 の入力回路、第 3 の積分回路、および第 3 の出力回路を含む。この第 3 の入力回路は、第 3 のファーストステージの出力信号を生成する。この積分回路は、第 3 の積分信号を生成する。この第 3 の出力回路は、第 3 のセカンドステージの出力信号を生成する。したがって、第 3 のフィルタ・ラインは、上記のやり方で、入力信号の第 3 の範囲をフィルタリングするよう構成される。このフィルタ回路は、付加的なフィルタ・ライン（4、5、6 以上）を備えることができ、これらのフィルタ・ラインにより、複数のセカンドステージの出力信号すなわち時間離散出力信号を入力信号に割り当てることができる。

【 0 0 1 5 】

入力信号の第 1 の範囲、第 2 の範囲、第 3 の範囲、およびその他の範囲は、好ましくは、同じ大きさである。このように、入力信号を同じ大きさの複数の範囲に分割することができ、これにより、フィルタ回路の個々のフィルタ・ラインが、セカンドステージの出力信号すなわち時間離散出力信号を判定することができる。

【 0 0 1 6 】

第 1 のフィルタ・ラインが第 1 の入力基準値を有し、第 2 のフィルタ・ラインが第 2 の基準値を有し、第 3 のフィルタ・ラインが第 3 の基準値を有することが好ましい。第 1 の範囲は第 1 の入力基準値に関連する。第 2 の範囲は第 2 の入力基準値に関連する。第 3 の範囲は第 3 の入力基準値に関連する。

【 0 0 1 7 】

好ましい実施形態では、第 1 のセカンドステージの出力信号、第 2 のフィルタ・ラインにより生成される第 2 のセカンドステージの出力信号、第 3 のフィルタ・ラインにより生成される第 3 のセカンドステージの出力信号により、温度計コードが生成される。時間離散出力信号は、好ましくは、離散時間温度計コードである。

【 0 0 1 8 】

本発明の別の目的は、改良型アナログ - デジタル変換器を提案することである。

【 0 0 1 9 】

このアナログ - デジタル変換器は、好ましくは、上記のように離散時間温度計コードを生成するフィルタ回路を含む。このアナログ - デジタル変換器は変換ユニットも含み、この変換ユニットが離散時間温度計コードを離散時間の 2 値の出力信号に変換するよう構成される。

10

【 0 0 2 0 】

本発明のもう一つの目的は、信号をフィルタリングするための、改良された方法を提案することである。

この方法には、

入力信号の数値の関数として、入力信号を少なくとも 2 つの区別可能な第 1 のファーストステージの出力信号に変換するステップと、

所定の周期の間、第 1 のファーストステージの出力信号を積分するステップと、

その積分の結果に基づいて、第 1 の積分信号を生成するステップと、

20

この第 1 の積分信号を第 1 の出力基準値と比較するステップと、

その比較の結果に基づいて、第 1 のセカンドステージの出力信号を生成するステップと、が含まれる。

【 0 0 2 1 】

この方法の個々のステップは、必ずしも上記に記載される順序で行われる必要はない。

【 0 0 2 2 】

なお、請求項 1 に記載のフィルタ回路、請求項 1 3 に記載のアナログ - デジタル変換器、および請求項 1 4 に記載の方法は、特に従属請求項に記載される、同様の構成、および / または同一の構成を有する。

【 0 0 2 3 】

なお、対応する独立請求項を有する従属請求項の全ての組み合わせにより、本発明の好ましい実施形態が構成される。

30

【 0 0 2 4 】

次に、付加的な好ましい実施形態について説明する。

【 図面の簡単な説明 】

【 0 0 2 5 】

本発明のこれらの様態、およびその他の様態を以下の図面を参照して詳細に説明する。

【 図 1 】 図 1 は第 1 のフィルタ回路の概略図である。

【 図 2 】 図 2 は第 1 のアナログ - デジタル変換器の概略図である。

【 図 3 】 図 3 は第 2 のアナログ - デジタル変換器の概略図である。

40

【 図 4 】 図 4 は第 3 のアナログ - デジタル変換器のラインの概略図である。

【 図 5 】 図 5 は積分回路の積分器の概略図である。

【 図 6 】 図 6 は信号をフィルタリングする方法の概略図である。

【 発明を実施するための形態 】

【 0 0 2 6 】

図 1 には、第 1 のフィルタ回路 2 0 0 の概略図が示されている。このフィルタ回路 2 0 0 は、入力回路 1 0、積分回路 2 0、および出力回路 3 0 を有するフィルタ・ライン 2 1 0 を含む。この入力回路 1 0 は、アナログ入力信号 5 を第 1 のファーストステージの出力信号に変換する。第 1 のファーストステージの出力信号が、例えば、規定の入力基準値 1 1、1 2、1 3、1 4 に対する、規定された関係で入力信号 5 を設定する。このように入

50

力信号 5 を参照する目的は、規定の入力基準値 1 1、1 2、1 3、1 4 との関係により、区別可能な第 1 のファーストステージの出力信号をつくることである。この実施形態では、このように照合により区別可能なことで、積分の結果が明確な数値になるよう、所定の周期に渡って第 1 のファーストステージの出力信号を積分することができる。このように積分することで、入力信号 5 への変換により（特に、所定の周期より短い入力信号 5 の高い周波数での干渉）、積分結果にほとんど、あるいは全く影響を及ぼさないことを防ぐ。これに関連して、第 1 のファーストステージの出力信号は離散的性質を有し得る、あるいは、この出力信号は入力基準値 1 1、1 2、1 3、および 1 4、または基準信号を基準とした入力信号 5 の安定画像でよい。離散的性質を有する第 1 のファーストステージの出力信号の例として、入力信号 5 が規定の基準電圧より高いか、あるいは、低いかを判断する比較器の出力部での規定の電圧が挙げられる。第 1 のファーストステージの出力信号は、連続的に、あるいは、非連続的に出力することができる。第 1 のファーストステージの出力信号を離散時間で出力する場合、所定の周期で複数のステージの出力信号（好ましくは、少なくとも 3 ステージ）が生成されることを確認しなければならない。積分回路 2 0 は、第 1 のファーストステージの出力信号を受け取り、その受け取った出力信号を所定の周期に渡って積分する。これに関連して、この積分をデジタルあるいはアナログで行うことができる。デジタルで積分を行う場合、例えば、所定の周期の間で、高い電圧と低い電圧（例えば、比較器の出力で）の離散時間のファーストステージの出力信号の数を判定し互いに減算する。アナログで積分を行う場合、例えば、1 つのステージの出力信号により発生する、1 つ以上のキャパシタへの電荷シフトの結果から電圧を判定することができる。このアナログでの積分は、入力信号 5 の短時間での干渉に対して感度が良くないので都合がよい。さらに、デジタルでの積分では、所定の周期内で信頼性のある積分を実行するために、第 1 のファーストステージの出力信号の高いクロッキングが必要であり得る。積分回路 2 0 は、第 1 のファーストステージの出力信号の積分に基づいて、第 1 の積分信号 2 5 を生成し、生成した第 1 の積分信号 2 5 を出力回路 3 0 に中継する。出力回路 3 0 は、第 1 の積分信号 2 5 を第 1 の出力基準値と比較し、第 1 のセカンドステージの出力信号 3 5 を生成する。

10

20

30

40

50

【0027】

このようなフィルタ回路 2 0 0 は、特にアナログ - デジタル変換器で 사용할 ことができる。従来のアナログ - デジタル変換器とは対照的に、このアナログ信号は、例えば、クロック信号のエッジにより規定された単一の時点でデジタル信号に変換されるのではない。むしろ、このアナログ信号は、例えば、クロック信号の半周期に対応し得る所定の周期で積分することができる。次いで、この積分信号を用いてデジタル信号を生成する。これにより、クロック信号の半周期より短い、入力信号 5 の短時間の変動や干渉の影響をデジタル化した結果がほとんど受けないという利点がもたらされる。入力信号 5 におけるこの短時間の変動や干渉は、好ましくは、所定の周期（この場合、クロック信号の半周期）の 2 分の 1、3 分の 1、5 分の 1、例えば、1 0 分の 1 である。

【0028】

図 2 には、第 1 のアナログ - デジタル変換器の概略図が示されている。このアナログ - デジタル変換器は、フィルタ・ライン 2 1 0 を有するフィルタ回路 2 0 0 を含む 1 ビットのアナログ - デジタル変換器である。このフィルタ・ライン 2 1 0 は、整流器として構成される入力回路 1 0 を有し、この整流器が、負のフィードバックがなされない増幅器を含む。第 1 の基準信号の関数、および入力信号 5 の関数として、整流器が 2 つの異なる第 1 のファーストステージの出力信号をフィルタ・ライン 2 1 0 の積分回路 2 0 に中継する。簡素な実施形態では、積分回路 2 0 は、3 つのスイッチと 1 つのキャパシタを含む。整流器の第 1 のファーストステージの出力信号が、クロック信号の第 1 の半周期以内にキャパシタに中継されるよう、2 つのスイッチは切り替えられる。第 1 の半周期の終わりで、これらの 2 つのスイッチを開く、クロック信号の第 2 の半周期（第 1 の半周期に続く）では、整流器により電荷が積分回路 2 0 に中継されない。第 3 のスイッチにより、キャパシタが短絡する可能性があるため、クロック信号の第 2 の半周期中に、キャパシタを再度放電さ

せることができる。したがって、所定の周期の間、積分のみ行われる。この所定の周期は、本明細書ではクロック信号の第 1 の半周期と記載される。この出力回路 30 は、積分回路 20 が出力する積分信号 25 を基準信号と比較し、次いで、第 1 のセカンドステージの出力信号 35 を出力する比較器として構成される。この第 1 のセカンドステージの出力信号 35 はフィルタ・ライン 210 の時間離散化 40 用の回路に中継される。この例では、時間離散化 40 用の回路は、クロックフリップフロップ回路またはラッチ回路として構成されている。第 1 のセカンドステージの出力信号 35 の関数およびクロック信号により規定される間隔の関数として、クロックフリップフロップが時間離散出力信号 45 を出力する。記載されている例では、この時間離散出力信号 45 は 0 または 1 の値をとることができる。1 は入力信号 5 の振幅の第 1 の特定な範囲（例えば、正の半波）に関連し、0 は入力信号 5 の振幅の第 2 の特定な範囲（例えば、負の半波）に関連する。したがって、入力信号 5 は、フィルタ回路 200 の 1 つのフィルタ・ライン 210 により、1 ビット 2 値の信号に変換される。

【0029】

図 3 には、第 2 のアナログ - デジタル変換器の概略図が示されている。このアナログ - デジタル変換器は、4 つのフィルタ・ライン 210 を有するフィルタ回路 200 を含む。入力基準値 11、12、13、および 14 が、これらのフィルタ・ライン 210 のそれぞれに関連し、これらの基準値により、入力信号 5 を 4 つの異なる入力基準値 11、12、13、および 14 と照合することができる。したがって、入力信号 5 は 5 つの異なる範囲に分割される。入力信号 5 は全てのフィルタ・ライン 210 に並列に送られ、入力回路 10 により第 1 のファーストステージの出力信号が関連する入力基準値 11、12、13、または 14 の関数として、関連する積分回路 20 に中継される。次いで、これらの積分回路 20 が、関連する積分信号 25 を関連するフィルタ・ライン 210 に属する出力回路 30 に中継する。時間離散化 40 を行うための、関連するフィルタ・ラインに属する回路に中継される、第 1、第 2、第 3、および第 4 のセカンドステージの出力信号を出力回路 30 が生成する。時間離散化 40 を行うための回路はそれぞれ、時間離散出力信号 45 を出力する。所定の周期中の入力信号 5 の振幅、および入力基準値 11、12、13、または 14 により、各回路は、関連するクロック信号の間隔で時間離散化 40 を行うために、0 または 1 の値を出力する。例えば、上昇する電圧の数値（- 7.5 V、- 2.5 V、2.5 V、7.5 V）が、入力基準値 11、12、13、または 14 に関連する場合、これらの時間離散出力信号により、変換ユニット 50 により離散時間の 2 値の出力信号 305 に変換可能な温度計コード（0000、0001、0011、0111、1111）が作り出される。変換ユニット 50 は、簡単な割り当てテーブルにより、例えば、2 値の数字（0000 000、0001 001、0011 010、0111 011、1111 100）を関連する温度計コードに割り当てることができる。

【0030】

図 4 には、第 3 のアナログ - デジタル変換器の第 2 のラインの概略図が示されている。この第 2 のラインは、図 3 に示されるアナログ - デジタル変換器の第 2 のラインの可能性のある具体的な実装形態を構成する。具体的には、この入力回路 10 は、入力信号 5 を入力基準値 12 と比較する入力比較器 410 として構成される。入力比較器 410 の第 1 のファーストステージの出力信号は、微分ステージ 420 a に中継されるが、この微分ステージは、積分器 420 b と同様に積分回路 20 の一部である。この微分ステージ 420 a では、入力比較器 410 の電圧信号が電流信号に変換され、この電流信号を図 5 に示される積分器 420 b により積分することができる。この積分器 420 b は、2 つの枝を有し、これらの各枝には 2 つのキャパシタが含まれる。なお、クロック信号が高い 425 ときのクロック信号の半周期中に一方の枝が充電され、クロック信号が低い 426 ときの半周期の間に他方の枝が充電される。クロック信号（高または低）の関数として、第 1 の枝または第 2 の枝のキャパシタを充電する、あるいは放電する、図 5 に示される自己ロックトランジスタ 422 と自己伝導トランジスタ 423 の機構によりこれが行われる。出力回路 30 に含まれる 2 つの出力比較器 430 によりキャパシタへの充電が判定される。これに

関連して、出力比較器 430 は第 1 の枝に関連し、他の出力比較器は積分器 420 b の第 2 の枝に関連する。次に、2 つの出力比較器 430 の出力は、時間離散化 440 を行うための関連する関連回路の入力部に中継される。したがって、積分器 420 b の第 1 の枝に関連する出力比較器 430 の出力（図 4 の下部、または図 5 の右側）は、第 1 のクロックフリップフロップの入力に中継される。この第 1 のクロックフリップフロップは、クロック信号低 426 によりクロック制御される。したがって、積分器 420 b の第 2 の枝に関連する出力比較器 430（図 4 の上部、または図 5 の左側）の出力は、第 2 のクロックフリップフロップの入力に中継される。第 2 のクロックフリップフロップは、クロック信号高 426 によりクロック制御される。積分器 420 b の 2 つの枝を出力回路 30 の 2 つの出力比較器 430 と組み合わせ、かつ、それに応じて時間離散化 440 を行うための回路のクロックフリップフロップと関連付けることで、クロック信号の両方の半周期の間に入力信号 5 を、この場合、第 2 の（入力基準値 12 を有する第 2 のフィルタ・ライン）時間離散出力信号 45 に変換することが可能となる。次いで、マルチプレクサ 445 を用い、2 つの枝の時間離散出力信号 45 を組み合わせて、第 2 の時間離散出力信号を形成し、次いで、第 1 の時間離散出力信号、第 3 の時間離散出力信号、および第 4 の時間離散出力信号と一緒に変換ユニット 450 に中継する。上記で詳しく説明した通り、変換ユニット 450 は、温度計コードを離散時間の 2 値の出力信号 305 に変換する。別の実施形態では、マルチプレクサ 445 を変換ユニット 450 の下流にもインストールすることができ、関連するライン（すなわちフィルタ・ライン 210）の 2 つの枝の時間離散出力信号が最初に、変換ユニット 450 によりデジタル化され、その後マルチプレクサ 445 により組合

10

20

【0031】

図 6 には、信号をフィルタリングする方法の概略図が示されている。ステップ 510 で、アナログ入力信号 5 を入力信号 5 の数値の関数としての少なくとも 2 つの区別可能な第 1 のファーストステージの出力信号に変換する。ステップ 520 で、ファーストステージの出力信号を所定の周期に渡って積分する。ステップ 530 で、積分の結果に基づいて、第 1 の積分信号 25 を生成する。ステップ 540 で、第 1 の積分信号 25 を第 1 の出力基準値または出力基準信号と比較する。ステップ 550 で、ステップ 540 での比較の結果に基づいて、第 1 のセカンドステージの出力信号 35 を生成する。

30

【0032】

本発明の考えは、入力信号 5 を所定の周期に渡って積分し、次いで、その積分の結果を時間離散出力信号 45 に変換する。次いで、時間離散出力信号 45 を離散時間 2 値の出力信号 305 に変換することができる。このように、入力信号をデジタル化することでもはや入力信号 5 の一瞬の値には依存しないため、アナログの入力信号 5 のデジタル化に影響を及ぼす所定の周期と比較して、より高い波数で変動や干渉への影響を低減することが可能である。

【0033】

好適に適用されるフィルタ回路を、例えば、アナログ - デジタル変換器（ADC）内に用いることができる。

3 ステージにおける ADC 機能

1) 数値離散化：例えば、 n ビット用の $n - 1$ 増幅器（整流器）により入力信号を連続的にデジタル化する。増幅器の出力信号は、入力信号の数学的記号から関連する基準値を差し引いたものに対応する。これにより、増幅器から下流の入力信号の連続的な温度計コードが作り出される。

2) 周期積分：温度計コードの各ビットをクロック信号の半周期で積分する。積分回路の出力信号は、半周期中の温度計コードの関連するビットがより頻繁に -1 または $+1$ だったかどうかを示す数学記号である。

3) 時間離散化：半周期の終わりで、時間の積分周期の終わりで積分回路の出力信号

40

50

は、- 1 なのか + 1 なのかをクロック増幅器が検知する。

4) 変換：温度計コードを検知した後、時間離散化を施された出力信号を 2 値のコードに変換する。

【0034】

本発明のその他の変化形およびそれらの実行も、先程の開示、図面、および特許請求の範囲から当業者により可能である。

【0035】

特許請求項では、「包含する (e n c o m p a s s)」、「含む (c o m p r i s e)」、「含む (c o n t a i n)」、「有する (h a v e)」などの用語は、追加の要素または追加のステップを除外しないものとする。不定冠詞を使用することにより複数を除外しないものとする。各個々の装置はそれぞれ、請求項に記載されるユニットまたは装置のうちのいくつかの機能を実行可能なものとする。特許請求項内に示される参照符号は、用いられる手段およびステップを限定するものとして解釈されないものとする。

10

【符号の説明】

【0036】

5 入力信号

10 入力回路

11、12、13、14 入力基準値

20 積分回路

25 積分信号

20

30 出力回路

35 セカンドステージの出力信号

40、440 時間離散化を行うための回路

45 時間離散出力信号

50、450 変換ユニット

200 フィルタ回路

210 フィルタ・ライン

300 アナログ - デジタル変換器

305 離散時間 2 値の出力信号

410 入力比較器

30

420 a 微分ステージ

420 b 積分器

422 自己ロックトランジスタ

423 自己伝導トランジスタ

425 クロック高

426 クロック低

427 供給電圧

430 出力比較器

445 マルチプレクサ

510 アナログ入力信号の変換

40

520 ファーストステージの出力信号の積分

530 積分信号の生成

540 積分信号を出力基準値と比較する

550 セカンドステージの出力信号の生成

【 図 1 】

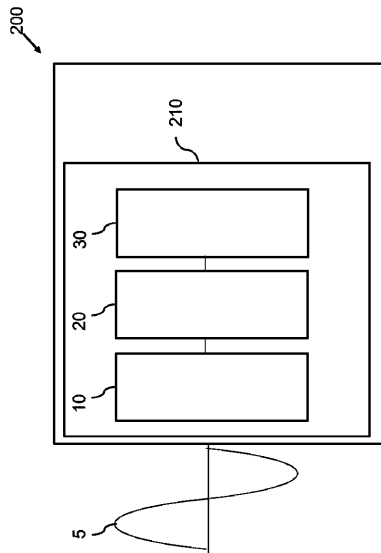


Fig. 1

【 図 2 】

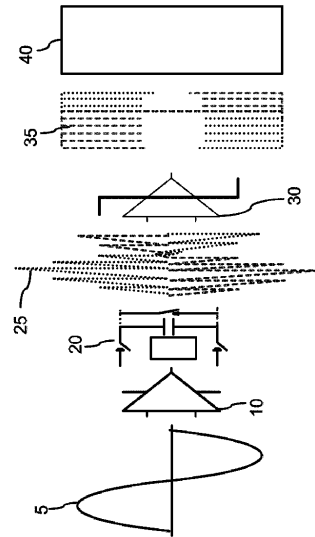


Fig. 2

【 図 3 】

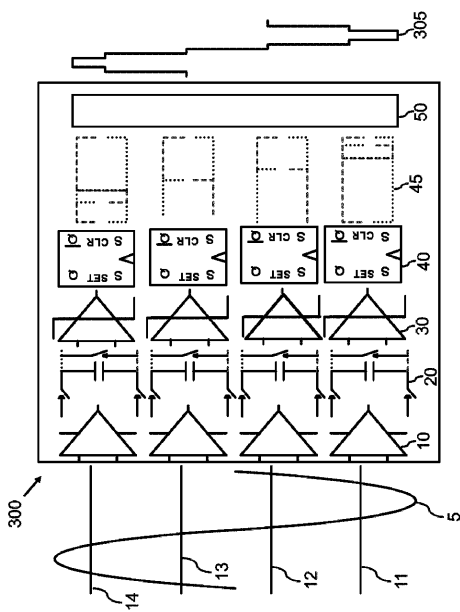


Fig. 3

【 図 4 】

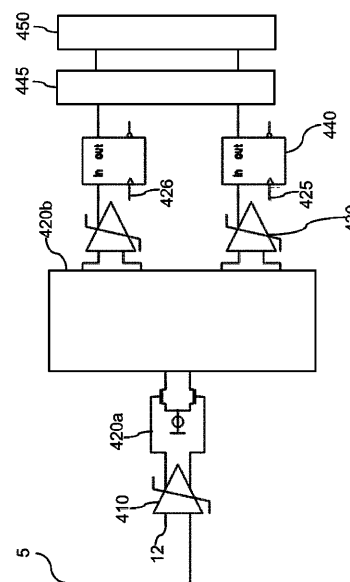


Fig. 4

【図 5】

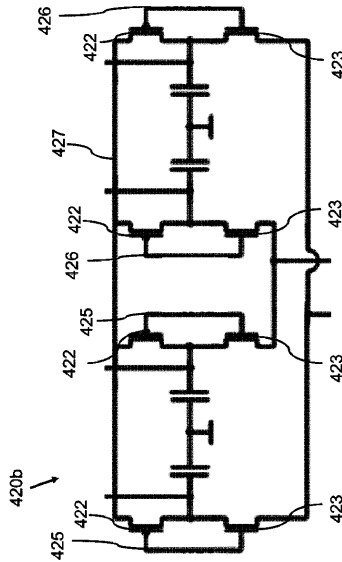


Fig. 5

【図 6】

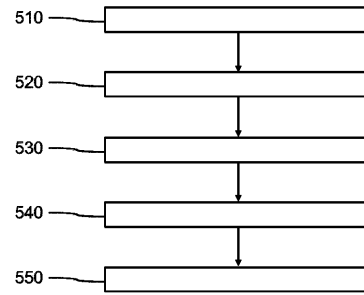


Fig. 6

【手続補正書】

【提出日】平成29年5月8日(2017.5.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

フィルタ回路(200)であって、
 少なくとも第1のフィルタ・ライン(210)であって、前記第1のフィルタ・ライン(210)が第1の入力回路(10)、第1の積分回路(20)、および第1の出力回路(30)を有し、

前記第1のフィルタ・ライン(210)が、第1の入力基準値(11、12、13、14)を有し、

前記第1の入力回路(10)が、前記入力信号の前記数値の関数として、入力信号(5)を少なくとも2つの区別可能な第1のファーストステージの出力信号に変換し、

前記第1のファーストステージの出力信号を判定するために、前記入力信号と比較され、

前記第1のファーストステージの出力信号は、前記入力信号(5)の数学的記号から対応する前記第1の入力基準値(11、12、13、14)を差し引いたものに対応し、

前記第1の入力回路(10)はまた、前記所定の周期の間、前記ファーストステージの出力信号が前記第1の積分回路(20、240)を中継するよう構成され、

前記第1の積分回路(20)が、前記第1の入力回路(10)の前記第1のファーストステージの出力信号を前記所定の周期に渡って積分し、第1の積分信号(25)を生成す

るよう構成され、

前記第 1 の出力回路 (2 5) が、前記第 1 の積分信号 (2 5) を第 1 の出力基準値と比較して、第 1 のセカンドステージの出力信号 (3 5) を生成するよう構成される、フィルタ回路 (2 0 0)。

【請求項 2】

前記第 1 の入力回路 (1 0) が、入力比較器 (4 1 0) を少なくとも含み、前記第 1 の出力回路 (3 0) が、出力比較器 (4 3 0) を少なくとも含む、先行する請求項のうちの 1 つに記載のフィルタ回路 (2 0 0)。

【請求項 3】

前記第 1 の積分回路 (2 0) が、第 1 のキャパシタおよび第 1 のスイッチを少なくとも有し、

前記第 1 のキャパシタと前記第 1 のスイッチが、前記第 1 のファーストステージの出力信号に関連する電荷を前記所定の周期に渡って蓄積するよう構成される、先行する請求項のうちの 1 つに記載のフィルタ回路 (2 0 0)。

【請求項 4】

前記所定の周期が、第 1 の定時信号により規定される、先行する請求項のうちの 1 つに記載のフィルタ回路 (2 0 0)。

【請求項 5】

前記第 1 のフィルタ・ライン (2 1 0) が、前記時間離散化 (4 0 、 4 4 0) を行うための第 1 の回路を有し、前記時間離散化 (4 0 、 4 4 0) を行うための前記第 1 の回路が、前記第 1 のセカンドステージの出力信号を処理して、時間離散出力信号 (4 5) に変換するよう構成される、先行する請求項のうちの 1 つに記載のフィルタ回路 (2 0 0)。

【請求項 6】

前記時間離散化 (4 0 、 4 4 0) を行うための前記第 1 の回路が、前記第 1 のセカンドステージの出力信号 (3 5) を前記第 1 の定時信号の関数としての時間離散出力信号 (4 5) に変換するよう構成される、請求項 5 が請求項 4 まで引用する範囲内に記載の請求項 5 に記載のフィルタ回路 (2 0 0)。

【請求項 7】

前記フィルタ回路が、第 2 のフィルタ・ライン (2 1 0) を少なくとも含み、前記入力信号の第 1 の範囲が、前記第 1 のフィルタ・ライン (2 1 0) に関連し、前記入力信号 (5) の第 2 の範囲区画が、前記第 2 のフィルタ・ライン (2 1 0) に関連し、前記入力信号 (5) の前記第 1 の範囲は前記入力信号 (5) の前記第 2 の範囲とは異なる、先行する請求項のうちの 1 つに記載のフィルタ回路 (2 0 0)。

【請求項 8】

第 3 のフィルタ・ライン (2 1 0) も少なくとも含み、前記入力信号 (5) の第 3 の範囲が、前記第 3 のフィルタ・ライン (2 1 0) に関連し、前記入力信号 (5) の前記第 2 の範囲が、前記入力信号 (5) の前記第 1 の範囲に隣接し、前記入力信号 (5) の前記第 3 の範囲が、前記入力信号 (5) の前記第 2 の範囲に隣接する、請求項 7 に記載のフィルタ回路 (2 0 0)。

【請求項 9】

前記第 2 のフィルタ・ライン (2 1 0) が、第 2 の入力基準値 (1 1 、 1 2 、 1 3 、 1 4) を有し、前記第 3 のフィルタ・ライン (2 1 0) が、第 3 の入力基準値 (1 1 、 1 2 、 1 3 、 1 4) を有し、前記第 1 の範囲が、前記第 1 の入力基準値 (1 1 、 1 2 、 1 3 、 1 4) により関連付けられ、前記第 2 の範囲が、前記第 2 の入力基準値 (1 1 、 1 2 、 1 3 、 1 4) により関連付けられ、前記第 3 の範囲が、前記第 3 の入力基準値 (1 1 、 1 2 、 1 3 、 1 4) により関連付けられる、請求項 8 が請求項 1 から 7 まで引用する範囲内に記載の請求項 8 に記載のフィルタ回路 (2 0 0)。

【請求項 10】

前記第 1 のセカンドステージの出力信号 (3 5) により、前記第 2 のフィルタ・ライン (2 1 0) により生成される第 2 のセカンドステージの出力信号 (3 5) により、前記第

3 のフィルタ・ライン (2 1 0) により生成される第 3 のセカンドステージの出力信号 (3 5) により、温度計コードが生成される、請求項 8 または 9 に記載のフィルタ回路 (2 0 0) 。

【請求項 1 1】

アナログ - デジタル変換器であって、請求項 1 0 に記載のフィルタ回路 (2 0 0) および変換ユニット (5 0) を含み、前記変換ユニット (5 0) が、前記離散時間の温度計コードを離散時間の 2 値の出力信号 (3 0 5) に変換するよう構成される、アナログ - デジタル変換器。

【請求項 1 2】

信号をフィルタリングする方法であって、

前記入力信号 (5) の前記数値の関数として、入力信号 (5) を少なくとも 2 つの区別可能な第 1 のファーストステージの出力信号に変換し、

前記第 1 のファーストステージの出力信号を判定するために、前記入力信号と比較され、

前記第 1 のファーストステージの出力信号は、前記入力信号 (5) の数学的記号から対応する前記第 1 の入力基準値 (1 1 、 1 2 、 1 3 、 1 4) を差し引いたものに対応するステップと、

前記第 1 のファーストステージの出力信号を所定の周期で積分するステップと、

前記積分の前記結果に基づいて、第 1 の積分信号 (2 5) を生成するステップと、

前記第 1 の積分信号 (2 5) を第 1 の出力基準値と比較するステップと、

前記比較の前記結果に基づいて、第 1 のセカンドステージの出力信号 (3 5) を生成するステップと、

を含む方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 2

【補正方法】変更

【補正の内容】

【0 0 0 2】

アナログ - デジタル変換器 (A D C : A n a l o g - t o - D i g i t a l C o n v e r t e r) は、特定の周期の所与のポイントで、所与の閾値に対する入力信号の高低を判定するものと想定される。次いで、クロッキング周期の特定のポイントで、複数の閾値により、信号のデジタル表現が生成される。従来の A D C の場合、変換前に入力信号をフィルタリングしなければならない (アンチエイリアジングフィルタ) 。このプロセスでは、ノイズや非線形のもものが、入力信号に干渉する可能性がある。アクティブ・フィルタが、余分なエネルギーを消費する。検知周期のポイントで変動することを避けるために、クロック信号用のできるだけ鋭いエッジを生成するための試みも行われている。寄生結合により、これらのエッジが原因で、A D C の内部信号、すなわち、例えば、入力信号と比較される基準電圧においても干渉が発生する。これらの変動により、比較器の判定にエラーが生じてしまう。

国際公開第 W O 9 9 / 1 3 5 8 3 号は、アナログ・デジタル変換器の作動中に起こる比較器オフセットを補正するシステムおよび方法を開示している。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 6

【補正方法】変更

【補正の内容】

【0 0 0 6】

この第 1 のフィルタ・ラインは、第 1 の入力基準値を有する。これに関連して、この第 1 の入力基準値は固定でよい、あるいは自由にプログラム可能でよい。好ましい実施形態

では、第 1 のファーストステージの出力信号を判定するために、この入力信号を第 1 の入力基準値と比較する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

入力信号は、入力回路により、第 1 のファーストステージの出力信号に変換されるが、この実施形態では、この出力信号により、規定の第 1 の入力基準値との規定の関係で入力信号が設定される。この実施形態では、入力信号を照合する狙いは、規定の第 1 の入力基準値との関係を通して、第 1 のファーストステージの区別可能な出力信号に変換することである。前記第 1 のファーストステージの出力信号は、前記入力信号 (5) の数学的記号から対応する前記第 1 の入力基準値を差し引いたものに対応する。この第 1 の入力基準値は離散値を有し得る。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

本発明のもう一つの目的は、信号をフィルタリングするための、改良された方法を提案することである。この方法には、

入力信号の数値の関数として、入力信号を少なくとも 2 つの区別可能な第 1 のファーストステージの出力信号に変換するステップと、前記第 1 のファーストステージの出力信号を判定するために、第 1 の入力基準値と比較され、前記第 1 のファーストステージの出力信号は、前記入力信号 (5) の数学的記号から対応する前記第 1 の入力基準値を差し引いたものに対応するステップと、

所定の周期の間、第 1 のファーストステージの出力信号を積分するステップと、

その積分の結果に基づいて、第 1 の積分信号を生成するステップと、

この第 1 の積分信号を第 1 の出力基準値と比較するステップと、

その比較の結果に基づいて、第 1 のセカンドステージの出力信号を生成するステップと、が含まれる。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2016/065856

A. CLASSIFICATION OF SUBJECT MATTER

INV. H03M1/06 H03M1/08
ADD. H03M1/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 99/13583 A1 (CIRRUS LOGIC INC [US]) 18 March 1999 (1999-03-18) page 8, line 28 - page 9, line 3 page 9, lines 8-16 page 9, line 27 - page 11, line 19 page 15, lines 24-29 page 16, lines 18-28 figures 4,4A,6,9,12-14	1-14
X	US 5 680 265 A (NOGUCHI KENJI [JP]) 21 October 1997 (1997-10-21) column 4, line 66 - column 5, line 26 figures 2,4C,4E,6E,5	1-5,14

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

19 September 2016

Date of mailing of the international search report

28/09/2016

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Rocha, Daniel

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2016/065856

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9913583	A1	18-03-1999	
		AU 8907198 A	29-03-1999
		DE 69812122 D1	17-04-2003
		EP 1010252 A1	21-06-2000
		JP 2001516982 A	02-10-2001
		US 5990814 A	23-11-1999
		WO 9913583 A1	18-03-1999

US 5680265	A	21-10-1997	
		JP 3465433 B2	10-11-2003
		JP H0973747 A	18-03-1997
		US 5680265 A	21-10-1997

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2016/065856

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. H03M1/06 H03M1/08
 ADD. H03M1/36

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H03M

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 99/13583 A1 (CIRRUS LOGIC INC [US]) 18. März 1999 (1999-03-18) Seite 8, Zeile 28 - Seite 9, Zeile 3 Seite 9, Zeilen 8-16 Seite 9, Zeile 27 - Seite 11, Zeile 19 Seite 15, Zeilen 24-29 Seite 16, Zeilen 18-28 Abbildungen 4,4A,6,9,12-14 -----	1-14
X	US 5 680 265 A (NOGUCHI KENJI [JP]) 21. Oktober 1997 (1997-10-21) Spalte 4, Zeile 66 - Spalte 5, Zeile 26 Abbildungen 2,4C,4E,6E,5 -----	1-5,14

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

19. September 2016

Absenddatum des internationalen Recherchenberichts

28/09/2016

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Rocha, Daniel

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2016/065856

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 9913583	A1	18-03-1999	AU	8907198 A	29-03-1999
			DE	69812122 D1	17-04-2003
			EP	1010252 A1	21-06-2000
			JP	2001516982 A	02-10-2001
			US	5990814 A	23-11-1999
			WO	9913583 A1	18-03-1999

US 5680265	A	21-10-1997	JP	3465433 B2	10-11-2003
			JP	H0973747 A	18-03-1997
			US	5680265 A	21-10-1997

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ