

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-28109

(P2010-28109A)

(43) 公開日 平成22年2月4日(2010.2.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H	4M118
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 A	5F038
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 311B	5F048
HO 1 L 27/08 (2006.01)	HO 1 L 27/06 311C	5F110
HO 1 L 27/146 (2006.01)	HO 1 L 27/08 331E	

審査請求 未請求 請求項の数 10 O L (全 45 頁) 最終頁に続く

(21) 出願番号 特願2009-142509 (P2009-142509)  
 (22) 出願日 平成21年6月15日 (2009.6.15)  
 (31) 優先権主張番号 特願2008-158256 (P2008-158256)  
 (32) 優先日 平成20年6月17日 (2008.6.17)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 福岡 修  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 穴戸 英明  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム(参考) 4M118 AA08 BA05 CA02 CA05 CA32  
 CB06 CB07 EA01 EA14 FB03  
 FB13 FB24

最終頁に続く

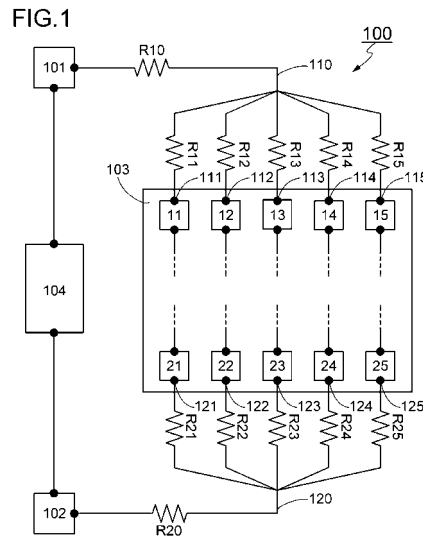
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】集積回路の高性能化、小型化を妨げることなく、集積回路のESD(静電気放電)に対する耐性を向上する。

【解決手段】2つの入出力端子の間に保護回路104が挿入されている。ESDが発生したとき、保護回路によって2つの入出力端子を短絡して、回路103に過電圧が印加されることを防ぐ。回路は、接続配線110、120を介して、入出力端子に電氣的に接続されている。回路は、接続配線との複数の電氣的な接続部を有しており、各接続部と入出力端子間の配線抵抗が等しくなるように、接続配線を形成する。これにより、ESDが発生しても、1つの接続部に電圧が集中して印加することが回避されるため、ESDによって回路が破壊される確率が低減される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

複数の半導体素子を含む回路と、  
 1つの端子と、  
 前記端子に対して前記回路の第1段目の電気的な接続部である複数の接続部と、  
 前記複数の接続部を前記端子に電気的に接続し、前記端子と前記複数の接続部間の抵抗が、それぞれ、等しくなるように設けられている接続配線と、  
 を有することを特徴とする半導体装置。

## 【請求項 2】

複数の半導体素子を含む回路と、  
 1つの端子と、  
 前記端子に電気的に接続されており、過電圧が印加されないように前記回路を保護する保護回路と、  
 前記端子に対して前記回路の第1段目の電気的な接続部である複数の接続部と、  
 前記複数の接続部を前記端子に電気的に接続し、前記端子と前記複数の接続部間の抵抗が、それぞれ、等しくなるように設けられている接続配線と、  
 を有することを特徴とする半導体装置。

10

## 【請求項 3】

複数の半導体素子を含む回路と、  
 第1端子および第2端子と、  
 前記第1端子に対して前記回路の第1段目の電気的な接続部である複数の第1接続部と、  
 前記第2端子に対して前記回路の第1段目の電気的な接続部である複数の第2接続部と、  
 前記複数の第1接続部を前記第1端子に電気的に接続し、前記第1端子と前記複数の第1接続部間の抵抗が、それぞれ、等しくなるように設けられている第1接続配線と、  
 前記複数の第2接続部を前記第2端子に電気的に接続し、前記第2端子と前記複数の第2接続部間の抵抗が、それぞれ、等しくなるように設けられている第2接続配線と、  
 前記第1端子と前記第2端子間に挿入され、前記第1端子と前記第2端子とを短絡することで、過電圧に対して前記回路を保護する保護回路と、  
 を有することを特徴とする半導体装置。

20

30

## 【請求項 4】

請求項 3 において、  
 前記保護回路は、前記第1端子と前記第2端子間に挿入されたダイオードを有し、  
 前記ダイオードは、絶縁膜上に形成され、前記絶縁膜の上面に平行な方向に隣接するN型不純物領域およびP型不純物領域が形成されている半導体膜を有することを特徴とする半導体装置。

## 【請求項 5】

請求項 3 において、  
 前記回路は、  
 前記第1端子と前記第2端子間に挿入されたフォトダイオードと、  
 前記複数の第1接続部および前記複数の第2接続部を有し、前記フォトダイオードの出力電流を増幅する増幅回路と、  
 を有することを特徴とする半導体装置。

40

## 【請求項 6】

請求項 3 において、  
 前記保護回路は、前記第1端子と前記第2端子間に挿入されたダイオードを有し、  
 前記ダイオードは、絶縁膜上に形成され、前記絶縁膜の上面に平行な方向に隣接するN型不純物領域およびP型不純物領域が形成されている半導体膜を有し、  
 前記回路は、

50

前記第 1 端子と前記第 2 端子間に挿入されたフォトダイオードと、  
前記複数の第 1 接続部、前記複数の第 2 接続部および複数のトランジスタを含み、前記フォトダイオードの出力電流を増幅する増幅回路と、  
を有し、

前記複数のトランジスタは、それぞれ、前記絶縁膜上に形成され、チャネル形成領域、ソース領域およびドレイン領域が形成されている半導体膜を有することを特徴とする半導体装置。

【請求項 7】

1 つの端子と、  
前記端子に電氣的に接続されている回路と、  
前記回路において前記端子に対して第 1 段目に配置され、半導体膜を備えた複数のトランジスタと、  
前記複数のトランジスタを前記端子に電氣的に接続する接続配線と、  
前記接続配線に含まれており、前記複数のトランジスタの半導体膜とそれぞれ接し、前記接続配線が接している前記複数のソース領域または前記複数のトランジスタのドレイン領域と前記端子の間の抵抗が等しくなるように形成されている導電膜と、  
を有することを特徴とする半導体装置。

10

【請求項 8】

第 1 端子および第 2 端子と、  
複数の半導体素子を構成する 1 つの半導体膜を含み、前記第 1 端子および前記第 2 端子に電氣的に接続されている回路と、  
前記回路を前記第 1 端子に電氣的に接続する第 1 接続配線と、  
前記回路を前記第 2 端子に電氣的に接続する第 2 接続配線と、  
前記半導体膜と前記第 1 接続配線との電氣的な接続部であり、かつ前記第 1 端子に対して前記回路の第 1 段目の電氣的な接続部である複数の第 1 接続部と、  
前記半導体膜と前記第 2 接続配線との電氣的な接続部であり、かつ前記第 2 端子に対して前記回路の第 1 段目の電氣的な接続部である複数の第 2 接続部と、  
前記第 1 接続配線に含まれ、前記第 1 端子と前記複数の第 1 接続部間の抵抗が、それぞれ、等しくなるように、かつ前記半導体膜に接して設けられている第 1 導電膜と、  
前記第 2 接続配線に含まれ、前記第 2 端子と前記複数の第 2 接続部間の抵抗が、それぞれ、等しくなるように、かつ前記半導体膜に接して設けられている第 2 導電膜と、  
を有することを特徴とする半導体装置。

20

30

【請求項 9】

第 1 端子および第 2 端子と、  
複数の半導体素子を構成する第 1 半導体膜を含み、前記第 1 端子および前記第 2 端子に電氣的に接続されている回路と、  
前記回路を前記第 1 端子に電氣的に接続する第 1 接続配線と、  
前記回路を前記第 2 端子に電氣的に接続する第 2 接続配線と、  
前記半導体膜と前記第 1 接続配線との電氣的な接続部であり、かつ前記第 1 端子に対して前記回路の第 1 段目の電氣的な接続部である複数の第 1 接続部と、  
前記半導体膜と前記第 2 接続配線との電氣的な接続部であり、かつ前記第 2 端子に対して前記回路の第 1 段目の電氣的な接続部である複数の第 2 接続部と、  
前記第 1 接続配線に含まれ、前記第 1 端子と前記複数の第 1 接続部間の抵抗が、それぞれ、等しくなるように、かつ前記第 1 半導体膜に接して設けられている第 1 導電膜と、  
前記第 2 接続配線に含まれ、前記第 2 端子と前記複数の第 2 接続部間の抵抗が、それぞれ、等しくなるように、かつ前記第 1 半導体膜に接して設けられている第 2 導電膜と、  
前記第 1 導電膜および前記第 2 導電膜に接する第 2 半導体膜を有し、前記第 1 端子と前記第 2 端子とを短絡することで、過電圧に対して前記回路を保護するダイオードと、  
を有することを特徴とする半導体装置。

40

【請求項 10】

50

請求項 1 乃至 9 のいずれか 1 項において、

前記半導体装置の大きさは、平面配置において 10 mm × 10 mm 以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、静電気放電などの予期しない高電圧の印加に対して回路の破壊を防ぐ手段を備えた半導体装置に関する。

【背景技術】

【0002】

集積回路の不良の大きな原因の 1 つに、静電気放電 (Electro Static Discharge、以下、「ESD」と呼ぶ。) による半導体素子、電極などの破壊がある。そこで、ESD による集積回路の破壊防止対策として、端子と集積回路との間に保護回路を挿入することが行われている。保護回路は、ESD などにより端子に印加された過剰な電圧が集積回路に供給されることを防ぐための回路である。保護回路に用いられる代表的な素子には、抵抗素子、ダイオード、容量素子がある。

【0003】

例えば、特許文献 1 (特開 2000 - 58762 号公報) では、接続端子と半導体回路とを電氣的に接続する配線に抵抗素子を挿入して、ESD により発生したサージ電流を平滑化している。また、特許文献 1 では、保護回路に抵抗素子と共にダイオードが用いられている。ESD が発生した際に、ダイオードの整流作用により、サージ電流の放電経路を形成し、サージ電流が集積回路に流入することを防いでいる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2000 - 58762 号公報 (図 2)

【発明の概要】

【発明が解決しようとする課題】

【0005】

集積回路の高性能化のためにトランジスタは微細化が進み、ESD に対する耐性が低下している。また、集積回路には高速動作、低消費電力化が求められている。ESD の電圧は数 kV 乃至数十 kV 程度であるといわれている。このような高電圧の影響を完全に除去できるような高抵抗の抵抗素子を保護回路に用いることは、集積回路の動作の妨げになり、現実的ではない。また、静電気は正、負の両方の極性があるため、保護回路は両方の極性の静電気放電から集積回路を保護できる回路であることが望ましい。さらに、集積回路の小型化の点から、保護回路が占有する面積は小さいことが要求される。

【0006】

このように、保護回路には様々な制約があり、集積回路の性能と保護回路の性能とを両立させることは、非常に困難である。本発明の一態様は、このような背景をもとに発明された半導体装置であり、本態様における課題の 1 つは、集積回路の高性能化、小型化などを妨げることなく、集積回路の ESD に対する耐性を向上させることである。

【課題を解決するための手段】

【0007】

本発明の一態様に係る半導体装置は、複数の半導体素子を含む回路と、1 つの端子と、前記端子に対して前記回路の第 1 段目の電氣的な接続部である複数の接続部と、端子と複数の接続部とを電氣的に接続し、端子と複数の接続部間の抵抗がそれぞれ等しくなるように設けられている接続配線と、を有する半導体装置である。

【0008】

つまり、上記態様では、端子から回路までに複数の電流経路がある場合、これらの複数の電流経路において、それぞれ、配線抵抗を等しくしている。このような構成により、E

10

20

30

40

50

S D などによりサージ電流が端子から半導体装置内に流入しても、1つの電流経路にサージ電流が集中することが回避される。つまり、E S D に対する回路の耐性を高くすることができる。

【0009】

なお、本明細書において、複数の配線（または電流経路）の抵抗値が等しいとは、完全に一致している場合のみでなく、ある程度の差異を有する場合も含む。抵抗値の差異を許容するのは、複数の配線抵抗が等しくなるように半導体装置を設計しても、半導体装置の作製過程において、配線抵抗の値が設計値からずれる場合があるからである。このずれが生じる原因は、形成される膜厚のばらつき、エッチングされる膜厚のバラツキ、および、コンタクトホールの大きさのばらつきなどがあり、これらの発生を完全になくすことは困難である。

10

【0010】

そこで、本明細書では、製造過程で生じる抵抗値の設計値からのずれを考慮して、複数の抵抗値のばらつきの許容範囲は、それらの中央値 $\pm 20\%$ の範囲とする。すなわち、本明細書では、複数の抵抗値が全て中央値 $\pm 20\%$ の範囲に分布している場合、それらの抵抗値が等しいとする。

【0011】

また、上記態様の半導体装置は、端子に電氣的に接続されており、過電圧が印加されないように回路を保護する保護回路を有してもよい。この保護回路に、ダイオードを含む保護回路を用いることができる。このダイオードとして、絶縁膜上に設けられ、かつ、絶縁膜の上面に平行な方向に隣接するN型不純物領域およびP型不純物領域が形成された半導体膜を有するダイオードを適用することができる。

20

【0012】

また、上記態様は、平面配置の大きさが $10\text{ mm} \times 10\text{ mm}$ 以下の半導体装置に適用することができる。なお、平面配置の大きさが $10\text{ mm} \times 10\text{ mm}$ 以下であるとは、半導体装置が $10\text{ mm}$ 平方の領域に収まることをいう。

【発明の効果】

【0013】

本発明の一態様の半導体装置は、集積回路の高性能化、小型化を妨げることなく、集積回路のE S D に対する耐性を向上させることが可能である。

30

【図面の簡単な説明】

【0014】

【図1】半導体装置の構成例を説明するブロック図。（実施形態1）

【図2】半導体装置の第1配線および第2配線の構成例を示す平面図。（実施形態1）

【図3】図2の第1配線のレイアウトを説明する平面図。（実施形態1）

【図4】半導体装置の構成例を説明するブロック図。（実施形態1）

【図5】A：保護回路に適用されるPIN型ダイオードの平面図。B：同ダイオードを構成する半導体膜の平面図。C：図5AのA1 - A2切断線による同ダイオードの断面図。（実施形態2）

【図6】A：保護回路に適用されるPIN型ダイオードの平面図。B：同ダイオードを構成する半導体膜の平面図。（実施形態2）

40

【図7】図6AのA3 - A4切断線による断面図。（実施形態2）

【図8】A：保護回路に適用されるPIN型ダイオードの平面図。B：同ダイオードを構成する半導体膜の平面図。（実施形態2）

【図9】図8AのA5 - A6切断線による断面図。（実施形態2）

【図10】A：保護回路に適用される放電回路の構成例を示す平面図。B：図10AのA11 - A12切断線による断面図。C：同放電回路の他の構成例を示す平面図。（実施形態3）

【図11】光検出装置の構成例を説明する回路図。（実施形態4）

【図12】図11の光検出装置のレイアウト例を説明する平面図。（実施形態4）

50

- 【図 1 3】図 1 1 の光検出装置の積層構造を説明する断面図。(実施形態 4)
- 【図 1 4】A - E : 図 1 2、図 1 3 の光検出装置に含まれるトランジスタおよびダイオードの作製方法の一態様を説明する断面図。(実施形態 4)
- 【図 1 5】A - D : 図 1 4 E の工程に続くトランジスタおよびダイオードの作製方法の一態様を説明する断面図。(実施形態 4)
- 【図 1 6】A - C : 図 1 5 D の工程に続く工程の断面図であり、図 1 2、図 1 3 の光検出装置の作製方法の一態様を説明する断面図。(実施形態 4)
- 【図 1 7】A、B : 図 1 6 C の工程に続く、光検出装置の作製方法の一態様を説明する断面図。(実施形態 4)
- 【図 1 8】A、B : 図 1 7 B の工程に続く、光検出装置の作製方法の一態様を説明する断面図。(実施形態 4) 10
- 【図 1 9】図 1 8 B の工程に続く、光検出装置の作製方法の一態様を説明する断面図。(実施形態 4)
- 【図 2 0】A : ダイオードに含まれる半導体膜の平面形状を説明する平面図。B : 増幅回路に含まれる半導体膜の平面形状を説明する平面図。(実施形態 4)
- 【図 2 1】図 1 2、図 1 3 の光検出装置に含まれる第 1 層目の導電膜の平面形状を説明する平面図。(実施形態 4)
- 【図 2 2】A : 図 1 2、図 1 3 の光検出装置に含まれるダイオードの半導体膜と第 2 層目の導電膜との接続部を構成する開口のレイアウトを説明する平面図。B : 図 2 2 A の部分拡大図。実施形態 4) 20
- 【図 2 3】図 1 2、図 1 3 の光検出装置に含まれる第 2 層目の導電膜のレイアウトを説明する平面図。(実施形態 4)
- 【図 2 4】図 1 2、図 1 3 の光検出装置に含まれる電源端子のレイアウトを説明する平面図。(実施形態 4)
- 【図 2 5】図 1 2、図 1 3 の光検出装置の外観の一例を説明する斜視図。(実施形態 4)
- 【図 2 6】A - C : 光検出装置の作製方法の一態様を説明する断面図。(実施形態 5)
- 【図 2 7】A、B : 図 2 6 C の工程に続く、光検出装置の作製方法の一態様を説明する断面図。(実施形態 5)
- 【図 2 8】図 2 7 B の工程に続く、光検出装置の作製方法の一態様を説明する断面図。(実施形態 5) 30
- 【図 2 9】A - G : S O I 基板の作製方法の一態様を説明する断面図。(実施形態 6)
- 【図 3 0】A、B : 光検出装置を含む携帯電話の外観の一例を説明する斜視図。C : 光検出装置を含むコンピュータの外観の一例を説明する斜視図。D : 光検出装置を含む表示装置の外観の一例を説明する斜視図。E、F : 光検出装置を含むデジタルカメラの外観の一例を説明する斜視図。(実施形態 7)
- 【図 3 1】過電圧印加試験の回路シミュレーションが行われた光検出装置の回路図。(実施例 1)
- 【図 3 2】回路シミュレーションで計算された、過電圧印加直後の増幅回路に含まれるトランジスタのソース - ドレイン間電流値を示すグラフ。A : 本発明の一態様に係る光検出装置。B : 比較例に係る光検出装置。(実施例 1) 40
- 【図 3 3】過電圧印加試験器による試験を行った本発明の一態様に係る光検出装置の構成を説明する平面図。(実施例 1)
- 【図 3 4】過電圧印加試験器による試験を行った比較例に係る光検出装置の構成を説明する平面図。(実施例 1)
- 【図 3 5】本発明の一態様に係る光検出装置、および比較例に係る光検出装置の過電圧印加試験の結果を示すグラフ。(実施例 1)
- 【発明を実施するための形態】
- 【0015】
- 図面を用いて、本発明の実施形態を説明する。ただし、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨およびその範囲から逸脱することなく、その形態 50

および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は実施形態の記載内容に限定して解釈されるものではない。また、異なる図面間で同じ参照番号を付した要素は、同じ要素を示している。そのため、以下の説明において、このような要素について、重複する説明を省略している。

【0016】

(実施形態1)

まず、図1を参照して、本実施形態に係る半導体装置を説明する。図1は、本実施形態の半導体装置100の構成例を説明するブロック図である。

【0017】

図1に示すように、半導体装置100は、第1端子101、第2端子102、複数の半導体素子を含む回路103、保護回路104、第1接続配線110、および第2接続配線120を有する。第1端子101および第2端子102は半導体装置100の出力端子および/または入力端子であり、他の半導体装置との接続部として機能する。第1端子101は第1接続配線110により回路103に電氣的に接続され、第2端子102は第2接続配線120により回路103に電氣的に接続されている。

10

【0018】

回路103は、第1接続配線110に電氣的に接続する複数の接続部111-115を有し、かつ第2接続配線120に電氣的に接続している複数の接続部121-125を有する。接続部111-115は、それぞれ、回路103に含まれる半導体素子11-15の第1接続配線110との接続部であり、接続部121-125は、それぞれ、回路103に含まれる半導体素子21-25の第2接続配線120との接続部である。つまり、接続部111-115を有する半導体素子11-15は、それぞれ、第1端子101(第1接続配線110)に対して、第1段目に配置された半導体素子であり、接続部121-125を有する半導体素子21-25は、それぞれ、第2端子102(第2接続配線120)に対して、第1段目に配置された半導体素子である。

20

【0019】

つまり、本実施形態の半導体装置100では、第1端子101から回路103まで、および第2端子102から回路103までに、それぞれ、5つの電流経路がある場合を想定している。本実施形態の半導体装置100では、第1端子101から回路103までの5つの電流経路を構成する配線の配線抵抗を等しくする。同様に、第2端子102から回路103までの5つの電流経路を構成する配線の配線抵抗を等しくする。

30

【0020】

保護回路104は、回路103に過電圧が印加されないようにするための回路であり、保護回路104を設けているのは、過電圧によって回路103が破壊されることを防ぐためである。ここでは、保護回路104は、第1端子101と第2端子102との間に挿入されている。半導体装置100の通常の動作時には、保護回路104にほとんど電流が流れないが、第1端子101および/または第2端子102に予期しない過電圧が印加され、第1端子101と第2端子102に過大な電位差が生じると、保護回路104は第1端子101と第2端子102を導通する(短絡する)。このことにより、回路103に過電圧が印加されることが回避され、回路103の破壊を防止することができる。例えば、保護回路104には、PN型接合ダイオード、PIN型接合ダイオードなどの整流素子、ダイオード接続されたトランジスタなどで構成することができる。

40

【0021】

回路103においてESDなどによって最も破壊されやすい部分は、第1端子101、第2端子102に対して、第1段目に配置されている各半導体素子11-15、21-25である。ここでは、半導体素子11-15のESDに対する耐性を向上させるため、第1端子101と各接続部111-115間の配線抵抗が、それぞれ等しくなるように、第1接続配線110を設けている。つまり、

$$\begin{aligned} R_{10} + R_{11} &= R_{10} + R_{12} = R_{10} + R_{13} = R_{10} + R_{14} \\ &= R_{10} + R_{15} \end{aligned}$$

50

となるように、第1接続配線110を設けている。なお、R10乃至R15は、第1接続配線110の抵抗値を示している。

【0022】

このことにより、第1接続配線110との電気的な接続部を有する複数の半導体素子11-15を含む回路103において、第1接続配線110に過電圧が過渡的に印加された場合、上記のように、第1端子101と各接続部111-115間の抵抗値がほぼ等しいため、接続部111-115のいずれか1つに電圧が集中して印加されることが防止できる、またはこれらの1つにサージ電流が集中して流れることが防止できるため、半導体素子11-15が破壊される確率を低くすることができる。例えば、第1端子101と接続部111間の抵抗値が最も低い場合、他の半導体素子12-15よりも半導体素子11に電流が流れやすくなるため、半導体素子11が破壊されやすくなる。よって、第1端子101と各接続部111-115間の抵抗値を等しくすることにより、過剰な電圧が印加されても、各半導体素子11-15に印加される電圧が分散するため、半導体素子11-15が破壊される確率を低くすることができる。

10

【0023】

また、図1のように、第2接続配線120との電気的な接続部を有する複数の半導体素子21-25を含む回路103の場合、第2端子102と各接続部121-125間の抵抗値が、それぞれ等しくなるように、第2接続配線120を設けることが好ましい。つまり、

$$\begin{aligned} R20 + R21 &= R20 + R22 = R20 + R23 = R20 + R24 \\ &= R20 + R25 \end{aligned}$$

20

となるように、第2接続配線120を設けている。なお、R20乃至R25は、第2接続配線120の抵抗値を示している。

【0024】

このことにより、ESDなどにより第2接続配線120に過大な電圧が過渡的に印加された場合、半導体素子21-25のいずれか1つに電圧が集中して印加されることが防止できるため、半導体素子21-25が破壊される確率を低くすることができる。

【0025】

従って、図1に示すような第1接続配線110、第2接続配線120により、回路103を第1端子101と第2端子102に電気的に接続することで、ESDが発生して保護回路104が第1端子101と第2端子102を短絡するまでのわずかな時間(数百ピコ秒-数ナノ秒程度)に回路103に過剰な電圧が印加されても、印加される電圧が分散されるため、ESDによって回路103が破壊される確率を小さくすることができる。

30

【0026】

次に、図2を参照して、第1接続配線110の構成の一例を説明する。図2は、半導体装置100の部分的な構成を示す平面図であり、第1端子101、第1接続配線110および接続部111-115の平面的な配置を示すレイアウト図である。

【0027】

導電膜201は、第1接続配線110および回路103の内部配線を構成する導電膜である。導電膜202は、第1端子101を構成する導電膜である。導電膜201を覆って絶縁膜が形成され、この絶縁膜上に導電膜202が形成される。この絶縁膜には開口203が形成され、この開口203において導電膜201と導電膜202が電気的に接続されている。

40

【0028】

図2の例では、半導体素子11-15をトランジスタで構成し、導電膜201はトランジスタのドレイン電極を構成することにする。半導体素子11-15は、それぞれ、チャネル形成領域、ソース領域およびドレイン領域が形成された半導体領域205を有し、さらに、ゲート電極を構成する導電膜206、およびソース電極を構成する導電膜207を含む。また、導電膜206、207は、それぞれ、回路103の内部配線を構成する。ここでは、半導体素子11-15と第1接続配線110との接続部111-115は、それ

50

それ、半導体領域 205 と導電膜 201 との接続部に相当する。なお、半導体領域 205 は、シリコンウエハなどの半導体基板に形成されたウエル領域、もしくは絶縁膜または絶縁基板上に形成された半導体膜（層）などで構成されている。

#### 【0029】

図 2 の例では、導電膜 201 において配線幅（導電膜 201 の断面積）を部分的に異ならせることで、第 1 端子 101 と各接続部 111 - 115 間の抵抗値が等しくなるようにしている。つまり、導電膜 201 の配線幅が  $d_1 < d_2 < d_3 < d_4 < d_5$  となるようにすることで、第 1 端子 101 と各接続部 111 - 115 間の抵抗値が等しくなるように調節している。

#### 【0030】

また、第 1 端子 101 と各接続部 111 - 115 間の抵抗値が等しくなるように、例えば、導電膜 201 において、導電膜 202 との接続部（開口 203 が形成されている部分）と、接続部 111 - 115 間の長さを調節してもよい。図 3 は、このような導電膜の構成例を示す平面図である。図 3 の導電膜 211 は、図 2 の導電膜 201 の変形例ということもできる。図 3 において、導電膜 211 は図 2 と同様に配線幅が部分的に異なるように設けられており、さらに導電膜 211 に、屈曲部 131 - 134（一点鎖線で囲んだ部分）を設けて、導電膜 202 との接続部（開口 203 が形成されている部分）から接続部 111 までの長さを最も長くし、接続部 115 までの長さを最も短くなるようにしている。

#### 【0031】

第 2 接続配線 120 も、図 2、図 3 に示す導電膜 201 により第 1 接続配線 110 と同様に設けることができる。

#### 【0032】

図 1 の例では、半導体装置 100 は 1 つの回路 103 を有するが、本実施形態に係る半導体装置は、複数の回路を有していてもよい。図 4 に、2 つの回路を有する半導体装置 150 のブロック図を示す。図 4 に示すように、半導体装置 150 は、回路 103 に電氣的に接続される回路 105、回路 105 に接続される第 3 端子 106 を有する。さらに、第 1 端子 101 と第 3 端子 106 の間に電氣的に接続された保護回路 107、および第 2 端子 102 と第 3 端子 106 の間に電氣的に接続された保護回路 108 を有する。第 3 端子 106 は、第 1 端子 101、第 2 端子 102 と同様、半導体装置 150 の出力端子および/または入力端子であり、他の半導体装置との接続部として機能する。

#### 【0033】

保護回路 107、108 は保護回路 104 と同様に構成することができる。半導体装置 150 の通常の動作時には、保護回路 107 にはほとんど電流が流れないが、第 1 端子 101 および/または第 3 端子 106 に予期しない過電圧が印加され、第 1 端子 101 と第 3 端子 106 に過大な電位差が生じると、保護回路 107 によって第 1 端子 101 と第 3 端子 106 が短絡される。このことにより、回路 103 および回路 105 に過電圧が印加されることが回避され、回路 103 および回路 105 の破壊を防止することができる。また、保護回路 108 も、保護回路 107 と同様であり、保護回路 108 により第 2 端子 102 と第 3 端子 106 を短絡して、回路 103 および回路 105 に過電圧が印加されることを防ぐ回路である。保護回路 107、108 は必ずしも設ける必要はないが、設けることが好ましい。

#### 【0034】

本実施形態に係る半導体装置は、端子と回路の複数の接続部間との抵抗が均一になるように、端子と内部回路とを電氣的に接続するための接続配線を設けている。このことにより、内部回路に高電圧が局部的に印加されることが回避される。このことにより、内部回路の静電気に対する耐性が向上される。つまり、本実施形態により、保護回路と相まって、ESD などにより端子に予期せぬ過剰な電圧が印加されても、回路が破壊される確率を抑えることができる。

#### 【0035】

なお、端子と回路の複数の接続部との間の複数の電流経路の抵抗値が均一になるように

10

20

30

40

50

半導体装置を設計しても、使用される製造装置の性能のため、配線を構成する膜の厚さや幅、コンタクトホール大きさなどが設計値からずれることを完全になくすことは困難である。そこで、本実施形態に係る半導体装置では、製造過程で生じる誤差を考慮して、複数の電流経路の抵抗値がそれらの中央値 $\pm 20\%$ の範囲に分布している場合、それらの抵抗値が等しいとする。

【0036】

また、本実施形態に係る半導体装置では、接続配線が保護回路の機能の一部を担うため、保護回路の小型化が容易になるので、本実施形態は、大きさが $10\text{mm} \times 10\text{mm}$ 以下の小型の半導体装置に非常に好適である。なお、大きさが $10\text{mm} \times 10\text{mm}$ 以下とは、平面配置において、半導体装置が $10\text{mm}$ 平方の領域に収まることをいう。

10

【0037】

本実施形態は、他の実施形態と適宜組み合わせることが可能である。

【0038】

(実施形態2)

本実施形態では、保護回路104の具体例を説明する。本実施形態では、PIN型ダイオードにより保護回路を構成する。また、本実施形態では、PIN型ダイオードを絶縁膜上に形成された半導体膜を用いて形成することにする。また、ここでは、PIN型ダイオードを形成するため、N型半導体領域とP型半導体領域を積層するのではなく、PIN型ダイオードの半導体膜には、この絶縁膜の上面に平行な方向に隣接して、N型不純物領域およびP型不純物領域を形成する。

20

【0039】

図5A - 図5Cを参照して、PIN型ダイオードの第1の形態を説明する。図5AはPIN型ダイオード301の平面図であり、図5BはPIN型ダイオード301の半導体膜の平面図であり、図5Cは図5AのA1 - A2線による断面図である。

【0040】

図5Cに示すように、本実施形態の保護回路104が適用される半導体装置は基板30を有する。基板30上に回路103および保護回路104が形成される。本実施形態では、保護回路104として、PIN型ダイオード301(以下、「ダイオード301」と呼ぶ。)が形成されている。

【0041】

基板30には、半導体基板、ガラス基板、石英基板、サファイア基板、セラミック基板、ステンレス基板、金属基板、樹脂基板、樹脂フィルム、炭素繊維やガラス繊維の織物に樹脂をしみこませたシート(所謂、プリプレグ)などの基板を用いることができる。半導体基板としては、インゴットをスライスしたシリコンウエハ、絶縁膜(層)を介して単結晶半導体膜(層)が基板上に形成されているSOI基板などを用いることができる。ガラス基板には無アルカリガラス基板が好ましい。無アルカリガラス基板には、例えば、アルミノシリケートガラス基板、アルミノホウケイ酸ガラス基板、バリウムホウケイ酸ガラス基板などがある。

30

【0042】

基板30の上面は絶縁膜41で覆われている。絶縁膜41上に、保護回路104(ダイオード301)を構成する半導体膜310が形成されている。図5Cには図示されていないが、回路103を構成する半導体素子の半導体膜も絶縁膜41上に形成されている。なお、基板30と絶縁膜41の間に半導体膜、導電膜などの他の膜が存在してもよい。

40

【0043】

半導体膜310は単層構造でも積層構造でもよい。半導体膜310を構成する膜としては、シリコン膜、ゲルマニウム膜、およびシリコンゲルマニウム膜、炭化シリコン膜などの第14族元素でなる半導体膜、GaAs膜、InP膜、GaN膜などの化合物半導体膜、酸化亜鉛、酸化スズなどの酸化物半導体などが挙げられる。半導体膜310の結晶性は、単結晶でも、非単結晶(多結晶、微結晶、非晶質など)でもよいが、P型不純物領域311およびN型不純物領域312を低抵抗化するため、非晶質ではなく、多結晶や単結晶

50

のような抵抗値が低い結晶性半導体膜が好ましい。

【0044】

図5Bおよび図5Cに示すように、半導体膜310には、P型不純物領域311、およびN型不純物領域312および高抵抗領域313が、基板30の上面に対して横方向に隣接して形成されている。

【0045】

P型不純物領域311は、ボロンなどのアクセプタとなる不純物元素を半導体膜310に添加することで形成される。N型不純物領域312は、間隔W1を隔ててP型不純物領域311に隣接して形成されている。N型不純物領域312はリン、ヒ素などのドナーとなる不純物元素を半導体膜310に添加することで形成される。P型不純物領域311とN型不純物領域312の間に高抵抗領域313が形成されている。

10

【0046】

高抵抗領域313はP型不純物領域311およびN型不純物領域312よりも抵抗が高い領域であり、例えば、真性半導体(I型半導体)で構成することができる。ここでは、真性半導体とは、理想的には、フェルミレベルが禁制帯のほぼ中央に位置する半導体であるが、その他、ドナーまたはアクセプタとなる不純物を意図的に添加して、フェルミレベルが禁制帯の中央に位置するようにした半導体も含む。また、高抵抗領域313は、N型またはP型の半導体で構成することもでき、例えば、ドナーまたはアクセプタとなる不純物元素を添加した半導体、またはこれらの不純物元素を意図的に添加していないノンドープ半導体で形成することもできる。高抵抗領域313はシート抵抗が100k / 以上とすることが好ましく、P型不純物領域311およびN型不純物領域312のシート抵抗は数k / 以下とすることが好ましい。

20

【0047】

図5Cに示すように、半導体膜310を覆って、絶縁膜42が形成されている。絶縁膜42上には、P型不純物領域311に電氣的に接続される導電膜314と、N型不純物領域312に電氣的に接続されている導電膜315とが形成されている。導電膜314、315の一方は、第1端子101に接続され、他方は第2端子102に接続される。ここでは、導電膜314、315のそれぞれの端部314a、315aを他の導電膜との接続部としている(図5A参照)。

【0048】

P型不純物領域311に導電膜314を電氣的に接続するため、絶縁膜42にはP型不純物領域311に達する複数の開口316が形成され、N型不純物領域312に導電膜315を電氣的に接続するため、絶縁膜42にはN型不純物領域312に達する複数の開口317が形成されている(図5A参照)。

30

【0049】

本実施形態では、導電膜314の端部314a付近のみでなく、P型不純物領域311と導電膜314とのコンタクト抵抗が小さくなるように、図5Aに示すように、複数の開口316は、P型不純物領域311の全体分布するように設けている。同様に、N型不純物領域312と導電膜315とのコンタクト抵抗が小さくなるように、N型不純物領域312の全体に分布して、複数の開口317を設けている。

40

【0050】

このように、複数の開口316、317を形成することは、半導体膜310が多結晶半導体膜のような非単結晶膜の場合に非常に有用である。非単結晶半導体膜は単結晶半導体膜と比較して、P型不純物領域311およびN型不純物領域312の電気抵抗が高くなってしまふ。そのため、サージ電流により導電膜314と導電膜315に大きな電位差が生じて、P型不純物領域311およびN型不純物領域312が導電膜314、315と接触していない部分は、ダイオードとして実質的に機能させることができないおそれがある。このような状態では、ダイオード301が整流素子として機能しない。つまり、ダイオード301は、単なる高抵抗な抵抗素子となつて、サージ電流を流すための電流経路として十分に機能しないために、回路103にサージ電流が流れ、回路103が破壊されてし

50

まうおそれがある。したがって、図5Aに示すように、多数の開口316、317を設けて、P型不純物領域311と導電膜314、およびN型不純物領域312と導電膜315とのコンタクト抵抗を小さくすることは、半導体膜310が多結晶半導体膜のような非単結晶膜の場合に特に有用である。

【0051】

なお、本実施形態で示す他のPIN型ダイオードについても、P型不純物領域およびN型不純物領域をそれぞれ導電膜に電氣的に接続するための絶縁膜42に形成されている複数の開口は、ダイオード301の開口316、317と同様に形成されている。

【0052】

絶縁膜41、42は単層構造でも積層構造でもよい。絶縁膜41、42を構成する膜には、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化ゲルマニウム膜、窒化ゲルマニウム膜、酸化窒化ゲルマニウム膜、窒化酸化ゲルマニウム膜などのシリコンおよび/またはゲルマニウムを組成に含む絶縁膜を用いることができる。また、酸化アルミニウム、酸化タンタル、酸化ハフニウムなどの金属酸化物でなる絶縁膜、窒化アルミニウムなどの金属窒化物でなる絶縁膜、酸化窒化アルミニウムなどの金属酸化窒化物でなる絶縁膜、窒化酸化アルミニウムなどの金属窒化酸化物でなる絶縁膜を用いることもできる。さらに、有機化合物でなる絶縁膜を用いることもできる。このような有機化合物膜としては、アクリル、ポリイミド、ポリアミド、ポリイミドアミド、ベンゾシクロブテンなどがある。

10

【0053】

これら絶縁膜の形成方法の代表例は次の方法があり、PECVD(プラズマ励起CVD)法・熱CVD法などのCVD法(化学気相成長法)、スパッタ法・蒸着法などのPVD法(物理気相成長法)、ALD法(原子層堆積法)、スピコート法・液滴吐出法・ディップコート法などの液体状またはペースト状の材料から膜を形成する方法、ならびに、プラズマや熱などによる固相酸化処理および固相窒化処理などがある。

20

【0054】

なお、本明細書では、酸化窒化物とは、窒素よりも酸素の含有量が多い物質であり、窒化酸化物とは酸素よりも窒素の含有量が多い物質である。例えば、酸化窒化シリコンとしては、組成としてO、N、SiおよびHを含み、それぞれの濃度が、Oは50-70原子%、Nは0.5-15原子%、Siは25-35原子%、Hは0.1-10原子%である物質が挙げられる。また、窒化酸化シリコンとしては、組成としてO、N、SiおよびHを含み、それぞれの濃度が、Oは5-30原子%、Nは20-55原子%、Siは25-35原子%、Hが10-25原子%である物質が挙げられる。なお、各元素の濃度は、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)、および水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した値である。もちろん、物質を構成する元素の濃度の合計は100原子%を越えず、各元素の濃度の合計を100原子%としたときに、O、N、SiおよびHの濃度は、それぞれ、上記の範囲にある。

30

【0055】

また、導電膜314、315はそれぞれ、単層構造または積層構造でもよい。導電膜314、315を構成する膜には、例えば、タンタル、タングステン、チタン、モリブデン、アルミニウム、クロム、ニオブ、金、銀、銅、プラチナ等から選択された単体金属を主成分とする金属膜、合金膜、および金属化合物膜などがある。例えば、金属膜には、銅膜、Siなどを添加したアルミニウム膜がある。合金膜には、アルミニウム-銅合金膜、アルミニウム-ネオジム合金膜がある。金属化合物膜には、窒化チタン膜、窒化タングステン膜などの金属窒化物膜、ニッケルシリサイド膜、コバルトシリサイド膜などのシリサイド膜がある。これらの導電膜は、スパッタ法・蒸着法などのPVD法、印刷法・液滴吐出法・ディップコート法などの液体状またはペースト状の材料から膜を形成する方法、ハンダ法、ならびに、メッキ法などで形成することができる。

40

【0056】

50

以下、図面を参照して、保護回路104に適用されるPIN型ダイオードの他の形態を説明する。以下の説明では、ダイオード301と異なる構成を中心に説明し、他の構成は、ダイオード301と同様とする。

【0057】

まず、図6A、図6Bおよび図7を参照して、PIN型ダイオードの第2の形態を説明する。図6Aは、PIN型ダイオード302の平面図であり、図6Bは、PIN型ダイオード302の半導体膜の平面図であり、図7は、図6AのA3-A4線による断面図である。

【0058】

PIN型ダイオード302（以下、「ダイオード302」と呼ぶ。）は、ダイオード301と同様なPIN型ダイオードであり、半導体膜320を有する。半導体膜320には、P型不純物領域321、高抵抗領域323およびN型不純物領域322が横方向に隣接して設けられている。ダイオード301とダイオード302の異なる点は、ダイオード301ではP型不純物領域311と高抵抗領域313との接合部、およびN型不純物領域312と高抵抗領域313との接合部が平面配置では、直線状であるのに対して、ダイオード302では、それぞれの接合部が、平面配置で、四角波状に屈曲している点である。このような構成により、P型不純物領域321と高抵抗領域323との接合面積、N型不純物領域322と高抵抗領域323との接合面積をそれぞれ拡大することができる。

10

【0059】

図7に示すように、ダイオード302は、絶縁膜41上に半導体膜320を有する。半導体膜320上に絶縁膜42が形成されている。

20

【0060】

図6Bに示すように、高抵抗領域323は、P型不純物領域321とN型不純物領域322の間に形成されており、その平面形状はメアング状となっている。他方、P型不純物領域321およびN型不純物領域322の平面形状は、複数のL字型の領域が連結された櫛状の領域である。また、P型不純物領域321の凹部に嵌合するようにN型不純物領域322の凸部が設けられて、P型不純物領域321およびN型不純物領域322は所定の間隔W2を隔てて隣接して形成されている。

【0061】

図6Aに示すように、ダイオード301と同様に、絶縁膜42には、P型不純物領域321およびN型不純物領域322に対して複数の開口326、327が形成されている。絶縁膜42上に導電膜324、325が形成されている。導電膜324は開口326においてP型不純物領域321に電氣的に接続され、導電膜325は開口327においてN型不純物領域322に電氣的に接続されている。導電膜324の端部324a、および導電膜325の端部325aの一方が第1端子101に電氣的に接続され、他方が第2端子102に電氣的に接続される。

30

【0062】

以下、図8A、図8Bおよび図9を参照して、PIN型ダイオードの第3の形態を説明する。図8AはPIN型ダイオード303の平面図であり、図8Bは、PIN型ダイオード303の平面図であり、図9は、図8AのA5-A6線による断面図である。

40

【0063】

図9に示すように、PIN型ダイオード303（以下、「ダイオード303」と呼ぶ。）は、絶縁膜41上に半導体膜330を有する。半導体膜330には、P型不純物領域331、N型不純物領域332および高抵抗領域333が形成されている。P型不純物領域331とN型不純物領域332の間に高抵抗領域333が形成されており、その平面形状はメアング状となっている。

【0064】

図8Aに示すように、P型不純物領域331は半導体膜330の端部を含み、かつ半導体膜330の中央部に設けられている。その平面形状は、複数のT字型の領域が連結された双歯の櫛状である。N型不純物領域332は半導体膜330の端部を含み、かつP型不

50

純物領域 331 を取り囲むように形成されている。P 型不純物領域 331 と隣接する側は、複数の L 字を連結した櫛歯状（凹凸状）となっている。N 型不純物領域 332 には P 型不純物領域 331 の凹部に嵌合するような凸部を有している。P 型不純物領域 331 および N 型不純物領域 332 は所定の間隔 W3 を隔てて隣接して形成されている。

【0065】

ダイオード 303 では、P 型不純物領域 331 と高抵抗領域 333 との接合部、ならびに N 型不純物領域 332 と高抵抗領域 333 との接合部が、平面配置で、矩形波状に屈曲しており、かつ P 型不純物領域 331 を取り囲むように N 型不純物領域 332 が設けられていることで、それぞれの領域の接合面積を拡大することができる。なお、P 型不純物領域 331 と N 型不純物領域 332 の位置を入れ替えることができる。

10

【0066】

図 9 に示すように、絶縁膜 42 上に導電膜 334、335 が形成されている。また図 8A に示すように、P 型不純物領域 331 および N 型不純物領域 332 に対して複数の開口 336、337 が絶縁膜 42 に形成されている。導電膜 334 は開口 336 において P 型不純物領域 331 に電氣的に接続され、導電膜 335 は開口 337 において N 型不純物領域 332 に電氣的に接続されている。導電膜 334 の端部 334a、および導電膜 335 の端部 335a の一方が第 1 端子 101 に電氣的に接続され、他方が第 2 端子 102 に電氣的に接続されている。

【0067】

本実施形態は、他の実施形態と適宜組み合わせることが可能である。例えば、導電膜 314、315、絶縁膜 41、42 などの膜の種類、膜の形成方法などは、他の実施形態の導電膜、絶縁膜に適用することができる。

20

【0068】

（実施形態 3）

本実施形態では、保護回路 104 の具体例を説明する。本実施形態では、絶縁膜を介して対向する一对の導電膜（または半導体膜）を含む放電回路により保護回路を構成する。

【0069】

図 10A、および図 10B を参照して、本実施形態の放電回路 308 を説明する。図 10A は、放電回路 308 の平面図であり、図 10B は、放電回路 308 の断面であり、図 10A の A11 - A12 線による断面図である。

30

【0070】

放電回路 308 は、回路 103 と同一の基板 30 上に形成される。図 10B に示すように、絶縁膜 41 上に半導体膜 381 が形成され、半導体膜 381 上に絶縁膜 43 が形成されている。半導体膜 381 は、半導体装置 100 の他の半導体膜および導電膜に電氣的に接続されていなく、電氣的にフローティングの状態である。例えば、半導体膜 381 は、回路 103 を構成するトランジスタの半導体膜と同じ工程で形成することができる。また絶縁膜 43 は、このトランジスタのゲート絶縁膜から形成することができる。

【0071】

絶縁膜 43 を介して、半導体膜 381 と重なるように一对の導電膜 382、導電膜 383 が形成されている。導電膜 382、383 を覆って絶縁膜 44 が形成されている。導電膜 382 および導電膜 383 の一方が第 1 端子 101 に電氣的に接続され、他方が第 2 端子 102 に電氣的に接続される。導電膜 382 の端部 382a および導電膜 383 の端部 383a は電界が集中しやすいように尖っている。これら端部 382a、383a は、絶縁膜 44 を介して近接し、かつ絶縁膜 43 を介して半導体膜 381 と重なっている。

40

【0072】

例えば、ESD などにより、導電膜 382 に過剰な電圧が印加されると、端部 382a と端部 383a 間の電位差が大きくなり、絶縁膜 43 および / または絶縁膜 44 のブレークダウンやトンネル効果などが生じて、導電膜 382 の端部 382a と導電膜 383 の端部 383a 間で電荷が移動できるようになる。つまり、導電膜 382 の端部 382a と導電膜 383 の端部 383a 間で放電が生じることになる。この放電が生じることで、第 1

50

端子101と第2端子102が導通され、回路103に過剰な電圧が印加されることを防ぐことができる。

【0073】

半導体膜381は、導電膜382の端部382aと導電膜383の端部383a間で放電を生じさせるためには必ずしも必要ないが、設けることが好ましい。半導体膜381が存在することで、存在しない場合よりも小さな電圧で絶縁膜43にトンネル効果が現れるので、導電膜382の端部382aと導電膜383の端部383a間での放電が誘起されやすくなるからである。

【0074】

なお、導電膜382、および導電膜383には、先の尖った端部を複数設けることができる。図10Cに、このような複数の端部を有する放電回路309の構成例を示す。図10Cに示すように、導電膜392には、先の尖った3つの端部392aが設けられ、導電膜393には先の尖った3つの端部393aが設けられている。放電回路308と同様に、3つの端部392aと3つの端部393aは、絶縁膜44を介して対向し、かつ絶縁膜43を介して半導体膜381に重なるように形成されている。

10

【0075】

(実施形態4)

本実施形態では、半導体装置の具体例として光検出装置について説明する。まず、図11 - 図13を用いて、光検出装置の構成を説明する。図11は、本実施形態の光検出装置400の回路図である。図12は光検出装置のレイアウトを説明する平面図である。図13は、光検出装置の積層構造を説明する断面図である。

20

【0076】

図11に示すように、本実施形態の光検出装置400は、高電源電位VDDが供給される電源端子401、低電源電位VSSが供給される電源端子402、増幅回路403、フォトダイオード404、およびダイオード405を有する。増幅回路403は、接続配線411により電源端子401に電氣的に接続され、接続配線412により電源端子402に電氣的に接続されている。光検出装置400では、電源端子402に供給される低電源電位VSSを接地電位GNDとすることもできる。

【0077】

フォトダイオード404は受光した光を電気信号に変換する光電変換素子である。光電変換素子として、フォトダイオード404の代わりに、フォトトランジスタを設けてもよい。増幅回路403は、フォトダイオード404の出力電流を増幅するための回路であり、ここでは、カレントミラー回路で構成している。このカレントミラー回路は、1つのトランジスタ407と、並列に接続された複数のトランジスタ408を有する。トランジスタ408の数に応じて、トランジスタ407を流れる電流の増幅率が調節される。よって、フォトダイオード404の出力を100倍にするには、例えば、1つのトランジスタ407に対して、100個のトランジスタ408を並列に接続する。

30

【0078】

本実施形態では、増幅回路403のトランジスタ407およびトランジスタ408は共にnチャネル型トランジスタとする。トランジスタ407および複数のトランジスタ408の各ドレインは、電源端子402に電氣的に接続されている。トランジスタ407のソースはフォトダイオード404のアノードに電氣的に接続され、複数のトランジスタ408の各ソースは電源端子401に電氣的に接続されている。なお、トランジスタ407、408を共にpチャネル型トランジスタとすることもできる。

40

【0079】

また、増幅回路403の代わりに、フォトダイオード404の出力電流を減衰する減衰回路を設けてもよい。この減衰回路はカレントミラー回路で構成することができる。このようなカレントミラー回路は、トランジスタ407の数をトランジスタ408よりも多くすればよい。例えば、フォトダイオード404の出力を1/100に減衰するには、100個の並列接続されたトランジスタ407に対して、1つのトランジスタ408を設けれ

50

ばよい。

【0080】

光検出装置400は、保護回路としてダイオード405を有する。ダイオード405は、電源端子401と電源端子402の間に挿入され、ダイオード405のカソードが電源端子401に電氣的に接続され、そのアノードが電源端子402に電氣的に接続されている。ESDなどにより、電源端子401および/または電源端子402に過剰な電圧が印加された場合、ダイオード405により電源端子401と電源端子402が短絡され、増幅回路403、およびフォトダイオード404に過剰な電圧が印加されることを防いでいる。

【0081】

次に、図12を参照して、本実施形態の光検出装置400の平面配置を説明する。本実施形態では、実施形態1の第1配線110および第2配線120を、それぞれ、接続配線411、412に適用し、実施形態2のダイオード301(図5A-図5C参照)をダイオード405に適用している。なお、図12には、増幅回路403のトランジスタ407、408を構成する半導体膜、フォトダイオード404を構成する半導体膜、ダイオード405を構成する半導体膜、および第1層目-第3層目の導電膜が図示されている。光検出装置400は、電源端子401、402を構成する第4層目の導電膜をさらに有する。

【0082】

導電膜520は、第1層目の導電膜である。導電膜520は、増幅回路403のトランジスタ407、およびトランジスタ408のゲート配線(ゲート電極)を構成する。導電膜520の下方には、絶縁膜を介して、トランジスタ407、およびトランジスタ408を構成する1つの半導体膜が形成されている。

【0083】

導電膜520上には、絶縁膜を介して第2層目の導電膜が形成されている。ここでは、第2層目の導電膜として、4つの導電膜531-534が形成されている。導電膜531は、トランジスタ408のドレイン配線、およびダイオード405のカソードを構成する。導電膜532は、トランジスタ407およびトランジスタ408それぞれのソース配線を構成する。導電膜533はトランジスタ407のドレイン電極を構成し、導電膜533によって、トランジスタ407のゲート電極はドレイン電極に電氣的に接続される。導電膜534は、フォトダイオード404と増幅回路403を電氣的に接続するための電極を構成する。また、導電膜534は、絶縁膜に形成された複数の開口535において、第1層目の導電膜520に電氣的に接続されており、このことによりトランジスタ407、およびトランジスタ408の各ゲート電極(ゲート配線)がフォトダイオード404のアノードに電氣的に接続される。

【0084】

また、導電膜531、532の一方の端部の下方には、絶縁膜を介して、ダイオード405を構成する半導体膜(図12に図示せず)が形成されている。

【0085】

第2層目の導電膜534上には光電変換層540が形成されている。光電変換層540はフォトダイオード404を構成する。光電変換層540は導電膜534に接して形成されている。

【0086】

第2層目の導電膜531-534および光電変換層540を覆う絶縁膜が形成され、この絶縁膜上に第3層目の導電膜として、導電膜551および導電膜552が形成されている。この絶縁膜には、複数の開口581-585が形成されている。導電膜551は、複数の開口581において光電変換層540に電氣的に接続され、複数の開口582および開口583において導電膜531に電氣的に接続されている。また、導電膜552は、複数の開口584および開口585により、導電膜532に電氣的に接続されている。

【0087】

光検出装置400は、さらに、4層目の導電膜を有する。図13に示すように、4層目

10

20

30

40

50

の導電膜は、電源端子401および電源端子402を構成する。本実施形態では、電源端子401、402は4層構造の導電膜で形成されている、電源端子401は、導電膜551に電氣的に接続され、電源端子402は導電膜552に電氣的に接続されている。

#### 【0088】

なお、図13は光検出装置400を構成する膜の積層構造、および異なる層に形成された各導電膜の電氣的な接続を説明するための断面図であり、図12の平面図を特定の切断線で切断した断面図ではないことを断っておく。図13において、a - b間には、第2層目、第3層目の導電膜と電源端子402との電氣的な接続構造を主として図示している。b - c間には、増幅回路403の断面として、代表的にトランジスタ408を図示している。c - d間には、第2層目、第3層目の導電膜と電源端子401との電氣的な接続構造、ならびに、フォトダイオード404およびダイオード405の断面構造を主として図示している。

10

#### 【0089】

本実施形態では、集積回路（増幅回路403およびフォトダイオード404）が形成される基板にガラス基板500が用いられる。ガラス基板500を通過した光420がフォトダイオード404に入射すると、フォトダイオード404は光を電気信号に変換する。この電気信号は増幅回路403で増幅されて、電源端子401と電源端子402間を流れる電流として、光検出装置400から出力される。本実施形態では、ガラス基板500の光420が入射する側に、所定の波長域の光を選択的に透過させるための着色層（カラーフィルター層）を形成することができる。着色層としては、例えば、顔料を分散させた樹脂層などを用いることができる。

20

#### 【0090】

次に、光検出装置400の作製方法、および光検出装置400の断面構造を説明する。まず、図14A - 図15Dの断面図、図20A、図20Bおよび図21の平面図を用いて、トランジスタ407、408およびダイオード405の作製方法を説明する。

#### 【0091】

まず、ガラス基板500を用意する。ガラス基板500は無アルカリガラス基板が好ましい。無アルカリガラス基板には、例えば、アルミノシリケートガラス基板、アルミノホウケイ酸ガラス基板、バリウムホウケイ酸ガラス基板などがある。ガラス基板500の代わりに、石英基板を用いることができる。

30

#### 【0092】

次に、ガラス基板500上に、厚さ50 - 300 nmの下地絶縁膜を形成する。ここでは、図14Aに示すように、下地絶縁膜として窒化酸化シリコン膜501および酸化窒化シリコン膜502でなる2層構造の絶縁膜を形成する。次に、ダイオード405、トランジスタ407、およびトランジスタ408の半導体膜を形成するために、厚さ20 - 100 nmの非晶質シリコン膜503を下地絶縁膜上に形成する。

#### 【0093】

下地絶縁膜は、ガラス基板500に含まれるアルカリ金属（代表的にはNa）やアルカリ土類金属が拡散して、トランジスタなどの半導体素子の電氣的特性に悪影響を及ぼすのを防ぐために設けられる。下地絶縁膜は、単層構造でも積層構造でもよいが、少なくとも1層アルカリ金属およびアルカリ土類金属の拡散を防止するためのバリア膜を設けることが望ましい。本実施形態では、バリア膜として窒化酸化シリコン膜501を設けている。バリア膜としては、窒化酸化シリコン膜などの窒化酸化物膜、および窒化シリコン膜、窒化アルミニウム膜などの窒化物膜が好適である。トランジスタ407、408を構成する半導体膜と下地絶縁膜との界面準位密度を低減するために、この半導体膜と窒化酸化シリコン膜501の間に酸化窒化シリコン膜502が形成されている。

40

#### 【0094】

本実施形態では、厚さ140 nmの窒化酸化シリコン膜501、厚さ100 nmの酸化窒化シリコン膜502および厚さ50 nmの非晶質シリコン膜503を、1台のPECVD装置で連続して形成する。窒化酸化シリコン膜501のソースガスはSiH<sub>4</sub>、N<sub>2</sub>O

50

、 $\text{NH}_3$  および  $\text{H}_2$  である。酸化窒化シリコン膜 502 のソースガスは  $\text{SiH}_4$  および  $\text{N}_2\text{O}$  である。非晶質シリコン膜 503 のソースガスは  $\text{SiH}_4$  および  $\text{H}_2$  である。ソースガスを変えることで、1つのチャンパー内で3つの膜を連続して形成することができる。

【0095】

本実施形態では、トランジスタ 407、408 およびダイオード 405 を結晶性半導体膜で形成する。そのため、非晶質半導体膜を結晶化し、結晶性半導体膜を形成する。半導体膜の結晶化方法には、ランプアニール装置や炉を用いた固相成長方法、レーザ光を照射して半導体膜を溶融させて結晶化させるレーザ結晶化方法などを用いることができる。

【0096】

ここでは、下地絶縁膜上に非晶質シリコン膜 503 を形成し、この非晶質シリコン膜 503 を固相成長させて結晶化して、結晶性シリコン膜 504 を形成する（図 14A、図 14B 参照）。ここでは、600 以下の加熱温度で、短時間で非晶質シリコン膜 503 を固相成長させるため、非晶質シリコン膜 503 に金属元素を添加している。以下に、非晶質シリコン膜 503 の結晶化方法について具体的に説明する。

【0097】

まず、非晶質シリコン膜 503 の表面をオゾン水で処理して、極薄い（数 nm 程度）の酸化膜を形成し、非晶質シリコン膜 503 表面の濡れ性を向上させる。次で、重量換算で 10 ppm のニッケルを含む酢酸ニッケル溶液を、スピナーで非晶質シリコン膜 503 の表面に塗布する。

【0098】

次に、炉において、非晶質シリコン膜 503 を加熱して、結晶性シリコン膜 504 を形成する。この非晶質シリコン膜 503 を結晶化させるには、例えば、500、1時間の加熱処理を行い、引き続き 550、4時間の加熱処理を行えばよい。ニッケルの触媒的な作用により、短時間、かつ低温で結晶性シリコン膜 504 を形成することができる。また、ニッケルの触媒的な作用により、結晶粒界に不対結合が少ない結晶性シリコン膜 504 を形成することができる。シリコンの結晶化を助長する金属元素としては、Ni の他、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt などがある。

【0099】

これらの金属元素を非晶質シリコン膜 503 に導入する方法には、これらの金属元素の溶液を塗布する方法の他に、金属元素を主成分とする膜を非晶質シリコン膜 503 表面に形成する、プラズマドーピング法などにより金属元素を非晶質シリコン膜 503 に添加する方法などがある。

【0100】

次に、結晶性シリコン膜 504 の結晶欠陥を修復する、結晶性シリコン膜 504 の結晶化率を向上させるため、結晶性シリコン膜 504 にレーザ光を照射する。レーザ光は波長 400 nm 以下のビームが好ましい。このようなレーザ光には、例えば、XeCl エキシマレーザ光（XeCl：波長 308 nm）、YAG レーザの第 2 高調波又は第 3 高調波などがある。レーザ光を照射する前に、結晶性シリコン膜 504 の表面に形成されている酸化膜を希フッ酸などで除去することが好ましい。

【0101】

本実施形態では、結晶化のために導入したニッケルを結晶性シリコン膜 504 からゲッタリングするための処理を行う。ゲッタリング処理を行うのは、ニッケルは非晶質シリコン膜 503 の結晶化には有用であるが、ニッケルが結晶性シリコン膜 504 に高濃度存在していると、トランジスタ 407、408 のリーク電流を増加させるなど、トランジスタ 407、408 の電気的特性を低下させる要因になるからである。以下、ゲッタリング処理の一例を説明する。

【0102】

まず、オゾン水で結晶性シリコン膜 504 の表面を 120 秒程度処理して、結晶性シリコン膜 504 表面に厚さ 1 - 10 nm 程度の酸化膜を形成する。オゾン水による表面処理の代わりに、UV 光を照射してもよい。次に、酸化膜を介して、結晶性シリコン膜 504

10

20

30

40

50

表面に Ar を含む非晶質シリコン膜を厚さ 10 - 400 nm 程度形成する。この非晶質シリコン膜中の Ar の濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$  以上  $1 \times 10^{22} \text{ atoms/cm}^3$  以下が好ましい。また、Ar の代わりに、他の第 18 族元素を非晶質シリコン膜に添加してもよい。

#### 【0103】

第 18 族元素を非晶質シリコン膜に添加する目的は、非晶質シリコン膜に歪みを与えて、非晶質シリコン膜中にゲッターリングサイトを形成することである。第 18 族元素の添加により歪みが生じる原因は 2 種類ある。1 つは、第 18 族元素の添加により結晶にダングリングボンドが形成されることによるものであり、もう 1 つは、結晶格子間に第 18 族元素が添加されることによるものである。

10

#### 【0104】

例えば、PECVD 法で、Ar を含む非晶質シリコン膜（以下、「Ar : a - Si 膜」と呼ぶ。）を形成するには、 $\text{SiH}_4$ 、 $\text{H}_2$  および Ar をソースガスに用いればよい。Ar に対する  $\text{SiH}_4$  の流量比 ( $\text{SiH}_4 / \text{Ar}$ ) が  $1/999$  以上  $1/9$  以下とすることが好ましい。また、プロセス温度は 300 - 500 が好ましい。ソースガスを励起させるための RF パワー密度は、 $0.0017 \text{ W/cm}^2$  以上  $0.48 \text{ W/cm}^2$  以下とすることが好ましい。プロセス圧力は、 $1.333 \text{ Pa}$  以上  $66.65 \text{ Pa}$  以下が好ましい。

#### 【0105】

例えば、スパッタリング法で、Ar : a - Si 膜を形成するには、ターゲットに単結晶シリコンを用い、スパッタ用ガスに Ar を用いればよい。Ar ガスをグロー放電させ、Ar イオンで単結晶シリコンターゲットをスパッタリングすることで、Ar を含んだ非晶質シリコン膜を形成することができる。非晶質シリコン膜中の Ar の濃度は、グロー放電させるためのパワー、圧力、温度などにより調節することができる。プロセス圧力は、 $0.1 \text{ Pa}$  以上  $5 \text{ Pa}$  以下とすればよい。圧力は低いほど、非晶質シリコン膜中の Ar の濃度を高くすることができ、 $1.5 \text{ Pa}$  以下が好ましい。Ar : a - Si 膜の成膜中にガラス基板 500 を特段加熱する必要はなく、プロセス温度を 300 以下とすることが好ましい。

20

#### 【0106】

Ar : a - Si 膜を形成した後、ゲッターリングのために、炉において、650、3 分の加熱処理を行う。この加熱処理により、結晶性シリコン膜 504 に含まれている Ni は Ar : a - Si 膜に析出し、捕獲される。この結果、結晶性シリコン膜 504 の Ni の濃度を低下させることができる。加熱処理の完了後、エッチング処理により Ar : a - Si 膜を除去する。このエッチング処理では、酸化膜がエッチングストップとして機能する。Ar : a - Si 膜を除去した後、結晶性シリコン膜 504 の表面の酸化膜を希フッ酸などで除去する。以上により、Ni が低減された結晶性シリコン膜 504 が形成される。

30

#### 【0107】

次に、結晶性シリコン膜 504 にアクセプタ元素を添加する。これは、トランジスタ 407、408 のしきい値電圧を制御するためである。例えば、アクセプタ元素としてボロンを用い、結晶性シリコン膜 504 に、 $1 \times 10^{16} - 5 \times 10^{17} \text{ atoms/cm}^3$  の濃度でボロンが含まれるよう添加する。

40

#### 【0108】

次いで、結晶性シリコン膜 504 上にレジストマスクを形成し、レジストマスクを用いて、結晶性シリコン膜 504 をエッチングして、図 14C に示すように、トランジスタ 407、408 を構成する半導体膜 511、およびダイオード 405 を構成する半導体膜 512 を形成する。図 20A に半導体膜 512 の平面図を示し、図 20B に半導体膜 511 の平面図を示す。

#### 【0109】

なお、図 20B に示すように、増幅回路 403 には、半導体膜 511 の他に、複数の半導体膜 513 が形成されている。なお、これらの半導体膜 513 はダミーの半導体膜であり、トランジスタ 407、408 を構成しない半導体膜である。半導体膜 513 を形成す

50

ること、半導体膜 5 1 1 の上方に導電膜の厚さを均一に形成する、この導電膜に対するエッチング処理を均一に行うなどの効果を得ることができる。

#### 【0110】

本実施形態では、半導体膜 5 1 1 - 5 1 3 をシリコン膜で形成したが、ゲルマニウム、シリコンゲルマニウム、炭化シリコンなど他の第 1 4 族でなる半導体膜で形成することができる。また、GaAs、InP、SiC、ZnSe、GaN、SiGeなどの化合物半導体膜、酸化亜鉛、酸化スズなどの酸化物半導体膜で形成することもできる。

#### 【0111】

次に、図 1 4 C に示すように、半導体膜 5 1 1 - 5 1 3 上にゲート絶縁膜を形成する。ここでは、ゲート絶縁膜として、厚さ 30 nm の酸化窒化シリコン膜 5 2 1 を形成する。この酸化窒化シリコン膜 5 2 1 は、PECVD 法で、ソースガスに SiH<sub>4</sub> および N<sub>2</sub>O を用いて形成される。

10

#### 【0112】

さらに、ゲート絶縁膜上に導電膜 5 2 0 を構成する導電膜として、厚さ 30 nm の窒化タンタル膜 5 0 5 と、厚さ 170 nm のタングステン膜 5 0 6 でなる 2 層構造の導電膜を形成する。窒化タンタル膜 5 0 5 とタングステン膜 5 0 6 はスパッタ法で形成される。窒化タンタル膜 5 0 5 とタングステン膜 5 0 6 の積層膜の代わりに、例えば、窒化タングステン膜とタングステン膜の積層膜、または窒化モリブデン膜とモリブデン膜の積層膜を形成することができる。本実施形態では、導電膜 5 2 0 を用いて、半導体膜 5 1 1 に自己整合的にソース領域、ドレイン領域および低濃度不純物領域を形成するため、上面から見た大きさが上層の導電膜の方が下層の導電膜よりも小さくなるようにする。そのため、下層の導電膜に対して上層の導電膜のレジスト 5 0 7 とのエッチング選択比が小さいことが望ましい。この点で、窒化タンタル膜 5 0 5 とタングステン膜 5 0 6 の積層膜は好ましい。

20

#### 【0113】

次に、タングステン膜 5 0 6 上に、レジストマスク 5 0 7 を形成する。このレジストマスク 5 0 7 を用いて、2 回のエッチング処理を行う。まず、図 1 4 D に示すように、レジストマスク 5 0 7 を用いて窒化タンタル膜 5 0 5 およびタングステン膜 5 0 6 をエッチングする。この 1 回目のエッチングで、窒化タンタル膜 5 0 5 およびタングステン膜 5 0 6 でなる積層膜の断面の形状は、テーパ状に加工される。このエッチング処理は、例えば、エッチング用ガスに CF<sub>4</sub>、Cl<sub>2</sub> および O<sub>2</sub> の混合ガスを用い、ICP (誘導結合型プラズマ) エッチング装置で行うことができる。

30

#### 【0114】

さらに、レジストマスク 5 0 7 を用い、図 1 4 E に示すように、上層のタングステン膜 5 0 6 を選択的にエッチングする。このエッチング処理は異方性エッチング処理であり、例えば、エッチング用ガスに Cl<sub>2</sub>、SF<sub>6</sub> および O<sub>2</sub> の混合ガスを用い、ICP エッチング装置で行うことができる。この 2 回のエッチング処理により、第 1 層目の導電膜 5 2 0 が形成される。導電膜 5 2 0 において、タングステン膜 5 0 6 の端部は、窒化タンタル膜 5 0 5 上面にあり、上面から見た場合、タングステン膜 5 0 6 の形状は、窒化タンタル膜 5 0 5 よりも小さい。図 2 1 に、導電膜 5 2 0 の平面図を示す。なお、図 2 1 には、半導体膜 5 1 1、5 1 3 も図示されている。

40

#### 【0115】

レジストマスク 5 0 7 を除去した後、半導体膜 5 1 2 の高抵抗領域および P 型不純物領域となる領域を覆って、レジストマスク 5 0 8 を形成する。次いで、半導体膜 5 1 1、5 1 2 にドナー元素を添加し、N 型の不純物領域を形成する。ここでは、ドナー元素としてリンを添加する。まず、半導体膜 5 1 1 に N 型の低濃度不純物領域を形成するため、低ドーズ量、高加速電圧の条件下で、半導体膜 5 1 1、5 1 2 にリンを添加する。リンのソースガスには PH<sub>3</sub> を用いることができる。この条件下では、導電膜 5 2 0 の窒化タンタル膜 5 0 5 およびタングステン膜 5 0 6 が積層している部分のみがマスクとして機能し、導電膜 5 2 0 の窒化タンタル膜 5 0 5 のみで構成されている部分はリンが通過し、半導体膜 5 1 1 に低濃度不純物領域 5 6 0 および低濃度不純物領域 5 6 1 が形成される。さらに、

50

半導体膜 5 1 2 にも低濃度不純物領域 5 6 2 が形成される。

【 0 1 1 6 】

次に、ソース領域およびドレイン領域を形成するため、高ドーズ量、低加速電圧の条件下でリンを添加する。この条件下では、導電膜 5 2 0 全体がマスクとして機能し、図 1 5 B に示すように、半導体膜 5 1 1 にドレイン領域 5 6 3、およびソース領域 5 6 4 が自己整合的に形成される。さらに、半導体膜 5 1 1 には、低濃度不純物領域 5 6 5、5 6 6 およびチャンネル形成領域 5 6 7 も自己整合的に形成される。他方、半導体膜 5 1 2 には N 型不純物領域 5 6 8 が形成される。

【 0 1 1 7 】

レジストマスク 5 0 8 を除去した後、図 1 5 C に示すように、半導体膜 5 1 1 全体、ならびに半導体膜 5 1 2 の高抵抗領域および N 型不純物領域となる領域を覆って、レジストマスク 5 0 9 を形成する。次いで、半導体膜 5 1 2 にアクセプタ元素を添加し、P 型の不純物領域を形成する。ここでは、アクセプタ元素としてボロンを添加する。ボロンのソースガスには  $B_2H_6$  を用いることができる。高ドーズ量、低加速電圧の条件下でボロンを添加することで、半導体膜 5 1 2 に P 型不純物領域 5 6 9 が形成される。また、図 1 5 A - 図 1 5 C の不純物元素の添加工程で、ドナー元素およびアクセプタ元素を添加しなかった領域は、高抵抗領域 5 7 0 となる。

10

【 0 1 1 8 】

レジストマスク 5 0 9 を除去した後、酸化窒化シリコン膜 5 2 1 および導電膜 5 2 0 を覆ってガラス基板 5 0 0 上に第 1 層目の層間絶縁膜を形成する。本実施形態では、この層間絶縁膜を 3 層構造としている。図 1 5 D に示すように、1 層目は、厚さ 3 0 n m の酸化窒化シリコン膜 5 2 2 であり、2 層目は厚さ 1 6 5 n m の窒化酸化シリコン膜 5 2 3 であり、3 層目は厚さ 6 0 0 n m の酸化窒化シリコン膜 5 2 4 である。これらの膜 5 2 2 - 5 2 4 は、PECVD 装置で形成される。

20

【 0 1 1 9 】

まず、 $SiH_4$  および  $N_2O$  をソースガスに用いて、酸化窒化シリコン膜 5 2 2 を形成する。そして、加熱処理を行い、半導体膜 5 1 1、5 1 2 に添加したリンおよびボロンを活性化する。この加熱処理の完了後、PECVD 装置で窒化酸化シリコン膜 5 2 3、および酸化窒化シリコン膜 5 2 4 を形成する。窒化酸化シリコン膜 5 2 3 のソースガスには、 $SiH_4$ 、 $N_2O$ 、 $NH_3$  および  $H_2$  を用い、窒化酸化シリコン膜 5 2 3 中の水素濃度が高くなるようにする。酸化窒化シリコン膜 5 2 4 のソースガスには  $SiH_4$  および  $N_2O$  が用いられる。酸化窒化シリコン膜 5 2 4 の形成後、加熱処理を行い、窒化酸化シリコン膜 5 2 3 の水素を拡散させ、半導体膜 5 1 1、5 1 2 の不対結合手を水素により終端させる。この加熱処理は、3 0 0 - 5 5 0 の温度で行うことができる。

30

【 0 1 2 0 】

以降の工程は、図 1 6 A - 図 1 9 の断面図、および図 2 2 - 図 2 4 の平面図を用いて説明する。なお、図 1 6 A - 図 1 9 の図示の方法は、図 1 3 と同様である。

【 0 1 2 1 】

レジストのマスクを用いて、酸化窒化シリコン膜 5 2 1、酸化窒化シリコン膜 5 2 2、窒化酸化シリコン膜 5 2 3 および酸化窒化シリコン膜 5 2 4 でなる積層膜をエッチングして、コンタクトホールとなる開口を形成する。開口を形成する部分は、導電膜 5 3 1 と半導体膜 5 1 1 のドレイン領域 5 6 3 との接続部、導電膜 5 3 2 と半導体膜 5 1 1 のソース領域 5 6 4 との接続部、導電膜 5 3 3 と導電膜 5 2 0 の接続部、導電膜 5 3 4 と導電膜 5 2 0 との接続部、導電膜 5 3 1 と半導体膜 5 1 2 の N 型不純物領域 5 6 8 との接続部、導電膜 5 3 2 と半導体膜 5 1 2 の P 型不純物領域 5 6 9 との接続部である。図 2 2 A に、積層膜 (5 2 1 - 5 2 4) に形成される開口のうち、半導体膜 5 1 2 との接続部を構成する開口のレイアウトを示す。図 2 2 B は図 2 2 A の部分拡大図であり、図 2 2 A の一点鎖線で囲んだ領域の拡大図である。

40

【 0 1 2 2 】

図 2 2 A および図 2 2 B に示すように、N 型不純物領域 5 6 8 を導電膜 5 3 1 に電氣的

50

に接続するために、複数の開口 5 3 6 が N 型不純物領域 5 6 8 全体に形成されている。同様に、P 型不純物領域 5 6 9 を導電膜 5 3 2 に電氣的に接続するために、複数の開口 5 3 7 が P 型不純物領域 5 6 9 全体に形成されている。このように、開口 5 3 6、5 3 7 を形成することにより、N 型不純物領域 5 6 8 と導電膜 5 3 1 との接続抵抗、および P 型不純物領域 5 6 9 と導電膜 5 3 2 との接続抵抗を小さくし、ESD 発生時に、ダイオード 4 0 5 が保護回路として十分に機能するようにしている。

#### 【0123】

次に、酸化窒化シリコン膜 5 2 4 上に、第 2 層目の導電膜 5 3 1 - 5 3 4 を構成する導電膜を形成する。ここでは、スパッタ法で厚さ 4 0 0 nm のチタン膜を形成する。このチタン膜上にレジストのマスクを形成し、このマスクを用いてチタン膜をエッチングして、導電膜 5 3 1 - 5 3 4 を形成する（図 1 6 A 参照）。図 2 3 に、第 2 層目の導電膜 5 3 1 - 5 3 4 の平面図を示す。

10

#### 【0124】

本実施形態では、導電膜 5 3 1、5 3 2 に実施形態 1 の導電膜 2 1 1 を適用している（図 3 参照）。導電膜 5 3 1 は、増幅回路 4 0 3 を電源端子 4 0 1 に電氣的に接続するための接続配線を構成し、導電膜 5 3 2 は、増幅回路 4 0 3 を電源端子 4 0 2 に電氣的に接続するための接続配線を構成する。導電膜 5 3 1、5 3 2 は、それぞれ、増幅回路 4 0 3 と複数の接続部（膜 5 2 1 - 5 2 4 に形成された開口に対応）を有する。本実施形態は、導電膜 2 1 1 と同様に、増幅回路 4 0 3 の電源端子 4 0 1 に対する初段の電氣的な複数の接続部と、電源端子 4 0 1 間の抵抗が等しくなるように導電膜 5 3 1 を形成している。また、導電膜 5 3 1 と同様に、増幅回路 4 0 3 の電源端子 4 0 2 に対する初段の電氣的な複数の接続部と電源端子 4 0 2 間の抵抗が等しくなるように、導電膜 5 3 2 を形成している。本実施形態では、増幅回路 4 0 3 は、電源端子 4 0 1、および電源端子 4 0 2 に対して複数の接続部を有するが、図 2 3 のような形状に導電膜 5 3 1、5 3 2 を形成することで、ESD によって、電源端子 4 0 1 および / または電源端子 4 0 2 に過大な電圧が印加されても、増幅回路 4 0 3 に印加される電圧が分散されるため、増幅回路 4 0 3 が ESD によって破壊される確率を抑えることができる。

20

#### 【0125】

なお、2 層目の導電膜 5 3 1 - 5 3 4、および 3 層目の導電膜 5 5 1、5 5 2 は、チタン、チタン合金、チタン化合物、モリブデン、モリブデン合金、またはモリブデン化合物でなる膜が好ましい。これらの導電性材料でなる膜は耐熱性が高いこと、シリコン膜との接触によって電蝕されにくいこと、マイグレーションが起こりにくいことなどの長所があるからである。

30

#### 【0126】

次に、図 1 6 A に示すように、酸化窒化シリコン膜 5 2 4 上に、フォトダイオード 4 0 4 を構成する光電変換層 5 4 0 を形成する。ここでは、光電変換層 5 4 0 として、PECVD 装置を用いて非晶質シリコン膜を形成する。また、光電変換層 5 4 0 に PIN 接合を設けるために、光電変換層 5 4 0 を P 型の導電性を示す層、I 型の導電性を示す層、および N 型の導電性を示す層でなる 3 層構造とする。なお、光電変換層 5 4 0 は、非晶質シリコン膜に限定されるものではなく、例えば、微結晶シリコン膜でもよいし、単結晶シリコン膜でもよい。

40

#### 【0127】

まず、導電膜 5 3 1 - 5 3 4 を覆って、PECVD 装置により厚さ 6 0 nm の P 型非晶質シリコン膜 5 4 1、厚さ 4 0 0 nm の I 型非晶質シリコン膜 5 4 2、および厚さ 8 0 nm の N 型非晶質シリコン膜 5 4 3 を連続して形成する。P 型非晶質シリコン膜 5 4 1 のソースガスに  $\text{SiH}_4$ 、 $\text{H}_2$  および  $\text{B}_2\text{H}_6$  を用いて、ボロンを添加する。また、I 型非晶質シリコン膜 5 4 2 のソースガスに  $\text{SiH}_4$  および  $\text{H}_2$  を用い、ドナーおよびアクセプタとなる不純物元素を意図的に添加しない非晶質シリコン膜を形成する。N 型非晶質シリコン膜 5 4 3 のソースガスに  $\text{SiH}_4$ 、 $\text{H}_2$  および  $\text{PH}_3$  を用いて、リンを添加する。次いで、レジストのマスクを用いて、非晶質シリコン膜 5 4 1 - 5 4 3 でなる積層膜をエッチ

50

ングして、光電変換層 540 を形成する（図 12、図 16A 参照）。

【0128】

ここでは、1枚のガラス基板 500 上には、複数の光検出装置 400 が同時に作製される。1枚のガラス基板 500 上に複数の光検出装置 400 が完成した後は、光検出装置 400 のサイズに合わせてガラス基板 500 を切断し、1つずつの光検出装置 400 に分割する。ここでは、分割した後の光検出装置 400 の側面を良好にパッシベーションするため、図 16B に示すように、光検出装置 400 の周囲 545（点線で示す部分）の酸化窒化シリコン膜 524 を除去する。この工程は、エッチング処理で行うことができる。

【0129】

次に、窒化酸化シリコン膜 523、酸化窒化シリコン膜 524、導電膜 531 - 534 および光電変換層 540 を覆って、第 2 層目の層間絶縁膜を形成する。ここでは、図 16C に示すように、厚さ 100 nm の窒化酸化シリコン膜 525 および厚さ 800 nm の酸化シリコン膜 526 なる 2 層の絶縁膜を形成する。

10

【0130】

窒化酸化シリコン膜 525 は、PECVD 装置でソースガスに  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$  および  $\text{H}_2$  を用いて形成する。窒化酸化シリコン膜 525 はパッシベーション膜として機能する。窒化酸化シリコン膜 525 の代わりに窒化シリコン膜を形成してもよい。窒化シリコン膜は PECVD 装置でソースガスに  $\text{SiH}_4$ 、 $\text{NH}_3$  および  $\text{H}_2$  を用いて形成することができる。また、酸化シリコン膜 526 は、ソースガスに、 $\text{O}_2$ 、およびテトラエトキシシラン（略称 TEOS、化学式  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）を用いて、PECVD 装置

20

【0131】

次に、レジストのマスクを用いて、窒化酸化シリコン膜 525 および酸化シリコン膜 526 なる積層膜をエッチングして、コンタクトホールとなる開口 581 - 585 を形成する（図 12 参照）。

【0132】

次に、酸化シリコン膜 526 上に、第 3 層目の導電膜 551、552 を構成する導電膜を形成する。ここでは、スパッタ法で厚さ 200 nm のチタン膜を形成する。このチタン膜上にレジストのマスクを形成し、このマスクを用いてチタン膜をエッチングして、導電

30

【0133】

次に、図 17B に示すように、窒化酸化シリコン膜 501 を残して、光検出装置 400 の周囲 546（点線で示す部分）から、絶縁膜（502、521 - 526）を除去する。この工程は、エッチング処理で行うことができる。このように、光検出装置 400 の周囲から絶縁膜を除去するのは、図 16B の工程で、酸化窒化シリコン膜 524 を除去したのと同様に、ガラス基板 500 を分割した後の光検出装置 400 の側面を良好にパッシベーションするためである。

【0134】

次に、図 18A に示すように、厚さ 100 nm の窒化酸化シリコン膜 527 を形成する。窒化酸化シリコン膜 527 は、PECVD 装置でソースガスに  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$  および  $\text{H}_2$  を用いて形成する。窒化酸化シリコン膜 527 はパッシベーション膜として機能する。窒化酸化シリコン膜 527 によって、3 層目の導電膜 551、552、および全ての絶縁膜（501、503、521 - 526）の露出している面が覆われる。したがって、増幅回路 403、フォトダイオード 404 およびダイオード 405 なる集積回路部は、ガラス基板 500 側はバリア層である窒化酸化シリコン膜 501 でパッシベーションされ、かつ、電源端子 401、402 が形成される側は窒化酸化シリコン膜 527 でパッシベーションされている。このような構造により、集積回路部に水分または有機物などの不純物の侵入を防ぐことができる。

40

【0135】

50

次に、図18Bに示すように、封止膜528を形成する。封止膜528により、集積回路部の上面および側面が封止される。封止膜528の厚さは1 $\mu$ m以上が好ましく、1-30 $\mu$ m程度とする。このように厚く形成するため、封止膜528は樹脂膜で形成することが好ましい。ここでは、印刷法により、感光性のエポキシ-フェノール系樹脂膜を形成することで、電源端子401、402との接続部に開口586、587(図24に図示)を有する封止膜528を形成する。

**【0136】**

次に、レジストのマスクを用いて窒化酸化シリコン膜527をエッチングし、導電膜551の電源端子401との接続部、および導電膜552の電源端子402との接続部を除去する(図19参照)。

10

**【0137】**

次に、封止膜528上に電源端子401、および電源端子402を形成する。図24に電源端子401、402の平面図を示す。図24には、第3層目の導電膜551、552、ならびに、導電膜551、552との接続部となる封止膜528に形成された開口586および開口587も図示している。

**【0138】**

本実施形態では、電源端子401、402を4層構造の導電膜で形成する。まず、図19に示すように、1層目の導電膜591、592をスクリーン印刷法などの印刷法で形成する。本実施形態では、ニッケル粒子を含む導電性ペーストを用いて、スクリーン印刷法により導電膜591、592をそれぞれ厚さ15 $\mu$ m程度に形成する。

20

**【0139】**

導電性ペーストは、樹脂でなるバインダーに金属粒子、または金属の粉体が分散している材料である。このような導電性ペーストを固化することで、導電性樹脂膜が形成される。よって、導電膜591、592は導電性樹脂膜で構成されているため、ハンダとの密着性に乏しい。そこで、電源端子401、402のハンダとの密着性を高めるため、導電膜591、592の上面にそれぞれ、メタルマスクを用いたスパッタ法で、所定の形状の導電膜を形成する。ここでは、図13に示すように、導電膜591、592上に、それぞれ、3層構造の導電膜を形成する。1層目の導電膜は厚さ150nmのチタン膜593、594であり、2層目の導電膜は厚さ750nmのニッケル膜595、596であり、3層目の導電膜は厚さ50nmのAu膜597、598である。以上の工程で、4層構造の電源端子401、402が完成する。

30

**【0140】**

次に、光検出装置400の周囲546(図17Bの点線で示す部分)で、ガラス基板500を切断し、1つずつの光検出装置400に分割する。ガラス基板500の切断は、ダイシング法、レーザカット法などを用いることができる。ガラス基板500を切断する前に、ガラス基板500の裏面を研磨または研削して、ガラス基板500を薄くすることもできる。この工程は、スパッタ法で導電膜(593-598)を形成する前に行うことが好ましい。ガラス基板500を薄くしておくことで、ガラス基板500を切断するために用いる切削工具の消耗を低減することができる。また、ガラス基板500を薄くすることで、光検出装置を薄くすることができる。例えば、0.5mm程度の厚さのガラス基板500を0.25mm程度に薄くすることができる。ガラス基板500を薄くした場合、ガラス基板500の裏面および側面を樹脂膜で覆い、ガラス基板500を保護することが好ましい。

40

**【0141】**

図25に、本実施形態の光検出装置400の外観図を示す。本実施形態では、1つの光検出装置400の大きさを、 $L1 \times L2 = 1.0 \text{ mm} \times 1.2 \text{ mm}$ 程度とすることができる(図24参照)。このように、本実施形態は、大きさが1mm $\times$ 1mm程度の小型な半導体装置に適用することが可能である。

**【0142】**

図25に示すように、本実施形態の光検出装置400は、外部の回路との接続部は電源

50

端子401、402であるので、ESDが発生した場合、電源端子401、402から高電圧が集積回路に印加されることになる。図11の回路図に示すように、増幅回路403の各トランジスタ408は、ドレインに高電源電位VDDが入力されるため、電源端子401に対して初段のトランジスタ408は特に高電圧に起因する破壊が懸念される。本実施形態では、導電膜531により、電源端子401と初段のトランジスタ408間の配線抵抗を均一にしているため、ESDによる過剰な電圧が印加されても、初段のトランジスタ408に印加される電圧が分散するため、初段のトランジスタ408が破壊される確率を低くすることができる。

#### 【0143】

本実施形態は、他の実施形態と適宜組み合わせることが可能である。例えば、ダイオード405として、実施形態2のダイオード301、または303を適用してもよい。また、保護回路として、ダイオード405の代わりに実施形態3の放電回路309を適用してもよい。

10

#### 【0144】

(実施形態5)

実施形態4では、半導体装置の作製時に使用したガラス基板を、その半導体装置自体の基板としてそのまま用いているが、半導体素子、端子などの作製が完了した後、ガラス基板から回路を分離して、回路を他の基板上に固定することができる。本実施形態では、その方法の一例を説明する。

#### 【0145】

まず、図26Aに示すように、ガラス基板500上に、PECVD法で、厚さ100nmの酸化窒化シリコン膜701を形成し、酸化窒化シリコン膜701上に、厚さ30nmのタングステン膜702をスパッタ法で形成する。タングステン膜702は剥離層として機能させる膜である。力を加えることで、集積回路の下地絶縁膜(311、312)とガラス基板500との間で剥離を容易に生じさせるために形成される。剥離層は、タングステン膜の他、モリブデン、チタン、タンタル、ニオブ、ニッケル、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、およびイリジウム等からなる金属膜で形成することができる。また、これらの金属元素を主成分とする合金膜で形成することができる。剥離層の厚さは20nm以上100nm以下にすればよい。

20

#### 【0146】

酸化窒化シリコン膜701は、剥離層とガラス基板500の密着性を向上させるために形成される。酸化窒化シリコン膜の他、スパッタ法またはPECVD法により、酸化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、金属酸化物膜などを形成することができる。

30

#### 【0147】

次に、他の部分よりも、下地絶縁膜とタングステン膜702の間で剥離が優先的に生じようようにするため、タングステン膜702の表面を酸化させる。タングステン膜702を酸化させる方法には、以下の方法がある。熱酸化処理、酸素またはN<sub>2</sub>Oプラズマによる表面処理、オゾン水などの酸化力の強い溶液による表面処理、タングステン膜702上にスパッタ法で酸化膜を形成する方法などがある。本実施形態では、スパッタ法で厚さ200nmの酸化シリコン膜を形成する方法を採用する。また、タングステン膜702の表面を酸化する代わりに、プラズマ処理や熱処理によって窒化することでも、下地絶縁膜とタングステン膜702の間で剥離を優先的に生じさせることができる。なお、剥離層としてタングステン膜以外の膜を形成した場合も、タングステン膜702と同様に、酸化処理または窒化処理を行えばよい。

40

#### 【0148】

次に、酸化シリコン膜703上に、図14Aと同様に、下地絶縁膜となる窒化酸化シリコン膜501および酸化窒化シリコン膜502、ならびに非晶質シリコン膜503を連続的に形成する(図26B参照)。

#### 【0149】

50

以降の工程を、実施形態4の作製方法と同様に行い、集積回路および電源端子401、402を完成させる。図26Cにおいて、参照符号710を付した部分は、酸化窒化シリコン膜502上に形成された増幅回路403、フォトダイオード404のカソード、ダイオード405および電源端子401、402を示している。以下、この部分を集積回路部710と呼ぶこととする。

#### 【0150】

次いで、図26Cに示すように、集積回路部710の上部に支持基板711を固定する。支持基板711には、ガラス基板、石英基板、金属基板、セラミックス基板、プラスチック基板などを用いることができる。支持基板711は、集積回路部710を別の基板に固定した後に除去される。そのため、集積回路部710から容易に分離できるように、支持基板711を固定する。本実施形態では、両面粘着シート713を用いて、集積回路部710に支持基板711を固定している。両面粘着シート713としては、シートの両面が剥離型粘着材で覆われているシートを用いる。剥離型粘着材とは、熱や光などにより粘着力が弱まる粘着材である。ここでは、熱剥離型粘着材を用いた両面粘着シート713を用いることにする。また、本実施形態では、支持基板711の固定を容易にするため、集積回路部710の上部に水溶性樹脂層712を形成して、集積回路部710の上面を平坦化している。

10

#### 【0151】

次に、図27Aに示すように、タングステン膜702と酸化シリコン膜703の間で剥離を生じさせて、集積回路部710をガラス基板500から分離する。本実施形態では、物理的な力を加える方法によって、集積回路部710とガラス基板500を分離することができる。力を加える手段としては、例えば、くさびなどの鋭利な先端を有する部材、人の手、ノズルから吹き付けられるガスの風圧などがある。これらの手段を用いることにより、集積回路部710をガラス基板500から剥離することができる。

20

#### 【0152】

次いで、ガラス基板500を分離することで露出された酸化シリコン膜703に、接着材715により、可撓性基板716を接着する(図27B参照)。接着材715には、反応硬化型接着材、熱硬化型接着材、紫外線硬化型接着材などの光硬化型接着材、嫌気硬化型接着材などの各種硬化型接着材を用いることができる。本実施形態では、接着材715としてエポキシ樹脂を用いる。また、可撓性基板716としては、ポリイミド、ポリエチレンナフタレート、ポリエチレンテレフタレートなどなる樹脂フィルムを用いることができる。

30

#### 【0153】

次に、集積回路部710から支持基板711を除去する。加熱することで、両面粘着シート713の粘着力を低下させて、両面粘着シート713共に、支持基板711を集積回路部710から除去する。次いで、純水で集積回路部710を洗浄することで、水溶性樹脂層712を溶解して、集積回路部710から除去する。次に、実施形態6と同様に、可撓性基板716を切断し、光検出装置ごとに集積回路部710を分割することで、光検出装置700が完成する。集積回路部710の製造に使用したガラス基板500を除去し、フィルムなどの可撓性基板716を用いることで、光検出装置の軽量化、薄型化が実現できる。以上の工程を経ることで、図28に示すように、集積回路部710が可撓性基板716に固定される。なお、図28の光検出装置700の断面構造の表し方は図13と同じである。

40

#### 【0154】

本実施形態は、他の実施形態と適宜組み合わせることが可能である。また、本実施形態は、光検出装置に限定されるものではなく、各種の半導体装置の作製方法に適用することができる。つまり、本実施形態により、撓めることができる様々な半導体装置を作製することができる。

#### 【0155】

(実施形態6)

50

実施形態4では、非晶質半導体膜を結晶化して形成した結晶性半導体膜を用いて集積回路を作製した。ガラス基板に単結晶半導体膜を形成し、この単結晶半導体膜を用いて集積回路を作製することができる。本実施形態では、ガラス基板上に単結晶半導体膜を形成する方法を説明する。

【0156】

図29Aに示すように、ガラス基板800を用意する。ガラス基板800は、単結晶半導体基板から分割された単結晶半導体層を支持する支持基板である。ガラス基板800には、熱膨張係数が $25 \times 10^{-7} /$ 以上 $50 \times 10^{-7} /$ 以下(好ましくは、 $30 \times 10^{-7} /$ 以上 $40 \times 10^{-7} /$ 以下)であり、歪み点が580以上680以下(好ましくは、600以上680以下)である基板を用いることが好ましい。また、半導体装置の汚染を抑えるため、ガラス基板は無アルカリガラス基板が好ましい。無アルカリガラス基板には、例えば、アルミノシリケートガラス基板、アルミノホウケイ酸ガラス基板、バリウムホウケイ酸ガラス基板などがある。

10

【0157】

また、ガラス基板800の代わりに、セラミック基板、石英基板やサファイア基板などの絶縁体でなる絶縁性基板、金属やステンレスなどの導電体でなる導電性基板、シリコンやガリウムヒ素など半導体でなる半導体基板などを用いることができる。

【0158】

図29Bに示すように、単結晶半導体基板801を用意する。単結晶半導体基板801から分離された半導体層をガラス基板800に貼り合わせることで、SOI基板が作製される。単結晶半導体基板801には、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコンなどの第14族元素でなる単結晶半導体基板を用いることができる。また、本実施形態では、ガラス基板800には、単結晶半導体基板801よりも大きいサイズの基板が用いられている。

20

【0159】

図29Cに示すように、単結晶半導体基板801上に絶縁膜802を形成する。絶縁膜802は単層構造、積層構造とすることができる。その厚さは5nm以上400nm以下とすることができる。絶縁膜802を構成する膜には、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ゲルマニウム、窒化ゲルマニウム、酸化窒化ゲルマニウム、窒化酸化ゲルマニウムなどのシリコンまたはゲルマニウムを組成に含む絶縁材料でなる膜を用いることができる。また、酸化アルミニウム、酸化タンタル、酸化ハフニウムなどの金属酸化物でなる絶縁膜、窒化アルミニウムなどの金属窒化物でなる絶縁膜、酸化窒化アルミニウムなどの金属の酸化窒化物でなる絶縁膜、窒化酸化アルミニウムなどの金属の窒化酸化物でなる絶縁膜を用いることもできる。絶縁膜802を構成する絶縁膜は、CVD法、スパッタ法、単結晶半導体基板801を酸化するまたは窒化するなどの方法により形成することができる。

30

【0160】

また、絶縁膜802には、不純物がガラス基板800から、単結晶半導体膜に拡散することを防止できるような膜を少なくとも1層設けることが好ましい。このような膜には、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、および窒化酸化アルミニウム膜などがある。このような膜を含ませることで、絶縁膜802をバリア層として機能させることができる。

40

【0161】

例えば、絶縁膜802を単層構造のバリア層として形成する場合、厚さ5nm以上200nm以下の窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜で、絶縁膜802を形成することができる。

【0162】

絶縁膜802を、バリア層として機能する2層構造の膜とする場合は、上層を、バリア機能の高い絶縁膜で構成する。このような膜は、厚さ5nm乃至200nmの窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などで

50

形成することができる。これらの膜は、不純物の拡散を防止するブロッキング効果が高いが、内部応力が高い。そのため、単結晶半導体基板 801 と接する下層の絶縁膜には、上層の絶縁膜の応力を緩和する効果のある膜を選択することが好ましい。このような絶縁膜には、酸化シリコン膜および酸化窒化シリコン膜、および単結晶半導体基板 801 を熱酸化して形成した熱酸化膜などがある。これらの絶縁膜の厚さは 5 nm 以上 300 nm 以下とすることができる。

#### 【0163】

本実施形態では、絶縁膜 802 を絶縁膜 802 a と絶縁膜 802 b でなる 2 層構造とする。絶縁膜 802 a として、ソースガスに  $\text{SiH}_4$  および  $\text{N}_2\text{O}$  を用いて PECVD 法により厚さ 100 nm の酸化窒化シリコン膜を形成し、絶縁膜 802 b として、ソースガス

10

#### 【0164】

次に、図 29D に示すように、絶縁膜 802 を介して、電界で加速されたイオンでなるイオンビーム 805 を単結晶半導体基板 801 に照射して、単結晶半導体基板 801 の表面から所定の深さの領域に、脆化層 803 を形成する。このイオン照射工程は、加速されたイオン種でなるイオンビーム 805 を単結晶半導体基板 801 に照射することで、イオン種を構成する元素を単結晶半導体基板 801 に添加する工程である。イオンビーム 805 を単結晶半導体基板 801 に照射すると、加速されたイオン種の衝撃により、単結晶半導体基板 801 の所定の深さに結晶構造が脆くなっている層が形成される。この層が脆化層 803 である。脆化層 803 が形成される領域の深さは、イオンビーム 805 の加速エネルギーとイオンビーム 805 の侵入角度によって調節することができる。加速エネルギーは加速電圧、ドーズ量などにより調節できる。イオンの平均侵入深さとほぼ同じ深さの領域に脆化層 803 が形成される。つまり、イオンが侵入する深さで、単結晶半導体基板 801 から分離される半導体層の厚さが決定される。脆化層 803 が形成される深さは 50 nm 以上 500 nm 以下であり、50 nm 以上 200 nm 以下が好ましい。

20

#### 【0165】

イオンビーム 805 を単結晶半導体基板 801 に照射するには、質量分離を伴うイオン注入法だけでなく、質量分離を伴わないイオンドーピング法で行うことができる。

#### 【0166】

ソースガスに水素 ( $\text{H}_2$ ) を用いる場合、水素ガスを励起して  $\text{H}^+$ 、 $\text{H}_2^+$ 、 $\text{H}_3^+$  を生成することができる。ソースガスから生成されるイオン種の割合は、プラズマの励起方法、プラズマを発生させる雰囲気圧力、ソースガスの供給量などを調節することで、変化させることができる。イオンドーピング法で脆化層 803 の形成を行う場合、 $\text{H}^+$ 、 $\text{H}_2^+$ 、 $\text{H}_3^+$  の総量に対して  $\text{H}_3^+$  が、70% 以上イオンビーム 805 に含まれるようにすることが好ましく、 $\text{H}_3^+$  の割合は 80% 以上がより好ましい。それは脆化層 803 を浅い領域に形成するためには、イオンの加速電圧を低くする必要はあるが、また、水素ガスを励起することで生成されたプラズマ中の  $\text{H}_3^+$  イオンの割合を高くすることで、原子状水素を効率よく、単結晶半導体基板 801 に添加することができるからである。

30

#### 【0167】

水素ガスを用いて、イオンドーピング法でイオン照射を行う場合、加速電圧 10 kV 以上 200 kV 以下、ドーズ量  $1 \times 10^{16}$  ions/cm<sup>2</sup> 以上  $6 \times 10^{16}$  ions/cm<sup>2</sup> 以下とすることができる。この条件で水素イオンを照射することで、イオンビーム 805 に含まれるイオン種、およびその割合にもよるが、脆化層 803 を単結晶半導体基板 801 の深さ 50 nm 以上 500 nm 以下の領域に形成することができる。

40

#### 【0168】

例えば、単結晶半導体基板 801 が単結晶シリコン基板であり、絶縁膜 802 a が厚さ 50 nm の酸化窒化シリコン膜であり、絶縁膜 802 b が厚さ 50 nm の窒化酸化シリコン膜の場合、ソースガスが水素であり、加速電圧 40 kV、ドーズ量  $2 \times 10^{16}$  ions/cm<sup>2</sup> の条件では、単結晶半導体基板 801 から厚さ 120 nm 程度の半導体層を分

50

離することができる。また、絶縁膜 802a を厚さ 100 nm の酸化窒化シリコン膜とし、他は同じ条件で水素イオンを照射することで、単結晶半導体基板 801 から厚さ 70 nm 程度の半導体層を分離することができる。

【0169】

イオン照射工程のソースガスには、水素の他に、ヘリウム (He) や、塩素ガス (Cl<sub>2</sub> ガス) およびフッ素ガス (F<sub>2</sub> ガス) などのハロゲンガスを用いることもできる。

【0170】

脆化層 803 を形成した後、絶縁膜 802 の上面に、図 29E に示すように、絶縁膜 804 を形成する。絶縁膜 804 を形成する工程では、単結晶半導体基板 801 の加熱温度は、脆化層 803 に添加した元素または分子が析出しない温度とし、その加熱温度は 350 以下が好ましい。言い換えると、この加熱処理は脆化層 803 からガスが抜けぬ温度で行う。なお、絶縁膜 804 は、イオン照射工程を行う前に形成することもできる。この場合は、絶縁膜 804 を形成するときのプロセス温度は 350 以上にすることができる。

10

【0171】

絶縁膜 804 は、平滑で親水性の接合面を単結晶半導体基板 801 の表面に形成するための膜である。絶縁膜 804 の厚さ 5 nm 以上 500 nm 以下が好ましく、10 nm 以上 200 nm 以下がより好ましい。絶縁膜 804 として、酸化シリコン膜、酸化窒化シリコン膜を形成することができる。ここでは、ソースガスに TEOS および O<sub>2</sub> を用いて、PECVD 法で厚さ 50 nm の酸化シリコン膜を形成する。

20

【0172】

なお、絶縁膜 802 または絶縁膜 804 の一方を形成しなくてもよい。また、ガラス基板 800 に単層構造または積層構造の絶縁膜を形成してもよい。この絶縁膜は絶縁膜 802 と同様に形成することができ、積層構造とする場合は、バリア層となる絶縁膜は、ガラス基板 800 に接して形成することが好ましい。また、ガラス基板 800 に絶縁膜を形成した場合、絶縁膜 802、および絶縁膜 804 は形成しなくてもよい。

【0173】

図 29F は接合工程を説明する断面図であり、ガラス基板 800 と単結晶半導体基板 801 とを貼り合わせた状態を示している。接合工程を行うには、まず、ガラス基板 800、ならびに、絶縁膜 804、802 が形成された単結晶半導体基板 801 を超音波洗浄する。超音波洗浄はメガヘルツ超音波洗浄 (メガソニック洗浄) が好ましい。メガヘルツ超音波洗浄の後、ガラス基板 800 および単結晶半導体基板 801 の双方、または一方をオゾン水で洗浄することもできる。オゾン水で洗浄することで、有機物の除去と、表面の親水性を向上させることができる。

30

【0174】

洗浄工程の後、絶縁膜 804 を介して、ガラス基板 800 と単結晶半導体基板 801 を貼り合わせる。ガラス基板 800 の表面と絶縁膜 804 の表面とを密着させると、ガラス基板 800 と絶縁膜 804 との界面に化学結合が形成され、ガラス基板 800 と絶縁膜 804 が接合する。接合工程は加熱処理を伴わずに常温で行うことができるため、単結晶半導体基板 801 を貼り付ける基板にガラス基板 800 のような耐熱性の低い基板を用いることが可能である。

40

【0175】

ガラス基板 800 と単結晶半導体基板 801 を密着させた後、ガラス基板 800 と絶縁膜 804 との界面での結合力を増加させるための加熱処理を行うことが好ましい。この処理温度は、脆化層 803 に亀裂を生じさせない温度であり、例えば、70 以上 300 以下とすることができる。

【0176】

次いで、400 以上の加熱処理を行い、脆化層 803 において単結晶半導体基板 801 を分割し、単結晶半導体基板 801 から単結晶半導体膜 806 を分離する。図 29G は、単結晶半導体基板 801 から単結晶半導体膜 806 を分離する分離工程を説明する図で

50

ある。図 29G に示すように、分離工程により、ガラス基板 800 上に単結晶半導体膜 806 が形成される。801A を付した要素は、単結晶半導体膜 806 が分離された後の単結晶半導体基板 801 を示している。

【0177】

400 以上の加熱処理を行うことで、ガラス基板 800 と絶縁膜 804 との接合界面に形成された水素結合から共有結合に変化するため、結合力が増加する。また、温度上昇によって、脆化層 803 に形成されている微小な孔には、イオン照射工程で添加した元素が析出し、内部の圧力が上昇する。圧力の上昇により、脆化層 803 の微小な孔に体積変化が起こり、脆化層 803 に亀裂が生じるので、脆化層 803 に沿って単結晶半導体基板 801 が分割される。絶縁膜 804 はガラス基板 800 に接合しているため、ガラス基板 800 上には単結晶半導体基板 801 から分離された単結晶半導体膜 806 が固定されることになる。単結晶半導体膜 806 を単結晶半導体基板 801 から分離するための加熱処理の温度は、ガラス基板 800 の歪み点を越えない温度とし、400 以上 700 以下で行うことができる。

10

【0178】

図 29G に示す分離工程を完了することで、ガラス基板 800 に単結晶半導体膜 806 が貼り合わされた SOI 基板 810 が作製される。SOI 基板 810 は、ガラス基板 800 上に絶縁膜 802、絶縁膜 804、単結晶半導体膜 806 の順に層が積層された多層構造を有し、絶縁膜 802 と絶縁膜 804 が接合している基板である。絶縁膜 802 を形成しない場合は、SOI 基板 810 は絶縁膜 804 と単結晶半導体膜 806 が接合されている基板となる。

20

【0179】

なお、単結晶半導体基板 801 から単結晶半導体膜 806 を分離するための加熱処理は、結合力を強化するための加熱処理と同じ装置で連続して行うことができる。また、2つの加熱処理を異なる装置で行うこともできる。例えば、同じ炉で行う場合は、まず、処理温度 200、処理時間 2 時間の加熱処理を行い。次いで、加熱温度を 600 に上昇させ、600、2 時間の加熱処理を行う。そして、400 以下から室温程度の温度に冷却して、炉から、単結晶半導体基板 801A および SOI 基板 810 を取り出す。

【0180】

異なる装置で加熱処理を行う場合は、例えば、炉において、処理温度 200、処理時間 2 時間の加熱処理を行った後、貼り合わされたガラス基板 800 と単結晶半導体基板 801 を炉から搬出する。次いで、ランプアニール装置で処理温度 600 以上 700 以下、処理時間 1 分以上 30 分以下の加熱処理を行い、単結晶半導体基板 801 を脆化層 803 で分割する。

30

【0181】

SOI 基板 810 の単結晶半導体膜 806 は、脆化層 803 の形成、分離工程などによって、結晶欠陥が形成され、また、その表面は平坦性が損なわれている。そこで、結晶欠陥の低減、平坦化のために、単結晶半導体膜 806 にレーザ光を照射して、熔融させることで再結晶化させることが好ましい。あるいは、単結晶半導体膜 806 の表面の損傷を除去し、その表面を平坦にするため、CMP (Chemical Mechanical Polishing) 装置などで、単結晶半導体膜 806 の表面を研磨する工程を行うことが好ましい。

40

【0182】

本実施形態の SOI 基板 810 を用いて、実施形態 4 に示すような各種の半導体装置を作製することができる。

【0183】

(実施形態 7)

実施形態 4 により得られた光検出装置を電子機器に取り付けることで、光検出装置の検出信号に基づいて、電子機器の動作を制御することができる。例えば、表示パネルを備えた電子機器に光検出装置を内蔵することで、表示パネルの輝度調節を光検出装置の検出信

50

号をもとに行うことが可能になる。本実施形態では、図30A - 図30Fを用いて、このような電子機器のいくつかの例を説明する。

【0184】

図30A、および図30Bは、携帯電話の外観図である。図30A、および図30Bの携帯電話は、それぞれ、本体1101、表示パネル1102、操作キー1103、音声出力部1104および音声入力部1105を有する。さらに、本体1101には光検出装置1106が設けられている。図30A、および図30Bの携帯電話は、光検出装置1106が検出した電気信号をもとに表示パネル1102の輝度を調節する機能を有する。さらに、図30Bの携帯電話は、表示パネル1102のバックライトの輝度を検出する光検出装置1107が本体1101に内蔵されている。

10

【0185】

図30Cはコンピュータの外観図である。コンピュータは、本体1111、表示パネル1112、キーボード1113、外部接続ポート1114、ポインティングデバイス1115などを有する。さらに、表示パネル1112のバックライトの輝度を検出する光検出装置（図示せず）が本体1111に内蔵されている。

【0186】

図30Dは表示装置の外観図である。テレビ受像器、コンピュータのモニタなどが表示装置に該当する。本表示装置は、筐体1121、支持台1122、表示パネル1123などによって構成されている。筐体1121には、表示パネル1123のバックライトの輝度を検出する光検出装置（図示せず）が内蔵されている。

20

【0187】

図30Eは正面方向から見たデジタルカメラの外観図であり、図30Fは背面方向から見たデジタルカメラの外観図である。デジタルカメラは、リリースボタン1131、メインスイッチ1132、ファインダ窓1133、フラッシュライト1134、レンズ1135、鏡胴1136、筐体1137、ファインダ接眼窓1138、表示パネル1139、および操作ボタン1140などを有する。光検出装置をデジタルカメラに組み込むことにより、光検出装置によって撮影環境の輝度を感知することができる。そこで、光検出装置で検出された電気信号をもとに、露出調整、シャッタースピード調節などを行うことができる。

【実施例1】

30

【0188】

本実施例では、1つの電源端子から1つの回路までの複数の電流経路について、配線抵抗を等しくすることが、ESDから回路を保護することに寄与することを説明する。本実施例では、このことを、過電圧印加試験（静電破壊試験、静電気試験などとも呼ばれる。）の回路シミュレーションおよび実験により説明する。本実施例の静電破壊試験の対象となる半導体装置は、実施形態4の光検出装置である。

【0189】

図31は、シミュレーションで設定した光検出装置900の回路図である。光検出装置900は、図11の光検出装置400と同じ要素を有する。図31に示すように、光検出装置900は、高電源電位VDDが供給される電源端子901、低電源電位VSSが供給される電源端子902、増幅回路903、フォトダイオード904、および保護回路を構成するダイオード905を有する。

40

【0190】

増幅回路903は、光検出装置400と同様に、カレントミラー回路であり、フォトダイオード904の出力電流を増幅するために9つのトランジスタM2 - M10を有する。トランジスタM1が図11のトランジスタ407に対応し、トランジスタM2 - M10が図11のトランジスタ408に対応する。

【0191】

配線抵抗（R2s - R10s）が等しく、かつ配線抵抗（R2d - R10d）が等しい光検出装置900（以下、「装置900A」と呼ぶ。）と、配線抵抗（R2s - R10s

50

）が互いに異なり、かつ配線抵抗（ $R_{2d} - R_{10d}$ ）が互いに異なる光検出装置 900（以下、「装置 900x」と呼ぶ。）について、過電圧印加試験の回路シミュレーションを行った。ここでは、装置 900A は、実施形態 1 の第 1 接続配線 110 および第 2 接続配線 120 が適用された半導体装置であり、装置 900x は、比較例の半導体装置である。

【0192】

過電圧印加試験の方式には、Human Body Model を採用した。図 31 に示すように、容量値  $C_{HBM} = 100 \text{ pF}$ 、抵抗値  $R_{HBM} = 1.5 \text{ k}$ 、インダクタンス  $L_{HBM} = 750 \text{ nH}$  とした。電源端子 901 のノード A に、電圧  $V_{ESD} = 1 \text{ kV}$  を印加した。電源端子 902 の電位は接地電位とした。

10

【0193】

また、装置 900A および装置 900x の配線抵抗（ $R_{2d} - R_{10d}$ 、 $R_{2s} - R_{10s}$ ）の値は、表 1、表 2 のように設定した。また、装置 900A および装置 900x 共に、配線抵抗値  $R_0 = 150$  とし、トランジスタ M1 - M10 は同じ電気的特性を有する n チャンネル型トランジスタとした。

【0194】

【表 1】

装置 900A

抵抗	抵抗値 [ $\Omega$ ]	抵抗	抵抗値 [ $\Omega$ ]
R2d	100	R2s	100
R3d	100	R3s	100
R4d	100	R4s	100
R5d	100	R5s	100
R6d	100	R6s	100
R7d	100	R7s	100
R8d	100	R8s	100
R9d	100	R9s	100
R10d	100	R10s	100

20

【0195】

【表 2】

装置 900x

抵抗	抵抗値 [ $\Omega$ ]	抵抗	抵抗値 [ $\Omega$ ]
R2d	40	R2s	40
R3d	55	R3s	55
R4d	70	R4s	70
R5d	85	R5s	85
R6d	100	R6s	100
R7d	115	R7s	115
R8d	130	R8s	130
R9d	145	R9s	145
R10d	160	R10s	160

40

【0196】

上記の条件で、過電圧印加直後の装置 900A および装置 900x の動作を検証するための回路シミュレーションを行った。具体的には、電源端子 901 に 1 kV が印加された後から 300 ナノ秒間の増幅回路 903 に含まれるトランジスタ M2 - M10 のソース - ドレイン間電流（以下、「電流 ID」と呼ぶ。）の値を計算した。回路シミュレータには、Smart Spice が用いられた。

【0197】

図 32 A に装置 900A の回路シミュレーション結果を示し、図 32 B に装置 900x

50

の回路シミュレーション結果を示す。図32Aおよび図32Bは、電圧 $V_{ESD}$ を印加しからの経過時間に対する3つのトランジスタ(M2、M6、M10)の電流 $I_D$ の変化を示すグラフである。時間=0ナノ秒が電源端子901に $V_{ESD} = 1\text{ kV}$ が印加された時である。

【0198】

図32Aに示すように、装置900Aでは、3つのトランジスタ(M2、M6、M10)のソース-ドレイン間電流値 $I_D$ はほぼ等しい。また、図32Aには示されていないが、残りのトランジスタ(M3-M5、M7-M9)の電流 $I_D$ のグラフは、これらトランジスタ(M2、M6、M10)とほぼ一致する。つまり、装置900Aの回路シミュレーションの結果は、電源端子901に $V_{ESD}$ を印加した直後に、各トランジスタ(M2-M10)のソース-ドレイン間に流れる電流値 $I_D$ がほぼ等しくなることを示している。別言すると、この回路シミュレーションの結果は、1つの電源端子と1つの回路間に複数の電流経路が存在する場合、それらの配線抵抗を等しくすることで、電源端子に過電圧が印加されても、ある特定の半導体素子に集中して電流が流れることが回避できることを示している。

10

【0199】

他方、比較例の装置900xでは、図32Bに示すように、3つのトランジスタ(M2、M6、M10)の電圧 $V_{ESD}$ 印加直後の電流 $I_D$ は異なっている。装置900xでは $R_{2d} < R_{6d} < R_{10d}$ 、 $R_{2s} < R_{6s} < R_{10s}$ であり、この抵抗値の不等式に対応して、電流 $I_D$ はトランジスタM2 > トランジスタM6 > トランジスタM10となっている。また、図32Bには図示されていないが、残りのトランジスタ(M3-M5、M7-M9)の電流 $I_D$ の値は、トランジスタ(M2、M6、M10)と同様に、配線抵抗が大きいほど小さくなった。つまり、装置900xの回路シミュレーション結果は、1つの電源端子と1つの回路間に複数の電流経路がある場合、それらの配線抵抗が異なっていると、配線抵抗が低い電流経路に過電圧によるストレスが集中するため、配線抵抗が低い電流経路に接続されている半導体素子が破壊されやすいことを示している。

20

【0200】

また、回路シミュレータにより、電流 $I_D$ と同様に、電源端子901に電圧 $V_{ESD}$ を印加した直後のトランジスタ(M2-M10)のゲート-ソース間電圧(以下、「電圧 $V_{GS}$ 」と呼ぶ。)、およびドレイン-ソース間電圧(以下、「電圧 $V_{DS}$ 」と呼ぶ。)も計算した。装置900Aでは、トランジスタ(M2-M10)の電圧 $V_{GS}$ および電圧 $V_{DS}$ はほぼ等しかった。他方、装置900xでは、電圧 $V_{GS}$ および電圧 $V_{DS}$ はトランジスタ(M2-M10)ごとに異なっており、電流 $I_D$ と同様に、これらの値はトランジスタM2が最も大きく、トランジスタM10が最も小さかった。

30

【0201】

以上述べたように、装置900Aおよび装置900xの過電圧印加試験の回路シミュレーションにより、1つの電源端子と1つの回路間に複数の電流経路が存在する場合、過電圧による破壊を防ぐには、これら電流経路の配線抵抗を等しくすることが有効であることが示された。

【0202】

さらに、装置900Aおよび装置900xに対応する光検出装置を実際に作製し、各光検出装置の過電圧印加試験を行った。ここでは、前者の光検出装置を「装置910A」と呼び、後者の光検出装置を「装置910x」と呼ぶことにする。

40

【0203】

装置910Aおよび装置910xは、光検出装置400の平面構造および積層構造(図12および図13参照)と同様の構造を有し、実施形態4の作製方法により作製された。図33に装置910Aの平面図を示し、図34に装置910xの平面図を示す。装置910A、装置910xの構成の理解を容易にするため、図33および図34に示される一部の構成要素に、図12と同じ参照符号が付されている。

【0204】

50

図33に示すように、装置910Aが光検出装置400に異なる点は、ダイオード905に図5のダイオード301と同様の構成のダイオードが適用されている点である。なお、装置910Aの第2層目の導電膜931および導電膜932は、それぞれ光検出装置の第2層目の導電膜531、532（図23参照）に対応する導電膜である。導電膜531と同様に、電源端子901と増幅回路903間の複数の電流経路の配線抵抗値が等しくなるように、導電膜931が形成されている。また、導電膜532と同様に、電源端子902と増幅回路903間の複数の電流経路の配線抵抗値が等しくなるように、導電膜932が形成されている。

#### 【0205】

また、図33において、半導体膜930はダイオード905を構成する半導体膜であり、開口933は、第2層目の導電膜931を第3層目の導電膜551に電気的に接続するために、これらの間の絶縁膜に形成されている開口であり、開口934は、第2層目の導電膜932を第3層目の導電膜552に電気的に接続するために、これらの間の絶縁膜に形成されている開口である。

10

#### 【0206】

次に、装置910xの構成を説明する。装置910xは比較例の半導体装置である。図34に示すように、装置910Aとは、第2層目の導電膜941、942の構造が異なる。装置910xでは、電源端子901と増幅回路903間の複数の電流経路の配線抵抗が異なるように導電膜941が形成され、電源端子902と増幅回路903間の複数の電流経路の配線抵抗が異なるように導電膜942が形成されている。また、開口943は、第2層目の導電膜941を第3層目の導電膜551に電気的に接続するためにこれらの間の絶縁膜に形成されている開口であり、開口944は、第2層目の導電膜942を第3層目の導電膜552に電気的に接続するためにこれらの間の絶縁膜に形成されている開口である。

20

#### 【0207】

装置910Aおよび、装置910xの過電圧印加試験には、株式会社ノイズ研究所製の半導体静電気試験器（ESS-606A）が使用された。試験方式には、Human Body Modelが採用された。なお、装置910Aおよび装置910x共に、電源端子901、902を構成する第4層目の導電膜が形成されていない。そこで、上記試験器により、導電膜551と導電膜552間に電圧 $V_{ESD}$ が印加された。

30

#### 【0208】

本実施例の過電圧印加試験は次のように行われた。まず、試験器により、導電膜551と導電膜552間に+0.5kVの電圧 $V_{ESD}$ を1度印加し、次いで、-0.5kVの電圧 $V_{ESD}$ を1度印加した。そして、光検出装置が破壊されているか否かを判定した。光検出装置が破壊されていない場合は印加する電圧 $V_{ESD}$ を0.5kV高くし、再度、試験器で正および負の電圧 $V_{ESD}$ を1度ずつ光検出装置に印加した。これらを光検出装置が破壊されるまで繰り返した。

#### 【0209】

なお、この過電圧印加試験において、正の電圧 $V_{ESD}$ は保護回路のダイオード905に対して順バイアス電圧であり、負の電圧 $V_{ESD}$ は逆バイアス電圧である。

40

#### 【0210】

光検出装置の破壊の判定は、光検出装置が試験前の性能を維持しているかどうかで判定した。具体的には、電圧 $V_{ESD}$ が印加された後の光検出装置の出力電流値が、試験前の初期値から±20%以上変化した場合、その光検出装置は破壊されたと判定した。なお、光検出装置の出力電流の測定は蛍光灯下で行われた。

#### 【0211】

図35に、7つの装置910Aおよび4つの装置910xの過電圧印加試験結果を示す。図35のグラフの縦軸は光検出装置が破壊されなかった電圧 $V_{ESD}$ の最大値を示す。例えば、装置910Aの1番目の棒グラフは、その装置910Aが、電圧 $V_{ESD} = \pm 5.5$  kVを印加する試験までは破壊されず、電圧 $V_{ESD} = \pm 6.0$  kVを印加する試験

50

で破壊されたことを示している。

【 0 2 1 2 】

図 3 5 は、1つの電源端子と1つの回路間に複数の電流経路が存在する半導体装置において、複数の電流経路の配線抵抗を等しくすることで、半導体装置のESDに対する耐性を向上させることが可能なことを示している。つまり、装置 9 1 0 A および装置 9 1 0 x の過電圧印加試験により、このような半導体装置の過電圧による破壊を防ぐには、1つの電源端子と1つの回路間に存在する複数の電流経路の配線抵抗を等しくすることが有効であることが確認された。なお、この試験を行った装置 9 1 0 A は、電源端子 9 0 1 と増幅回路 9 0 3 間の複数の電流経路の配線抵抗値が等しくなるように、また電源端子 9 0 2 と増幅回路 9 0 3 間の複数の電流経路の配線抵抗値が等しくなるように設計されているが、

10

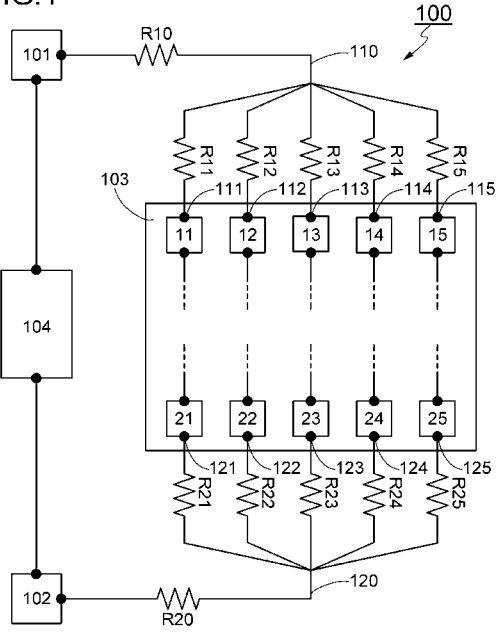
【符号の説明】

【 0 2 1 3 】

1 1 - 1 5、2 1 - 2 5	半導体素子	
3 0	基板	
4 1 - 4 4	絶縁膜	
1 0 0	半導体装置	
1 0 1	第 1 端子	
1 0 2	第 2 端子	20
1 0 3、1 0 5	回路	
1 0 4、1 0 7、1 0 8	保護回路	
1 0 6	第 3 端子	
1 1 0	第 1 接続配線	
1 1 1 - 1 1 5	接続部	
1 2 0	第 2 接続配線	
1 2 1 - 1 2 5	接続部	
1 3 1 - 1 3 4	屈曲部	
1 5 0	半導体装置	
2 0 1、2 0 2、2 0 6、2 0 7、2 1 1	導電膜	30
2 0 3	開口	
2 0 5	半導体領域	
4 0 0	光検出装置	
4 0 1、4 0 2	電源端子	
4 0 3	増幅回路	
4 0 4	フォトダイオード	
4 0 5	ダイオード	
4 0 7、4 0 8	トランジスタ	
4 1 1、4 1 2	接続配線	
5 0 0	ガラス基板	40
5 1 1 - 5 1 3	半導体膜	
5 2 0	導電膜	
5 3 1 - 5 3 4	導電膜	
5 3 5 - 5 3 7	開口	
5 4 0	光電変換層	
5 5 1、5 5 2	導電膜	
5 8 1 - 5 8 7	開口	

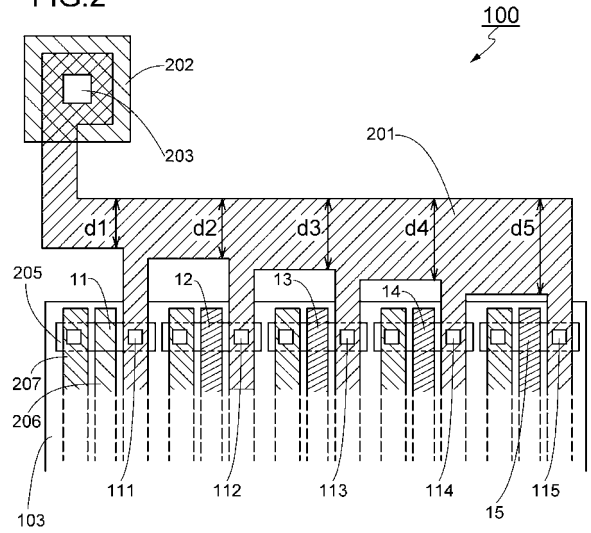
【 図 1 】

FIG.1



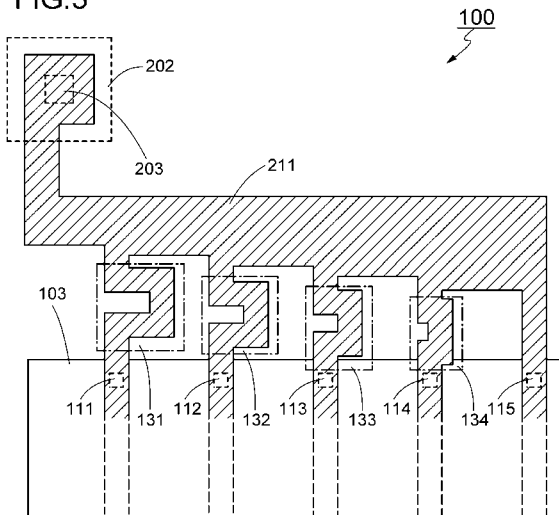
【 図 2 】

FIG.2



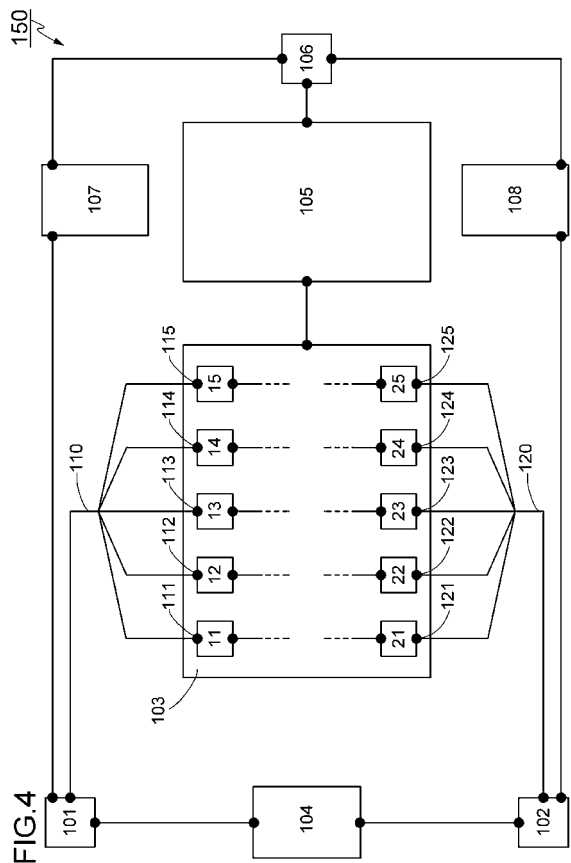
【 図 3 】

FIG.3

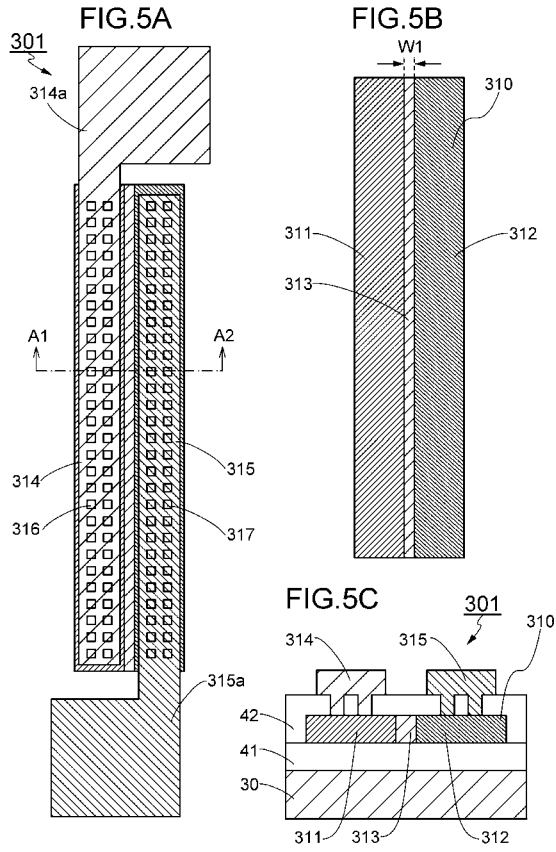


【 図 4 】

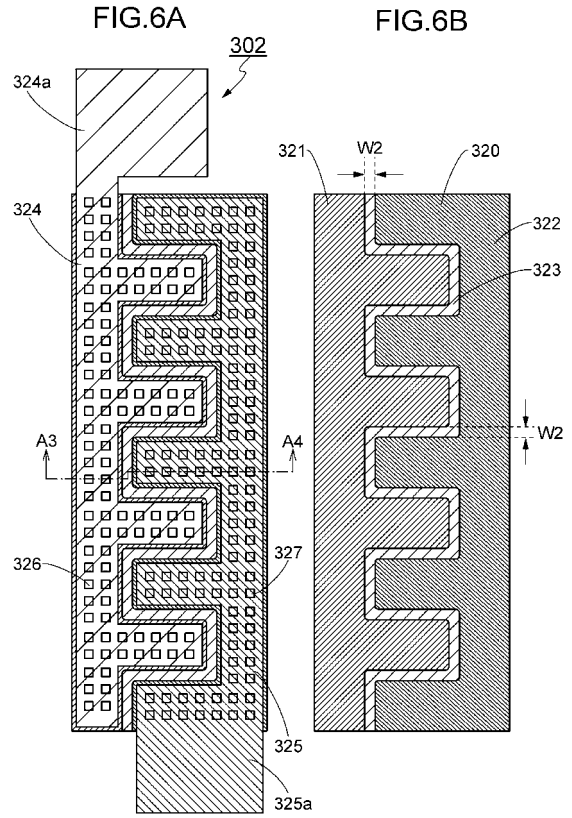
FIG.4



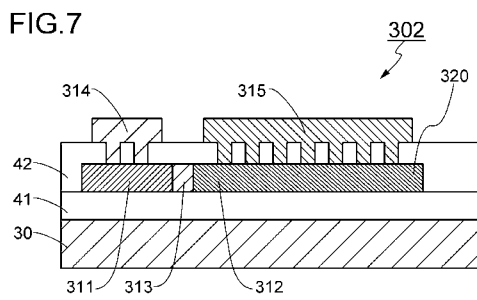
【 図 5 】



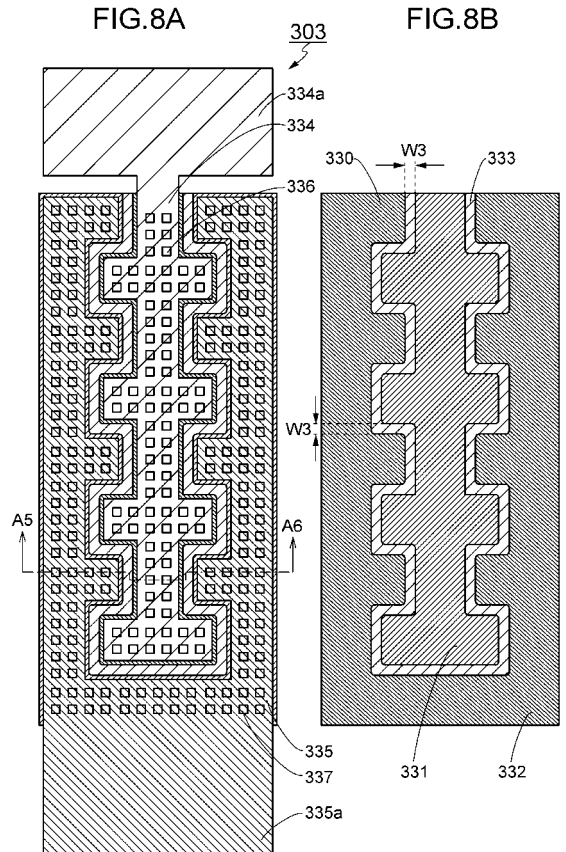
【 図 6 】



【 図 7 】

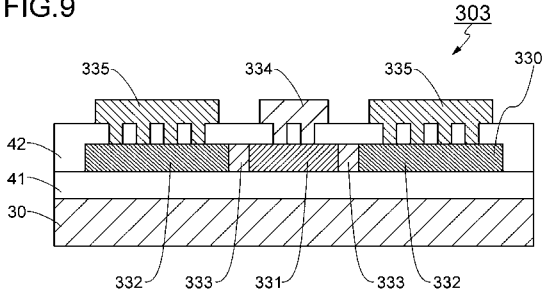


【 図 8 】



【 図 9 】

FIG.9



【 図 1 0 】

FIG.10A

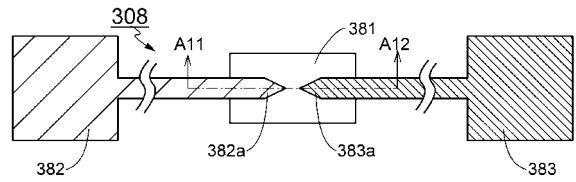


FIG.10B

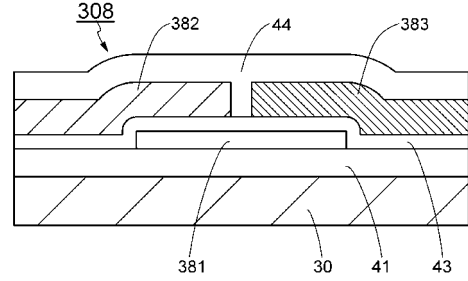
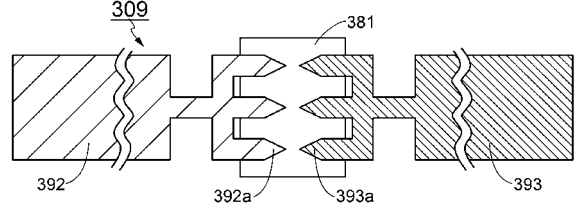
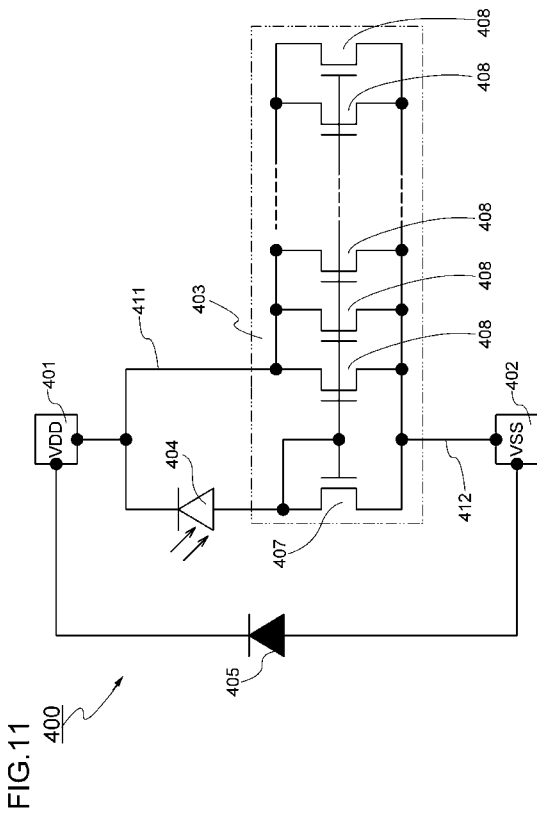


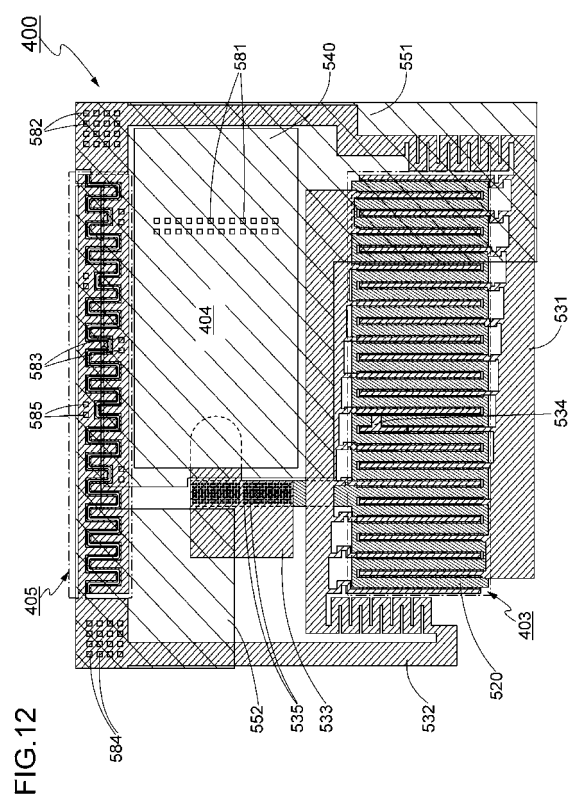
FIG.10C



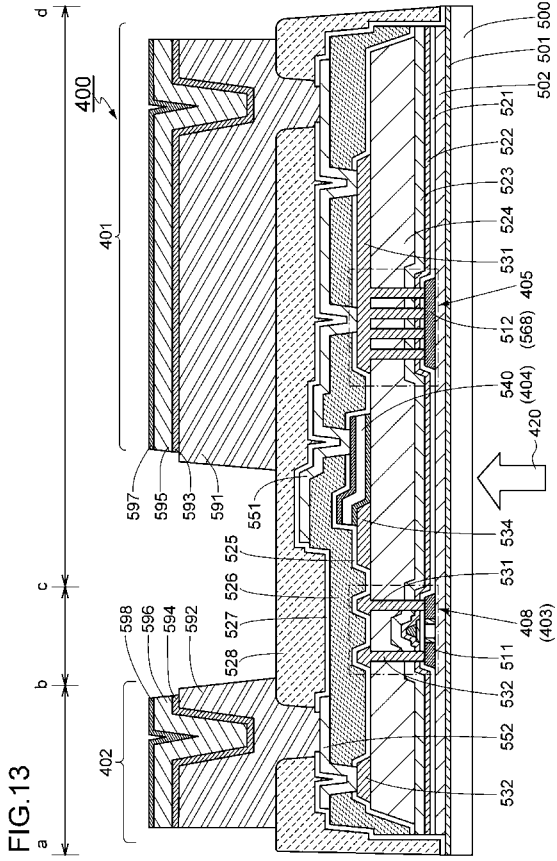
【 図 1 1 】



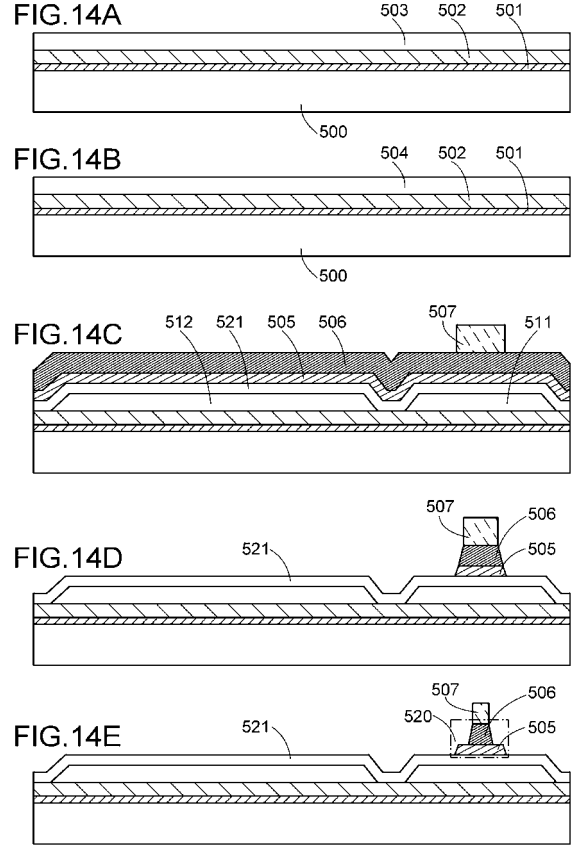
【 図 1 2 】



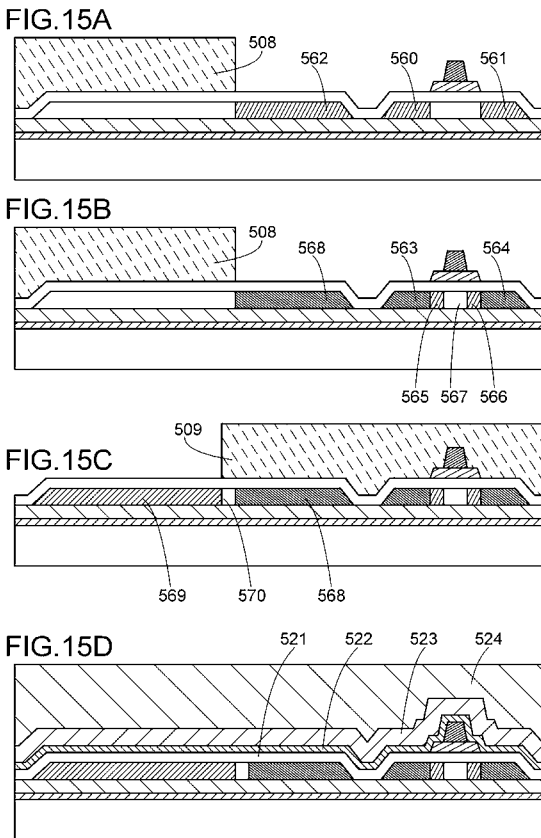
【 図 1 3 】



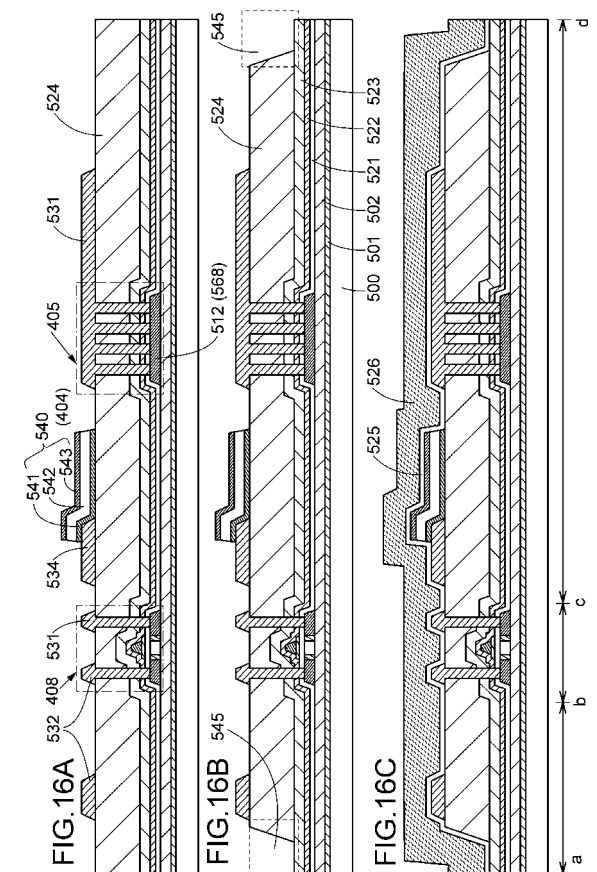
【 図 1 4 】



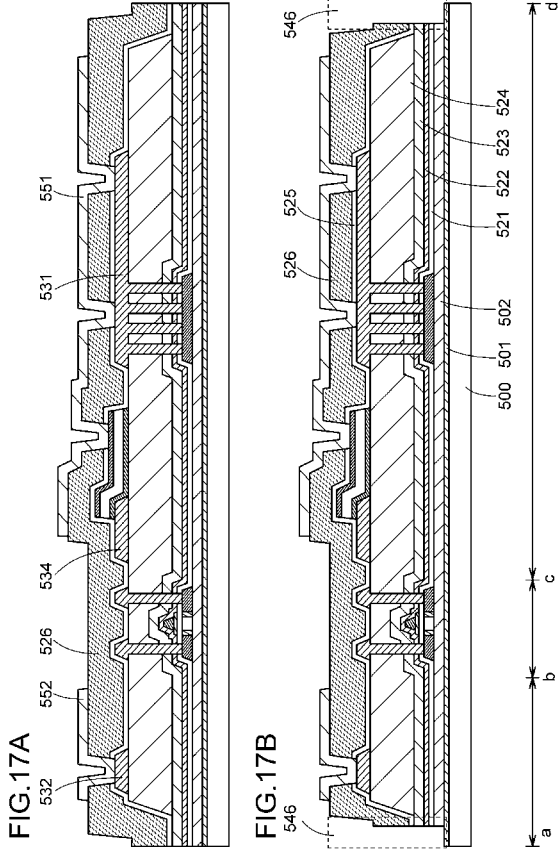
【 図 1 5 】



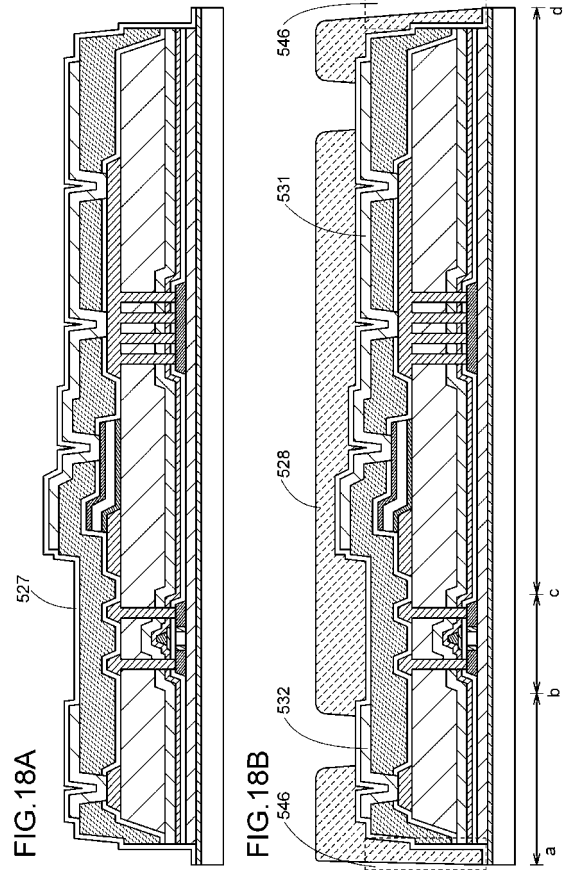
【 図 1 6 】



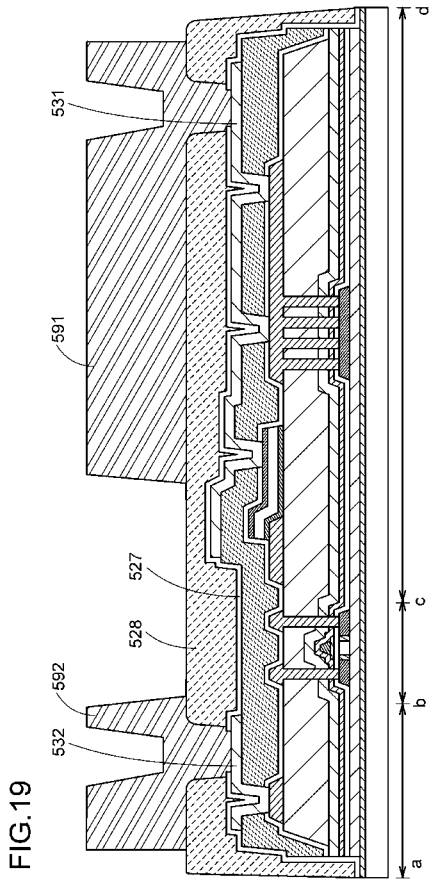
【 図 1 7 】



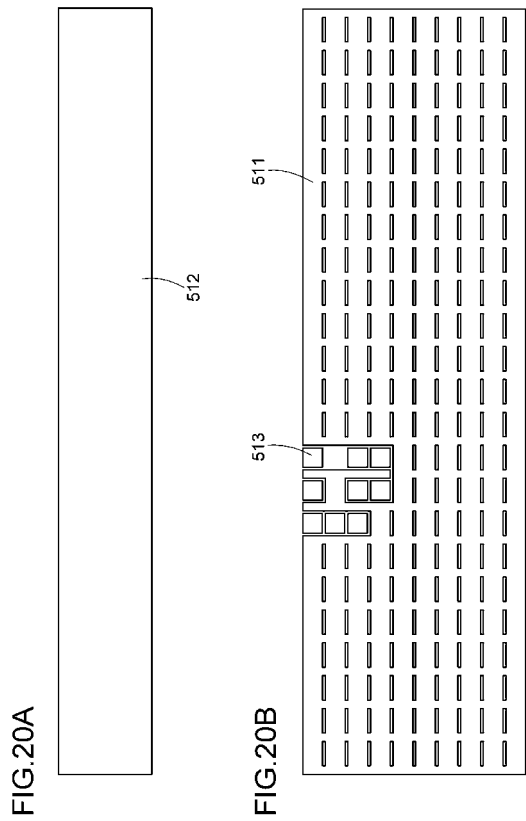
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



【 図 2 1 】

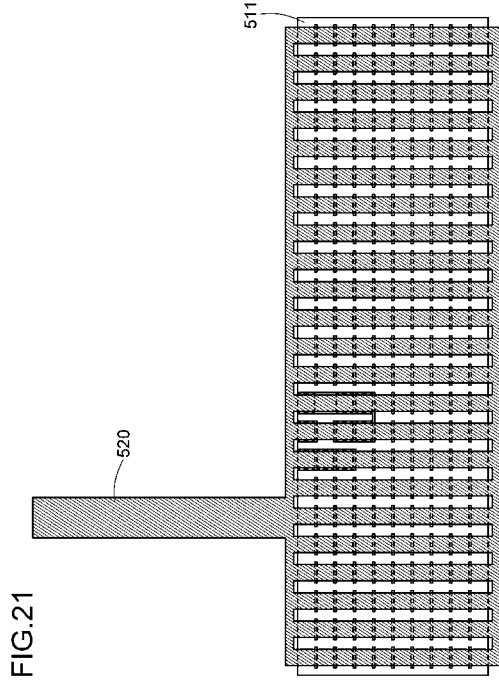


FIG. 21

【 図 2 2 】

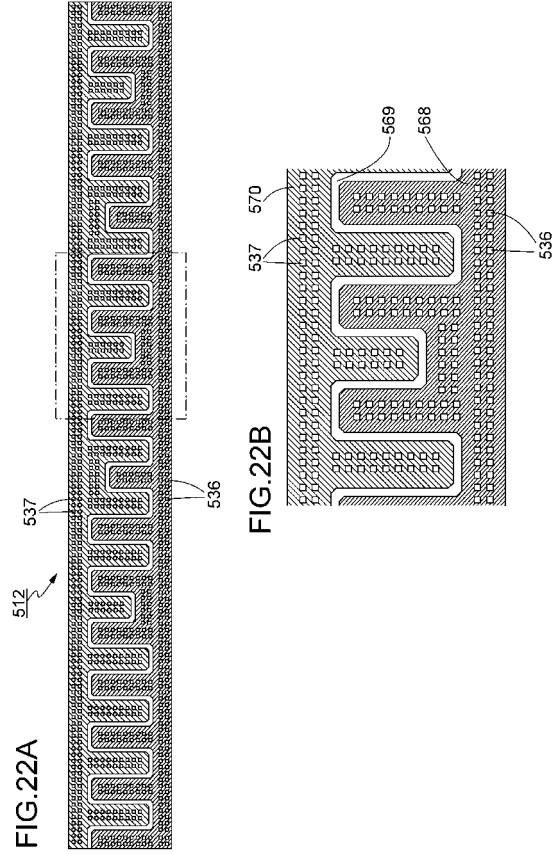


FIG. 22A

FIG. 22B

【 図 2 3 】

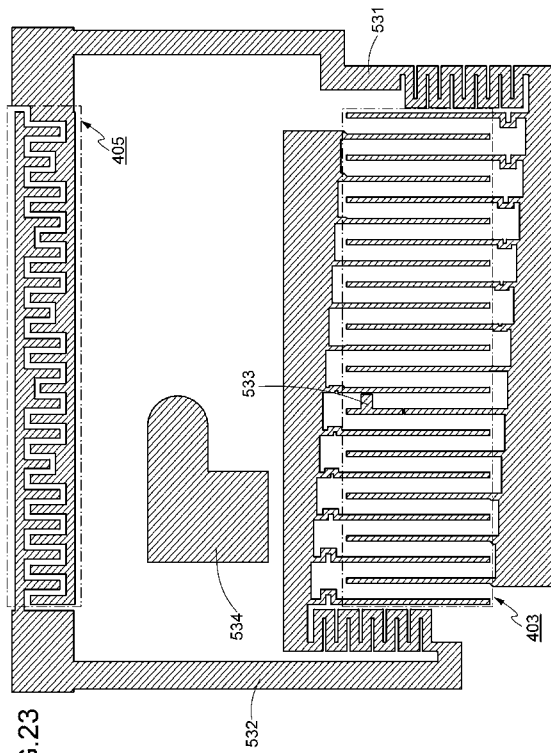


FIG. 23

【 図 2 4 】

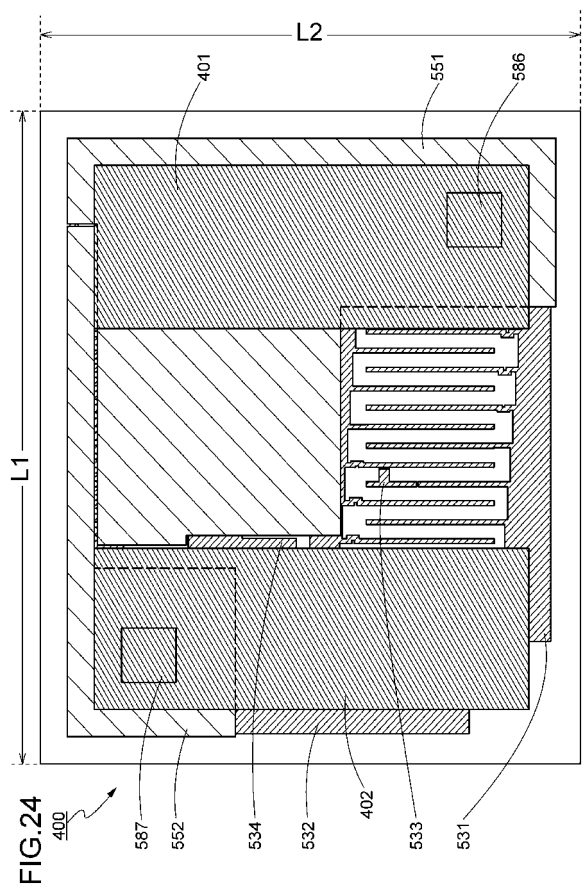
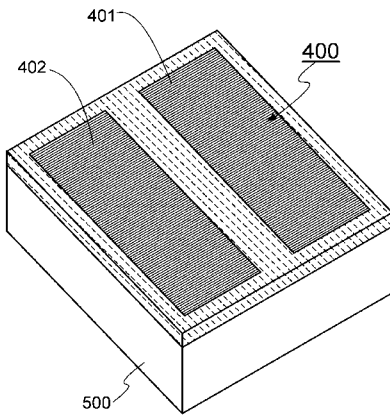


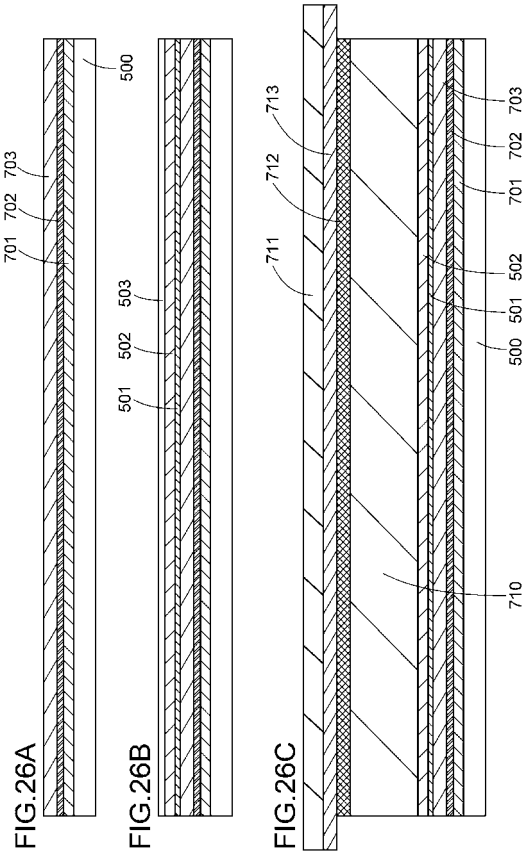
FIG. 24

【 図 2 5 】

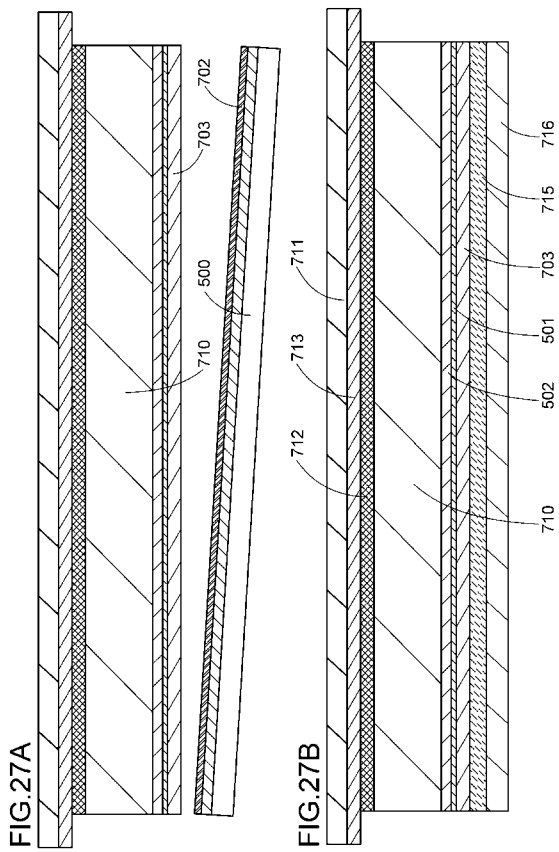
FIG.25



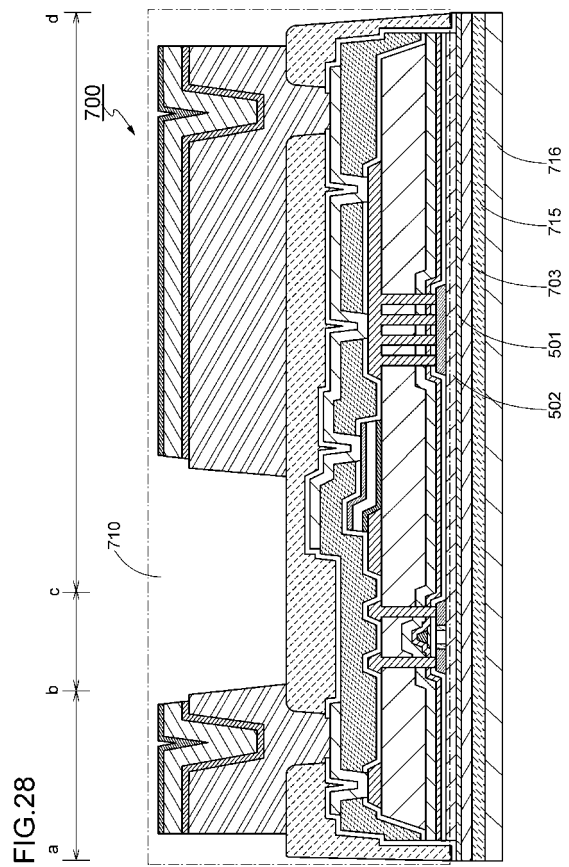
【 図 2 6 】



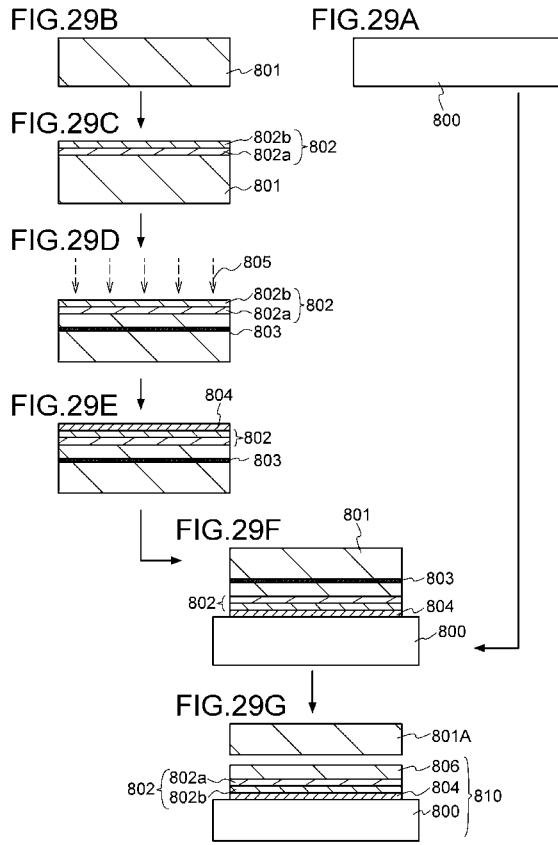
【 図 2 7 】



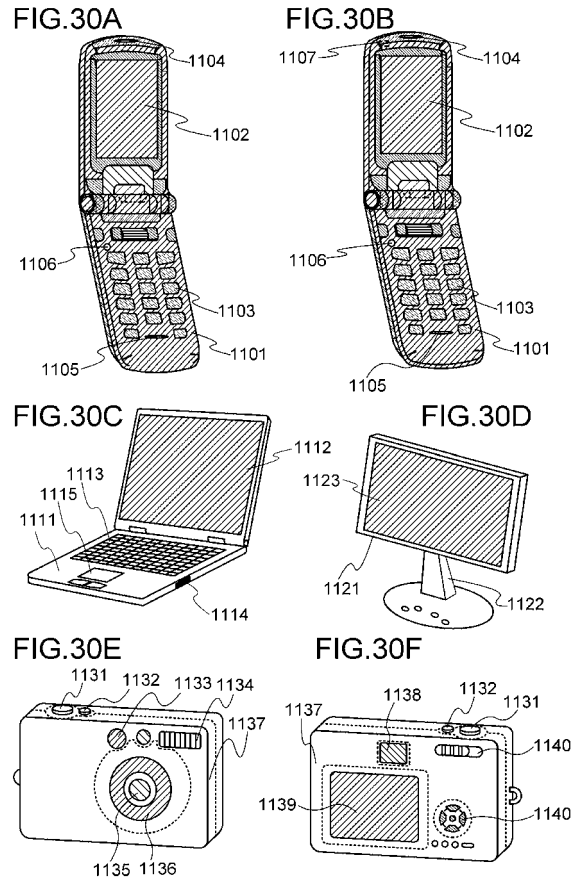
【 図 2 8 】



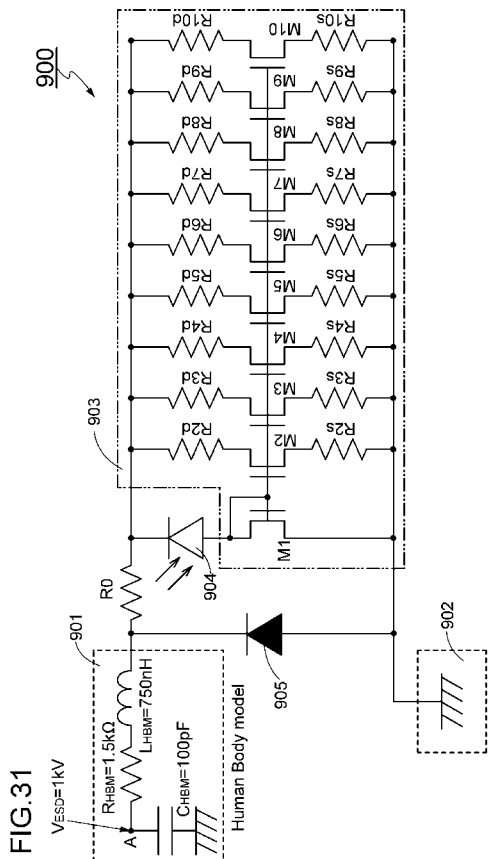
【 図 2 9 】



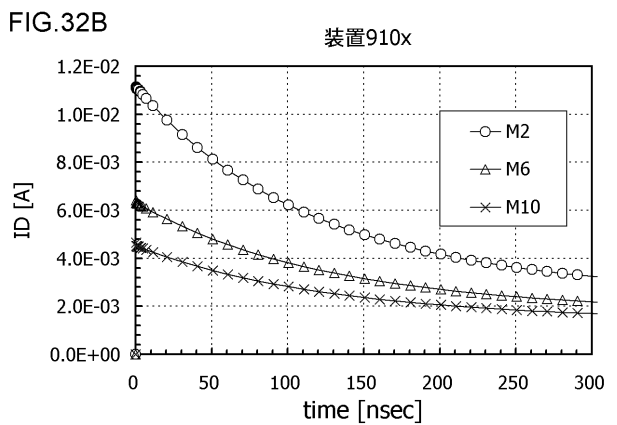
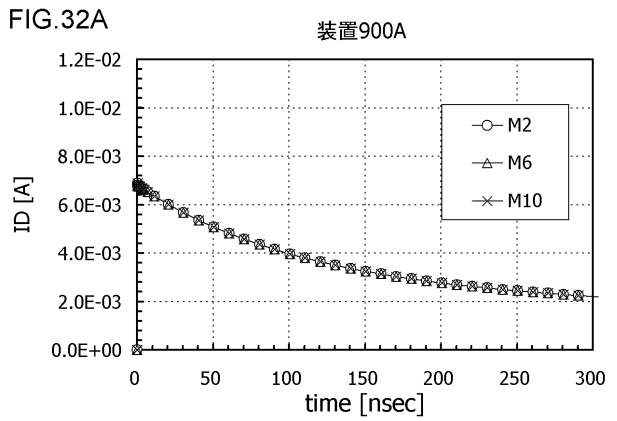
【 図 3 0 】



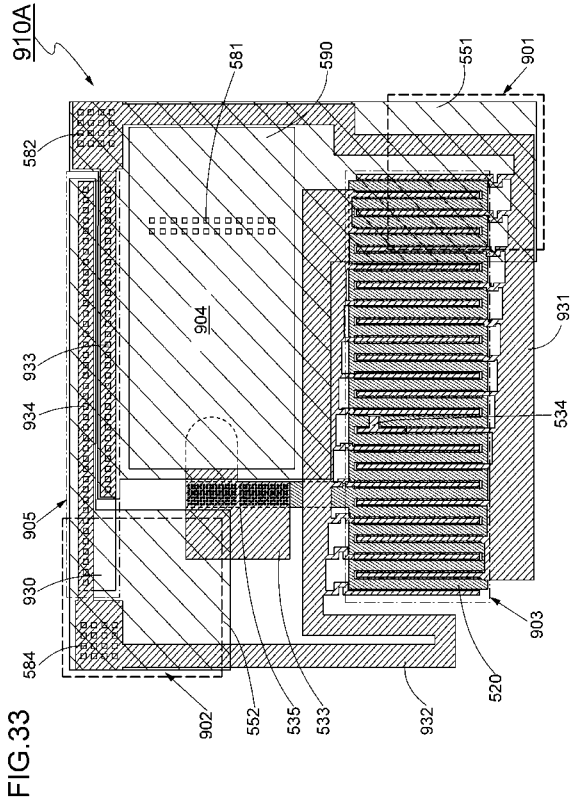
【 図 3 1 】



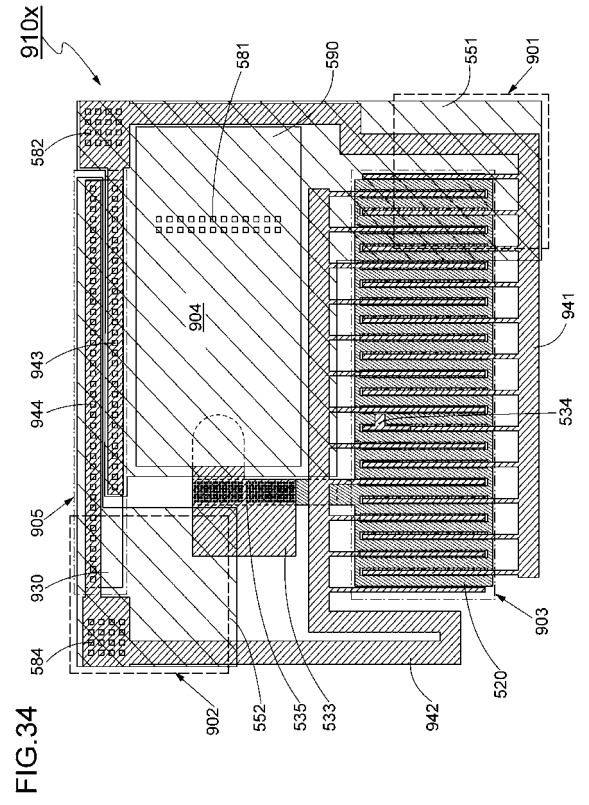
【 図 3 2 】



【 図 3 3 】

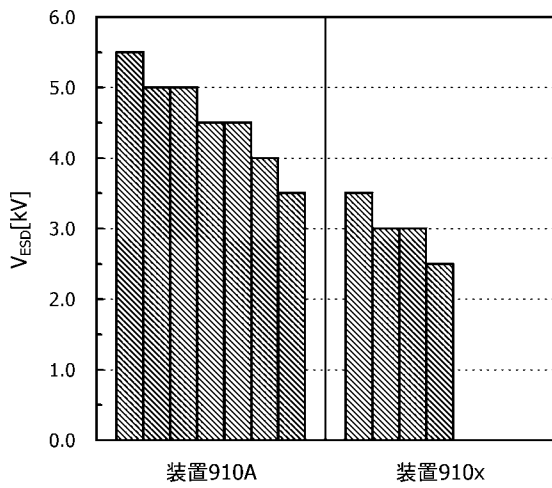


【 図 3 4 】



【 図 3 5 】

FIG. 35



## フロントページの続き

(51)Int.Cl.	F I										テーマコード(参考)	
<b>H 0 1 L 29/786 (2006.01)</b>	H 0 1 L	27/14									C	
<b>H 0 1 L 29/861 (2006.01)</b>	H 0 1 L	29/78							6 2 3 A			
	H 0 1 L	29/91									C	
Fターム(参考)	5F038	AZ07	BH01	BH02	BH04	BH05	BH13	CA02	CA10	CD02	CD05	
		CD12	DF01	EZ05	EZ06	EZ13	EZ14	EZ15	EZ17	EZ20		
	5F048	AA02	AC10	BA01	BA14	BA16	BB09	BF07	BF16	CC01	CC02	
		CC06	CC08	CC11								
	5F110	AA22	BB01	BB04	CC02	DD01	DD02	DD03	DD04	DD05	DD07	
		DD08	DD12	DD13	DD14	DD15	DD17	EE01	EE04	EE14	EE23	
		EE44	FF04	FF30	GG01	GG02	GG03	GG04	GG12	GG13	GG14	
		GG15	GG25	GG32	GG34	HJ01	HJ23	HL04	HL06	HL23	HM15	
		NN03	NN04	NN22	NN27	NN33	NN35	NN71	PP01	PP02	PP03	
		PP04	PP10	PP29	PP34	QQ06	QQ11	QQ16	QQ23	QQ28		