



(12)

PATENTSCHRIFT

(21) Anmeldenummer: 1740/91

(51) Int.Cl.⁶ : **H01L 21/8249**
H01L 21/8224

(22) Anmeldetag: 3. 9.1991

(42) Beginn der Patentdauer: 15. 4.1998

(45) Ausgabetag: 28.12.1998

(56) Entgegenhaltungen:

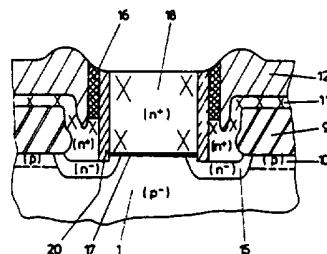
EP 439448 EP 110656B EP 129045B DE 3419080A
IEEE TRANSACTIONS ON ELECTRON DEVICES, ED-29, NR. 4,
APRIL 1982, S. 561-567

(73) Patentinhaber:

AUSTRIA MIKRO SYSTEME INTERNATIONAL
AKTIENGESELLSCHAFT
A-8141 UNTERPREMSTÄTTEN, STEIERMARK (AT).

(54) VERFAHREN ZUR HERSTELLUNG VON SELBSTAUSGERICHTETEN, LATERALEN UND VERTIKALEN HALBLEITERBAUELEMENTEN

(57) Bei einem Verfahren zur Herstellung von selbstausgerichteten lateralen und vertikalen Halbleiterbauelementen, insbesondere für die Herstellung von LSI- und VLSI-Schaltkreisen wird in einem mehrstufigen Strukturierungs- und Aufbauvorgang darauf abgezielt, eine Selbstpositionierung aller Bauelementegebiete untereinander, gekoppelt mit einer hohen Packungsdichte zu erreichen und eine Realisierung von schwachdotierten und selbstpositionierten Source- und Draingebieten zu ermöglichen, so daß hoch- und höchstintegrierte Schaltkreise mit einer hohen Ausbeute hergestellt werden können.



AT 404 524 B

Die Erfindung betrifft ein Verfahren zur Herstellung von selbstausgerichteten lateralen und vertikalen Halbleiterbauelementen, mit mehreren aufeinanderfolgenden Silizium- und Isolatorschichten, insbesondere für die Herstellung von LSI- und VLSI-Schaltkreisen.

- Verfahren zur Herstellung von integrierten Schaltkreisen sind bekannt. So wird von N. MATSUKAWA u. 5 a.: "Selective Polysilicon Oxidation Technology for VLSI Isolation", in IEEE Transactions on Electron Devices, ED-29, No 4, April 1982, S. 561-567, ein Verfahren vorgestellt, das für die Herstellung von integrierten Schaltkreisen geeignet ist.

Bei diesem Verfahren wird das Feldoxid (dickes Oxid außerhalb der aktiven Gebiete) aus einer 10 undotierten polykristallinen Siliziumschicht (Polysiliziumschicht) erzeugt. Die Siliziumnitridschicht (Si-Nitridschicht) befindet sich auf der Polysiliziumschicht und kommt mit dem monokristallinen Siliziumsubstrat (Mono-Siliziumsubstrat) nicht in Berührung. Auftretende mechanische Spannungen werden vom Polysilizium aufgenommen. Der sogenannte "Vogelschnabel" (birds beak) bildet sich nur begrenzt aus. Kurz skizziert sieht der Ablauf wie folgt aus:

Als Ausgangsmaterial wird p-leitendes Silizium (p-Silizium) mit einem spezifischen Widerstand $\rho_p = 2$ 15 Ωcm verwendet. Es wird eine 50 nm dicke Haftoxidschicht erzeugt. Darauf werden nacheinander eine 400 nm dicke undotierte Polysiliziumschicht und eine 300 nm dicke Siliziumnitridschicht (Si-Nitridschicht) abgeschieden. Mit Hilfe einer Lackschicht wird die Si-Nitridschicht strukturiert. Der Bereich der späteren aktiven Gebiete ist also durch die Si-Nitridschicht geschützt. Es folgt eine Borimplantation mit $N = 1 \cdot 10^{13}$ cm^{-2} bei $E = 160 \text{ keV}$.

20 Nach der Lackentfernung erfolgt eine Oxydation bei $v = 1000^\circ \text{C}$. Es entsteht ein Feldoxid von $d_{\text{ox}} = 800 \text{ nm}$ mit einer Länge des "Vogelschnabels" von $0,15 \mu\text{m}$.

Nach der Entfernung der Si-Nitridschicht in heißer Phosphorsäure wird mit Hilfe des reaktiven Ionenätzens (reactive ion etching, RIE) die undotierte Polysiliziumschicht bis zur Haftoxidschicht entfernt. Danach 25 wird erneut oxidiert, um die Reste von Polysilizium in Oxid umzuwandeln. Eine Oxidüberätzung entfernt anschließend die Haftoxidschicht von den aktiven Gebieten. Dabei wird die Länge des erzeugten "Vogelschnabels" ebenfalls reduziert. Es folgt die Gate-Oxidation mit $d_{\text{ox}} = 50 \text{ nm}$. Der weitere Prozeßablauf erfolgt dann in herkömmlicher Art und Weise.

Nachteilig ist bei diesem Verfahren, daß keine selbstausgerichteten Source- und Draingebiete realisiert 30 werden können, daß dadurch die parasitären Kapazitäten nicht reduziert werden können und daß das Gateoxid vor der Realisierung der Source- und Draingebiete erzeugt werden muß. Dadurch, daß das Gateoxid schon sehr früh im technologischen Ablauf erzeugt werden muß, besteht die Gefahr, daß sich die Gateelektrode auflädt und das Gateoxid zerstört. Es sind besondere Schutzmaßnahmen erforderlich (s. z.B. EP 110656).

Gemäß EP 43944 von C. G. JAMBOTKAR; "Self-Aligned Field-Effect Transistor Integrated Circuit 35 Structure and Method for Making" wird nach den Fig. 13 bis 20 eine Selbstpositionierung der Source- und Draingebiete mit Hilfe eines zweiten Feldoxids erreicht. Es werden zunächst das Feldoxid und die p-Kanalstoppergebiete erzeugt. Das Feldoxid wird durch eine dünne Si-Nitridschicht geschützt. Im Bereich der aktiven Gebiete wird eine Oxidschicht strukturiert und zwar so, daß links und rechts das Monosiliziumsubstrat freiliegt. Bei dieser Strukturierung kann noch ohne weiteres eine Fehlpositionierung auftreten. 40 Anschließend wird das Monosiliziumsubstrat abgesenkt und eine zweite Feldoxidschicht erzeugt. Dieses zweite Feldoxid wird nur am Boden der Absenkung realisiert, so daß die Seitenwände frei von Oxid sind. Danach wird eine n⁺-leitende Polysiliziumschicht abgeschieden und planarisiert, bis die Oxidschicht im aktiven Bereich freiliegt. Es folgt eine Stickstoff-Implantation und eine Temperung bei 1000 bis 1200 °C. Dabei entstehen eine dünne Si-Nitridschutzschicht auf der n⁺-leitenden Polysiliziumschicht und auch die n⁺-leitenden Source- und Draingebiete im Monosiliziumsubstrat. Die Oxidschicht im Bereich der aktiven 45 Gebiete wird dann entfernt. Anschließend wird eine dicke Silizium-Oxidschicht abgeschieden und mittels RIE nur von den waagrechten Flächen entfernt. Es folgt die Kanalimplantation. Die Reste der dicken Silizium-Oxidschicht werden entfernt, und erneut wird eine dünne Silizium-Oxidschicht abgeschieden und mittels RIE nur von den waagrechten Flächen entfernt. Die Seitenwände der n⁺-leitenden Polysiliziumschicht werden damit passiviert. Der aktive Transistorkanal liegt nun frei und kann oxidiert werden. Es wird 50 das Gateoxid erzeugt. Danach wird erneut eine weitere n⁺-leitende Polysiliziumschicht abgeschieden und strukturiert.

Nach diesem Verfahren wird zwar eine Selbstpositionierung der Source- und Draingebiete erreicht, jedoch ist dazu ein zweites Feldoxid erforderlich, das zusätzlich Platz benötigt und somit die Packungsdichte 55 reduziert. Weiterhin können keine schwachdotierten Source- und Draingebiete erzeugt werden, so daß LDD-Transistoren (lightly-doped-drain-Transistoren) nicht zur Verfügung stehen. Gerade aber bei Kurzkanaltransistoren sind diese n-leitenden Gebiete erforderlich, um die Schwellspannungsdrift (zeitliche Änderung der Schwellspannung) zu reduzieren.

Gemäß EP 129045 von W. Kraft: "Verfahren zum Herstellen eines integrierten Isolierschicht-Feldeffekttransistors mit zur Gateelektrode selbstausgerichteten Kontakten", wird ein Verfahren vorgestellt, das ebenfalls zwei Feldoxide zur Herstellung von integrierten Schaltkreisen benötigt. Auf einem Substrat werden eine Siliziumoxid-(SiO_2)- und eine Siliziumnitrid-(Si_3N_4)-Schicht erzeugt und strukturiert. Es werden dann die Gebiete freigelegt, die das dünne Feldoxid erhalten sollen. Vor der Oxidation werden jedoch erst noch n-Leitung bewirkende Störstellen implantiert. Nach der Oxidation liegt das dünne Feldoxid mit darunterliegenden n-leitenden Gebieten vor. Es wird nun eine weitere Si-Nitridschicht abgeschieden und strukturiert. Dabei bedeckt diese Schicht die Gebiete mit dem dünnen Feldoxid und den Gatebereich (s. Fig. 4 der EP 129045). Anschließend wird eine Borimplantation durchgeführt. Danach wird oxidiert. Es entstehen das dicke Feldoxid und die p-leitenden Kanalstoppergebiete. Die n-leitenden Gebiete dehnen sich bei dieser Temperaturbehandlung weiter aus. Danach werden die SiNitridschicht und die dünne Silizium-Oxidschicht über dem Kanalgebiet entfernt. Anschließend wird das Gateoxid erzeugt. Es folgt die Implantation zur Einstellung der Schwellspannung durch das Gateoxid. Dann wird hochdotiertes Polysilizium abgeschieden und strukturiert. Es muß bei dieser Strukturierung allerdings gewährleistet werden, daß das Polysilizium stets das Gateoxid bedeckt. Danach werden Kontaktfenster im dünnen Feldoxid erzeugt, um anschließend die n-leitenden Source- und Draingebiete kontaktieren zu können.

Nachteilig bei diesem Verfahren ist, daß das Polysiliziumgate in Bezug zu den Kontaktfenstern genau ausgerichtet werden muß. Die Kontaktfenster müssen im Bereich des dünnen Feldoxids liegen, sonst gibt es keinen Kontakt zum darunterliegenden n-leitenden Gebiet, d. h. die Länge der dünnen Feldoxidbereiche ist abhängig von der Positionergenauigkeit. Kleine Source- und Drainbahngebiete können mit diesem Verfahren nicht realisiert werden. Damit sind nach wie vor große pn-Übergangsflächen der Source- und Draingebiete zum Substrat vorhanden, die große Sperrströme, große Kapazitäten und eine Ausbeuteminde rung hervorrufen.

In der DE-OS 3419080 von W. T. Lynch u. a.: "Verfahren zum Herstellen eines Feldeffekttransistors" wird ein weiteres Verfahren mit Selbstausrichtung der Kontakte zu den Transistorgebieten vorgestellt. Zunächst werden Feldoxid und Gateoxid erzeugt. Der Übergang vom Feldoxid zum Gateoxid muß relativ abrupt erfolgen. Danach werden verschiedene Polysilizium-, Metall- oder Silizid- und Isolierschichten abgeschieden. Diese Schichten werden dann im Bereich der relativ steilen Stufen entfernt, so daß in der Mitte im aktiven Transistorbereich dieser Schichtaufbau erhalten bleibt. Dieser wird anschließend durch eine SiO_2 -Schicht geschützt. Durch Abtrag mittels RIE bleibt diese SiO_2 -Schicht nur an den senkrechten Stufen erhalten. Danach wird eine n⁺-dotierte Polysiliziumschicht abgeschieden und strukturiert. Bei der Abscheidung reagiert das freiliegende Palladium (Pd) mit dem Polysilizium zu einem Silizid, das dann selektiv entfernt wird, wobei das Polysilizium im späteren Source- und Draingebiet erhalten bleibt. Die n⁺-leitenden Gebiete für Source und Drain werden dann durch Ausdiffusion von Störstellen aus dem n⁺-Polysilizium erzeugt. Anschließend wird der gesamte Aufbau mit einer Phosphor-Silikat-Glas-Schicht (PSG-Schicht) geschützt, die dann für die Aluminium (Al)-Kontaktierung strukturiert wird. Nachteilig bei diesem Verfahren ist, daß zum Schutz der seitlich herausgeführten Gateelektrode auf dem Feldoxid doch eine sehr genaue Lackstrukturierung erforderlich ist, daß das Gateoxid wie schon bei den bekannten Verfahren vor den Hochenergie-Implantationen erzeugt werden muß, wobei es im weiteren Ablauf zu Aufladungen kommen kann.

Aufgabe der Erfindung ist es, die Nachteile der bekannten Verfahren zu beseitigen, eine Selbstausrichtung aller Bauelementegebiete untereinander, gekoppelt mit einer hohen Packungsdichte zu erreichen und eine Realisierung von schwachdotierten und selbstausgerichteten Source- und Draingebieten zu ermöglichen, so daß hoch- und höchstintegrierte Schaltkreise mit einer hohen Ausbeute hergestellt werden können.

Erfindungsgemäß wird die Aufgabe durch ein Verfahren zur Herstellung von selbstausgerichteten lateralen und vertikalen Halbleiterbauelementen gelöst, bei welchem ein Halbleitersubstrat verwendet wird, daß darüber eine Schutzschicht erzeugt wird, daß darauf nacheinander eine dicke Polysiliziumschicht und eine dicke Siliziumnitridschicht abgeschieden werden, daß die dicke Siliziumnitridschicht mit Hilfe einer Photolackschicht strukturiert wird, daß die dicke Polysiliziumschicht mittels reaktiven Ionenätzens (RIE) nur von den freigelegten Flächen bis zu einer bestimmten Tiefe wieder abgetragen wird, wobei ein Polysiliziumhügel erzeugt wird, daß eine Borimplantation durchgeführt wird, daß eine dünne Siliziumnitridschicht abgeschieden wird, daß diese dünne Siliziumnitridschicht mittels RIE nur von den waagrechten Flächen abgeätzt wird, daß ein dickes Feldoxid und darunter Kanalstoppergebiete erzeugt werden, daß erneut strukturiert wird, wobei die dünne Siliziumnitridschicht nur am Source- und Drainanschluß entfernt und die dicke Siliziumnitridschicht im freigelegten Bereich verdünnt werden, daß durch einen isotropen Ätzvorgang der Polysiliziumhügel an den freigelegten Seiten abgetragen wird, wobei eine Unterätzung ("u") erzeugt wird, daß die Reste der beiden Siliziumnitridschichten entfernt werden, daß mittels RIE der Polysiliziumhügel nur von den waagrechten Flächen um einen bestimmten Betrag abgetragen wird, wobei ein möglichst

rechteckiger Polysiliziumhügel erzeugt wird, daß durch eine Überätzung die freigelegten Teile der Schutzschicht entfernt werden, daß eine hochdotierte Polysiliziumschicht abgeschieden und strukturiert wird, daß eine Isolatorschicht abgeschieden wird, daß eine Photolackschicht abgeschieden und planarisiert wird, wobei nur die Isolatorschicht auf dem Polysiliziumhügel freigelegt wird, daß die freigelegte Isolatorschicht 5 bis zur hochdotierten Polysiliziumschicht abgeätzt wird, daß die freigelegte hochdotierte Polysiliziumschicht bis zum Halbleitersubstrat abgetragen wird, wobei auch der Polysiliziumhügel um einen bestimmten Betrag abgeätzt wird, daß eine Störstellenimplantation zur Erzeugung von schwachdotierten Source- und Draingebieten durchgeführt wird, wobei dünne thermische Oxidschichten auf den freien Siliziumflächen und die dotierten Gebiete erzeugt werden, daß eine weitere Isolatorschicht abgeschieden wird, daß mittels RIE diese 10 Isolatorschicht nur von den waagrechten Flächen wieder entfernt wird, daß die Reste des Polysiliziumhügels und der Schutzschicht vollständig entfernt werden, daß eine Gateoxidschicht erzeugt wird, daß in an sich bekannter Weise Ionen-Implantationen zur Einstellung der Schwellspannungen der Feldeffekt-Transistoren durchgeführt werden, daß eine weitere hochdotierte Polysiliziumschicht abgeschieden und planarisiert wird, daß Kontaktfenster in der Isolatorschicht erzeugt werden und daß weitere Leitbahn- und 15 Isolierschichten abgeschieden und strukturiert werden. Auf diese Weise wird eine Selbstausrichtung aller Bauelementegebiete untereinander, gekoppelt mit einer hohen Packungsdichte erreicht, sowie eine Realisierung von schwachdotierten und selbstausgerichteten Source- und Draingebieten ermöglicht.

Eine vorteilhafte Variante löst die Aufgabe der Erfindung dadurch, daß nach der Erzeugung eines möglichst rechteckigen Polysiliziumhügels die Störstellenimplantation durchgeführt wird, daß anschließend 20 die Oxidschicht und die schwachdotierten Gebiete erzeugt werden, daß mittels RIE die Oxidschicht nur von den waagrechten Flächen entfernt wird, daß die hochdotierte Polysiliziumschicht abgeschieden und strukturiert wird, daß die weitere Isolatorschicht abgeschieden wird, daß die Photoresistlackschicht abgeschieden und planarisiert wird, daß die freigelegte Isolatorschicht vom Polysiliziumhügel abgetragen wird, daß danach 25 die freigelegte Polysiliziumschicht um einen gewissen Betrag abgetragen wird, daß die Isolatorschicht abgeschieden wird, wobei die Vertiefungen aufgefüllt werden, daß die weitere Isolatorschicht wieder aufgetragen wird, daß dann der Rest des Polysiliziumhügels abgeätzt wird, daß die freigelegte Schutzschicht abgetragen wird, daß das Gateoxid erzeugt wird, daß durch das Gateoxid die Ionen-Implantationen zur Einstellung der Schwellspannungswerte vorgenommen werden, daß die weitere hochdotierte Polysiliziumschicht abgeschieden und planarisiert wird, daß Kontaktfenster in der Isolatorschicht erzeugt werden 30 und daß weitere Leitbahn- und Isolierschichten abgeschieden und strukturiert werden. Die Vorteile dieser Ausbildung werden in der nachfolgenden Figurenbeschreibung ausführlich erörtert.

Um zusammen mit den MOS-Transistoren auch Bipolartransistoren erzeugen zu können, wird in einer weiteren bevorzugten Variante so vorgegangen, daß an Stelle der n⁺-dotierten Polysiliziumschicht eine 35 undotierte Polysiliziumschicht abgeschieden wird, daß diese undotierte Polysiliziumschicht im Emitter-Basisbereich eines Bipolartransistors p-leitend und im Kollektorbereich n-leitend dotiert wird, daß nach Entfernen des Polysiliziumhügels und der Schutzschicht im Emitter-Basisbereich des Bipolartransistors eine Borimplantation mit nachfolgender Temperung zur Erzeugung des p-leitenden Basisgebietes durchgeführt wird, daß danach die weitere hochdotierte Polysiliziumschicht abgeschieden wird und daß bei der anschließenden Temperbehandlung die n-leitenden Gebiete für Emitter und Kollektor erzeugt werden. Auch die 40 hierdurch erzielbaren Vorteile werden anhand des in der Zeichnung dargestellten Ausführungsbeispiels noch verdeutlicht.

Die Erfindung soll nachstehend an Hand von in der Zeichnung dargestellten Ausführungsbeispielen erläutert werden. Es zeigen: Fig. 1 bis 10 Querschnitte eines MOS-Transistors jeweils links in Source-Drain-Richtung, rechts quer zur Source-Drain-Richtung; Fig. 11 bis 17 eine weitere Variante des Verfahrens und 45 Fig. 18 einen Querschnitt eines Bipolartransistors.

Gemäß Fig. 1 wird von einem p-leitenden Halbleitersubstrat 1 ausgegangen. Nach Erzeugung der SiO₂-Schutzschicht 2 wird eine dicke Polysiliziumschicht 3 abgeschieden. Diese Schicht ist undotiert und wird in der Regel 1,6 bis 2,0 µm dick sein. Danach wird eine dicke Siliziumnitridschicht 4 abgeschieden. Die Dicke dieser Schicht beträgt etwa 200 nm. Der Schichtaufbau wird mit Photoresistlack 5 beschichtet und strukturiert (1. Maske). Mit Hilfe des reaktiven Ionenätzens (RIE) werden dann die dicke Si-Nitridschicht 4 und die dicke Polysiliziumschicht 3 abgetragen, so daß ein Polysiliziumhügel 6 entsteht. Ein Teil der dicken Polysiliziumschicht 3 von etwa 300 bis 400 nm bleibt aber im Abtragungsbereich noch erhalten. Nachfolgend wird die Borimplantation 7 durchgeführt. In Fig. 1 sind die Querschnitte nach diesem Verfahrensschritt dargestellt.

Anschließend werden die Reste der Photoresistschicht 5 entfernt. Es folgt die Abscheidung einer dünnen Si-Nitridschicht 8. Diese Schicht wird mittels RIE nur von den waagrechten Flächen entfernt, so daß der Polysiliziumhügel 6 nunmehr allseitig mit einer Si-Nitridkappe geschützt ist. Fig. 2 zeigt die Querschnitte nach diesem Teilschritt.

Danach wird oxidiert. Dabei entstehen das dicke Feldoxid 9 und die p-leitenden Kanalstoppergebiete 10. Der Oxidationsvorgang dauert so lange, bis die verdünnte Polysiliziumschicht 3 von etwa 300 bis 400 nm vollständig in Siliziumoxid umgewandelt ist. Die Oxidunterwanderung der Si-Nitridschicht 8 ("birds beak"; "Vogelschnabel") wird dabei etwa 150 bis 200 nm betragen. Fig. 3 zeigt die entsprechenden 5 Querschnitte.

Es wird erneut strukturiert. Mit Hilfe einer 2. Maske werden die dünne Si-Nitridschicht 8 im Source- und Drainbereich abgeätzt und gleichzeitig die dicke Si-Nitridschicht 4 um den Betrag der dünnen Si-Nitridschicht 8 verdünnt. Die Strukturierung muß auf dem Polysiliziumhügel 6 erfolgen, weil die Si-Nitridschicht 8 an den Seiten erhalten bleiben muß. Die Positioniergenauigkeit ist rechts in Fig. 4 mit Δb 10 angedeutet. In diesem Bereich wird beim fertiggestellten Transistor eine etwas größere Kanallänge vorhanden sein. Da aber die Transistorbreite $b > \Delta b$ ist, wird Δb nur einen geringen Einfluß auf die 15 Transistoreigenschaft haben. In Fig. 4 sind wieder beide Querschnitte nach diesem Verfahrensschritt dargestellt.

Anschließend wird durch einen isotropen Ätzvorgang der Polysiliziumhügel 6 an den beiden freigelegten 15 Seiten abgetragen. Dabei entsteht die Unterätzung "u", wobei die Unterätzung nicht gleichmäßig auf Grund des teilweise noch geschützten Hügels erfolgt. Fig. 5 zeigt wieder die entsprechenden Querschnitte.

Nachfolgend werden die Reste der Si-Nitridschichten 4 und 8 entfernt. Danach wird mittels RIE der Polysiliziumhügel 6 abgetragen. Es wird so lange geätzt, bis die Schutzschicht 2 im Bereich der Unterätzung freiliegt. Am Ende des Ätzvorganges sollte eine möglichst rechteckige Form des Polysiliziumhügels 6 vorliegen. Die freigelegten Teile der Schutzschicht 2 werden danach abgeätzt. Fig. 6 zeigt beide 20 Querschnitte.

Es wird nun eine hochdotierte n^+ -leitende Polysiliziumschicht 11 abgeschieden und mit Hilfe der 3. Maske strukturiert. Die Lage dieser Polysiliziumschicht 11 in source-Drain-Richtung ist rechts in Fig. 7 zu erkennen. Diese Polysiliziumschicht 11 muß auf dem Polysiliziumhügel 6 verlaufen. Dabei darf Δb 25 höchstens gleich Null werden.

Es folgt die Abscheidung einer Isolatorschicht 12. Danach wird eine Photolackschicht 13 abgeschieden und planarisiert, bis die mit den Schichten 11 und 12 bedeckten Polysiliziumhügel 6 zum Vorschein kommen (Fig. 7).

Anschließend wird die freigelegte Isolatorschicht 12 vom Polysiliziumhügel 6 entfernt. Danach wird die 30 freigelegte hochdotierte Polysiliziumschicht 11 entfernt. Es wird so lange geätzt, bis die hochdotierte Polysiliziumschicht 11 bis zum Halbleitersubstrat 1 abgetragen ist. Dabei wird auch der undotierte Polysiliziumhügel 6 zum Teil abgetragen, wenn keine Schutzmaßnahmen vorgesehen werden. Wenn mit einem Ätzratenverhältnis von 2 : 1 für n^+ -Poly : undot. Polysilizium gerechnet wird, so bleibt etwa die Hälfte des undotierten Polysiliziumhügels 6 stehen. Diese Dicke ist für die folgende Implantation als Schutz ausreichend. Es wird die Implantation 22 durchgeführt. Dabei werden Phosphor oder Arsen für die späteren n^- -leitenden Gebiete des FET-Transistors implantiert. Das aktive Transistorgebiet wird durch den Rest des Polysiliziumhügels 6 geschützt (Fig. 8).

Es folgt eine Temperung, wobei dünne Oxidschichten auf allen freien Siliziumflächen entstehen. Temperung und Implantation können auch in der Reihenfolge vertauscht werden. Bei dieser Temperung 40 diffundieren die n -Leitung bewirkenden Störstellen aus der hochdotierten Polysiliziumschicht 11 aus und erzeugen das n^+ -leitende Gebiet 14. Gleichzeitig bildet sich das n^- -leitende Gebiet 15 aus. Auf Grund der geringeren Oberflächenkonzentration des n^- -leitenden Gebietes 15 tritt hier eine kleinere Eindringtiefe auf. Nachfolgend wird eine weitere Isolatorschicht 16 (z.B. SiO_2 -Schicht) abgeschieden und mittels RIE nur von 45 den waagrechten Flächen entfernt. Die Reste des Polysiliziumhügels 6 liegen damit wieder frei (Fig. 9). Anschließend wird mit Hilfe einer Siliziumätzung der Rest des Polysiliziumhügels 6 abgetragen. Durch eine großflächige Oxidüberätzung werden der Rest der Schutzschicht 2 entfernt und die lateralen "Vogelschnäbel" reduziert. Es wird ein Gateoxid 17 erzeugt. Danach folgen die Implantationen zur Einstellung der 50 Schwellspannungen der Transistoren. Mit Hilfe einer Lackmaske werden zunächst die Depletion-Transistoren geschützt (4. Maske, 4. Lackstrukturierung). Durch eine Borimplantation wird die Schwellspannung der Enhancement-Transistoren eingestellt. Nachfolgend werden die Enhancement-Transistoren geschützt (5. Maske, 5. Lackstrukturierung). Durch eine Phosphorimplantation wird die Schwellspannung der Depletion-Transistoren eingestellt. Danach wird eine weitere hochdotierte Polysiliziumschicht 18 abgeschieden und planarisiert. Mit dieser Planarisierung wird eine Selbstpositionierung der Gates erreicht. Längs und quer zur Source-Drain-Richtung treten keine nennenswerten Überlappungen im Bereich dünner Oxidschichten auf. 55 Fig. 10 zeigt die Querschnitte nach diesem Verfahrensschritt.

Um den Schichtaufbau zu vervollständigen, werden Kontaktfenster in der Isolatorschicht 12 erzeugt (6. Maske, 6. Lackstrukturierung). Danach werden weitere Leitbahn- und Isolierschichten abgeschieden und strukturiert.

Durch diesen Verfahrensablauf sind Transistorstrukturen entstanden, die flächenmäßig kleine n^+/n^- -leitende Source-Draingebiete aufweisen. Damit weisen auch die parasitären Kapazitäten zum Substrat sehr kleine Werte auf. Durch die n^- -leitenden Gebiete können die elektrischen Eigenschaften der Transistoren erheblich verbessert werden (geringe Schwellspannungsdrift, kleinere Substrat- und Gateströme). Die Länge der n^- -leitenden Gebiete kann genau und reproduzierbar eingestellt werden. Dadurch, daß das Gateoxid fast am Ende des technologischen Prozesses erzeugt wird, treten nur eine geringe Temperatur- und keine Strahlenbelastung des Gateoxids auf. Es können sehr dünne Gateoxidschichten zuverlässig realisiert werden.

Zur weiteren flächenmäßigen Reduzierung der Bahngebiete wird folgender Verfahrensablauf gewählt:

Nach Realisierung des Polysiliziumhügels 6 gemäß Fig. 6 wird die Phosphor- oder Arsenimplantation durchgeführt (Fig. 11). Anschließend wird oxidiert. Dabei entstehen eine Oxidschicht 20 und die n^- -dotierten Gebiete 15 (Fig. 12). Danach wird mittels RIE die Oxidschicht 20 nur von den waagrechten Flächen entfernt und bleibt auf den senkrechten Flächen erhalten.

Die Feldoxidschicht 9 wird dabei ebenfalls um den Betrag der Oxidschicht 20 abgetragen (Fig. 13). Es folgt die Abscheidung der hochdotierten Polysiliziumschicht 11. Diese wird dann strukturiert. Nachfolgend wird die Isolatorschicht 12 abgeschieden. Danach wird die Photoresistlackschicht 13 abgeschieden und planarisierter, bis die Isolatorschicht 12 auf dem Polysiliziumhügel 6 zum Vorschein kommt (Fig. 14). An Stelle der Photoresistlackschicht 13 können auch Polysilizium oder ähnliche Materialien verwendet werden. Die Planarisierung kann auch mit Hilfe eines Mehrschichtlackaufbaus und einer Dummy-Maske realisiert werden.

Anschließend wird die freigelegte Isolatorschicht 12 vom Polysiliziumhügel 6 abgetragen. Danach wird die freigelegte Polysiliziumschicht 11 entfernt. Es wird nun so lange geätzt, bis etwa die Hälfte der hochdotierten Polysiliziumschicht 11 von der Hügelwand abgetragen ist. Der Abtrag ist dabei unkritisch. Größere Toleranzen können zugelassen werden (Fig. 15). Es folgt die Abscheidung der weiteren Isolatorschicht 16. Diese weitere Isolatorschicht 16 wird zur Auffüllung der Vertiefungen zwischen der Isolatorschicht 12 und der Oxidschicht 20 verwendet. An Stelle der weiteren Isolatorschicht 16 kann auch eine dünne undotierte Polysiliziumschicht abgeschieden und anschließend oxidiert werden (Fig. 16).

Nachfolgend wird die weitere Isolatorschicht 16 durch einen isotropen (d.h. in allen Richtungen gleichmäßigen) Ätzvorgang abgetragen. Die Vertiefungen bleiben aufgefüllt. Es wird dann der Rest des Polysiliziumhügels 6 abgeätzt. Anschließend wird die freigelegte Schutzschicht 2 abgetragen. Dabei werden die freien Isolatorschichten entsprechend verdünnt. Es folgt die Gateoxidation. Dabei entsteht das Gateoxid 17. Die n^- -leitenden Gebiete 15 dehnen sich noch etwas weiter aus und die Isolatorschichten werden verdichtet. Durch das Gateoxid 17 werden dann die Implantationen zur Einstellung der Schwellspannungswerte vorgenommen. Danach wird die weitere hochdotierte Polysiliziumschicht 18 abgeschieden und planarisierter (Fig. 17). Die Isolatorschicht 12 wird dann strukturiert. Es werden die Kontaktfenster zur Polysiliziumschicht 11 realisiert. Diese können in einigen Varianten auch gleich nach der Gateoxidation realisiert werden. Das hat den Vorteil, daß die Kontaktfenster im weiteren Ablauf ebenfalls mit hochdotiertem Polysilizium aufgefüllt werden. Stufen am Kontaktfenster treten dann nicht mehr auf.

Um den Schichtaufbau zu vervollständigen, werden danach weitere Leitbahn- und Isolierschichten abgeschieden und strukturiert. Durch diese Verfahrensvariante können flächenmäßig sehr kleine geringdotierte Bahngebiete realisiert werden. Die Ausdiffusion aus der hochdotierten Polysiliziumschicht ist klein, da eine Hochtemperaturbehandlung nur noch durch die Gateoxidation erfolgt.

Sollen zu den MOS-Transistoren zusätzlich Bipolartransistoren realisiert werden, so ist folgende Prozeßvariante zu wählen: Der beschriebene Prozeßablauf bis zur Erzeugung des Polysiliziumhügels 6 bleibt erhalten (Fig. 6). An Stelle der n^+ -dotierten Polysiliziumschicht 11 wird eine undotierte Polysiliziumschicht abgeschieden. Diese undotierte Polysiliziumschicht wird im Emitter-Basisbereich des Bipolartransistors p-leitend und im Kollektorbereich n-leitend dotiert. Bei den MOS-Transistoren wird entsprechend verfahren. Der n-Kanal-MOS-Transistor wird in seinem Bereich n-leitend, der p-Kanal-MOS-Transistor dagegen p-leitend dotiert. Das bedeutet, daß zunächst die p-Kanalbereiche geschützt werden müssen, d. h. der Emitter-Basisbereich des Bipolartransistors und der p-Kanal-MOS-Transistor werden mit einer Lack- oder Oxidschicht abgedeckt. Die freigelegten Teile der undotierten Polysiliziumschicht werden einer Phosphor- oder Arsenimplantation ausgesetzt. Anschließend werden diese Bereiche geschützt und die verbliebenen einer Borimplantation unterzogen. Danach wird weiter verfahren wie in Fig. 7, 8 und 9 dargestellt. Nach Entfernen des Polysiliziumhügels 6 bleibt zunächst die Schutzschicht 2 erhalten. Es wird eine Photolackschicht abgeschieden, die strukturiert wird, so daß der Emitter-Basisbereich des Bipolartransistors freiliegt. Danach folgt eine Borimplantation. Mit Hilfe dieser Borimplantation und einer nachfolgenden Temperung wird das p-leitende Basisgebiet 21 des Bipolartransistors erzeugt (Fig. 18). Anschließend werden die Photolackschicht und die Reste der Schutzschicht 2 entfernt. Nun wird die Gateoxidschicht 17

- erzeugt. Diese entsteht auf allen freigelegten Siliziumflächen des Halbleitersubstrats 1, d. h. sowohl bei den MOS-Transistoren als auch bei den Bipolartransistoren. Danach wird die Implantation zur Einstellung der Schwellspannungswerte bei den MOS-Transistoren durchgeführt. Das geschieht großflächig. Die implantierten Störstellen beeinflussen den Bipolartransistor kaum, so daß ein besonderer Schutz nicht notwendig ist.
- 5 Anschließend wird die dünne Gateoxidschicht im Bereich der Bipolartransistoren entfernt. Hier müssen jetzt die MOS-Transistoren mittels einer Photolackschicht geschützt werden. Nach Entfernen der Photolackschicht wird dann die hochdotierte Polysiliziumschicht 18 abgeschieden und planarisiert.
- Bei der nachfolgenden Temperung diffundieren Störstellen aus der n⁺-dotierten Polysiliziumschicht 18 aus und erzeugen die n-leitenden Gebiete 19. Abschließend werden wieder Kontaktfenster in die Isolatorschicht 12 geätzt und weitere Leitbahn- und Isolierschichten abgeschieden und strukturiert.
- 10 Fig. 18 zeigt einen Querschnitt eines fertiggestellten Bipolartransistors.

Patentansprüche

- 15 1. Verfahren zur Herstellung von selbstausgerichteten lateralen und vertikalen Halbleiterbauelementen mit mehreren aufeinanderfolgenden Silizium- und Isolatorschichten, **dadurch gekennzeichnet**, daß ein Halbleitersubstrat (1) verwendet wird, daß darüber eine Schutzschicht (2) erzeugt wird, daß darauf nacheinander eine dicke Polysiliziumschicht (3) und eine dicke Siliziumnitridschicht (4) abgeschieden werden, daß die dicke Siliziumnitridschicht (4) mit Hilfe einer Photolackschicht (5) strukturiert wird, daß die dicke Polysiliziumschicht (3) mittels reaktiven Ionenätzens (RIE) nur von den freigelegten Flächen bis zu einer bestimmten Tiefe wieder abgetragen wird, wobei ein Polysiliziumhügel (6) erzeugt wird, daß eine Borimplantation (7) durchgeführt wird (Fig.1), daß eine dünne Siliziumnitridschicht (8) abgeschieden wird, daß diese dünne Siliziumnitridschicht (8) mittels RIE nur von den waagrechten Flächen abgeätzt wird, daß ein dickes Feldoxid (9) und darunter Kanalstoppergebiete (10) erzeugt werden (Fig.3), daß erneut strukturiert wird, wobei die dünne Siliziumnitridschicht (8) nur am Source- und Drainanschluß entfernt und die dicke Siliziumnitridschicht (4) im freigelegten Bereich verdünnt werden (Fig.4), daß durch einen isotropen Ätzvorgang der Polysiliziumhügel (6) an den freigelegten Seiten abgetragen wird, wobei eine Unterätzung ("u") erzeugt wird (Fig.5), daß die Reste der Siliziumnitridschichten (4, 8) entfernt werden, daß mittels RIE der Polysiliziumhügel (6) nur von den waagrechten Flächen um einen bestimmten Betrag abgetragen wird, wobei ein möglichst rechteckiger Polysiliziumhügel (6) erzeugt wird, daß durch eine Überätzung die freigelegten Teile der Schutzschicht (2) entfernt werden (Fig.6), daß eine hochdotierte Polysiliziumschicht (11) abgeschieden und strukturiert wird, daß eine Isolatorschicht (12) abgeschieden wird, daß eine Photolackschicht (13) abgeschieden und planarisiert wird (Fig.7), wobei nur die Isolatorschicht (12) auf dem Polysiliziumhügel (6) freigelegt wird, daß die freigelegte Isolatorschicht (12) bis zur hochdotierten Polysiliziumschicht (11) abgeätzt wird, daß die freigelegte hochdotierte Polysiliziumschicht (11) bis zum Halbleitersubstrat (1) abgetragen wird, wobei auch der Polysiliziumhügel (6) um einen bestimmten Betrag abgeätzt wird, daß eine Störstellenimplantation (22) zur Erzeugung von schwachdotierten Source- und Draingebieten durchgeführt wird (Fig. 8), wobei dünne thermische Oxidschichten auf den freien Siliziumflächen und die dotierten Gebiete (14, 15) erzeugt werden, daß eine weitere Isolatorschicht (16) abgeschieden wird, daß mittels RIE diese Isolatorschicht (16) nur von den waagrechten Flächen wieder entfernt wird (Fig.9), daß die Reste des Polysiliziumhügels (6) und der Schutzschicht (2) vollständig entfernt werden, daß eine Gateoxidschicht (17) erzeugt wird, daß in an sich bekannter Weise Ionen-Implantationen zur Einstellung der Schwellspannungen der Feldeffekt-Transistoren durchgeführt werden, daß eine weitere hochdotierte Polysiliziumschicht (18) abgeschieden und planarisiert wird (Fig.10), daß Kontaktfenster in der Isolatorschicht (12) erzeugt werden und daß weitere Leitbahn- und Isolierschichten abgeschieden und strukturiert werden.
- 40 2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, daß nach der Erzeugung eines möglichst rechteckigen Polysiliziumhügels (6) die Störstellenimplantation (22) durchgeführt wird, (Fig.11) daß anschließend die Oxidschicht (20) und die schwachdotierten Gebiete (15) erzeugt werden (Fig.12), daß mittels RIE die Oxidschicht (20) nur von den waagrechten Flächen entfernt wird (Fig.13), daß die hochdotierte Polysiliziumschicht (11) abgeschieden und strukturiert wird, daß die Isolatorschicht (12) abgeschieden wird, daß die Photoresistlackschicht (13) abgeschieden und planarisiert wird, daß die freigelegte Isolatorschicht (12) vom Polysiliziumhügel (6) abgetragen wird (Fig.14), daß danach die freigelegte Polysiliziumschicht (11) um einen gewissen Betrag abgetragen wird (Fig.15), daß die weitere Isolatorschicht (16) abgeschieden wird, wobei die Vertiefungen aufgefüllt werden (Fig.16), daß die weitere Isolatorschicht (16) wieder aufgetragen wird, daß dann der Rest des Polysiliziumhügels (6)

abgeätzt wird, daß die freigelegte Schutzschicht (2) abgetragen wird, daß das Gateoxid (17) erzeugt wird, daß durch das Gateoxid (17) die Ionen-Implantationen zur Einstellung der Schwellspannungswerte vorgenommen werden, daß die weitere hochdotierte Polysiliziumschicht (18) abgeschieden und planariert wird (Fig.17), daß Kontaktfenster in der Isolatorschicht (12) erzeugt werden und daß weitere 5 Leitbahn- und Isolierschichten abgeschieden und strukturiert werden.

10 3. Verfahren nach den Ansprüchen 1 und 2, **dadurch gekennzeichnet**, daß an Stelle der n⁺-dotierten Polysiliziumschicht (11) eine undotierte Polysiliziumschicht abgeschieden wird, daß diese undotierte Polysiliziumschicht im Emitter-Basisbereich eines Bipolartransistors p-leitend und im Kollektorbereich n-leitend dotiert wird, daß nach Entfernen des Polysiliziumhügels (6) und der Schutzschicht (2) im Emitter-Basisbereich des Bipolartransistors eine Borimplantation mit nachfolgender Temperung zur Erzeugung des p-leitenden Basisgebietes (21) durchgeführt wird, daß danach die weitere hochdotierte Polysiliziumschicht (18) abgeschieden wird und daß bei der anschließenden Temperbehandlung die n-leitenden Gebiete (19) für Emitter und Kollektor erzeugt werden (Fig.18).

15

Hiezu 10 Blatt Zeichnungen

20

25

30

35

40

45

50

55

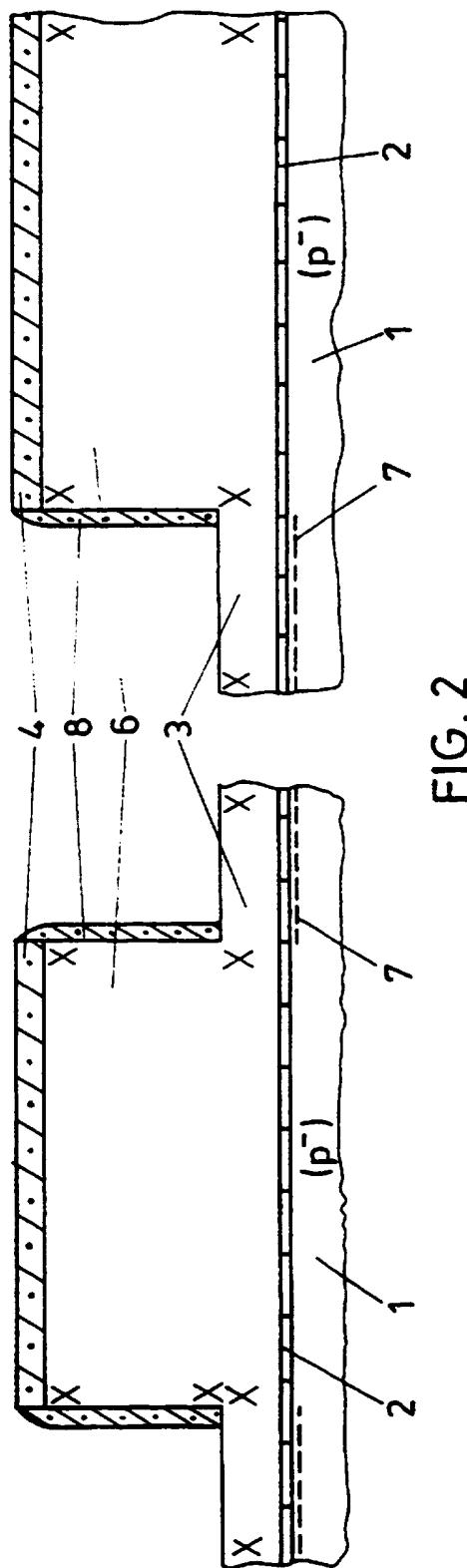
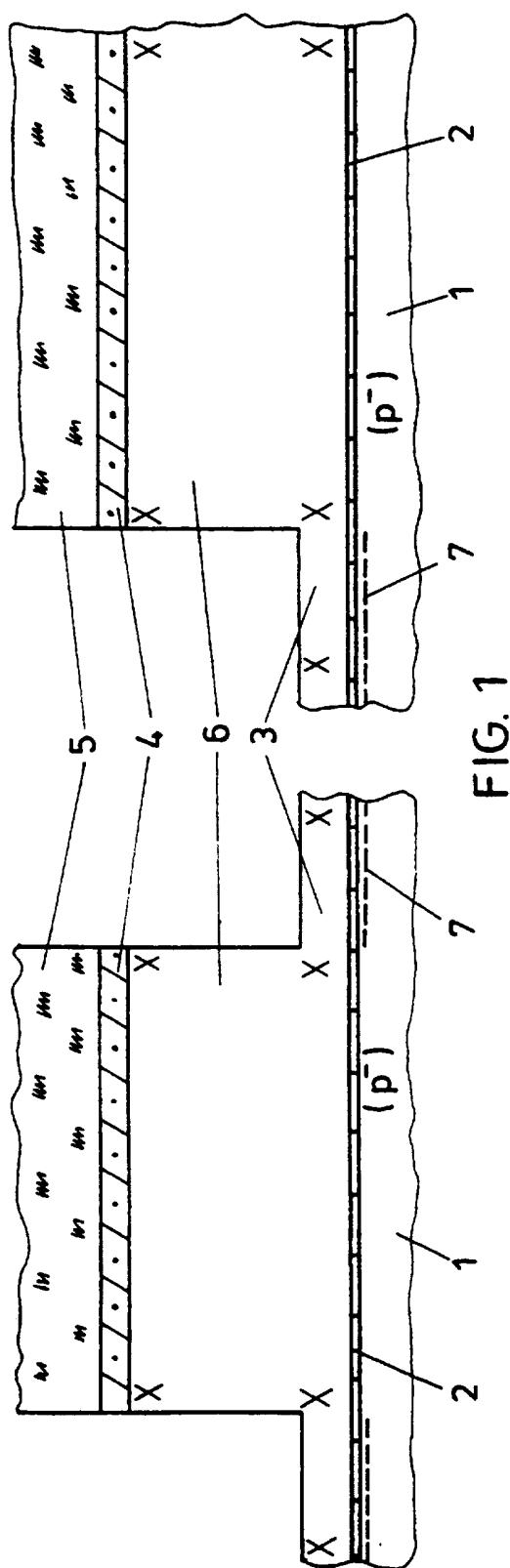


FIG. 2

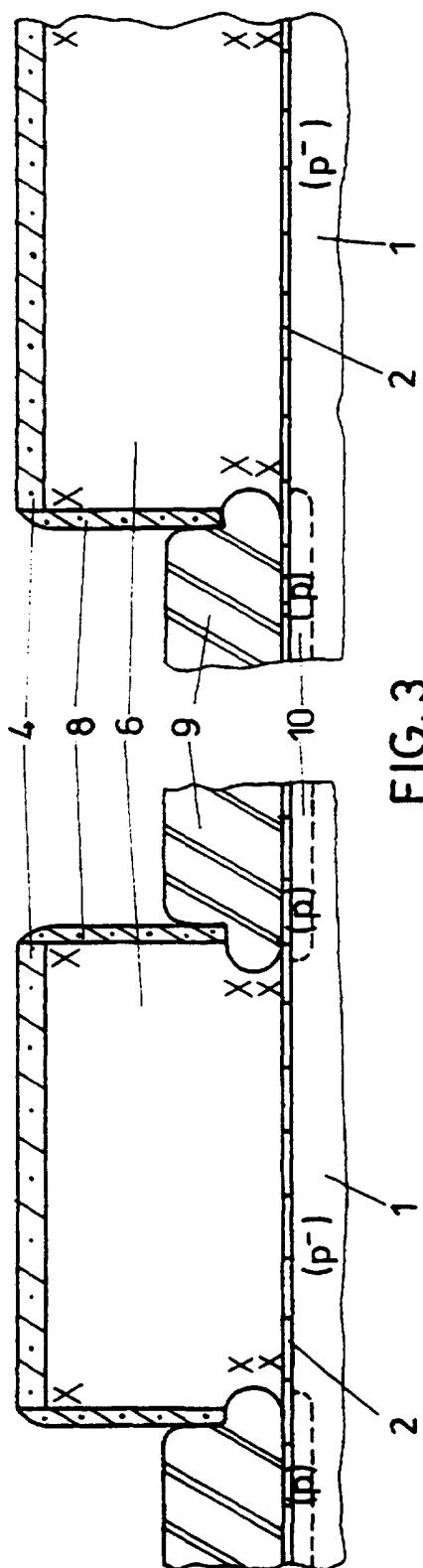


FIG. 3

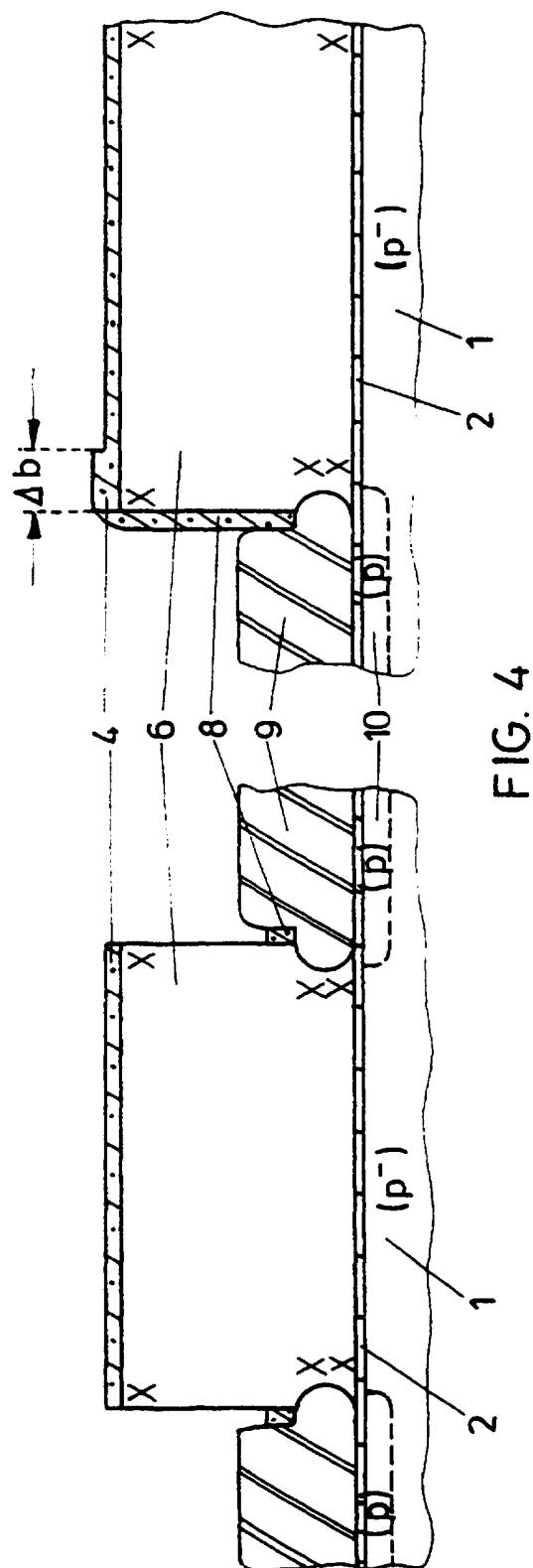


FIG. 4

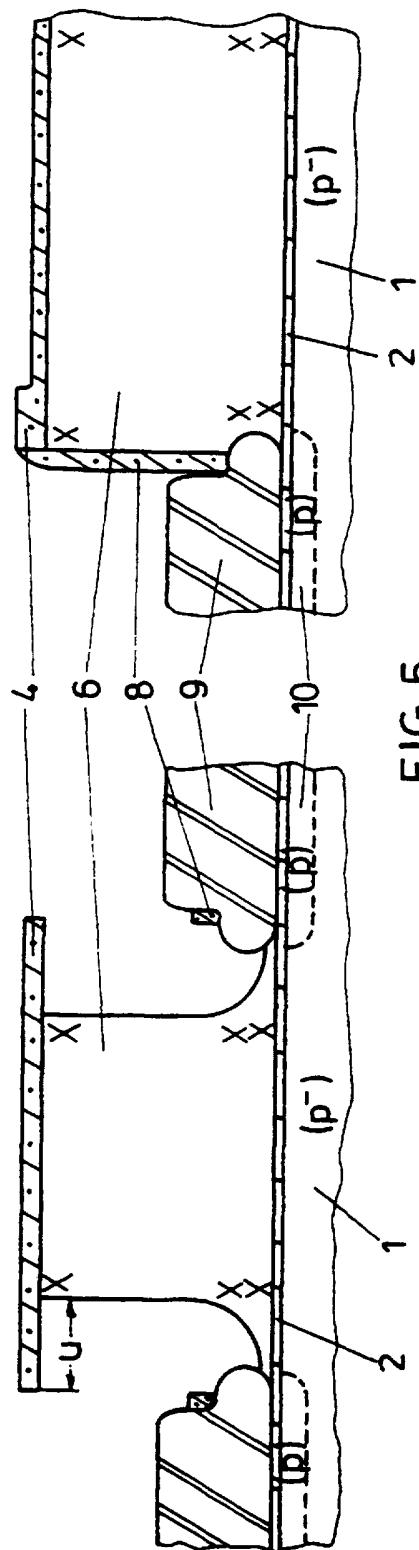


FIG 5

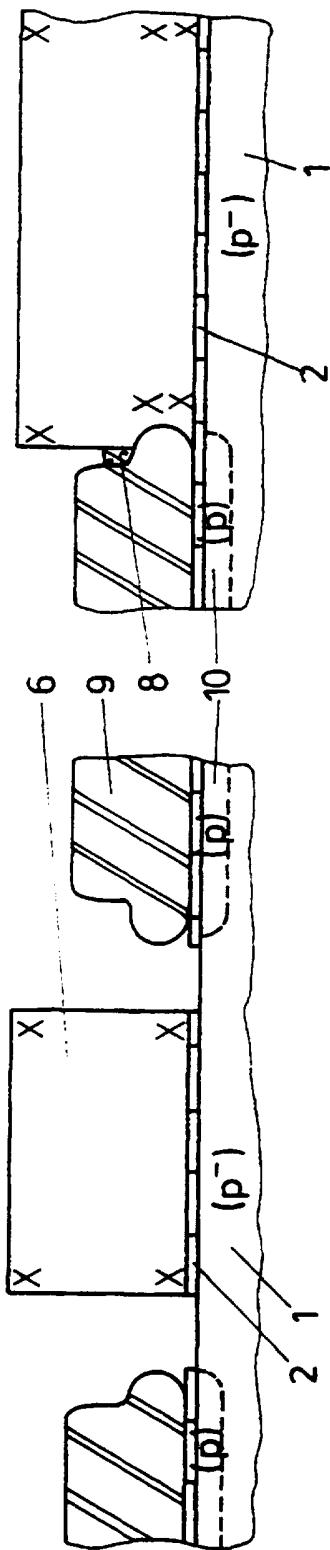
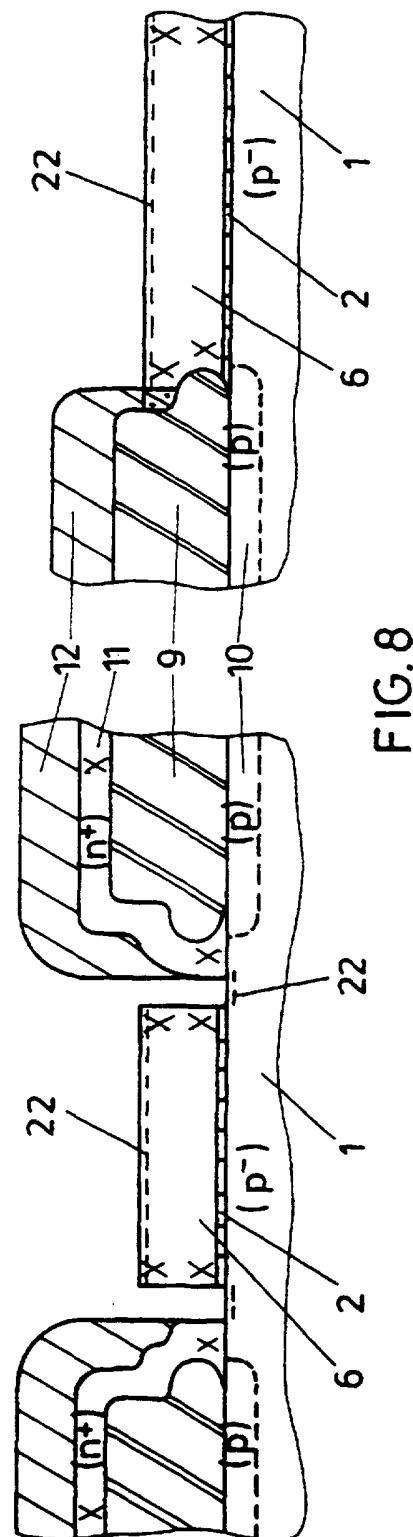
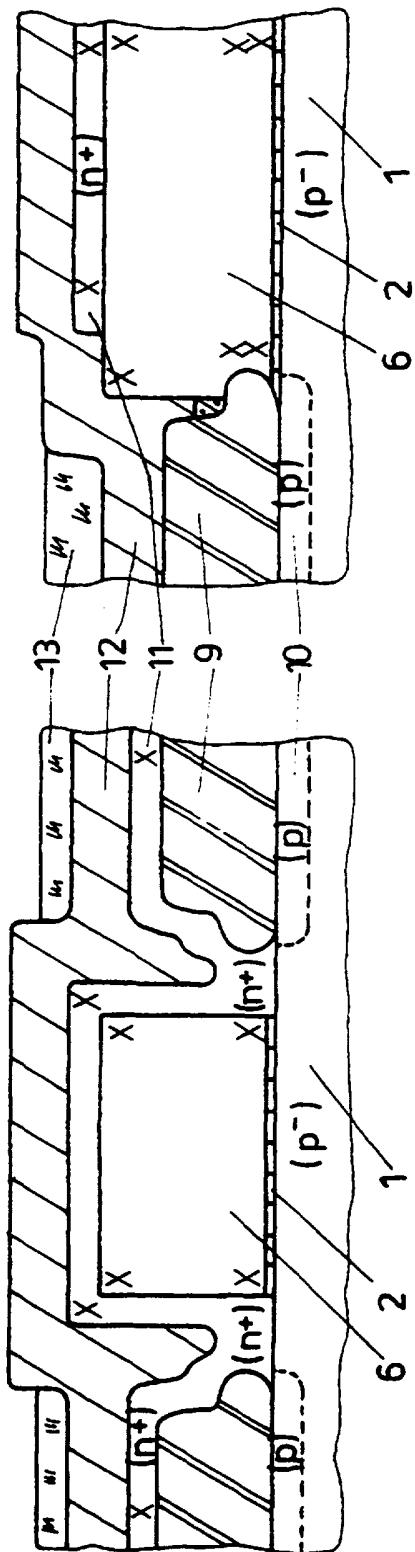


FIG. 6



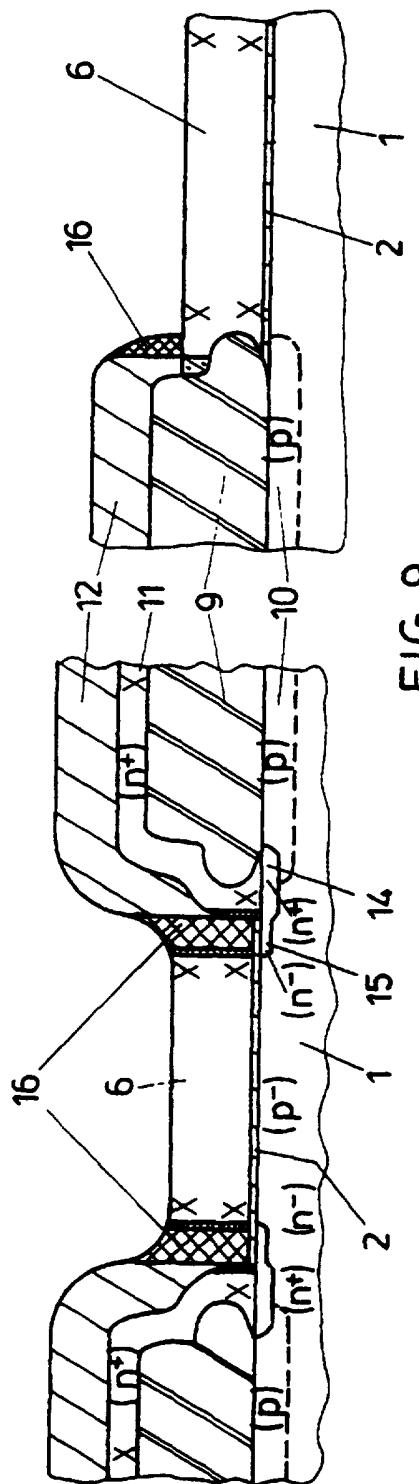


FIG. 9

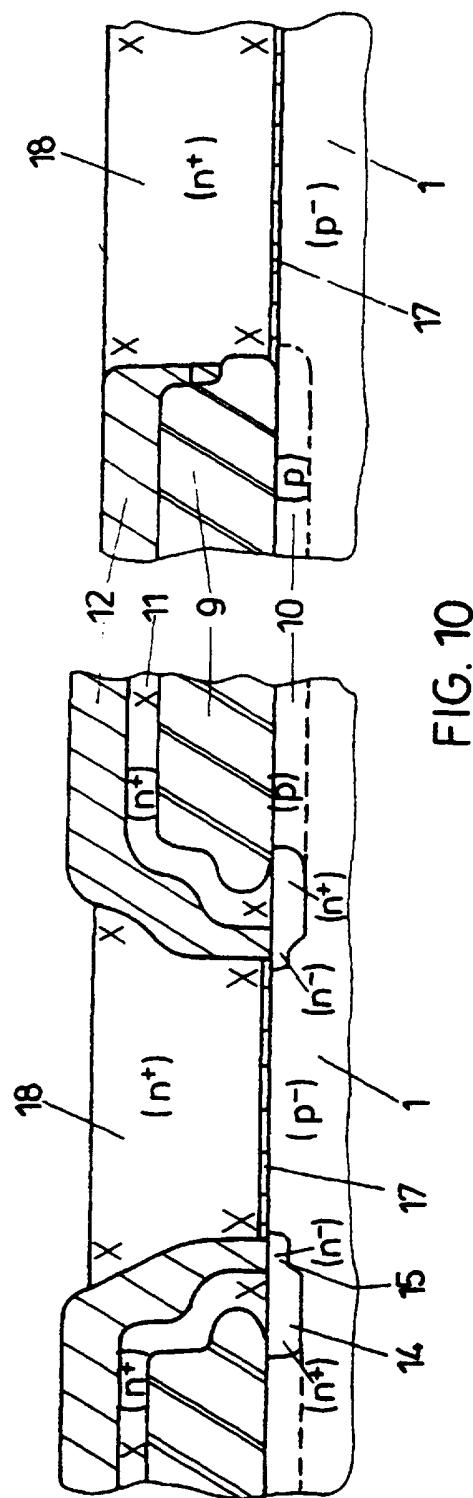


FIG. 10

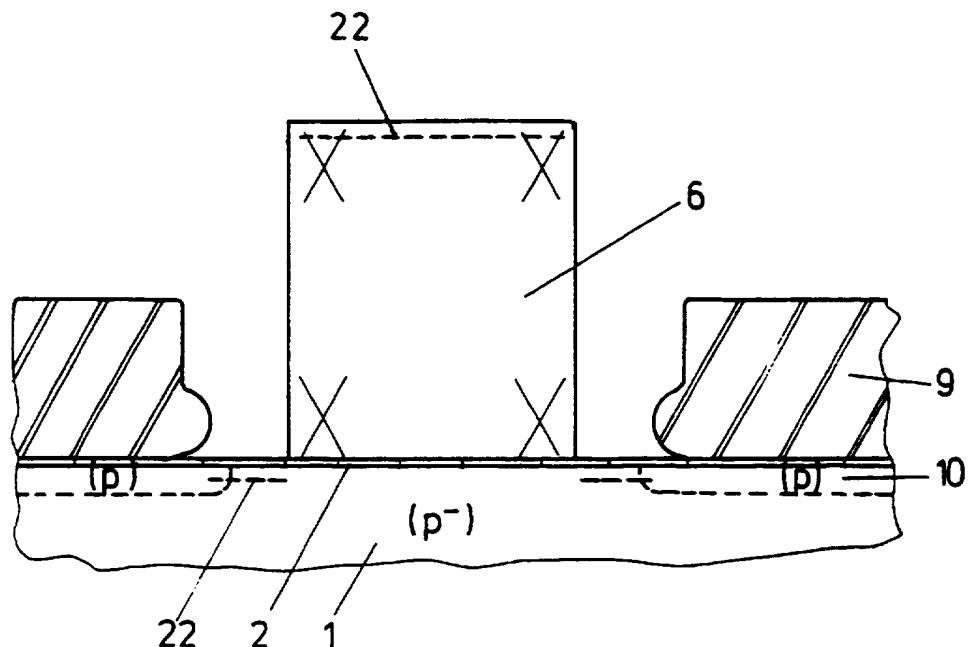


FIG. 11

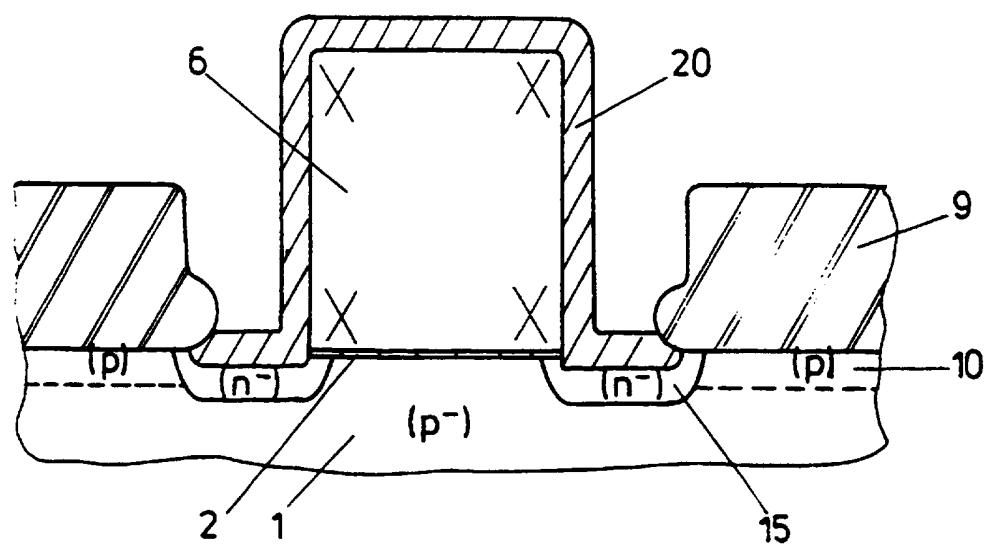


FIG. 12

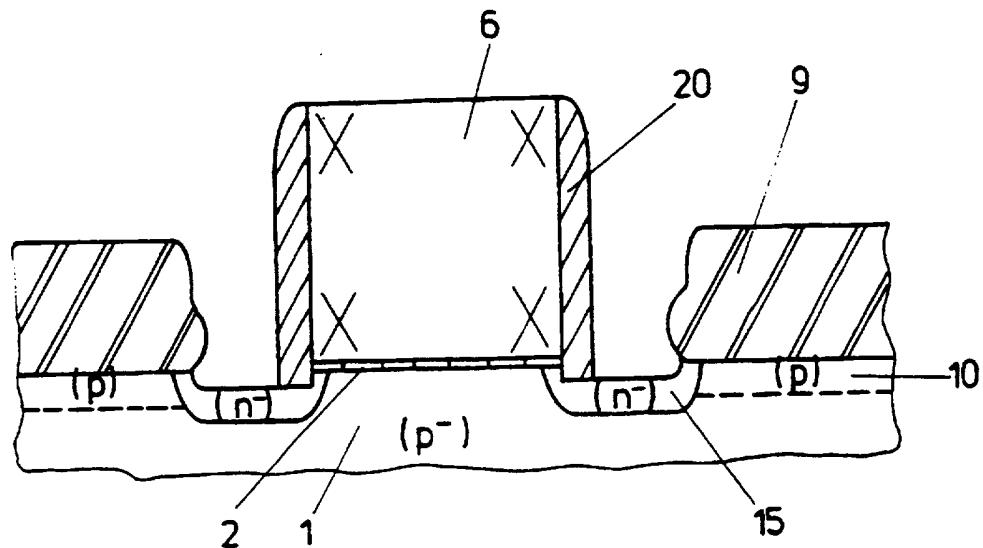


FIG. 13

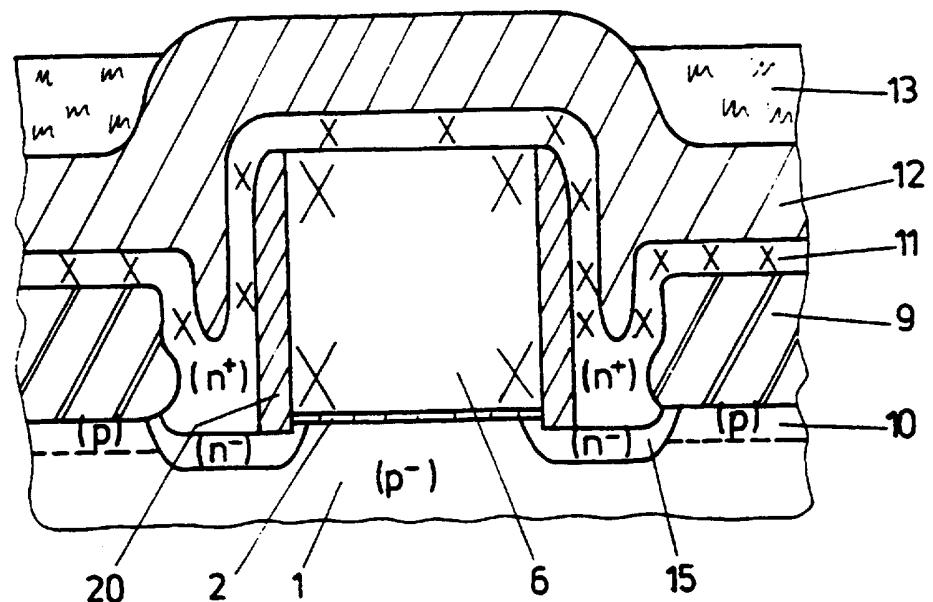


FIG. 14

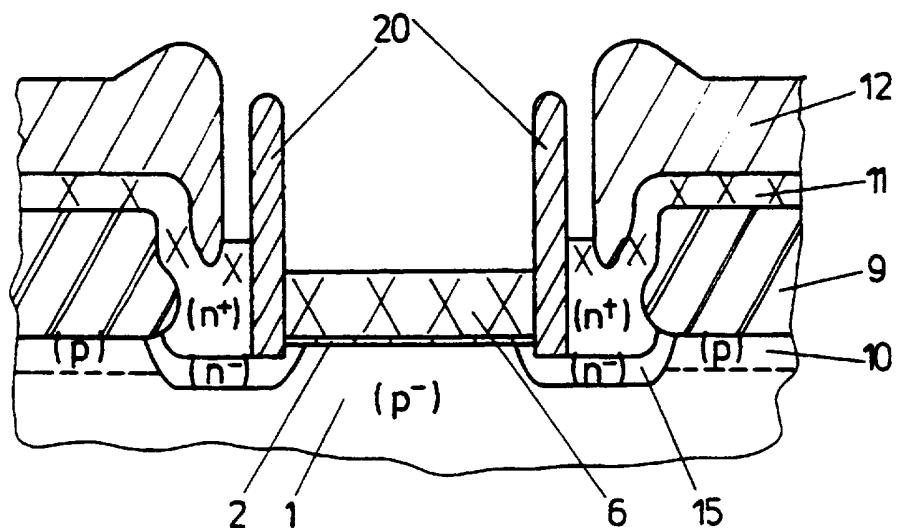


FIG. 15

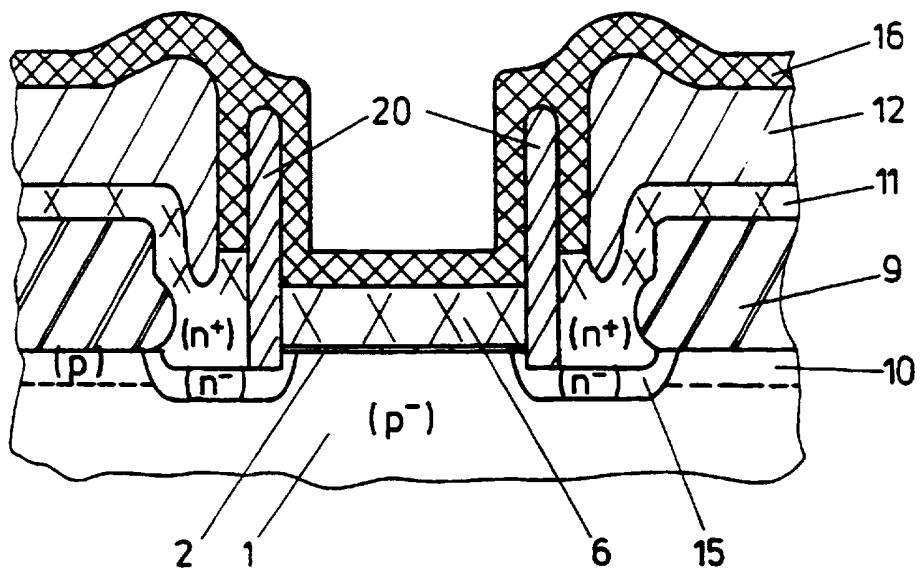


FIG. 16

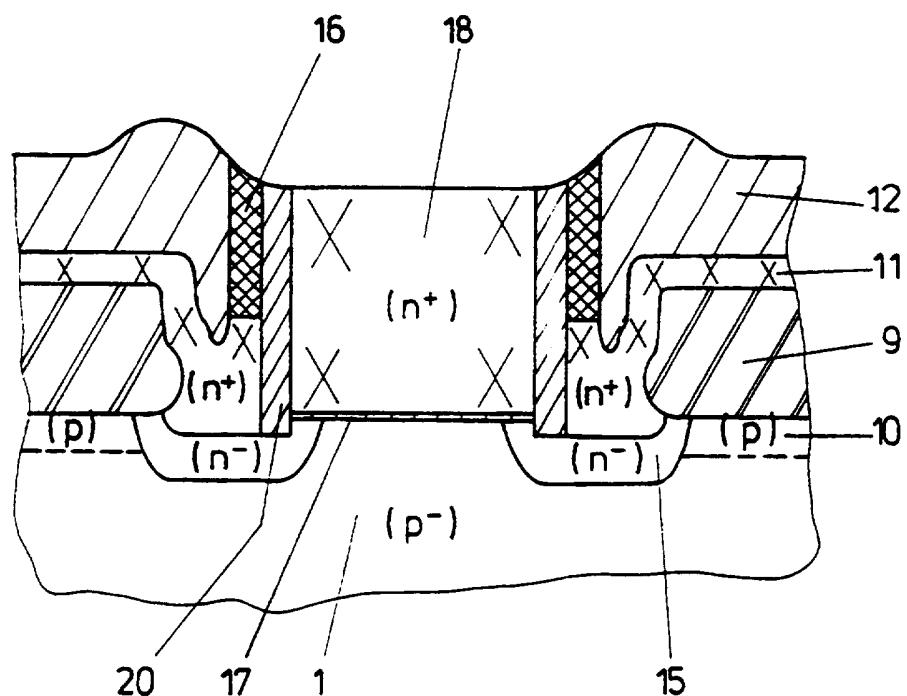


FIG.17

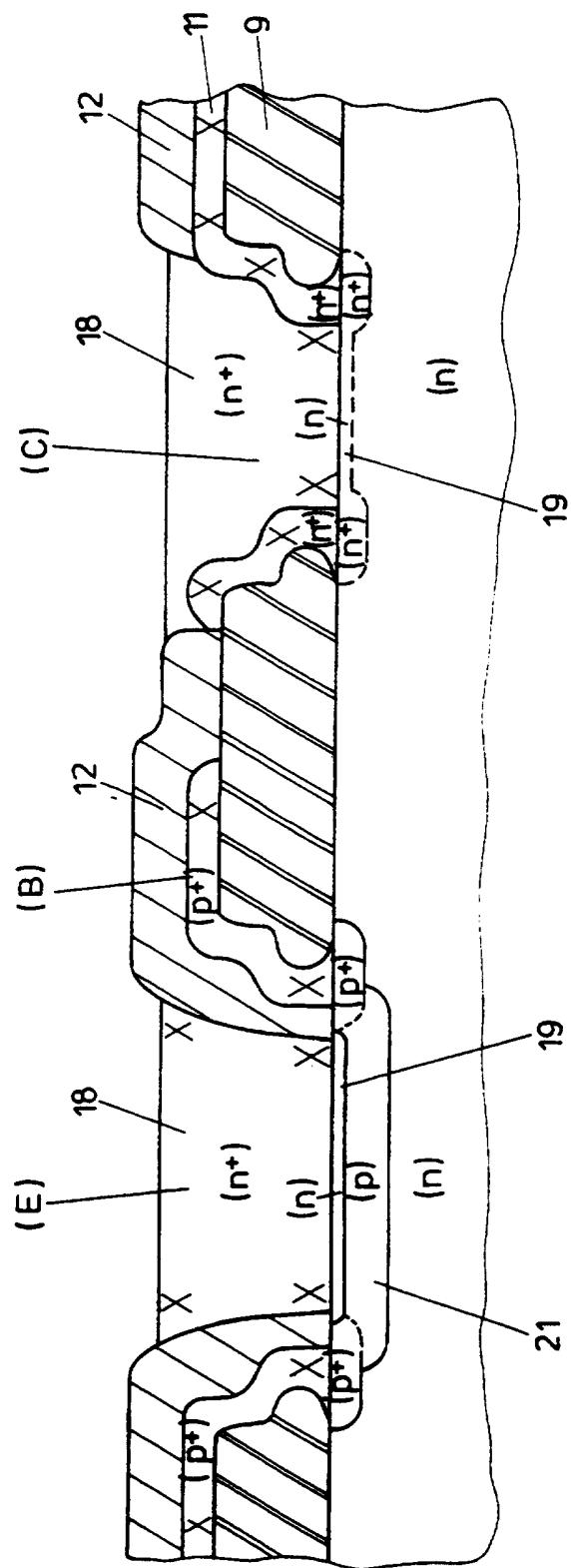


FIG. 18