

# 公告本

申請日期	90.1.7
案 號	90100117
類 別	G06F 9/00

A4  
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		I222011
一、發明 名稱	中 文	處理線串間之共享記憶體
	英 文	MEMORY SHARED BETWEEN PROCESSING THREADS
二、發明人 創作	姓 名	1. 吉伯特 沃瑞屈 GILBERT WOLRICH 2. 馬修 J. 艾迪雷塔 MATTHEW J. ADILETTA 3. 威廉 惠勒 WILLIAM WHEELER 4. 丹尼爾 卡特 DANIEL CUTTER 5. 黛伯拉 柏恩史汀 DEBRA BERNSTEIN
	國 籍	
住、居所	住、居所	1. 美國麻薩諸塞州弗明漢市希得米爾路4號 2. 美國麻薩諸塞州沃瑟斯特市孟堤希羅大道20號 3. 美國麻薩諸塞州南波洛市亞雷尼大道9號 4. 美國麻薩諸塞州當聖市華納特街14號 5. 美國麻薩諸塞州舒伯利市皮克漢路443號
	住、居所	
三、申請人	姓 名 (名稱)	美商英特爾公司 INTEL CORPORATION
	國 籍	美國
	住、居所 (事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號
	代 表 人 姓 名	F. 湯姆士. 當烈二世 F. THOMAS DUNLAP, JR.

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

美國 2000年01月05日 09/479,377 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

### 發明背景

本發明相關於在處理線串間共享的記憶體。

一電腦線串為一執行工作的電腦指令序列及流出。一電腦線串結合一組的資源及關聯。

### 發明概要

在本發明的一般觀點中，一種方法包含藉由第一處理器將一資料推進一堆疊而由第二處理器將此資料擊出此堆疊。

本發明的優點與其他特色將由下面的說明及申請專利範圍變得明顯。

### 圖示簡述

圖1為採用以硬體為基礎的多線串處理器之系統方塊圖。

圖2為採用圖1以硬體為基礎的多線串處理器之微引擎的方塊圖。

圖3為顯示在圖1及2微引擎上執行的兩個線串的指令集方塊圖。

圖4為圖1顯示所選擇包含堆疊模組之處理器的子系統的系统簡化方塊圖。

圖5A為顯示圖4堆疊模組的記憶體元件方塊圖。

圖5B為顯示圖4堆疊模組替代實做的記憶體元件方塊圖。

圖6A為從圖5A記憶體元件擊出資料的處理之流程圖。

圖6B為顯示在圖6A的擊出處理後圖5A的記憶體元件的

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(2)

方塊圖。

圖7A為將資料推到圖6記憶體元件的處理流程圖。

圖7B為顯示在圖7A的推入處理後圖6B的記憶體元件方塊圖。

圖8為顯示用來實做一堆疊模組之兩堆疊的記憶體元件方塊圖。

### 詳細說明

參考圖1，一系統10包含一平行的，以硬體為基礎的多線串處理器12。硬體為基礎的多線串處理器12連結到一匯流排14、一記憶體系統16及一第二匯流排18。此匯流排14符合周邊元件互連界面，版本2.1，1995年6月1日制定的(PCI)。此系統10對於可分解為平行子工作或功能的工作特別有用。特定的硬體為基礎的多線串處理器12對於頻寬導向的工作比對延遲導向的有用。此硬體為基礎的多線串處理器12有多個微引擎22，每一個有多個硬體控制的線串，其可以同時的作用並獨立的執行一工作。

此硬體為基礎的多線串處理器12還包含中央控制器20，其協助載入微程式碼控制硬體為基礎的多線串處理器12的其他資源並執行其他一般目的的電腦形態功能，例如處理通訊協定，例外處理以及封包處理的額外支援，在那裡微引擎將封包傳出做更詳盡的處理，例如邊界條件。在一具體實例中，這個處理器20為StrongArm(TM)(StrongArm為ARM有限公司的註冊商標，英國)為基礎的架構。此一般目的的處理器20有一作業系統。透過這

### 五、發明說明(3)

個作業系統，此處理器20可呼叫在微引擎22a-22f運作的函數。此處理器20可以使用任何支援的作業系統，最好是即時的作業系統。針對以StrongArm架構實做的核心處理器，作業系統例如，Microsoft NT real-time及VXWorks及uC/OS，可以使用一個可在網際網路上<http://www.ucos-ii.com/>取得的免費作業系統。

硬體為基礎的多線串處理器12還包含複數個功能性的微引擎22a-22f。功能性的微引擎(微引擎s)22a-22f每一個在硬體中維護複數個程式計數器以及與此程式計數器有關的狀態。實際上，對應的複數個線串集可以同時在每一個微引擎22a-22f作用，而在任一時間點上只有一個實際在運作。

在一具體實例中，如顯示的有六個微引擎22a-22f。Each微引擎22a-22f有能力處理四個硬體線串。此六個微引擎22a-22f操作共用的資源，包含記憶體系統16以及匯流排界面24及28。此記憶體系統16包含一同步的動態隨機存取記憶體(SDRAM)控制器26a以及靜態隨機存取記憶體(SRAM)控制器26b。SDRAM記憶體16a及SDRAM控制器26a通常用來處理大量的資料，例如，處理來自網路封包的網路裝載物。此SRAM控制器26b及SRAM記憶體16b係用在低延遲、快速存取工作的網路實做，例如，存取查閱資料表，核心處理器20的記憶體等等。

這六個微引擎22a-22f根據此資料的特徵或存取SDRAM 16a或SRAM 16b。因此，低延遲、低頻寬的資料儲存在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(4)

SRAM中及從之取出，反之延遲較不重要的較高頻寬資料，儲存在SDRAM中及從之取出。此微引擎22a-22f可以對SDRAM控制器26a或SRAM控制器16b執行記憶體參考指令。

硬體多線串的優點可由SRAM或SDRAM記憶體存取加以說明。如一範例，來自微引擎的一Thread\_0的SRAM存取要求，將使得SRAM控制器26b起始對SRAM記憶體16b的存取。此SRAM控制器控制SRAM匯流排的屬性，存取SRAM 16b，從SRAM 16b取回資料，並將資料傳回到一要求微引擎22a-22b。在SRAM存取期間，如果微引擎例如，22a只有單一個線串可以運作，該微引擎在資料從SRAM傳回前將會處於閒置狀態。藉由在每一個微引擎22a-22f內採用硬體關聯交換，此硬體關聯交換可以讓獨一程式計數器的其他關聯在該相同的微引擎中執行。因此，另一個線串，例如，Thread\_1可以在第一線串，例如，Thread\_0，在等待讀取資料傳回的同時工作。在執行期間內，Thread\_1可以存取SDRAM記憶體16a。當Thread\_1在SDRAM單元上運作，而Thread\_0對SRAM單元運作時，一新的線串，例如，Thread\_2可以在微引擎22a中運作。Thread\_2可以運作一特定時間量，直到它需要存取記憶體或執行某些其他長延遲時間的動作，例如存取一匯流排界面。因此，同時的，處理器12可以有一匯流排動作，SRAM動作及SDRAM動作全部都完成或是對一微引擎22a運作並且還有一個線串可以在此資料路徑中處理更多工

## 五、發明說明(5)

作。

此硬體關聯交換還將工作的完成同步化。例如，兩個線串可以擊中相同的共用資源，例如SRAM。這些分別功能單元的每一個，例如FBUS界面28、SRAM控制器26a及SDRAM控制器26b，在其完成要求的工作時從其一微引擎線串關聯回報一旗標通知一動作的完成。當此微引擎接收到此旗標時，此微引擎可以決定要打開那一個線串。

硬體基礎的多線串處理器12應用的一個範例是網路處理器。在做為網路處理器時，此硬體基礎的多線串處理器12界接到網路裝置，例如媒體存取控制器裝置，例如10/100 BaseT Octal MAC 13a或是Gigabit乙太網路裝置13b。此Gigabit乙太網路裝置13b符合IEEE 802.3z標準，1998年6月認可的。大體上，在做為網路處理器時，硬體基礎的多線串處理器12可以界接任何形態的通訊裝置或是接收/送出大量資料的界面。在一網路應用中工作的通訊系統10可以接收複數個網路封包從裝置13a、13b並以平行方式處理那些封包。利用此硬體基礎的多線串處理器12，每一個網路封包可以獨立的被處理。

處理器12用途的另一個範例是後記處理器的印表引擎或是儲存子系統，也就是RAID磁碟儲存的處理器。另一用途是配對引擎。以證券業為例，電子交易的到來需要使用電子配對引擎來配對買方與賣方的訂單。這些及其他工作的平行形態可以在系統10中完成。

此處理器12包含一匯流排界面28，其連接處理器與第

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(6)

二匯流排18。在一具體實例中的匯流排界面28連結處理器12與所謂的FBUS 18(FIFO匯流排)。此FBUS界面28負責控制與界接處理器12與FBUS 18。此FBUS 18為64-位元寬的FIFO匯流排，用來界接媒體存取控制器(MAC)裝置。

此處理器12包含第二屆面，例如PCI匯流排界面24，其連結在PCI 14匯流排上的其他系統元件與處理器12。此PCI匯流排界面24，提供到記憶體16，例如，SDRAM記憶體16a的高速資料路徑24a。透過該路徑資料可以藉由直接記憶體存取(DMA)轉移快速的從SDRAM 16a通過PCI匯流排14。硬體基礎的多線串處理器12支援影像轉移。此硬體基礎的多線串處理器12可以採用複數個DMA通道，如此在其中一個DMA轉移標的為忙碌時，另一個DMA通道可以替代此PCI匯流排來遞送資訊到另一個標的來維持處理器12的高效率。另外，此PCI匯流排界面24支援標的及主控操作，標的操作為匯流排14上的附屬裝置透過附屬至標的操作的讀取與寫入來存取SDRAMs的操作。在主控操作中，處理器核心20直接送出資料到PCI界面24或直接從之接收資料。

每一個功能單元連結到一或多個內部匯流排。如下面說明的，內部匯流排為雙，32位元匯流排(也就是，一個匯流排用來讀取一個用來寫入)。硬體基礎的多線串處理器12係架構來讓處理器12內的內部匯流排頻寬的加總超過連接到此處理器12的外部匯流排頻寬。此處理器12包含一內部核心處理器匯流排32，例如ASB匯流排(高等系統匯

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(9)

資料為有效的或已送出。轉移暫存器庫78及80都經由資料路徑連接到執行方塊(EBOX)76。在一實做中，此讀取轉移暫存器有64個暫存器及寫入轉移暫存器有64個暫存器。

參考圖3，處理器12有分別在微引擎22a及22b中執行的處理線串41及42。在其他的例子中，線串41及42可以在相同的微引擎中執行。此處理線串可以共用或不共用其間的資料。例如，圖3中，處理線串41接收資料43並加以處理來產生資料44。處理線串42接收並處理資料44來產生輸出資料45。線串41及42同時作用。

因為微引擎22a及22b共用SDRAM 16a及SRAM 16b(記憶體)，一個微引擎22a可能需要指定記憶體區段做排它的使用。為有助於有效的分配記憶體區段，此SDRAM記憶體分割承記憶體區段，參考為緩衝器。緩衝器中的記憶體位置共用一共同的位址前置，或指標器。此指標器被處理器用作緩衝器的識別。

目前未被處理線串使用的緩衝器指標器藉由將此指標推入到閒置的記憶體堆疊來管理。一線串可以藉由將一指標擊出此堆疊來分配一緩衝器給此線串使用，並利用使指標來存取對應的緩衝器。當一處理線串不再需要一分配給此處理線串的緩衝器，此線串將此緩衝器指標推入到此堆疊讓其他線串可以使用此緩衝器。

線串41及42有處理器指令集46、47其分別包含一"PUSH" 46a及一"POP" 47A指令。在執行或此"PUSH"或此

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 12 )

邏輯將指定SRAM中的一記憶體位置來儲存單元的資料(資料)，其被推入到堆疊上。推入堆疊的資料可以是文字、數字資料或甚至是另一個記憶體位置的位址或指標。

參考圖6A，要將資料擊出儲存在SRAM暫存器Q1中的堆疊，線串42執行101指令"POP #1"。此擊出指令為微引擎22指令集的部份。此擊出指令在匯流排55上傳送到控制邏輯51做堆疊的處理。控制邏輯51解碼102擊出指令。此控制邏輯還決定103暫存器，其包含在指令中參考的堆疊指標，根據擊出指令的引數。因為擊出指令的引數為"#1"，對應的暫存器為Q1。此控制邏輯51傳回104，Q1暫存器的內容，到處理線串42的關聯。圖5A的堆疊將傳回"0xC5"。處理線串42接收107，Q1暫存器的內容，其為"0xC5"，並利用108接收到的內容來存取來自對應堆疊緩衝器61b資料，藉由將後置附加到內容中。

控制邏輯27讀取105，儲存在Q1暫存器中的位址(0xC5)的內容(0xA1)。控制邏輯27儲存106，在Q1暫存器中的讀取內容(0xA1)來指示0xC5已從堆疊中移除而0xA1現在是堆疊頂的資料項。

參考圖6B，將說明在圖6A動作後堆疊的狀態。如所示，暫存器Q1現在包含位址0xA1，其為先前堆疊上第二個資料項的位址。另外，先前堆疊緩衝器61b的位置(圖5A中)現在是處理緩衝器65，其被線串42所用。因此，線串42已將堆疊緩衝器61b從堆疊60中移除並配置緩衝器61b供自己使用。

## 五、發明說明 ( 13 )

參考圖 7A，將說明把緩衝器加到堆疊中的處理。線串 41 將處理緩衝器 62 (顯示在圖 6B 中) 推到堆疊上，藉由執行 201 指令 "PUSH #1 0x01"。引數 0x01 為緩衝器 62 的指標，因為它是緩衝器中位置的位址空間共同的前置。此推入指令在匯流排 55 上傳送到控制邏輯 51。

在接收到推入指令時，控制邏輯 51 解碼 202 指令並決定 203，對應此指令的 SRAM 暫存器，根據推入指令的第二個引數。因為此第二個引數為 "#1"，此對應暫存器為 Q1。此控制邏輯 51 從推入指令的第三個引數 (0x01) 決定出要推入的位址。此控制邏輯決定 205，Q1 暫存器的內容，藉由讀取暫存器位置的位址。此值 0xA1 為圖 6B 堆疊中 Q1 暫存器的內容。此控制邏輯儲存 206，Q1 暫存器內容 (0xA1) 在位址為推入位址 (0x01) 的 SRAM 位置中。此控制邏輯接著儲存 207，推入位址 (0x01) 在 Q1 暫存器中。

參考圖 7B，將說明在圖 7A 動作後的堆疊內容。如示，此 SRAM 暫存器 Q1，包含堆疊上第一位置的位址，現在為 0x01。堆疊上第一位置的位址也是堆疊緩衝器 61d 的位址，其先前為線串 41 使用的處理緩衝器 62。此位置 0xA1，其為堆疊上第一資料項，現在是堆疊上的第二資料項。因此，線串 41 將堆疊緩衝器 61d 加到堆疊，使之可分配給其他線串。線串 42 可稍後配置此堆疊緩衝器 61d 給自己使用，藉由將之擊出堆疊，如之前圖 6A 說明的。

參考圖 8，第二堆疊 60b (虛構中顯示的) 可以實做在相同的堆疊模組中，藉由使用第二 SRAM 控制暫存器來儲存第

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要 (發明之名稱：處理線串間之共享記憶體 )

一種方法，包含藉由第一處理器將一資料推進一堆疊而由第二處理器將此資料擊出此堆疊。

(請先閱讀背面之注意事項再填寫本頁各欄)

英文發明摘要 (發明之名稱：MEMORY SHARED BETWEEN PROCESSING THREADS )

A method includes pushing a datum onto a stack by a first processor and popping the datum off the stack by a second processor.

訂

線

## 五、發明說明 ( 7 )

流排)，其連接處理器核心20到記憶體控制器26a、26b以及到下面說明的ASB轉譯器30。此ASB匯流排為當做Strong Arm處理器核心的所謂AMBA匯流排的子集。此處理器12還包含一私有匯流排34，其連接此微引擎單元與SRAM控制器26b、ASB轉譯器30及FBUS界面28。記憶體匯流排38連結記憶體控制器26a、26b與匯流排界面24及28以及記憶體系統16包含在開機動作等等用的快閃唯讀記憶體16c。

參考圖2，顯示了說明範例的一個微引擎22a-22f，例如微引擎22f。此微引擎包含控制儲存70，其在一實做中，包含在此為1,024個32位元的字的RAM。此RAM儲存一微程式。此微程式由核心處理器20載入。微引擎22f還包含控制器邏輯72。此控制器邏輯包含一指令解碼器73及程式計數器(PC)單元72a-72d。四個微程式計數器72a-72d係以硬體方式維護。此微引擎22f還包含關聯事件切換邏輯74。關聯事件邏輯74接收來自每一個共用資源，例如SRAM 26a、SDRAM 26b或處理器核心20、控制及狀態暫存器等等的訊息(例如，SEQ\_#\_EVENT\_RESPONSE；FBI\_EVENT\_RESPONSE；SRAM\_EVENT\_RESPONSE；SDRAM\_EVENT\_RESPONSE；及ASB\_EVENT\_RESPONSE)。這些訊息提供所要求的功能是否已完成的資訊。根據線串所要求的功能是否已完成以及信號通知完成，線串需要等待該完成信號，以及線串是否可以動作，接著線串放在有效的線串清單(未顯示)。此微引擎22f可以有最大數目例

## 五、發明說明 ( 8 )

如4個有效線串。

除了線串本身的事件信號，此微引擎22使用整體性的信號通知狀態。利用信號通知狀態，一線串可以廣播信號狀態至所有的微引擎22。接收要求有效信號，微引擎中的任何及所有線串可以分支到這些信號通知狀態。這些信號通知狀態可以用來決定資源是否可用或是資源受否預備要服務。

關聯事件邏輯74有四個(4)線串間的仲裁。在一具體實例中，此仲裁為圓形知更鳥的機制。其他可以用的技術包含優先順序佇列或是權重式的公平佇列。此微引擎22f還包含一執行方塊(EBOX)資料路徑76，其包含一算術邏輯單元76a以及一般目的暫存器組76b。此算術邏輯單元76a執行算術及邏輯功能以及移位功能。此暫存器組76b有相當大數目的一般目的暫存器。如圖6中說明的，在這個實做中有64個一般目的暫存器在第一記憶庫，Bank A以及64個在第二記憶庫Bank B。此一般目的暫存器為可移動區間的，如將說明的為相對及絕對的可定址。

此微引擎22f還包含一寫入轉移暫存器78及一讀取轉移暫存器80。這些暫存器也是可移動區間的，所以為相對及絕對的可定址。寫入暫存器78是要寫入資料到定位的資源。類似的，讀取轉移暫存器80是用來從共用資料傳回資料的。伴隨資料抵達的或同時的，來自個別共用資源，例如SRAM控制器26a、SDRAM控制器26b或核心處理器20的事件信號將提供給關聯事件仲裁器74，其將接著會警告線串

## 五、發明說明 ( 10 )

"POP"指令時，此指令傳送到一邏輯堆疊模組56(圖4)。

參考圖4，處理器12的區段及SRAM 16b提供此邏輯堆疊模組56。此邏輯堆疊模組實做為SRAM位址的連結列表。此連結列表上的每個SRAM位址包含此列表下一資料項的位址。結果，如果有列表上第一資料項的位址，便可以讀取該位址的內容來找到列表上下一個資料項的位址，依此類推。另外，連結列表上的每一個位址與一對應記憶體緩衝器結合。因此堆疊模組56係用來實做記憶體緩衝器的連結列表。在使用時，此連結列表允許此堆疊依需求增加或減少大小。

此堆疊模組56包含SRAM單元26b上的控制邏輯51。此控制邏輯51對此堆疊執行必要的動作，而SRAM 16b儲存此堆疊的內容。SRAM暫存器50其中之一係用來儲存堆疊上第一SRAM位置的位址。此位址還指到堆疊上的第一緩衝器。

雖然堆疊模組56及此線串的不同元件將利用使用硬體執行續集堆疊模組的範例加以解釋，此堆疊也可以用軟體模組方式實做在作業系統軟體線串中。線串41及線串42可以實做為兩個作業系統線串，其執行"PUSH"及"POP"作業系統命令來分配共用記憶體儲存池的記憶體。此作業系統命令可以包含呼叫以"C"程式語言寫的函數程式庫。在此作業系統範例中，控制邏輯51的等效，此SRAM暫存器50及SRAM 16b係利用作業系統中的軟體來實做。此軟體可以儲存在硬碟、軟碟、電腦記憶體或其他的電腦可讀取媒

## 五、發明說明 ( 11 )

體。

參考圖5A，SRAM暫存器Q1儲存此堆疊60上第一資料項的位址(OxC5)。此堆疊60上第一資料項的此SRAM位置(OxC5)係用來儲存此堆疊60上第二資料項的SRAM位址(OxA1)。此堆疊60上第二資料項的此SRAM位址(OxA1)係用來儲存堆疊60上第三資料項的位址，等等。此堆疊最後一個資料項的SRAM位置(0xE9)儲存預先決定的無效位址(0x00)，其指示出連結列表的結束。

另外的，堆疊60上項目的位址(OxC5、OxA1及OxE9)係指到包含在SDRAM 16a中的堆疊緩衝器61a、61b、61c。一緩衝器的指標由線串41推到堆疊上，如此緩衝器可以被其他處理線串使用。一緩衝器被指行緒42擊出以分配緩衝器給線串42使用。此指標係當做存取緩衝器中記憶體位置的位址基底。

除了堆疊緩衝器61a-c外，SDRAM 16A還包含分配給線串41的處理緩衝器62。此處理緩衝器62的指標不在堆疊上因為它不能分配給其他的線串。線串41可以稍後將一指標推入處理緩衝器62到堆疊上，當它不再需要此緩衝器62時。

雖然此堆疊將參考上面的緩衝器管理設計加以討論，但它不需要緩衝器的使用。參考圖5B，此SRAM位置OxC5、OxA1及OxE9可以分別包含除了列表上下一資料項的位址外的資料70a、70b及70c。這樣的設計可以用來在此堆疊上儲存較小單元的資料70a-c。在這樣的設計中，控制

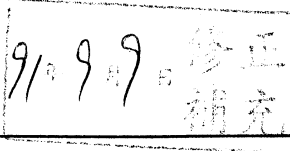
## 五、發明說明( 14 )

二堆疊60b中第一元件的位址。第二堆疊可以用來管理不同組的記憶體緩衝器，例如，在SRAM 16b或SDRAM 16a中。第一堆疊60a具有儲存在SRAM暫存器Q1中的堆疊60a上第一元件的位址。另外，第二堆疊60b有儲存在暫存器Q6中其第一元件的位址。第一堆疊60a相同於圖7B中的堆疊60。此第二堆疊60b類似於先前說明的堆疊。

其他的具體實例在下面專利範圍的範疇中。雖然堆疊60(顯示在圖5A中)儲存暫存器Q1中第一元件的指標，SRAM 16b中的連結列表以及SDRAM 16a中的緩衝器，任何的堆疊模組元件可以儲存在記憶體的任何位置。例如，它們可以全部儲存在SRAM 16b或SDRAM 16a中。

其他的具體實例可以實做此堆疊在連續的位址空間，取代利用連結列表。此緩衝器的大小可以利用變動長度的指標(位址前置)來變動。例如，一個短指標為較多位址的前置並因而是較大位址緩衝器的指標。

替代的，此堆疊可以用來管理緩衝器以外的資源。堆疊的一個可能應用可以是儲存目前未動作的作用線串關連的指標。當微引擎22a暫時的離開第一作用線串來處理第二作用線串，其將第一作用線串的關連儲存在一記憶體緩衝器中並將該緩衝器的指標推到堆疊上。任何微引擎可以繼續第一作用線串的處理，藉由將包含第一線串關連的記憶體緩衝器指標擊出並載入該關連。因此堆疊可以用來管理多個同時作用線串的处理，藉由多個處理引擎。



## 五、發明說明 ( 14a )

圖式元件符號說明

10	系統
12	平行以硬體為基礎的多線串處理器
13 a	10/100 BaseT Octal MAC
13 b	Gigabit 乙太網路裝置
14	匯流排
16	記憶體系統
16 a	SDRAM 記憶體
16 b	SRAM 記憶體
16 c	快閃唯讀記憶體
18	第二匯流排
20	中央控制器
22	微引擎
22 a-22 f	微引擎
24	匯流排介面
24 a	高速資料路徑
26 a	同步動態隨機存取記憶體 (SDRAM) 控制器
26 b	靜態隨機存取記憶體 (SRAM) 控制器
27	控制邏輯
28	FBUS 介面
30	ASB 轉譯器
32	內部核心處理器匯流排
34	私有匯流排
38	記憶體匯流排

## 五、發明說明 ( 14b )

- 41 處理線串
- 42 處理線串
- 43 資料
- 44 資料
- 45 輸出資料
- 46 處理器指令集
- 46 a "PUSH"
- 47 處理器指令集
- 47 a "POP"
- 50 SRAM 暫存器
- 51 控制邏輯
- 55 匯流排
- 56 邏輯堆疊模組
- 60 堆疊
- 60 a 第一堆疊
- 60 b 第二堆疊
- 61 a 堆疊緩衝器
- 61 b 堆疊緩衝器
- 61 c 堆疊緩衝器
- 61 d 堆疊緩衝器
- 62 處理晚衝器
- 65 處理晚衝器
- 70 控制儲存
- 70 a 資料

## 五、發明說明 ( 14c )

70 b	資料
70 c	資料
72	控制器邏輯
72 a-72 d	程式控制器 (PC) 單元
73	指令解碼器
74	關連事件切換邏輯
76	執行方塊 (EBOX) 資料路徑
76 a	算數邏輯單元
76 b	一般目的暫存器組
78	寫入轉移暫存器
80	讀取轉移暫存器
Bank A	第一記憶庫
Bank B	第二記憶庫
Q1	SRAM 暫存器
Q6	暫存器

## 六、申請專利範圍

1. 一種操作處理線串之方法，其包含：  
由第一處理線串將一資料推入到一堆疊上；以及  
由第二處理線串將此資料擊出堆疊。
2. 如申請專利範圍第1項的方法，其中此推入包含：  
在第一線串上執行一推入命令，此推入命令至少有一  
引數，  
決定目前堆疊資料的指標，  
決定與此推入命令引數結合的位置，  
將決定出的指標儲存在此決定的位置，  
產生與所決定出位置結合的指標，目前堆疊資料指  
標。
3. 如申請專利範圍第2項的方法，其中決定一位置包含：  
解碼此推入命令。
4. 如申請專利範圍第2項的方法，其中決定一位置包含：  
將此擊出命令的引數儲存在與此推入命令引數結合的  
位置。
5. 如申請專利範圍第2項的方法，其中該推入命令是處理  
器命令以及作業系統呼叫中的至少一個。
6. 如申請專利範圍第1項的方法，其中擊出包含：  
由第二處理線串執行擊出命令，  
決定出目前堆疊資料的指標，  
將決定出的指標傳回第二處理線串，  
從結合目前堆疊資料指標的位置取回前一個堆疊資料  
的指標，以及

修正替換頁  
93年6月10日

A8  
B8  
C8  
D8

## 六、申請專利範圍

將取回的指標指定為目前堆疊資料的指標。

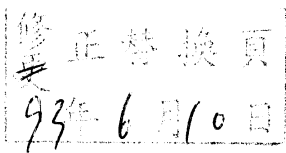
7. 如申請專利範圍第6項的方法，其中結合目前堆疊資料指標的位置為其位址等於此目前堆疊資料指標值的位置。
8. 如申請專利範圍第6項的方法，其中結合目前堆疊資料指標的位置為其位址等於一差異值與目前堆疊資料指標值的和之位置。
9. 如申請專利範圍第6項的方法，其中擊出命令為處理器指令或作業系統呼叫中的至少一個。
10. 如申請專利範圍第1項的方法，其還包含：  
儲存資料在記憶體緩衝器中，其可利用推入到此堆疊上的資料的緩衝器指標來存取。
11. 如申請專利範圍第1項的方法，其還包含：  
利用此擊出資料作為緩衝器指標來存取儲存在記憶體緩衝器的資訊。
12. 如申請專利範圍第1項的方法，其還包含：  
將第二資料推入到堆疊上的第三處理線串。
13. 如申請專利範圍第1項的方法，其還包含：  
擊出堆疊第二資料的第三處理線串。
14. 一種多線串系統，其包含：  
一堆疊模組，其藉由將之推入到堆疊中儲存資料而處理線串可以藉由將資訊擊出此堆疊來取回資訊，  
一第一處理線串，其有包含至少一個將資料推入堆疊上的命令之第一命令集，以及

修正替換頁  
93年6月6日

A8  
B8  
C8  
D8

## 六、申請專利範圍

- 一 第二處理線串，其有包含至少一個將資料擊出堆疊的一命令之第二命令集。
15. 如申請專利範圍第14項的系統，其中第一與第二處理線串在單一處理引擎上執行。
16. 如申請專利範圍第14項的系統，其中第一與第二處理線串在分別的處理引擎上執行。
17. 如申請專利範圍第16項的系統，其中分別的處理引擎係實做在相同的積體電路上。
18. 如申請專利範圍第14項的系統，其中此堆疊模組及此處理線串係在相同的積體電路上。
19. 如申請專利範圍第14項的系統，其中此第一與第二命令集為處理器指令集與作業系統指令集的至少一個。
20. 如申請專利範圍第14項的系統，其還包含匯流排界面，用在至少一個處理線串與此堆疊模組間的通訊。
21. 一種堆疊模組，其包含：  
控制邏輯，其回應來自至少兩個處理線串的命令，此控制邏輯儲存資料在堆疊結構上來回應推入命令，並從堆疊取回資料來回應擊出命令。
22. 如申請專利範圍第21項的堆疊模組，還包含一結合堆疊上的最近儲存資料的堆疊指標。
23. 如申請專利範圍第22項的堆疊模組，還包含與堆疊上第一資料結合的記憶體位置，此第二記憶體位置包含：  
一與第二資料結合的指標，其在該第一資料前儲存在堆疊上。



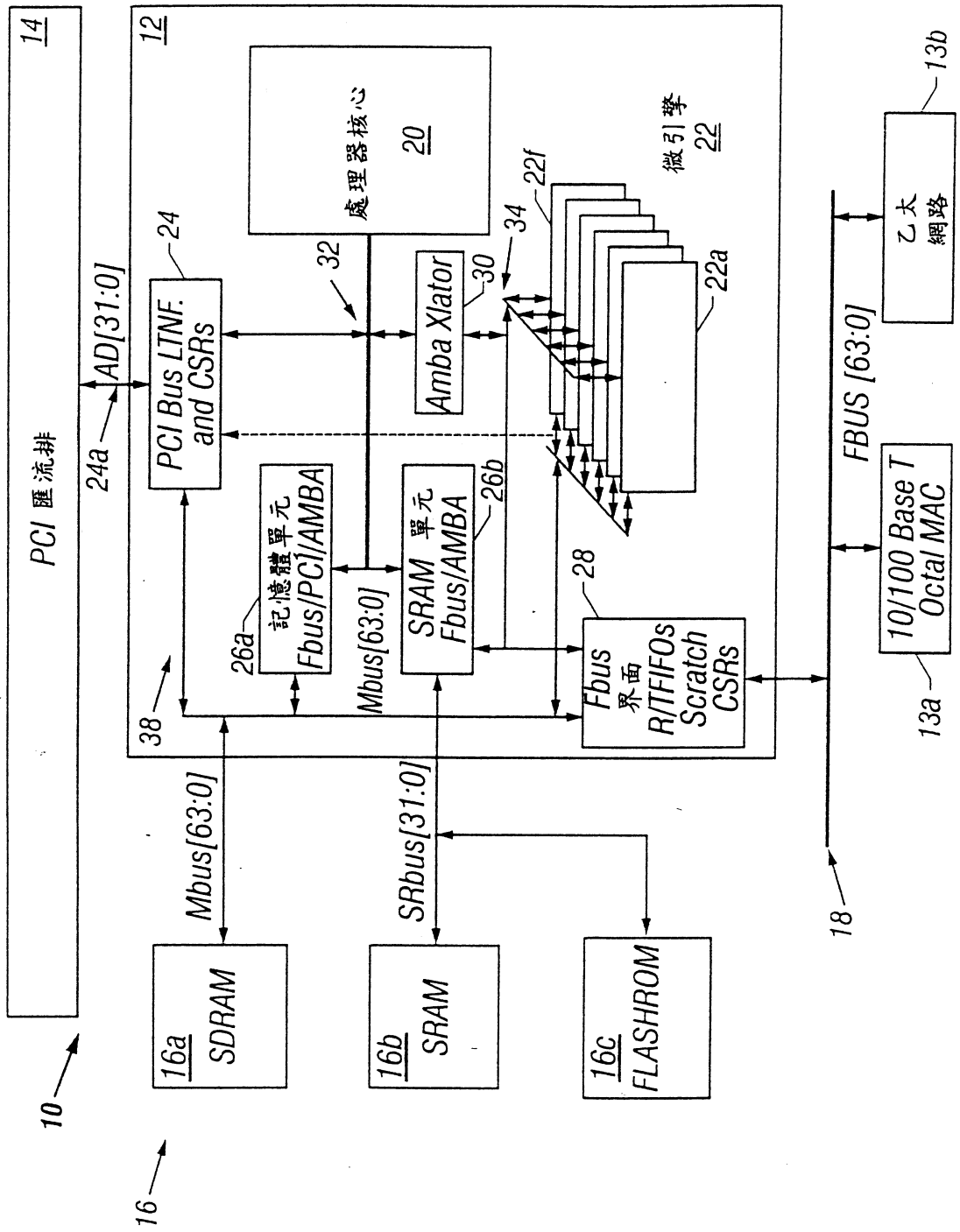
## 六、申請專利範圍

24. 如申請專利範圍第22項的堆疊模組，還包含結合第二堆疊上最近儲存的資料的第二堆疊指標。
25. 如申請專利範圍第22項的堆疊模組，其中此堆疊指標為一暫存器或處理器。
26. 如申請專利範圍第23項的堆疊模組，其中該記憶體位置包含SRAM記憶體。
27. 如申請專利範圍第21項的堆疊模組，其中命令為處理器指令。
28. 如申請專利範圍第21項的堆疊模組，其中命令為作業系統指令。
29. 一種包含儲存電腦邏輯之電腦可讀取媒體的物件，此電腦邏輯包含：
  - 一堆疊模組，組態來儲存來自第一處理線串的資料，藉由將資料推入到堆疊上並為第二處理線串取回此資料，藉由將資料擊出堆疊，此堆疊模組回應第一處理線串的命令將資料儲存在堆疊上以及第二處理線串命令來從堆疊取回資料。
30. 一種包含儲存電腦可執行指令之電腦可讀取媒體的物件，此指令使得處理器：
  - 儲存來自第一處理線串的資料，藉由執行一指令來將資料堆入到堆疊上；以及
  - 為第二處理線串取回資料，藉由執行指令將資料從堆疊擊出供第二線串使用。

91年9月9日 修正 補充

第 090100117 號專利申請案  
中文圖式修正本(91年9月)

圖 1



9/年9月9日 修正  
補充

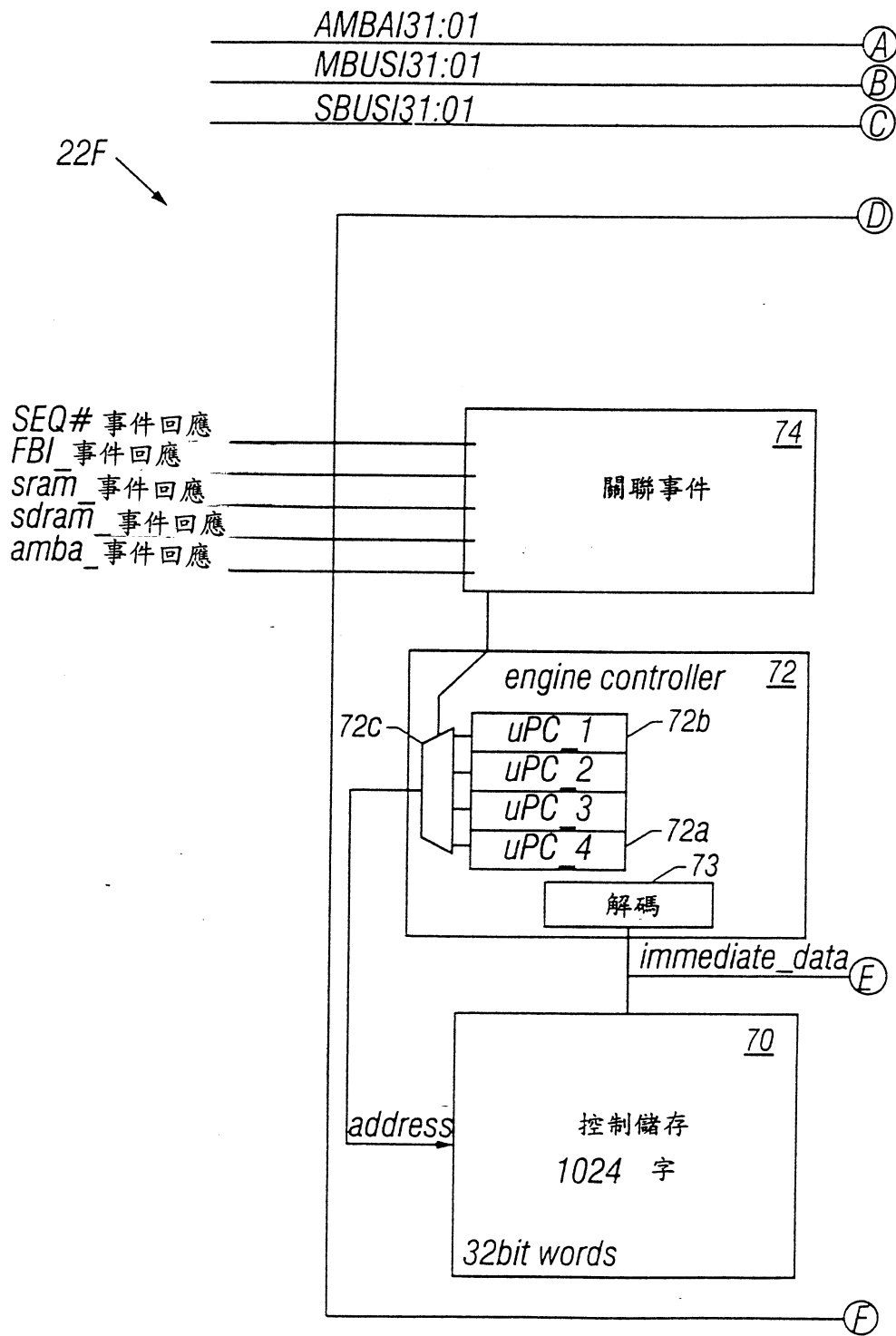


圖 2A

9/年9月9日 修正  
補充

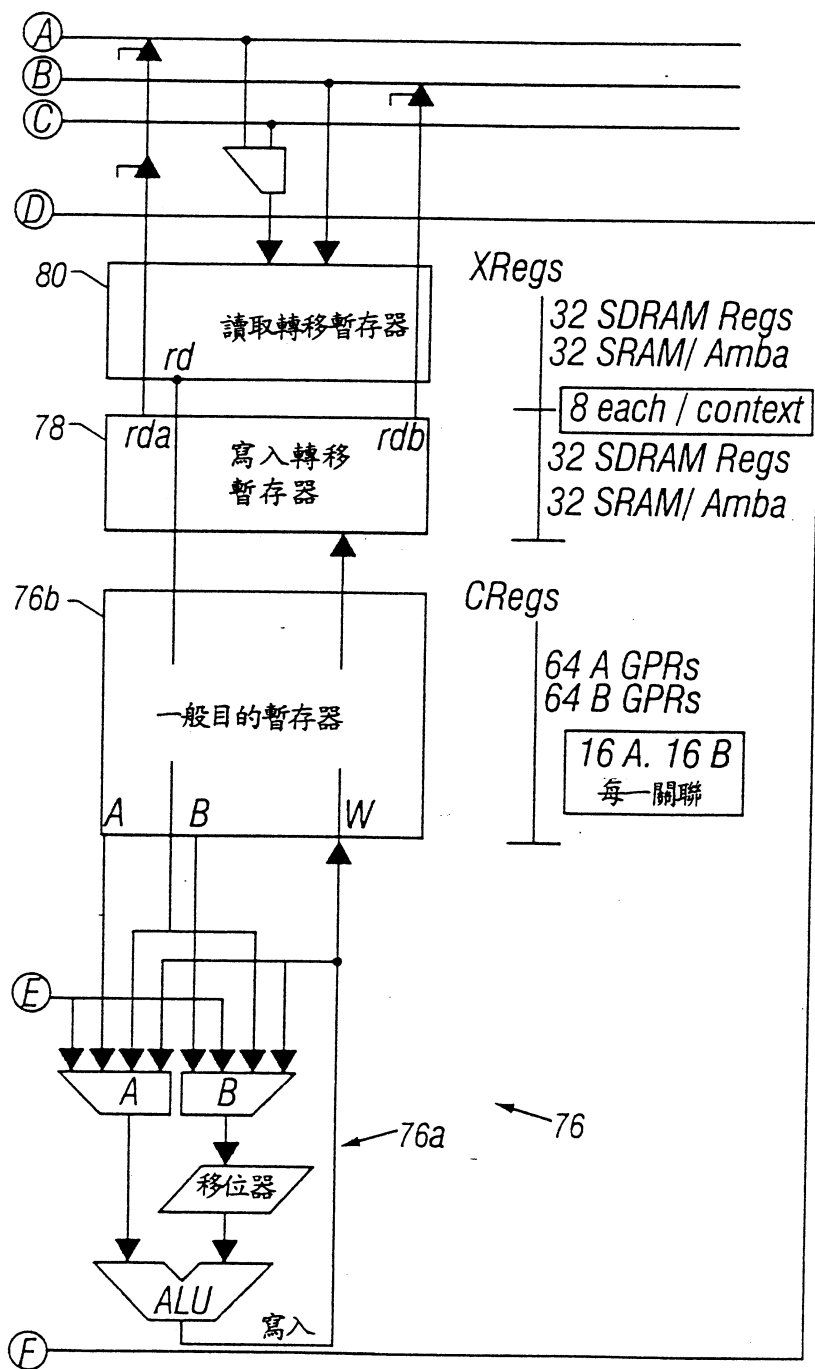


圖 2B

9/年9月9日 修正  
補充

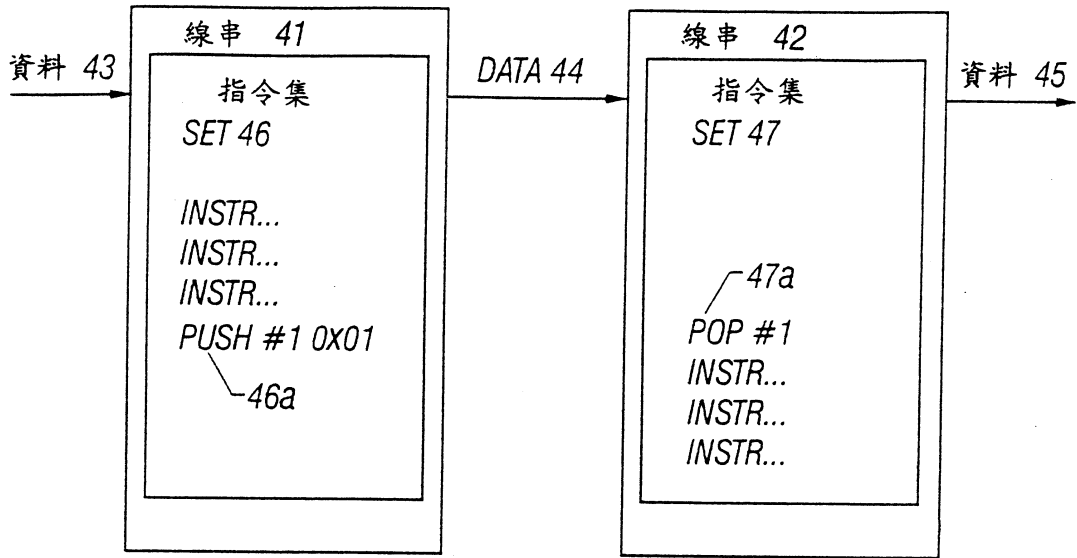


圖 3

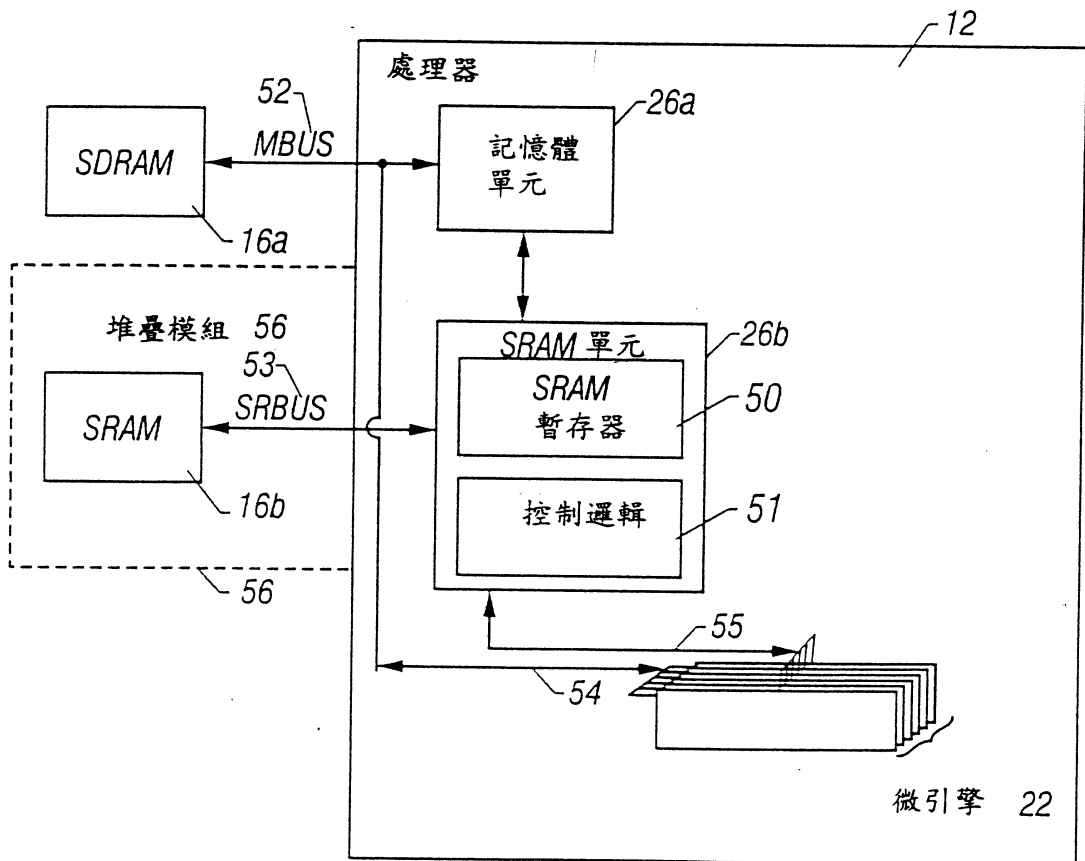


圖 4

2011年9月9日 修正  
補充

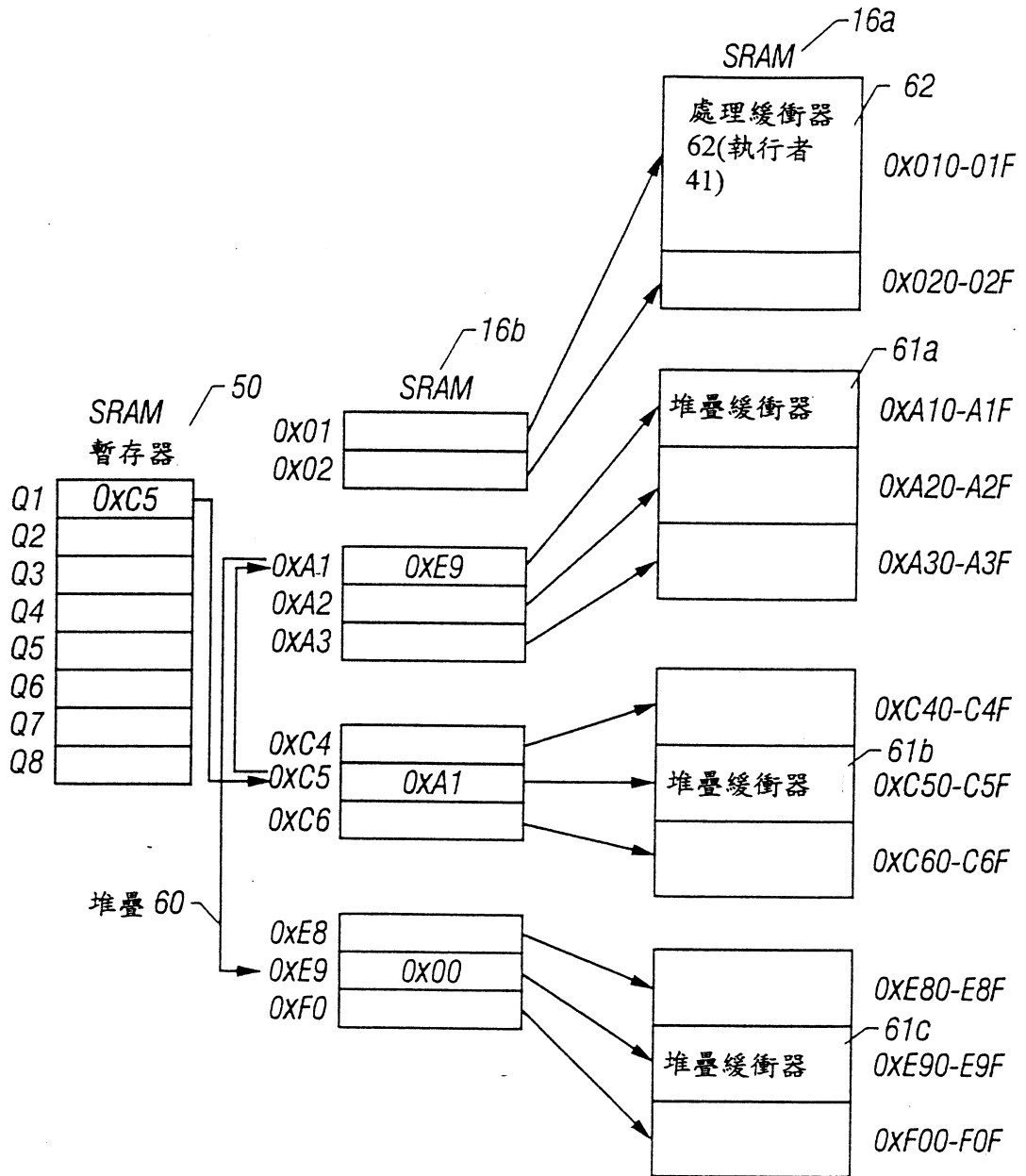


圖 5 A

9/年9月9日 修正  
補充

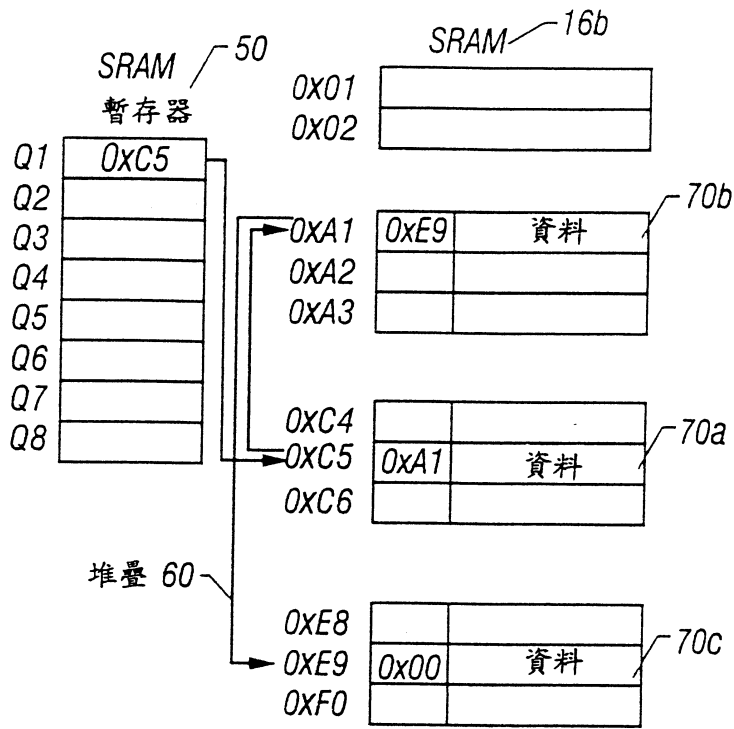


圖 5 B

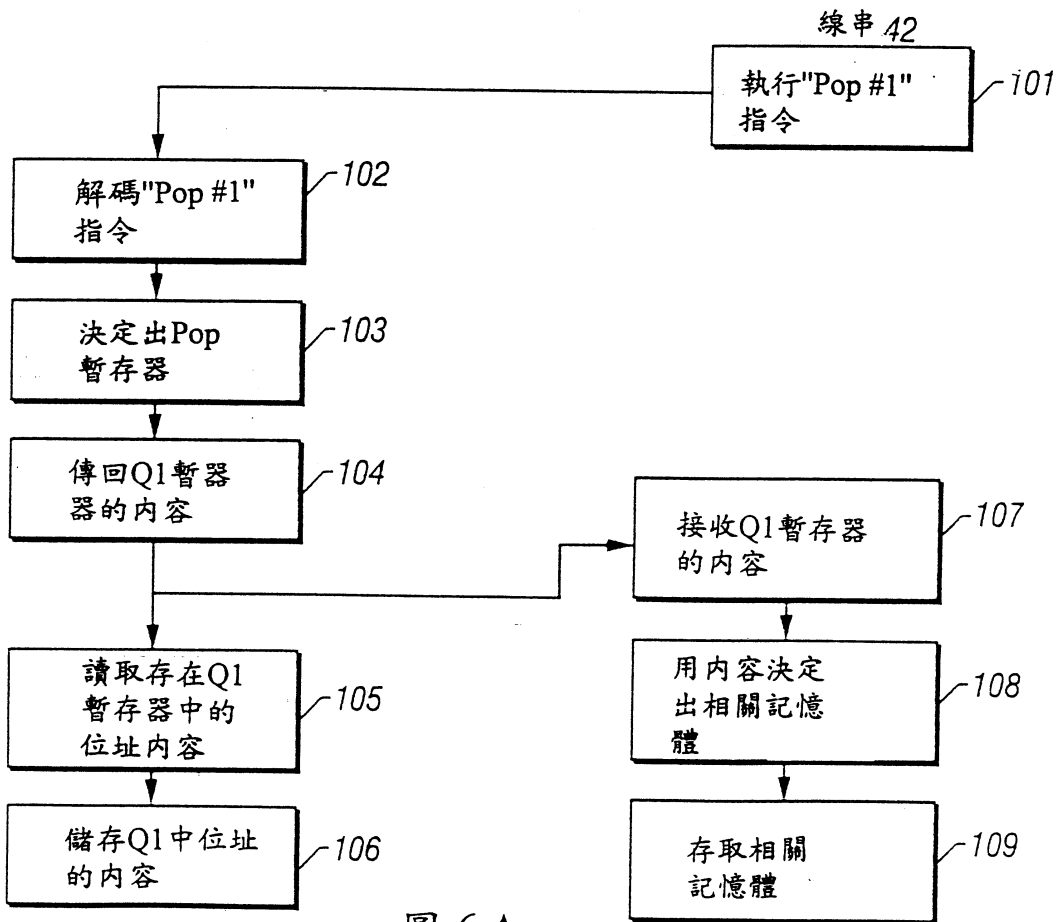


圖 6 A

9/年 9月 9日 修正  
補充

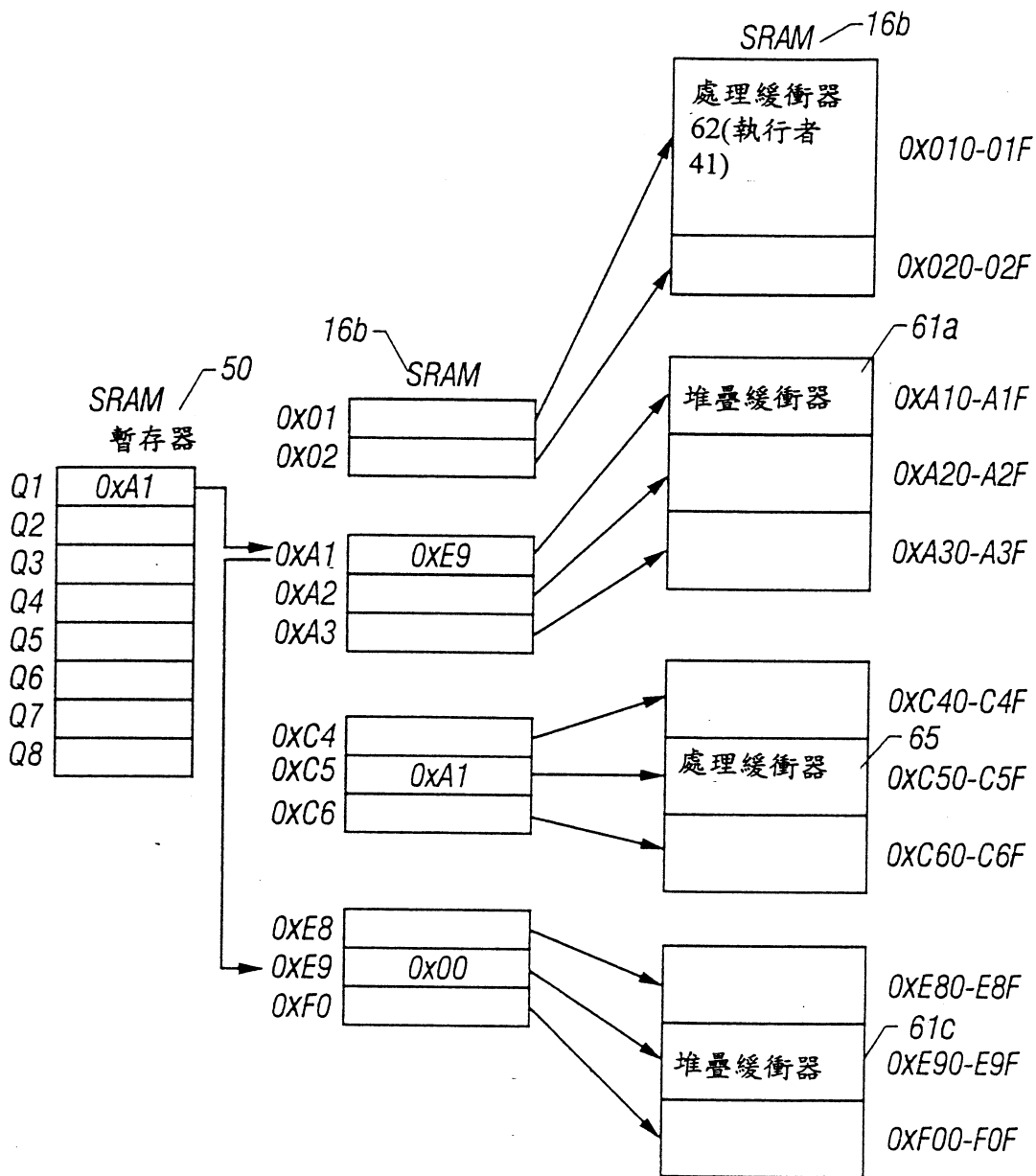


圖 6 B

9/1年9月9日 修正  
補充

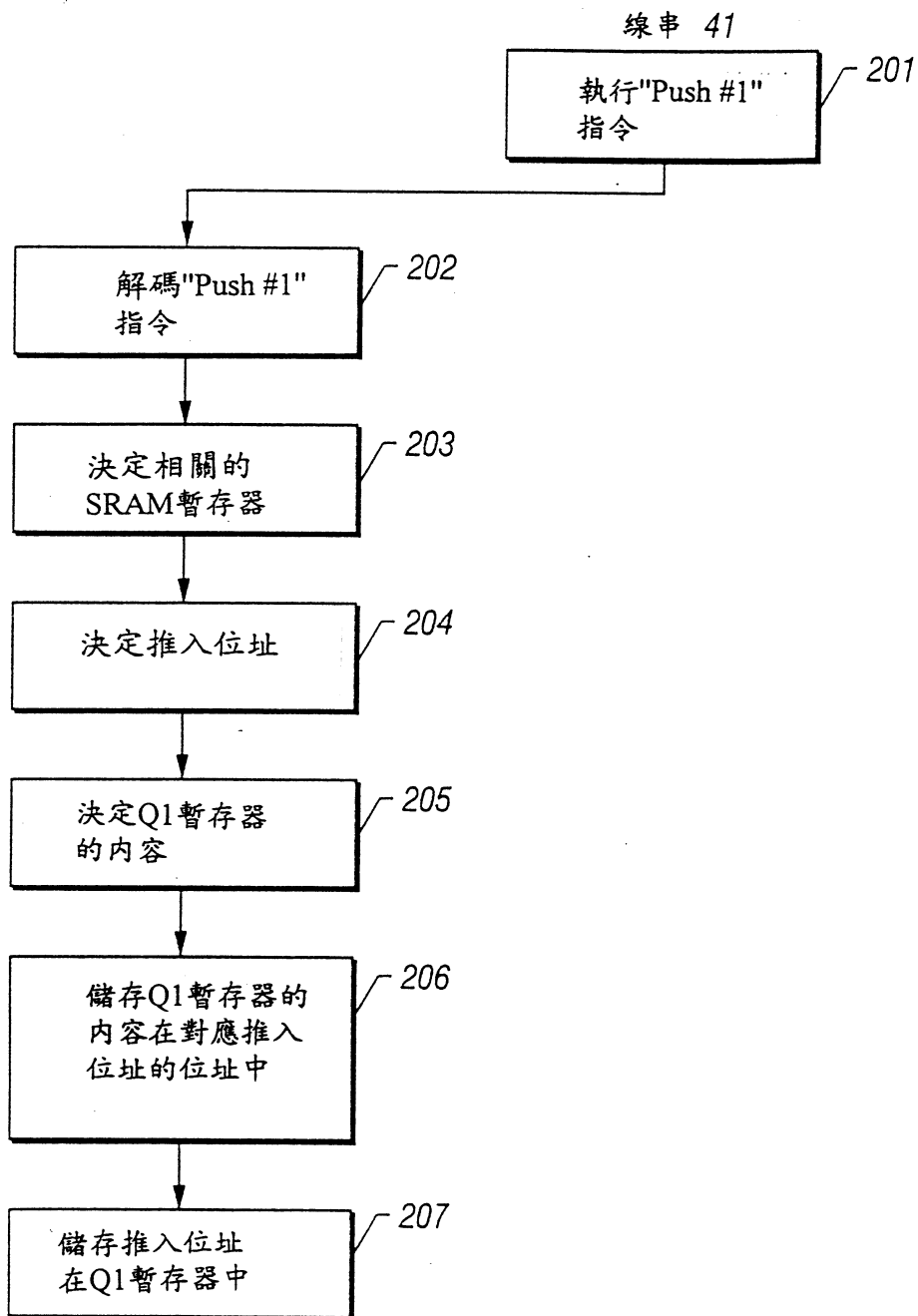


圖 7 A

9/年 9月 9日 修正  
補充

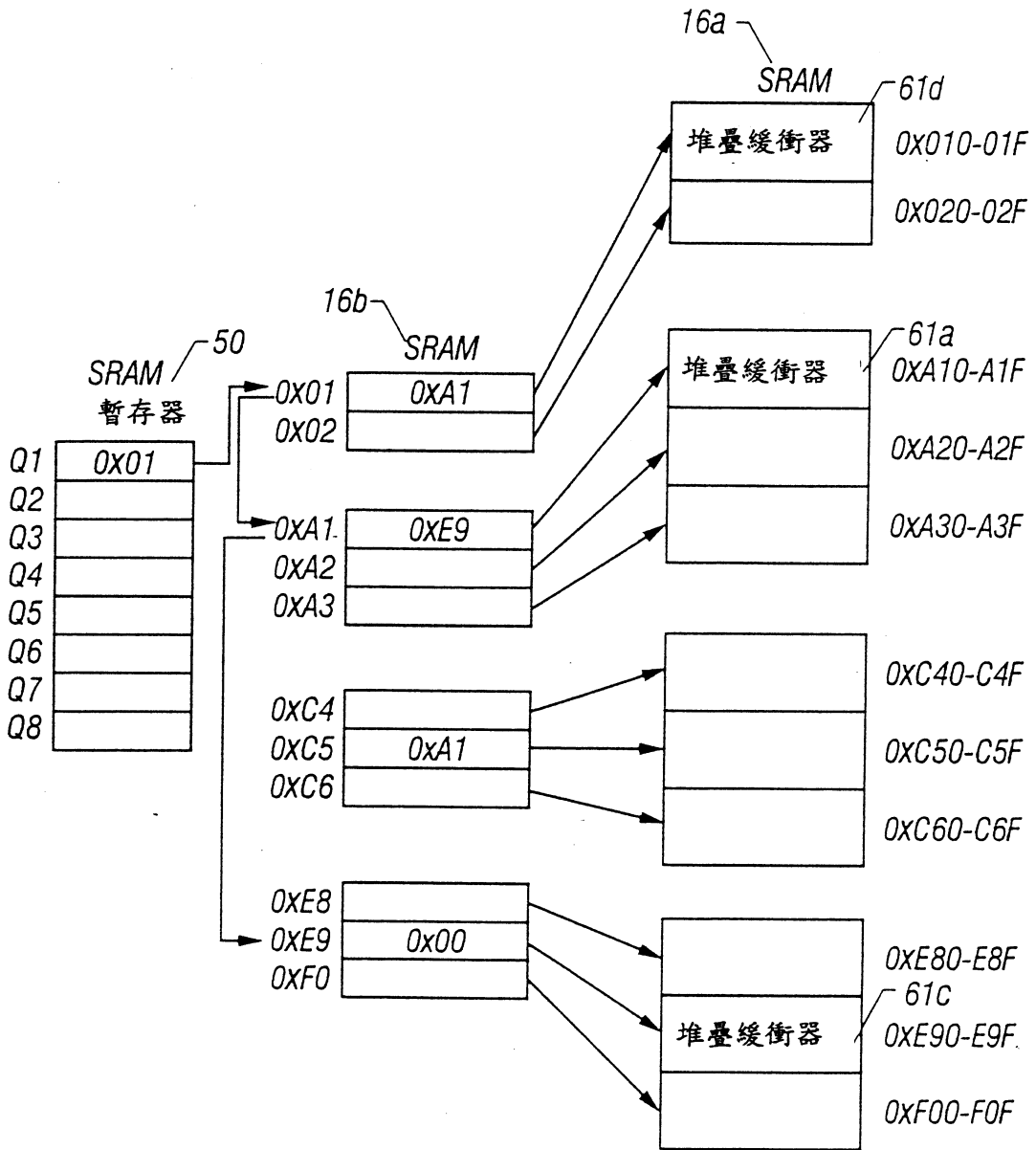


圖 7 B

9/年 9月 9日 修正  
補充

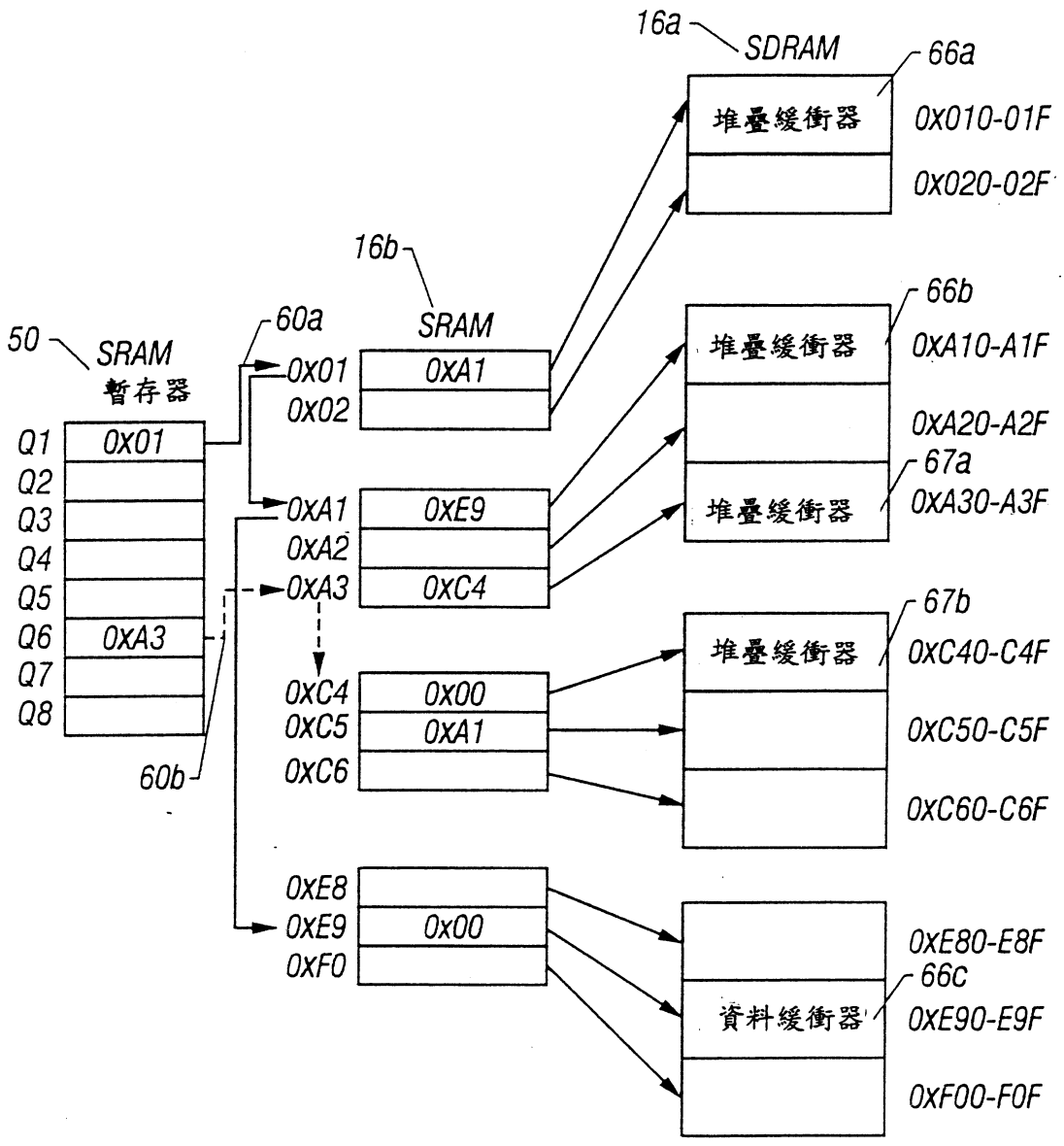


圖 8