



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0069701
(43) 공개일자 2016년06월17일

(51) 국제특허분류(Int. Cl.)
H01L 29/16 (2006.01) H01L 29/06 (2006.01)
(21) 출원번호 10-2014-0175604
(22) 출원일자 2014년12월09일
심사청구일자 2014년12월09일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
김광수
경기도 고양시 일산서구 일중로15번길 128, 203동 1301호 (일산동)
송길용
충청남도 천안시 동남구 서부대로 226-12 (신방동, 한라동백2차아파트) 107동 1502호
조두형
경기도 파주시 가람로 90, 604동 1304호 (와동동, 가람마을6단지)
(74) 대리인
특허법인충현

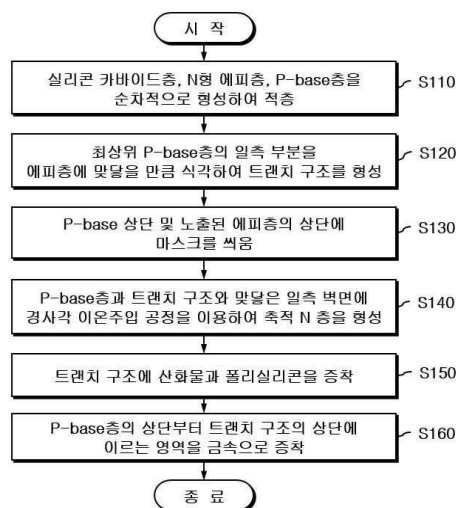
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 전자 축적을 이용한 4H-실리콘 카바이드 SBR 및 그의 제조방법

(57) 요약

본 발명은 트렌치 구조의 전자 축적을 이용한 4H-실리콘 카바이드 SBR(Super Barrier Rectifier) 소자 및 그의 제조 방법에 관한 것으로, 기저에 실리콘 카바이드(Silicon Carbide; SiC)층을 먼저 형성하고, 그 위에 N 형 에피층(epi region)과 P-base층을 순차로 형성한 후, P-base층의 일측 부분을 에피층과 맞닿을 만큼 식각하여 트렌치(trench) 구조를 형성하고, P-base층과 상기 트렌치 구조와 맞닿은 일측 벽면에 경사각 이온주입(tilt-implantation) 공정을 이용하여 축적 N 층(accumulation N layer)을 형성한다. 다음에 축적 N 층과 에피층과 맞닿은 트렌치 구조를 따라 산화물 및 그 위에 폴리실리콘(Poly Si)을 증착하고 P-base층부터 폴리실리콘 영역에 이르는 최상단을 금속으로 증착함으로써 4H-SiC SBR을 제조한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 1711014140

부처명 미래창조과학부

연구관리전문기관 정보통신산업진흥원

연구사업명 정보통신기술인력양성

연구과제명 정보통신용 아날로그IP 기술 개발 (Development of Analog IP Techniques for ICT)

기 여 율 1/1

주관기관 서강대학교 산학협력단

연구기간 2014.01.01 ~ 2014.12.31

명세서

청구범위

청구항 1

기저에 실리콘 카바이드(Silicon Carbide; SiC)층을 형성하고, 상기 실리콘 카바이드층 위에 N 형 에피층(epi region) 형성하고, 상기 에피층 위에 P-base층을 형성하는 단계;

상기 P-base층의 일측 부분을 상기 에피층과 맞닿을 만큼 식각하여 트렌치(trench) 구조를 형성하는 단계;

상기 P-base층의 상단 및 상기 트렌치 구조를 통해서 노출된 에피영역의 상단에 마스크(Mask)를 씌우는 단계;

상기 P-base층과 상기 트렌치 구조와 맞닿은 일측 벽면에 경사각 이온주입(tilt-implantation) 공정을 이용하여 축적 N 층(accumulation N layer)을 형성하는 단계;

상기 축적 N 층과 상기 에피층과 맞닿은 상기 트렌치 구조를 따라 산화물을 증착시키고, 상기 산화물 위에 폴리 실리콘(Poly Si)을 증착하는 단계; 및

상기 P-base층부터 상기 폴리실리콘 영역에 이르는 상단을 금속으로 증착하는 단계;를 포함하는 4H-실리콘 카바이드(SiC) SBR(Super Barrier Rectifier) 소자의 제조방법.

청구항 2

제 1 항에 있어서,

상기 축적 N 층의 도핑 농도에 따라 온상태 전압강하를 유도하는 것을 특징으로 하는 4H-실리콘 카바이드 SBR 소자의 제조방법.

청구항 3

제 1 항에 있어서,

상기 산화물 및 폴리실리콘을 증착한 단계 이후에 이온주입 공정을 이용하여 상기 축적 N 층의 상단에 N+ 소스(source)를 형성하는 단계를 더 포함하는 4H-실리콘 카바이드 SBR 소자의 제조방법.

청구항 4

제 3 항에 있어서,

상기 N+ 소스 영역에 의해 순방향 동작시 전자의 이동도가 향상되는 것을 특징으로 하는 4H-실리콘 카바이드 SBR 소자의 제조방법.

청구항 5

제 4 항에 있어서,

상기 전자의 이동도에 따라 순방향 동작시 전압 강하의 수준이 유지되는 것을 특징으로 하는 4H-실리콘 카바이드 SBR 소자의 제조방법.

청구항 6

제 1 항에 있어서,

역방향 동작시 상기 트렌치 구조로 장벽이 높아져 누설 전류가 감소되는 것을 특징으로 하는 4H-실리콘 카바이드 SBR 소자의 제조방법.

청구항 7

실리콘 카바이드(Silicon Carbide; SiC) 기판;

상기 SiC 기판 위에 형성된 N 형 에피층(epi region);

상기 N형 에피층 위에 형성된 P-base층;

상기 P-base층 위에 형성된 금속;

상기 P-base층의 일측 부분을 식각하여 상기 N 형 에피층까지 소정 두께로 형성된 축적 N 층(accumulation N layer); 및

상기 식각된 P-base층의 일측 부분에서 상기 축적 N 층을 제외한 부분에 증착된 산화물 및 폴리실리콘(Poly Si);을 포함하되,

상기 축적 N 층으로 인해 트렌치(trench) 구조의 채널이 형성되는 것을 특징으로 하는 4H-SiC SBR(Super Barrier Rectifier) 소자.

청구항 8

제 7 항에 있어서,

상기 축적 N 층의 도핑 농도에 따라 온상태 전압강하를 유도하는 것을 특징으로 하는 4H-SiC SBR 소자.

청구항 9

제 7 항에 있어서,

상기 축적 N 층과 상기 금속 사이에 N+ 소스(source)를 더 포함하는 것을 특징으로 하는 4H-SiC SBR 소자.

청구항 10

제 9 항에 있어서,

상기 N+ 소스 영역에 의해 순방향 동작시 전자의 이동도가 향상되고, 상기 전자의 이동도에 따라 전압 강하의 수준을 유지하는 것을 특징으로 하는 4H-SiC SBR 소자.

청구항 11

제 7 항에 있어서,

역방향 동작시 상기 트렌치 구조로 채널이 형성되어 누설 전류가 감소되는 것을 특징으로 하는 4H-SiC SBR 소자.

발명의 설명

기술 분야

[0001] 본 발명은 실리콘 카바이드 SBR 소자 및 그의 제조 방법에 관한 것으로서, 특히 트렌치 구조의 전자 축적을 이용한 4H-실리콘 카바이드 SBR(Super Barrier Rectifier) 소자 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 4H-실리콘 카바이드(Silicon Carbide; SiC)는 실리콘과 비교하였을 때 높은 밴드갭(bandgap), 높은 열전도도, 높은 임계 전압을 가지고 있어 전력 반도체 소자에서 주목 받고 있는 물질이다. 이러한 우수한 특성으로 인해 4H-SiC 쇼트키 다이오드는 실리콘을 사용한 다이오드보다 높은 항복 전압을 가지고 있다. 또한, 스위칭 속도가 빠른 장점을 가지고 있다. 하지만 쇼트키 다이오드는 강한 전계에 의한 이미지 포스 장벽 저하(image force barrier lowering) 현상 때문에 누설전류가 큰 단점을 가지고 있다. 이하에서 제시되는 선행기술문헌에는 트렌치(trench) 구조를 갖는 쇼트키 다이오드 및 그 제조 방법에 대해 설명하고 있다.

[0003] 한편, Super barrier rectifier(SBR)는 이처럼 누설 전류가 큰 쇼트키 다이오드의 단점을 극복한 소자이다. Metal Oxide Semiconductor(MOS)의 채널을 이용한 소자로 순방향 동작 시에는 채널이 생기며 다이오드처럼 동작하지만, 역방향 모드로 동작 시에는 채널이 장벽 역할을 해줌으로써 누설 전류를 줄여주는 장점을 가지고 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 한국 공개특허공보 제10-2004-0019477호, 2004.03.06 공개.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 기술적 과제는, 기존의 실리콘 카바이드 SBR에서 역방향시 누설전류가 높아지는 문제점을 해결하고, SiC의 물질 특성상 이동도가 좋지 않은 약점을 해소하기 위해 축적층을 이용할 경우 반전 상태로 이용하기 어려운 문제점을 극복하고자 한다.

과제의 해결 수단

[0006] 상기 기술적 과제를 해결하기 위하여, 본 발명의 일 실시예에 따른 4H-실리콘 카바이드(SiC) SBR(Super Barrier Rectifier) 소자의 제조방법은 기저에 실리콘 카바이드(Silicon Carbide; SiC)층을 형성하고, 상기 실리콘 카바이드층 위에 N 형 에피층(epi region) 형성하고, 상기 에피층 위에 P-base층을 형성하는 단계; 상기 P-base층의 일측 부분을 상기 에피층과 맞닿을 만큼 식각하여 트렌치(trench) 구조를 형성하는 단계; 상기 P-base층의 상단 및 상기 트렌치 구조를 통해서 노출된 에피층의 상단에 마스크(Mask)를 씌우는 단계; 상기 P-base층과 상기 트렌치 구조와 맞닿은 일측 벽면에 경사각 이온주입(tilt-implantation) 공정을 이용하여 축적 N 층(accumulation N layer)을 형성하는 단계; 상기 축적 N 층과 상기 에피층과 맞닿은 상기 트렌치 구조를 따라 산화물을 증착시키고, 상기 산화물 위에 폴리실리콘(Poly Si)을 증착하는 단계; 및 상기 P-base층부터 상기 폴리실리콘 영역에 이르는 상단을 금속으로 증착하는 단계;를 포함한다.

[0007] 일 실시예에 따른 4H-SiC SBR 소자의 제조방법에서 상기 축적 N 층의 도핑 농도에 따라 온상태 전압강하를 유도할 수 있다.

[0008] 일 실시예에 따른 4H-SiC SBR 소자의 제조방법은 상기 산화물 및 폴리실리콘을 증착한 단계 이후에 이온주입 공정을 이용하여 상기 축적 N 층의 상단에 N+ 소스(source)를 형성하는 단계를 더 포함한다.

[0009] 상기된 실시예에서 상기 N+ 소스 영역에 의해 순방향 동작시 전자의 이동도가 향상되는 것을 특징으로 하고, 상기 전자의 이동도에 따라 전압 강하의 수준이 유지될 수 있다.

[0010] 일 실시예에 따른 4H-SiC SBR 소자의 제조방법은 역방향 동작시 상기 트렌치 구조로 장벽이 높아져 누설 전류가 감소되는 것을 특징으로 한다.

[0011] 상기 기술적 과제를 해결하기 위하여, 본 발명의 다른 실시예에 따른 4H-SiC SBR 소자는 실리콘 카바이드(Silicon Carbide; SiC) 기판; 상기 SiC 기판 위에 형성된 N 형 에피층(epi region); 상기 N형 에피층 위에 형성된 P-base층; 상기 P-base층 위에 형성된 금속; 상기 P-base층의 일측 부분을 식각하여 상기 N 형 에피층까지 소정 두께로 형성된 축적 N 층(accumulation N layer); 및 상기 식각된 P-base층의 일측 부분에서 상기 축적 N 층을 제외한 부분에 증착된 산화물 및 폴리실리콘(Poly Si);을 포함하되, 상기 축적 N 층으로 인해 트렌치(trench) 구조의 장벽이 형성되는 것을 특징으로 한다.

[0012] 다른 실시예에 따른 4H-SiC SBR 소자는 상기 축적 N 층의 도핑 농도에 따라 온상태 전압강하를 유도할 수 있다.

[0013] 다른 실시예에 따른 4H-SiC SBR 소자는 상기 축적 N 층과 상기 금속 사이에 N+ 소스(source)를 더 포함하는 것을 특징으로 할 수 있다.

[0014] 다른 실시예에 따른 4H-SiC SBR 소자는 상기 N+ 소스 영역에 의해 순방향 동작시 전자의 이동도가 향상되고, 상기 전자의 이동도에 따라 전압 강하의 수준을 유지할 수 있다.

[0015] 다른 실시예에 따른 4H-SiC SBR 소자는 역방향 동작시 상기 트렌치 구조로 장벽이 높아져 누설 전류가 감소되는 것을 특징으로 할 수 있다.

발명의 효과

[0016] 본 발명에 따른 실시예들은, 실리콘 카바이드 SBR에서 트렌치 형태의 구조를 형성하여 JFET 효과가 감소하고,

셀 밀도(Cell-density)가 증가하는 효과를 가진다. 그리고, base의 채널 부분에 축적 N 층을 형성하였기 때문에 순방향 기능이 향상된다. 나아가 축적 N 층으로 인해 반전(inversion) 모드보다 전자의 이동도를 향상되어 전체적인 순방향 특성이 향상되는 효과를 가진다.

[0017] 또한, 역방향 동작시 기존의 SiC 쇼트키 다이오드와 비교할 때 누설 전류가 줄어드는 효과를 가진다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 일 실시예에 따른 4H-실리콘 카바이드(SiC) SBR(Super Barrier Rectifier) 소자의 제조방법의 흐름도이다.

도 2는 본 발명의 일 실시예에 따른 4H-SiC SBR 소자의 제조방법 중 N 영역을 더 포함하는 방법을 나타낸 세부 흐름도이다.

도 3a 내지 도 3g는 본 발명의 일 실시예에 따라 SBR 소자를 제조하는 공정의 각 과정을 단계별로 나타낸 도면이다.

도 4는 기존의 적층 구조를 포함하는 SBR의 구조이고, 도 5 트렌치 구조를 포함하는 SBR의 구조를 나타낸 도면이다.

도 6는 본 발명의 일 실시예에 따른 SBR 구조를 나타낸 도면이다.

도 7은 기존의 SBR 구조와 본 발명의 일 실시예에 따른 구조가 순방향시 애노드 전압에 대한 전류 밀도를 나타낸 그래프이다.

도 8은 기존의 SBR 구조와 본 발명의 일 실시예에 따른 구조가 역방향시 애노드 전압에 대한 항복 전압을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명의 실시예들을 설명하기에 앞서, 기존의 실리콘 카바이드 SBR의 특징에 따른 단점을 간략히 소개한 후, 이러한 문제점을 해결하기 위해 본 발명의 실시예들이 채택하고 있는 기술적 수단을 순차적으로 제시하도록 한다.

[0020] 앞서 간략히 소개한 바와 같이, 쇼트키 다이오드는 SiC를 사용함으로써 밴드갭, 열전도도 및 임계 전압 등에 있어서 기존의 실리콘을 사용한 것보다 더 성능이 향상되었다. 또한, 스위칭 속도도 빠르고, 높은 항복 전압을 가지는 장점이 있다. 그러나 누설 전류가 큰 단점을 가지고 있어 이를 보완하기 위해 등장한 것이 SBR(Super Barrier Rectifier)이다.

[0021] SBR은 SiC 기판 위에 고전압을 견디기 위해서 드리프트 영역이 존재하고, 그 위에 금속 영역이 위치한다. SBR에 순방향 전압을 걸어 주었을 시 전류가 흐르게 된다. 또한 역방향 전압을 걸어 주었을 때는 장벽이 커지면서 전압이 흐르지 않게 된다. 이와 같이 쇼트키 장벽은 역방향 바이어스가 인가되었을 때 누설전류를 막아주는 역할을 해주기 때문에 장벽의 높이가 높을수록 좋다. 하지만 장벽의 높이가 높으면 순방향으로 동작 시 전압강하가 커지는 단점이 있다.

[0022] 기존 구조의 SBR의 경우 순방향으로 동작 시에는 MOS의 채널이 생성되는 것을 이용하고, 역방향 바이어스가 인가되었을 시에는 채널이 생성되지 않고 인가한 전압만큼 장벽이 높아지기 때문에 누설 전류를 줄일 수 있다. 하지만 SiC SBR에서 표면 이동도가 매우 낮으므로 반전상태로 이용하기에는 순방향 특성이 좋지 않다. 따라서 기존 구조의 SiC SBR을 사용하기에는 한계가 있다.

[0023] 본 발명의 실시예들에서는 SiC SBR 제조시 채널을 반전층(inversion layer)으로 만들지 않고 축적 N 층(accumulation N layer)으로 만들어 줌으로써 순방향의 특성은 향상하게 시키면서 SBR의 구조적 특징인 역방향시 누설 전류의 양은 줄이는 효과를 얻고자 한다. JFET 효과 감소와 셀-밀도 증가를 위해 트렌치 형태로 만들고, 순방향 기능을 향상시키기 위해 base의 채널 부분에 N 영역을 형성시켜 준다. 또한 기존의 구조는 SiC의 낮은 표면 이동도 때문에 반전 층이 형성되어도 온상태 전류특성이 좋지 않아서 본 발명의 실시예들에서는 N 영역을 더 포함함으로써 반전모드보다 전자의 표면 이동도를 향상시켰고, 이는 순방향 특성을 더 좋게 만들어 준다. 또한, 역방향 동작 시에는 기존 SBR과 마찬가지로 채널 부분이 장벽 역할을 해주어 누설 전류를 줄이는 효과를 가진다.

- [0024] 따라서, 이하에서 기술될 본 발명의 실시예들은 순방향 동작시 전자 이동도가 향상되어 전압 강하의 수준이 유지되면서도 역방향 시 기존의 구조보다 누설 전류가 감소된 효과를 가져오는 기법으로서, 트렌치 SBR 구조에 축적 N 층을 형성하고 그 축적층의 도핑 농도를 조정하여 온상태 전압 강하를 유지한다.
- [0025] 요약하건대, 이하에서 기술되는 본 발명의 실시예들이 구현하고자 하는 SiC SBR 소자는 다음의 특징을 가진다.
- [0026] (1) 순방향 모드 동작시 쇼트키 다이오드와 동일한 전압강하
- [0027] (2) 역방향 모드 동작시 실리콘 쇼트키 다이오드 보다 감소된 누설 전류
- [0028] 이하에서는 도면을 참조하여 본 발명의 실시예들을 구체적으로 설명하도록 한다. 다만, 하기의 설명 및 첨부된 도면에서 본 발명의 요지를 흐릴 수 있는 공지 기능 또는 구성에 대한 상세한 설명은 생략한다. 또한, 도면 전체에 걸쳐 동일한 구성 요소들은 가능한 한 동일한 도면 부호로 나타내고 있음에 유의하여야 한다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 4H-실리콘 카바이드(SiC) SBR(Super Barrier Rectifier) 소자의 제조방법의 흐름도로서, 다음과 같은 단계들을 포함한다.
- [0030] S110 단계에서, 기저에 실리콘 카바이드(Silicon Carbide; SiC)층을 형성하고, 실리콘 카바이드층 위에 N 형 에피층(epi region) 형성하고, 에피층 위에 P-base층을 형성한다. 기판이 될 SiC 층을 소정 두께로 형성한 후에 SiC 층을 모두 덮을 수 있도록 동일한 면적으로 N 형 에피층을 형성한다. 에피층은 고전압을 견디기 위한 N 드리프트 영역에 해당한다. 따라서 그 두께는 제작될 소자에 인가될 전압 크기에 따라 결정되어 설계될 수 있다. 마지막으로 에피층 위에 역시 P-base 층을 형성한다. 이 P-base 층의 일부는 다음 설명할 단계에서 식각되어 다른 물질로 채워지고, 채널의 형성에 관여하게 된다.
- [0031] S120 단계에서는 P-base층의 일측 부분을 에피층과 맞닿을 만큼 식각하여 트렌치(trench) 구조를 형성한다. 일측 부분은 P-base의 중앙에서부터 한 쪽 끝부분에서 이르는 부분이 될 수 있다. 다시 말해 P-base층의 반을 식각하되 깊이는 아래에 위치한 에피층과 맞닿을 정도여야 한다.
- [0032] S130 단계는 P-base층의 상단 및 트렌치 구조를 통해서 노출된 에피층영역의 상단에 마스크(Mask)를 씌우는 단계이다. 마스크를 씌우는 것은 다음 S140 단계에서 경사각 이온주입을 할 때 원하는 영역만 주입되도록 유도하기 위해 이온주입이 되어야 하는 부분 외의 곳에 마스크를 씌우게 된다.
- [0033] S140 단계는 P-base층과 트렌치 구조와 맞닿은 일측 벽면에 경사각 이온주입(tilt-implantation) 공정을 이용하여 축적 N 층(accumulation N layer)을 형성한다. 측면에 소정 두께의 N 층을 형성하기 위해 비스듬하게 주입하는 경사각 이온주입 공정을 이용한다. 기존의 채널에서 반전 층(inversion layer)으로 만들었던 것과 달리 본 발명에서는 트렌치 구조의 측면에 적층하여 층(accumulation layer)을 만들었다. 이와 같은 구조가 전류가 흐를 채널의 방향을 변경하게 만들어 궁극적으로 순방향의 특성을 향상시키면서 SBR의 구조적 특징인 역방향시 누설 전류의 양은 줄이는 효과를 가져오게 한다.
- [0034] 또한, 축적 N 층의 도핑 농도에 따라 온상태 전압강하를 유도할 수 있다.
- [0035] S150 단계에서는 축적 N 층과 에피층과 맞닿은 트렌치 구조를 따라 산화물을 증착시키고, 산화물 위에 폴리실리콘(Poly Si)을 증착한다.
- [0036] 마지막으로 S160 단계에서는 P-base층부터 폴리실리콘 영역에 이르는 상단을 금속으로 증착한다. 즉, 최상단 영역 전체를 금속으로 증착하여 마무리하는 것이다.
- [0037] 한편, 산화물 및 폴리실리콘을 증착한 S150 단계 이후에 이온주입 공정을 이용하여 축적 N 층의 상단에 N+ 소스(source)를 형성하는 단계를 더 포함할 수 있다. 이를 나타낸 것이 도 2이다. N+ 소스 영역에 의해 순방향 동작시 전자의 이동도가 향상되고, 전자의 이동도가 향상되면 순방향시 전압 강하의 정도가 쇼트키 다이오드와 큰 차이가 없는 수준으로 유지될 수 있다. 따라서 순방향의 특성이 보장된다.
- [0038] 도 3a 내지 도 3g는 본 발명의 일 실시예에 따라 SBR 소자를 제조하는 공정의 각 과정을 단계별로 나타낸 도면이다.
- [0039] 도 3a에서는 SiC 기판(SiC substrate, 10) 위에 드리프트 에피 층(20)을 형성한다. 도 3b에서는 N 드리프트 층(20) 위에 P base 층(30)을 형성한다.

- [0040] 도 3c에서 P base 층(30)의 중앙에서부터 오른쪽 끝까지를 에피 층(20)에 맞닿을 만큼 트렌치 구조(40)로 깊게 에칭한다. 이 트렌치 구조(40)는 이후에 적층 N 층(60), N+ 소스영역(90), 산화물(70), 폴리 실리콘(80)으로 채워지는 공간을 의미한다.
- [0041] 도 3d에서 에피층(20)의 노출된 부분(50)과 P-base 층의 잔여 부분의 상단(50)에 마스크를 씌운다. P-base 층과 트렌치 구조가 맞닿은 부분에만 경사각 이온주입 공정을 적용하기 위함이다. 비스듬히 이온을 주입하여 N 적층(60)을 형성한다.
- [0042] 도 3e에서는 식각하여 빈 공간인 트렌치 구조에 먼저 산화물(70)을 증착시킨다. 바닥면 부분과 함께 N 적층과 맞닿은 부분까지 산화물(70)을 증착시키기 때문에 모양이 'ㄴ'과 같은 모양으로 산화물이 형성되는 것을 확인할 수 있다. 또한, 소정 두께만큼 산화물(70)을 증착시키고 나면 나머지 공간(80)은 폴리 실리콘(Poly Si)로 채운다. 높이는 P-base 층(30)과 동일한 높이면 충분하다.
- [0043] 도 3g에서는 N 적층(60)의 상단 부분에 이온주입 공정을 이용해 N+ 소스 영역(90)을 형성하고, 소자의 최상단 부분을 금속(100)으로 증착하게 된다.
- [0044] 위와 같은 공정으로 생성된 4H-SiC SBR 소자는 실리콘 카바이드(Silicon Carbide; SiC) 기판; SiC 기판 위에 형성된 N 형 에피층(epi region); N형 에피층 위에 형성된 P-base층; P-base층 위에 형성된 금속; P-base층의 일측 부분을 식각하여 N 형 에피층까지 소정 두께로 형성된 축적 N 층(accumulation N layer); 및 식각된 P-base층의 일측 부분에서 축적 N 층을 제외한 부분에 증착된 산화물 및 폴리실리콘(Poly Si);을 포함하되, 축적 N 층으로 인해 트렌치(trench) 구조의 채널이 형성되는 것을 특징으로 한다.
- [0045] 기존의 SBR과 비교를 통해 본 발명의 실시예들에 따른 SBR의 성능을 확인하고자 한다. 도 4는 기존의 측면 적층 구조를 포함하는 SBR의 구조이고, 도 5 기존의 트렌치 구조를 포함하는 SBR의 구조를 나타낸 도면이다. 도 4 및 도 5에서는 도 3a 내지 도 3g의 각 구성요소와 대응되는 구성에 대하여 동일한 도면 참조번호를 부여하였다.
- [0046] 도 4는 SiC 기판(10) 위에 N 드리프트 영역(20)이 있고, 그 위에 위치한 P-base 층(30)의 가운데 영역 부분에 소스 구조(90)를 포함하여 그 트렌치 구조에는 N+ 소스(90)가 채워지고, 마지막으로 최상단에 산화물(70)이 연결된다. 트렌치 구조를 포함하는 일반적인 SBR의 구조이다.
- [0047] 도 5는 SiC 기판(10) 위에 N 드리프트 영역(20)이 있고, 그 위의 최상단에 P-base 층(30)이 위치한다. P-base 층(30)의 측면을 식각하여 식각된 면과 연결될 수 있도록 최상단에 N+ 소스(90)를 채우고, 식각된 면을 따라서 산화물(70)을 채운다.
- [0048] 도 6는 본 발명의 일 실시예에 따른 SBR 구조를 나타낸 도면으로서, SiC 기판(10)과 그 위에 N 에피 층(20), P-base 층(30)이 순차적으로 형성되고, P-base(30)의 일측을 식각하여 적층 N 층(60)을 형성하고, 적층 N 층(60) 위에 N+ 소스 영역(90)을 형성하고 적층 N 층(60)을 따라 N 에피 층(20)의 상단까지 산화물(70)을 증착시킨 구조이다.
- [0049] 도 4 내지 도 6에서 순방향, 역방향 각각에 대하여 전류 특성을 분석하기 위하여 실험을 하였다. 이때 SiC 기판의 농도는 $1 \times 10^{19} \text{cm}^{-3}$ 이고, N 드리프트 영역의 농도는 $1 \times 10^{15} \text{cm}^{-3}$ 이며, P-base 층의 농도는 $3 \times 10^{17} \text{cm}^{-3}$ 이다. N+ 소스 영역의 최고 농도(Peak Concentration)은 $1 \times 10^{20} \text{cm}^{-3}$ 이다. 동일한 조건하에 실험한 결과 그래프는 도 7과 도 8과 같다. 그래프에서 가로축은 애노드 전압(V)를 나타내고, 세로축은 전류 밀도(A/cm²)를 나타낸다.
- [0050] 도 7은 기존의 SBR 구조와 본 발명의 일 실시예에 따른 구조가 순방향시 애노드 전압에 대한 전류 밀도를 나타낸 그래프로서, 기존의 트렌치 구조나 측면 구조의 SBR은 순방향 동작시 채널이 반전되지 않아 전류가 흐르지 않는 결과를 알 수 있습니다.
- [0051] 도 8은 기존의 SBR 구조와 본 발명의 일 실시예에 따른 구조가 역방향시 애노드 전압에 대한 항복 전압을 나타낸 그래프로서, 기존의 측면 구조의 SBR에 비해 본 발명의 실시예에 따른 구조가 더 높은 항복 전압을 가지고 있는 것을 확인할 수 있다. 또한 기존의 트렌치 구조와 비교하는 경우에도 앞서 도 7의 순방향 특성까지 모두 고려하면 본 발명의 실시예가 순방향 및 역방향 모두에서 높은 성능을 보이는 것을 확인할 수 있다.
- [0052] 이상에서는 본 발명에 대하여 그 다양한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통

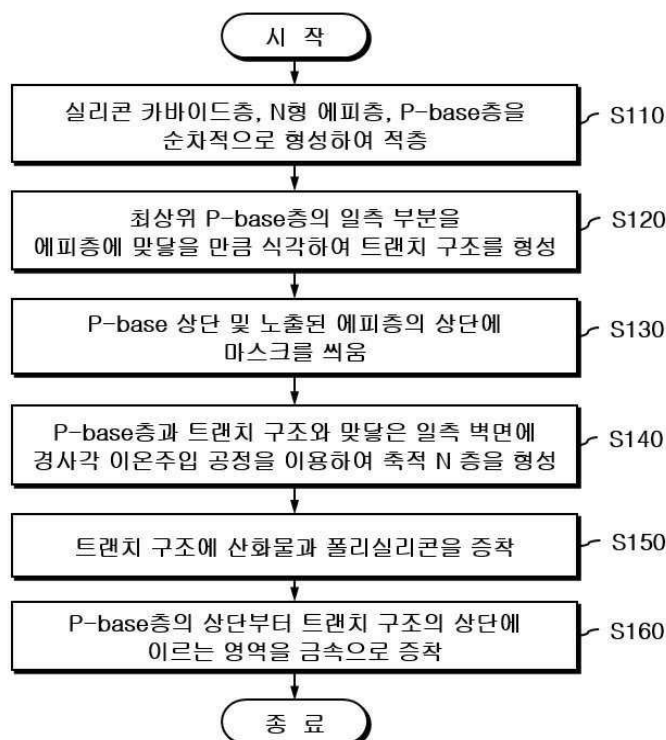
상의 지식을 가진 자는 본 발명의 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

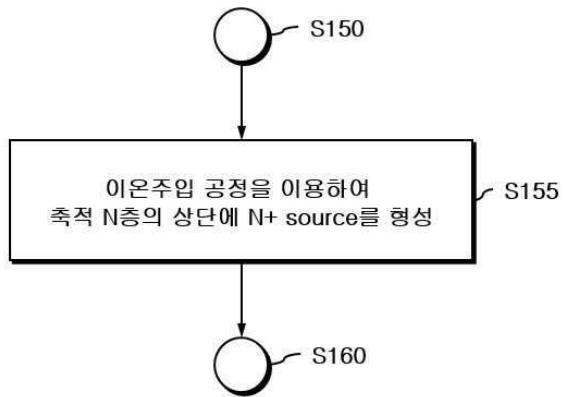
- [0053]
- 10: 실리콘 카바이드(SiC) 층
 - 20: N형 에피층
 - 30: P-base 층
 - 40: 트렌치 구조
 - 50: 마스크
 - 60: 축적 N 층(accumulation N layer)
 - 70: 산화물
 - 80: 폴리 실리콘(Poly Si)
 - 90: N+ 소스
 - 100: 금속

도면

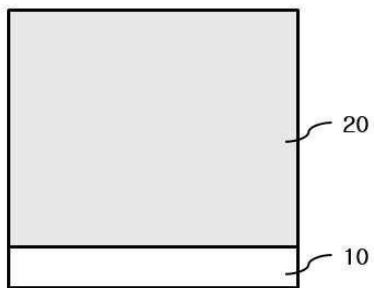
도면1



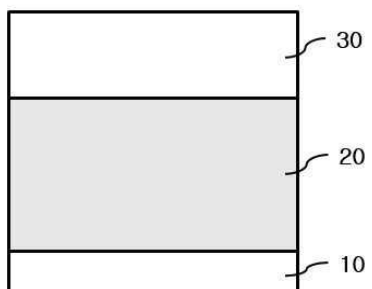
도면2



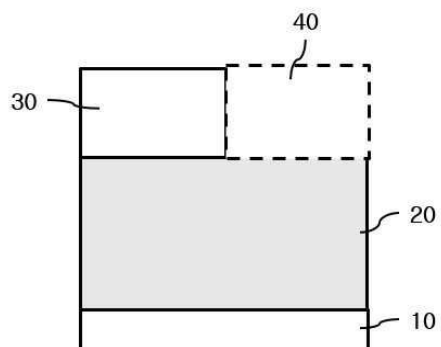
도면3a



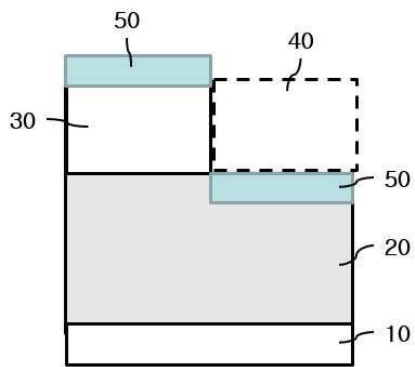
도면3b



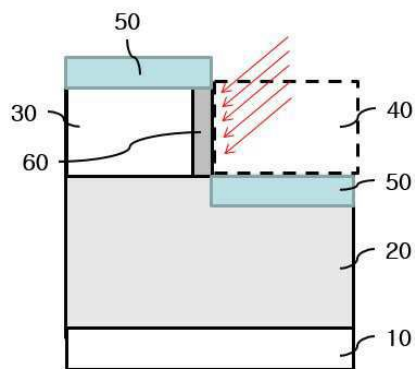
도면3c



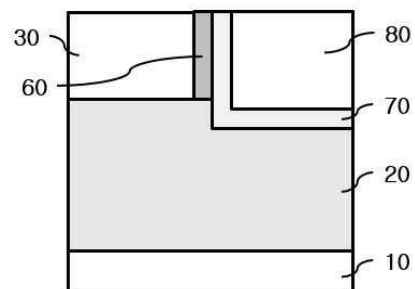
도면3d



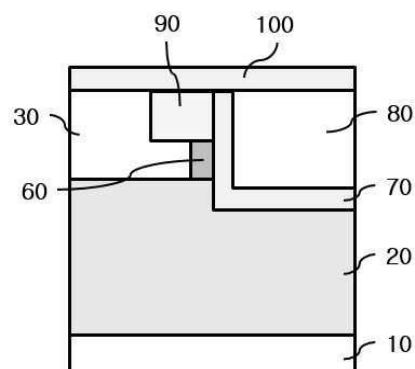
도면3e



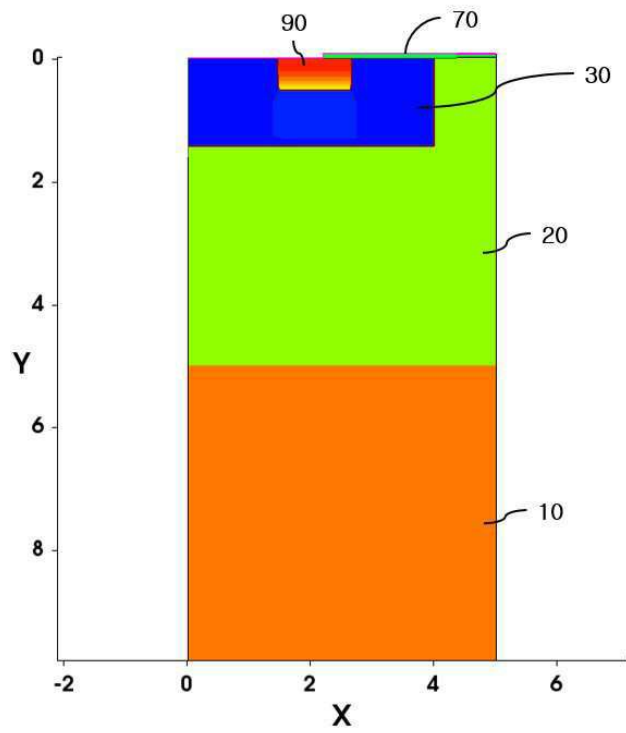
도면3f



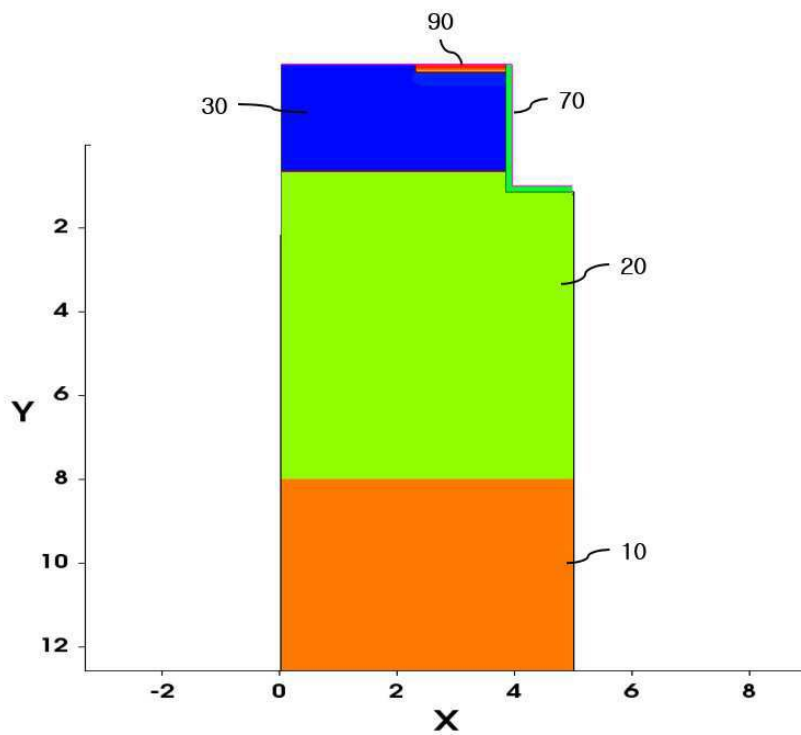
도면3g



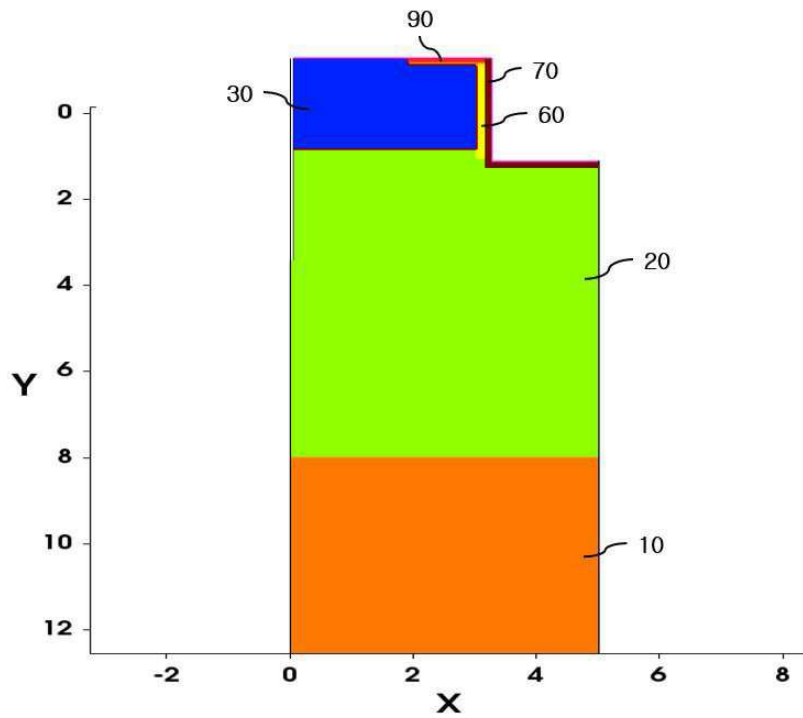
도면4



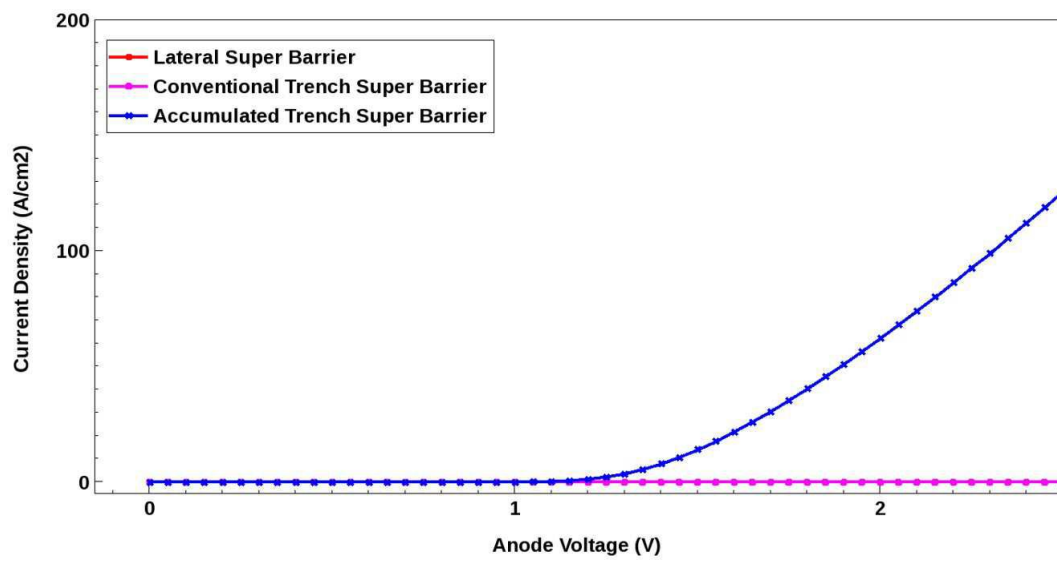
도면5



도면6



도면7



도면8

