



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I854165 B

(45)公告日：中華民國 113 (2024) 年 09 月 01 日

(21)申請案號：110141535

(22)申請日：中華民國 110 (2021) 年 11 月 08 日

(51)Int. Cl. : H03K5/13 (2014.01)

H03K5/06 (2006.01)

(30)優先權：2020/11/17 日本

2020-190639

(71)申請人：日商艾普凌科有限公司 (日本) ABLIC INC. (JP)

日本

(72)發明人：岡部茂行 OKABE, SHIGEYUKI (JP)

(74)代理人：葉璟宗；卓俊傑

(56)參考文獻：

TW I649969

TW I692943

JP 2002124858A

US 05179539

US 07772908B2

US 2002/0021159A1

US 2016/0118977A1

審查人員：蔡明宏

申請專利範圍項數：7 項 圖式數：7 共 33 頁

(54)名稱

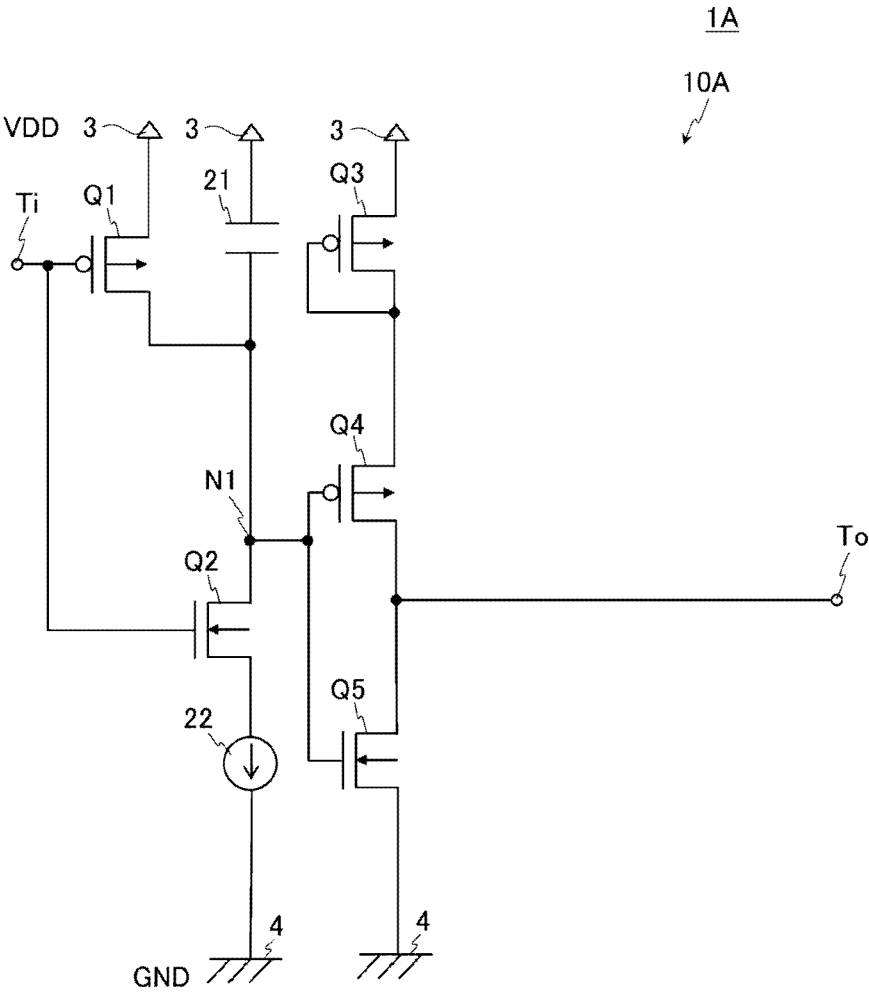
延遲電路

(57)摘要

本發明提供一種延遲電路，能夠以比以往更緊湊的尺寸產生與以往相同的延遲時間。延遲電路包括：第一導電型的第一、第三電晶體；第二導電型的第二、第四電晶體；電容；定電流源；以及電阻體。第一電晶體具有與輸入端子連接的閘極、與第一電源端子連接的源極、以及汲極。第二電晶體具有與輸入端子及第一電晶體的閘極連接的閘極、與第一電晶體的汲極及電容的第二端連接的汲極、以及源極。第三電晶體具有閘極、與第二電源端子連接的源極、以及汲極，第三電晶體的閘極連接於第一電晶體的汲極、第二電晶體的汲極、及電容的第二端的節點。第四電晶體具有與節點及第三電晶體的閘極連接的閘極、與第三電晶體的汲極及輸出端子連接的汲極、以及源極。

A delay circuit capable of generating the same delay time as the conventional delay circuit in a more compact size than the conventional delay circuit is provided. The delay circuit includes: first and third transistors of a first conductivity type; second and fourth transistors of a second conductivity type; a capacitor; a constant current source; and a resistor. The first transistor has a gate connected to an input terminal, a source connected to the first power supply terminal, and a drain. The second transistor has a gate connected to an input terminal and the gate of the first transistor, a drain connected to the drain of the first transistor and the second terminal of the capacitor, and a source. The third transistor has a gate connected to a node between the drain of the first transistor, the drain of the second transistor, and the second terminal of the capacitor, a source connected to the second power supply terminal, and a drain. The fourth transistor has a gate connected to the node and the gate of the third transistor, a drain connected to the drain of the third transistor and an output terminal, and a source.

指定代表圖：



【圖1】

符號簡單說明：

1A: 半導體裝置

10A: 延遲電路

3: 電源端子

4: 接地端子

21: 電容

22: 定電流源(第一定電流源)

Q1: PMOS 電晶體(第一電晶體)

Q2: NMOS 電晶體(第二電晶體)

Q3: PMOS 電晶體(電阻體、二極體)

Q4: PMOS 電晶體(第四電晶體)

Q5: NMOS 電晶體(第三電晶體)

Ti: 輸入端子

To: 輸出端子

N1: 節點

VDD: 電壓

GND: 接地電壓

I854165

【發明摘要】

【中文發明名稱】延遲電路

【英文發明名稱】DELAY CIRCUIT

【中文】

本發明提供一種延遲電路，能夠以比以往更緊湊的尺寸產生與以往相同的延遲時間。延遲電路包括：第一導電型的第一、第三電晶體；第二導電型的第二、第四電晶體；電容；定電流源；以及電阻體。第一電晶體具有與輸入端子連接的閘極、與第一電源端子連接的源極、以及汲極。第二電晶體具有與輸入端子及第一電晶體的閘極連接的閘極、與第一電晶體的汲極及電容的第二端連接的汲極、以及源極。第三電晶體具有閘極、與第二電源端子連接的源極、以及汲極，第三電晶體的閘極連接於第一電晶體的汲極、第二電晶體的汲極、及電容的第二端的節點。第四電晶體具有與節點及第三電晶體的閘極連接的閘極、與第三電晶體的汲極及輸出端子連接的汲極、以及源極。

【英文】

A delay circuit capable of generating the same delay time as the conventional delay circuit in a more compact size than the conventional delay circuit is provided. The delay circuit includes: first and third transistors of a first conductivity type; second and fourth transistors of a second conductivity type; a capacitor; a

constant current source; and a resistor. The first transistor has a gate connected to an input terminal, a source connected to the first power supply terminal, and a drain. The second transistor has a gate connected to an input terminal and the gate of the first transistor, a drain connected to the drain of the first transistor and the second terminal of the capacitor, and a source. The third transistor has a gate connected to a node between the drain of the first transistor, the drain of the second transistor, and the second terminal of the capacitor, a source connected to the second power supply terminal, and a drain. The fourth transistor has a gate connected to the node and the gate of the third transistor, a drain connected to the drain of the third transistor and an output terminal, and a source.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

1A:半導體裝置

10A:延遲電路

3:電源端子

4:接地端子

21:電容

22:定電流源（第一定電流源）

Q1:PMOS電晶體（第一電晶體）

Q2:NMOS電晶體（第二電晶體）

Q3:PMOS電晶體（電阻體、二極體）

Q4:PMOS電晶體（第四電晶體）

Q5:NMOS電晶體（第三電晶體）

Ti:輸入端子

To:輸出端子

N1:節點

VDD:電壓

GND:接地電壓

【特徵化學式】

無

【發明說明書】

【中文發明名稱】延遲電路

【英文發明名稱】DELAY CIRCUIT

【技術領域】

【0001】 本發明是有關於一種延遲電路。

【先前技術】

【0002】 已知一種延遲電路，包括電容，且產生與所述電容的電容值對應的延遲時間（例如，參照日本專利特開 2010-219661 號公報）。

[現有技術文獻]

[專利文獻]

【0003】 專利文獻 1：日本專利特開 2010-219661 號公報

[發明所欲解決之課題]

【0004】 然而，在所述延遲電路中，要產生的延遲時間越大，則電容值越大。電容值的增大會導致電容的尺寸增大，進而導致延遲電路整體的尺寸增大。

【0005】 本發明考慮到所述情況，其目的在於提供一種能夠以比以往更緊湊的尺寸產生與以往相同的延遲時間的延遲電路。

【發明內容】

[解決課題之手段]

【0006】 本發明實施方式的延遲電路的特徵在於包括：第一電晶

體，具有與輸入端子連接的閘極、與供給第一電源電壓的電源端子連接的源極、以及汲極；電容，具有與供給所述第一電源電壓的電源端子連接的第一端、以及與所述第一電晶體的汲極連接的第二端；第二電晶體，具有與所述第一電晶體的閘極及所述輸入端子連接的閘極、與所述第一電晶體的汲極及所述電容的第二端連接的汲極、以及源極；第一定電流源，連接於所述第二電晶體的源極、與供給與所述第一電源電壓不同的第二電源電壓的電源端子之間；第三電晶體，具有閘極、與供給所述第二電源電壓的電源端子連接的源極、以及汲極，所述第三電晶體的閘極連接於所述第一電晶體的汲極、所述第二電晶體的汲極、及所述電容的第二端的節點；第四電晶體，具有與所述節點及所述第三電晶體的閘極連接的閘極、與所述第三電晶體的汲極及輸出端子連接的汲極、以及源極；以及電阻體，具有與所述第四電晶體的源極連接的第一端、以及與供給所述第一電源電壓的電源端子連接的第二端；且所述第一電晶體以及所述第四電晶體為作為 p 型及 n 型的其中一種的第一導電型金屬氧化物導體（metal oxide semiconductor，MOS）電晶體，所述第二電晶體以及所述第三電晶體為作為 p 型及 n 型的另一種的第二導電型金屬氧化物半導體電晶體。

[發明的效果]

【0007】 根據本發明，可以比以往更緊湊的尺寸產生與以往相同的延遲時間。

【圖式簡單說明】**【0008】**

圖 1 是本發明第一實施方式的延遲電路的電路圖。

圖 2 是本發明第二實施方式的延遲電路的電路圖。

圖 3 是本發明第三實施方式的延遲電路的電路圖。

圖 4 是本發明第四實施方式的延遲電路的電路圖。

圖 5 是表示本發明實施方式的延遲電路的第一變形例的電路圖。

圖 6 是表示本發明實施方式的延遲電路的第二變形例的電路圖。

圖 7 是表示本發明實施方式的延遲電路的第三變形例的電路圖。

【實施方式】**【0009】 [第一實施方式]**

圖 1 是作為本發明第一實施方式的延遲電路的一例的延遲電路 10A 的電路圖。

【0010】 延遲電路 10A 例如形成在半導體基板上，並且包括於半導體裝置 1A 中。延遲電路 10A 例如包括 p 型 MOS 電晶體（以下設為“PMOS 電晶體”）Q1、Q3、Q4；n 型 MOS 電晶體（以下設為“NMOS 電晶體”）Q2、Q5；電容 21 以及定電流源 22。

【0011】 作為第一電晶體的 PMOS 電晶體 Q1 具有與輸入端子 Ti

連接的閘極、與電源端子 3 連接的源極以及汲極。電源端子 3 是供給作為電源電壓的電壓 VDD 的端子。

【0012】 電容 21 連接於電源端子 3 與 PMOS 電晶體 Q1 的汲極之間。即，電容 21 具有與電源端子 3 連接的第一端、以及與 PMOS 電晶體 Q1 的汲極連接的第二端。

【0013】 作為第二電晶體的 NMOS 電晶體 Q2 具有與 PMOS 電晶體 Q1 的閘極及輸入端子 Ti 連接的閘極、與 PMOS 電晶體 Q1 的汲極及電容 21 的第二端連接的汲極、以及源極。

【0014】 作為第一定電流源的定電流源 22 連接於 NMOS 電晶體 Q2 的源極與作為電源端子的接地端子 4 之間。接地端子 4 是供給接地電壓 GND 的電源端子。作為電源電壓的接地電壓 GND 是例如 0 伏特等的成為基準的電壓，是與電壓 VDD 不同的電壓。

【0015】 作為第三電晶體的 NMOS 電晶體 Q5 具有與節點 N1 連接的閘極、與接地端子 4 連接的源極以及汲極。節點 N1 是 PMOS 電晶體 Q1 的汲極及 NMOS 電晶體 Q2 的汲極與電容 21 的第二端的連接點。

【0016】 作為第四電晶體的 PMOS 電晶體 Q4 具有與節點 N1 及 NMOS 電晶體 Q5 的閘極連接的閘極、與 NMOS 電晶體 Q5 的汲極及輸出端子 To 連接的汲極、以及源極。

【0017】 關於作為電阻體的 PMOS 電晶體 Q3，閘極與汲極連接(短路)，例如作為包括作為相互連接的閘極及汲極的第一端、以及作為源極的第二端的電阻體發揮作用。所謂連接成二極體的 PMOS

電晶體 Q3 具有與第四電晶體的源極連接的作為第一端的閘極及汲極、以及與電源端子 3 連接的作為第二端的源極。

【0018】 此處，對本實施方式的延遲電路中的第一電晶體～第四電晶體的導電型的關係進行說明。第一電晶體及第四電晶體的導電型是作為 p 型及 n 型的其中一種的第一導電型。另一方面，第二電晶體及第三電晶體的導電型是作為 p 型及 n 型的另一種的第二導電型。即，第二導電型與第一導電型不同。在圖 1 所示的延遲電路 10A 中，第一導電型是 p 型，第二導電型是 n 型。

【0019】 接下來，對延遲電路 10A 的運行進行說明。

當向輸入端子 Ti 輸入低準位（以下設為“L 準位”）的電壓時，PMOS 電晶體 Q1 導通，NMOS 電晶體 Q2 斷開，因此 PMOS 電晶體 Q4 的閘極及 NMOS 電晶體 Q5 的閘極被供給電壓 VDD、即高準位（以下設為“H 準位”）的電壓。因此，PMOS 電晶體 Q4 斷開，NMOS 電晶體 Q5 導通，從輸出端子 To 輸出的電壓的電壓準位成為 L 準位。

【0020】 此處，當輸入至輸入端子 Ti 的電壓的電壓準位從 L 準位轉變為 H 準位時，PMOS 電晶體 Q1 從導通轉變為斷開，NMOS 電晶體 Q2 從斷開轉變為導通。當 PMOS 電晶體 Q1 斷開、NMOS 電晶體 Q2 導通時，通過定電流源 22 的定電流開始向電容 21 充入電荷。電容 21 產生從輸入至輸入端子 Ti 的電壓的電壓準位發生轉變的時機開始至從輸出端子 To 輸出的電壓的電壓準位發生轉變為止的延遲時間。因此，在向電容 21 開始充入電荷的時間點，從

輸出端子 To 輸出的電壓的電壓準位維持 L 準位。

【0021】 其後，隨著電荷的充入，電容 21 兩端的電壓上升，節點 N1 的電壓下降。不久，當節點 N1 的電壓低於從包括 PMOS 電晶體 Q3、PMOS 電晶體 Q4 以及 NMOS 電晶體 Q5 的電路（反相器）輸出的電壓的電壓準位發生轉變的閾值（以下，簡單設為“閾值”）時，所輸出的電壓的電壓準位從 L 準位轉變為 H 準位，從輸出端子 To 供給 H 準位的電壓。

【0022】 在延遲電路 10A 中的電容 21 與不包括 PMOS 電晶體 Q3 的延遲電路中的電容為相同的電容值的情況下，延遲電路 10A 與不包括 PMOS 電晶體 Q3 的延遲電路相比，能夠降低包括 PMOS 電晶體 Q4 及 NMOS 電晶體 Q5 的電路的閾值。若著眼於延遲時間，則延遲電路 10A 可產生比相同尺寸的不包括 PMOS 電晶體 Q3 的延遲電路更大的延遲時間。

【0023】 另一方面，在不包括 PMOS 電晶體 Q3 的延遲電路的延遲時間與延遲電路 10A 的延遲時間相同的情況下，延遲電路 10A 中的電容 21 的電容值可比不包括 PMOS 電晶體 Q3 的延遲電路的電容的電容值小。若著眼於電路尺寸，則相對於不包括 PMOS 電晶體 Q3 而具有相同延遲時間的延遲電路，延遲電路 10A 可減小整體電路尺寸。

【0024】 此外，在本實施方式中，對應用了連接成一級二極體的 PMOS 電晶體 Q3 作為電阻體的例子進行了說明，但電阻體並不限定於此。

【0025】 電阻體只要具有產生規定的電壓降的單個或多個元件即可，也可應用二極體或電阻。二極體中不僅包括二極體元件，還包括連接成二極體的 MOS 電晶體。另外，電阻體也可構成為多個連接成二極體的 MOS 電晶體、二極體元件及電阻級聯連接。

【0026】 [第二實施方式]

圖 2 是作為本發明第二實施方式的延遲電路的一例的延遲電路 10B 的電路圖。

【0027】 相對於延遲電路 10A，延遲電路 10B 的不同之處在於：代替作為電阻體的 PMOS 電晶體 Q3 而包括作為二極體的 PMOS 電晶體 Q3，並且還包括 PMOS 電晶體 Q7、NMOS 電晶體 Q8 以及電阻 31，但其他方面實質上並無不同。因此，在本實施方式中，以與延遲電路 10A 不同的構成元件、作用及效果為中心進行說明，同時對與延遲電路 10A 實質上並無不同的構成元件標注相同的符號並省略說明。

【0028】 延遲電路 10B 例如形成在半導體基板上，並且包括於半導體裝置 1B 中。延遲電路 10B 進而包括：作為電阻體的 PMOS 電晶體 Q3；PMOS 電晶體 Q1、PMOS 電晶體 Q4；NMOS 電晶體 Q2、NMOS 電晶體 Q5；電容 21 及定電流源 22；以及例如 PMOS 電晶體 Q7；NMOS 電晶體 Q8 以及電阻 31。

【0029】 作為第五電晶體的 PMOS 電晶體 Q7 具有與 PMOS 電晶體 Q4 的汲極連接的閘極、與電源端子 3 連接的源極、以及與電阻 31 的第一端連接的汲極。

【0030】 作為第六電晶體的 NMOS 電晶體 Q8 具有與 PMOS 電晶體 Q7 的閘極及 PMOS 電晶體 Q4 的汲極連接的閘極、與接地端子 4 連接的源極、以及與電阻 31 的第二端及輸出端子 To 連接的汲極。此處，將 NMOS 電晶體 Q8 的汲極與電阻 31 的第二端的連接點稱為節點 N2。在延遲電路 10B 中，輸出端子 To 與節點 N2 連接。

【0031】 包括 PMOS 電晶體 Q7、NMOS 電晶體 Q8 以及電阻 31 而構成的電路的閾值低於由流經與 PMOS 電晶體 Q4 及 NMOS 電晶體 Q5 的汲極連接的路徑的貫通電流以及 PMOS 電晶體 Q3 所決定的電壓。即，構成為在從 PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極的節點輸出的電壓的電壓準位從 L 準位轉變為 H 準位時，NMOS 電晶體 Q8 導通。

【0032】 包括 PMOS 電晶體 Q7、NMOS 電晶體 Q8 以及電阻 31 而構成的電路（反相器）的閾值能夠通過改變電阻 31 的電阻值的大小來調整為所期望的閾值。

【0033】 此處，對本實施方式的延遲電路中的第一電晶體～第六電晶體的導電型的關係進行說明。第一、四、五電晶體的導電型是作為 p 型及 n 型的其中一種的第一導電型。另一方面，第二、三、六電晶體的導電型是作為 p 型及 n 型的另一種的第二導電型。即，第二導電型與第一導電型不同。在圖 2 所例示的延遲電路 10B 中，第一導電型是 p 型，第二導電型是 n 型。

【0034】 接著，對延遲電路 10B 的運行進行說明。此外，由於關於與延遲電路 10A 重複的構成元件的運行實質上相同，因此簡化

或省略對所述運行的說明。

【0035】 當向輸入端子 Ti 輸入 L 準位的電壓時，從 PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極的節點輸出 L 準位的電壓。PMOS 電晶體 Q7 的閘極及 NMOS 電晶體 Q8 的閘極被施加 L 準位的電壓，PMOS 電晶體 Q7 導通，NMOS 電晶體 Q8 斷開。因此，從 PMOS 電晶體 Q7 的汲極與 NMOS 電晶體 Q8 的汲極的節點向輸出端子 To 供給的電壓成為 H 準位的電壓。

【0036】 當輸入至輸入端子 Ti 的電壓的電壓準位從 L 準位轉變為 H 準位時，產生延遲時間。在經過所述延遲時間後，從 PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極的節點輸出的電壓的電壓準位從 L 準位轉變為 H 準位。

【0037】 經過延遲時間後不久，從 PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極的節點輸出的電壓僅上升至由流經與 PMOS 電晶體 Q4 及 NMOS 電晶體 Q5 的汲極連接的路徑的貫通電流以及 PMOS 電晶體 Q3 決定的電壓。然而，經過延遲時間後不久的從 PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極的節點輸出的電壓的電壓上升會使 NMOS 電晶體 Q8 從斷開狀態轉變為導通狀態。

【0038】 NMOS 電晶體 Q8 從斷開狀態轉變為導通狀態，另一方面，在從 PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極的節點輸出的電壓的上升並不充分的階段，PMOS 電晶體 Q7 不會從導通狀態轉變為斷開狀態。然而，即使 PMOS 電晶體 Q7 保持導通狀

態，由於電阻 31 連接於 PMOS 電晶體 Q7 的汲極與 NMOS 電晶體 Q8 的汲極之間，因此也在電阻 31 的兩端產生電壓降。

【0039】 若 NMOS 電晶體 Q8 從斷開狀態轉變為導通狀態，則在電阻 31 的兩端產生電壓降，由此，從 PMOS 電晶體 Q7 的汲極與 NMOS 電晶體 Q8 的汲極的節點向輸出端子 To 供給的電壓從 H 準位轉變為 L 準位。此外，在 PMOS 電晶體 Q7 轉變為斷開狀態的情況下，從 PMOS 電晶體 Q7 的汲極與 NMOS 電晶體 Q8 的汲極的節點向輸出端子 To 供給的電壓是 L 準位的電壓。

【0040】 如此，若 NMOS 電晶體 Q8 從斷開狀態轉變為導通狀態，則無論 PMOS 電晶體 Q7 的導通/斷開狀態如何，從 PMOS 電晶體 Q7 的汲極與 NMOS 電晶體 Q8 的汲極的節點向輸出端子 To 供給的電壓均為 L 準位的電壓。

【0041】 根據延遲電路 10B，可獲得與延遲電路 10A 同樣的效果。即，若著眼於電路尺寸，則延遲電路 10B 可以比以往更緊湊的尺寸產生與以往相同的延遲時間。另外，若著眼於延遲時間，則延遲電路 10B 可以與以往的延遲電路相同的尺寸產生比以往更大的延遲時間。

【0042】 另外，根據延遲電路 10B，在從 PMOS 電晶體 Q4 的汲極及 NMOS 電晶體 Q5 的汲極輸出的電壓未充分上升的延遲時間經過後不久，也可可靠地使電壓準位轉變。

【0043】 [第三實施方式]

圖 3 是作為本發明第三實施方式的延遲電路的一例的延遲電

路 10C 的電路圖。

【0044】 相對於延遲電路 10A，延遲電路 10C 的不同之處在於還包括 PMOS 電晶體 Q9 以及反相器 41，但其他方面實質上並無不同。因此，在本實施方式中，以與延遲電路 10A 不同的構成元件、作用及效果為中心進行說明，同時對與延遲電路 10A 實質上並無不同的構成元件標注相同的符號並省略說明。

【0045】 延遲電路 10C 例如形成在半導體基板上，並且包括於半導體裝置 1C 中。延遲電路 10C 進而包括作為二極體的 PMOS 電晶體 Q3；PMOS 電晶體 Q1、PMOS 電晶體 Q4；NMOS 電晶體 Q2、NMOS 電晶體 Q5；電容 21 及定電流源 22；以及例如 PMOS 電晶體 Q9 以及反相器 41。出於與利用電阻的情況相比，在流通漏電流的情況下也能獲得所期望的電壓降並且抑制消耗電流的觀點，連接有作為二極體的 PMOS 電晶體 Q3。

【0046】 作為第七電晶體的 PMOS 電晶體 Q9 具有閘極、與電源端子 3 連接的源極、以及與 PMOS 電晶體 Q4 的源極及連接成二極體的 PMOS 電晶體 Q3 的閘極及汲極連接的汲極。

【0047】 反相器 41 具有與 PMOS 電晶體 Q4 的汲極連接的輸入端、以及與 PMOS 電晶體 Q9 的閘極連接的輸出端。此處，將反相器 41 的輸入端與輸出端子 To 的連接點稱為節點 N3。在延遲電路 10C 中，PMOS 電晶體 Q4 的汲極及 NMOS 電晶體 Q5 的汲極與節點 N3 連接。

【0048】 此處，對本實施方式的延遲電路中的第一電晶體～第七

電晶體的導電型的關係進行說明。第一、四、五、七電晶體的導電型是作為 p 型及 n 型的其中一種的第一導電型。另一方面，第二、三、六電晶體的導電型是作為 p 型及 n 型的另一種的第二導電型。即，第二導電型與第一導電型不同。在圖 3 所例示的延遲電路 10C 中，第一導電型是 p 型，第二導電型是 n 型。

【0049】 接著，對延遲電路 10C 的運行進行說明。此外，由於關於與延遲電路 10A 重複的構成元件的運行實質上相同，因此簡化或省略對所述運行的說明。

【0050】 當向輸入端子 Ti 輸入 L 準位的電壓時，從 PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極的節點輸出 L 準位的電壓。此處，PMOS 電晶體 Q9 的閘極接收基於從 PMOS 電晶體 Q4 的汲極輸出的電壓的電壓。在延遲電路 10C 中，從 PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極的節點輸出的電壓經由反相器 41 而供給至 PMOS 電晶體 Q9 的閘極。此時，由於向 PMOS 電晶體 Q9 的閘極供給 H 準位的電壓，因此 PMOS 電晶體 Q9 為斷開狀態。

【0051】 當輸入至輸入端子 Ti 的電壓的電壓準位從 L 準位轉變為 H 準位時，產生延遲時間。從 PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極的節點輸出的電壓的電壓準位從 L 準位轉變為 H 準位。由於經由反相器 41 向 PMOS 電晶體 Q9 的閘極輸入 L 準位的電壓，因此 PMOS 電晶體 Q9 導通。

【0052】 當 PMOS 電晶體 Q9 轉變為導通時，與 PMOS 電晶體 Q3

相比，PMOS 電晶體 Q9 的導通電阻極小，因此可忽略經由 PMOS 電晶體 Q3 連接 PMOS 電晶體 Q4 的汲極與電源端子 3 的路徑。即，PMOS 電晶體 Q4 的汲極經由導通狀態的 PMOS 電晶體 Q9 而與電源端子 3 連接。

【0053】 因此，當輸入至輸入端子 Ti 的電壓的電壓準位從 L 準位轉變為 H 準位時，在經過延遲時間後，可使 PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極的節點的電壓上升至電壓 VDD。

【0054】 根據延遲電路 10C，可不增加消耗電流地獲得與延遲電路 10A 同樣的效果。即，若著眼於電路尺寸，則延遲電路 10C 可不增加消耗電流、且以比以往更緊湊的尺寸產生與以往相同的延遲時間。另外，若著眼於延遲時間，則延遲電路 10C 可以與以往的延遲電路相同的尺寸，不增加消耗電流地產生比以往更大的延遲時間。

【0055】 另外，根據延遲電路 10C，在經過延遲時間後，將從電源端子 3 流向 PMOS 電晶體 Q4 的電流的路徑從經由 PMOS 電晶體 Q3 的路徑切換為經由 PMOS 電晶體 Q9 的路徑，由此使 PMOS 電晶體 Q4 及 NMOS 電晶體 Q5 的汲極的電壓上升至電壓 VDD。通過使 PMOS 電晶體 Q4 及 NMOS 電晶體 Q5 的汲極的電壓上升至電壓 VDD，在外部電路與輸出端子 To 連接的情況下，可抑制流向所述外部電路的貫通電流的影響。

【0056】 此外，在本實施方式中，對應用了連接成一級二極體的 PMOS 電晶體 Q3 作為二極體的例子進行了說明，但二極體並不限

定於此。

【0057】 二極體並不限定於連接成二極體的 MOS 電晶體，也可應用二極體元件。另外，二極體也可構成為連接成二極體的 MOS 電晶體或二極體元件多個串接連接。

【0058】 [第四實施方式]

圖 4 是作為本發明第四實施方式的延遲電路的一例的延遲電路 10D 的電路圖。

【0059】 延遲電路 10D 例如形成在半導體基板上，並且包括於半導體裝置 1D 中。相對於延遲電路 10A，延遲電路 10D 的不同之處在於還包括定電流源 51，但其他方面實質上並無不同。因此，在本實施方式中，以與延遲電路 10A 不同的構成元件、作用及效果為中心進行說明，同時對與延遲電路 10A 實質上並無不同的構成元件標注相同的符號並省略說明。

【0060】 延遲電路 10D 進而包括作為電阻體的 PMOS 電晶體 Q3；PMOS 電晶體 Q1、PMOS 電晶體 Q4；NMOS 電晶體 Q2、NMOS 電晶體 Q5；電容 21 及定電流源 22 以及例如定電流源 51。作為第二定電流源的定電流源 51 連接於 PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極之間。

【0061】 此處，本實施方式的延遲電路中的第一電晶體～第七電晶體的導電型的關係與第三實施方式的延遲電路中的第一電晶體～第七電晶體的導電型的關係相同。即，第一、四、五、七電晶體是第一導電型，第二、三、六電晶體是第二導電型。在圖 4 所

例示的延遲電路 10D 中，為第一導電型是 p 型、第二導電型是 n 型的一例。

【0062】 接著，對延遲電路 10D 的運行進行說明。此外，由於關於與延遲電路 10A 重複的構成元件的運行實質上相同，因此簡化或省略對所述運行的說明。

【0063】 當向輸入端子 Ti 輸入 L 準位的電壓時，從 PMOS 電晶體 Q4 的汲極與定電流源 51 的節點輸出 L 準位的電壓。另外，定電流源 51 將規定的定電流供給至 NMOS 電晶體 Q5 的汲極。

【0064】 當輸入至輸入端子 Ti 的電壓的電壓準位從 L 準位轉變為 H 準位時，產生延遲時間。在經過所述延遲時間後，從 PMOS 電晶體 Q4 的汲極與定電流源 51 的節點輸出的電壓的電壓準位從 L 準位轉變為 H 準位。

【0065】 此處，包括 PMOS 電晶體 Q3、PMOS 電晶體 Q4、定電流源 51 及 NMOS 電晶體 Q5 的電路的閾值通過由定電流源 51 供給的規定的定電流及 PMOS 電晶體 Q3 決定的電壓、以及 PMOS 電晶體 Q4 的閘極-源極間電壓來決定。另一方面，不包括連接於 PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極之間的定電流源 51 而包括 PMOS 電晶體 Q3、PMOS 電晶體 Q4 及 NMOS 電晶體 Q5 的電路的閾值通過 PMOS 電晶體 Q4 的閾值電壓、NMOS 電晶體 Q5 的閾值電壓以及因 PMOS 電晶體 Q3 而下降的電壓來決定。

【0066】 因此，在不包括定電流源 51 的延遲電路中，產生的延遲時間受到電源端子 3 的電壓 VDD 的影響。即，在不包括連接於

PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極之間的定電流源 51 的延遲電路中，產生的延遲時間對電壓 VDD 的依賴性大。

【0067】 相對於此，延遲電路 10D 那樣的包括連接於 PMOS 電晶體 Q4 的汲極與 NMOS 電晶體 Q5 的汲極之間的定電流源 51 的延遲電路中，產生的延遲時間不受電源端子 3 的電壓 VDD 的影響。即，產生不依賴於電壓 VDD 的延遲時間。

【0068】 根據延遲電路 10D，可獲得與延遲電路 10A 同樣的效果。即，若著眼於電路尺寸，則延遲電路 10D 可以比以往更緊湊的尺寸產生與以往相同的延遲時間。另外，若著眼於延遲時間，則延遲電路 10D 可以與以往的延遲電路相同的尺寸產生比以往更大的延遲時間。

【0069】 另外，根據延遲電路 10D，通過包括定電流源 51，可產生不依賴於電壓 VDD 的延遲時間。

【0070】 此外，本發明並不限定於以上所述的實施方式本身，在實施階段，除了以上所述的例子以外也能夠以各種方式實施，可在不脫離發明的主旨的範圍內進行各種省略、置換、變更。例如，除了以上所述的構成例以外，還能夠變形為如後述的延遲電路 10E、延遲電路 10F、延遲電路 10G 那樣適當組合延遲電路 10A～延遲電路 10D 的構成元件而得的結構（第一、二、三變形例）。

【0071】 圖 5、圖 6 及圖 7 分別是作為本發明實施方式的延遲電路的第一變形例、第二變形例及第三變形例的延遲電路 10E、延遲電路 10F 及延遲電路 10G 的電路圖。

【0072】延遲電路 10E、延遲電路 10F、延遲電路 10G 例如與以上所述的延遲電路 10A～延遲電路 10D 同樣地形成在半導體基板上，並且包括於半導體裝置 1E、半導體裝置 1F、半導體裝置 1G 中。相對於延遲電路 10B，延遲電路 10E 構成為還包括定電流源 51。即，相對於延遲電路 10A，延遲電路 10E 構成為還包括 PMOS 電晶體 Q7、NMOS 電晶體 Q8、電阻 31 以及定電流源 51。根據延遲電路 10E，可獲得與延遲電路 10A、延遲電路 10B、延遲電路 10D 同樣的效果。

【0073】相對於延遲電路 10C，延遲電路 10F 構成為還包括定電流源 51。即，相對於延遲電路 10A，延遲電路 10F 構成為還包括 PMOS 電晶體 Q9、反相器 41 以及定電流源 51。根據延遲電路 10F，可獲得與延遲電路 10A、延遲電路 10C、延遲電路 10D 同樣的效果。

【0074】相對於延遲電路 10E，延遲電路 10G 構成為還包括 PMOS 電晶體 Q9、反相器 41 以及反相器 61。即，相對於延遲電路 10A，延遲電路 10G 構成為還包括 PMOS 電晶體 Q7、NMOS 電晶體 Q8、電阻 31、定電流源 51、PMOS 電晶體 Q9、反相器 41 以及反相器 61。反相器 61 具有與節點 N2 連接的輸入端以及與節點 N3 連接的輸出端。根據延遲電路 10G，可獲得與延遲電路 10A、延遲電路 10B、延遲電路 10C、延遲電路 10D 同樣的效果。

【0075】此外，也可從所述延遲電路 10G 省略兩個反相器 41、61 及定電流源 51 中的至少一者來構成延遲電路。在從延遲電路 10G

省略了兩個反相器 41、61 而得的延遲電路中，將基於從 PMOS 電晶體 Q4 的汲極輸出的電壓直接施加至 PMOS 電晶體 Q9 的閘極。

【0076】 另外，在以上所述的本實施方式的延遲電路中，也可採用使輸入至輸入端子 Ti 的電壓的電壓準位反轉並從輸出端子 To 輸出所述電壓的結構。在所述情況下，例如，能夠通過在延遲電路 10G 中變更反相器 41 或反相器 61 的連接位置來進行變形。若具體地進行說明，則在延遲電路 10G 中，也可將反相器 61 設置在連接節點 N3 與 PMOS 電晶體 Q9 的閘極的路徑上，或者將反相器 41 設置在連接節點 N2 與節點 N3 的路徑上。

【0077】 進而，作為實施方式的延遲電路的其他構成例，也可採用如下結構：相對於以上所述的延遲電路，使半導體元件的導電型（p 型及 n 型）以及端子及各元件的連接關係反轉。

【0078】 以上所述的實施方式或其變形包含在發明的範圍或主旨中，並且包含在權利要求書所記載的發明及其均等的範圍中。

【符號說明】

【0079】

1A～1G:半導體裝置

10A～10G:延遲電路

3:電源端子

4:接地端子

21:電容

22:定電流源（第一定電流源）

31:電阻

41、61:反相器

51:定電流源（第二定電流源）

Q1:PMOS 電晶體（第一電晶體）

Q2:NMOS 電晶體（第二電晶體）

Q3:PMOS 電晶體（電阻體、二極體）

Q4:PMOS 電晶體（第四電晶體）

Q5:NMOS 電晶體（第三電晶體）

Q7:PMOS 電晶體（第五電晶體）

Q8:NMOS 電晶體（第六電晶體）

Q9:PMOS 電晶體（第七電晶體）

Ti:輸入端子

To:輸出端子

N1、N2、N3:節點

VDD:電壓

GND:接地電壓

【發明申請專利範圍】

【請求項1】 一種延遲電路，包括：

第一電晶體，具有與輸入端子連接的閘極、與供給第一電源電壓的電源端子連接的源極、以及汲極；

電容，具有與供給所述第一電源電壓的電源端子連接的第一端、以及與所述第一電晶體的汲極連接的第二端；

第二電晶體，具有與所述第一電晶體的閘極及所述輸入端子連接的閘極、與所述第一電晶體的汲極及所述電容的第二端連接的汲極、以及源極；

第一定電流源，連接於所述第二電晶體的源極、與供給與所述第一電源電壓不同的第二電源電壓的電源端子之間；

第三電晶體，具有閘極、與供給所述第二電源電壓的電源端子連接的源極、以及汲極，所述第三電晶體的閘極連接於所述第一電晶體的汲極、所述第二電晶體的汲極、及所述電容的第二端的節點；

第四電晶體，具有與所述節點及所述第三電晶體的閘極連接的閘極、與所述第三電晶體的汲極及輸出端子連接的汲極、以及源極；以及

電阻體，具有與所述第四電晶體的源極連接的第一端、以及與供給所述第一電源電壓的電源端子連接的第二端；且

所述第一電晶體及所述第四電晶體為作為 p 型及 n 型的其中一種的第一導電型金屬氧化物半導體電晶體，

所述第二電晶體及所述第三電晶體為作為 p 型及 n 型的另一種的第二導電型金屬氧化物半導體電晶體。

【請求項2】 如請求項1所述的延遲電路，還包括：

第五電晶體及第六電晶體，所述第五電晶體及第六電晶體進而連接於所述第四電晶體的汲極與所述輸出端子之間；以及

電阻，具有第一端及第二端；且

所述第五電晶體是具有與所述第四電晶體的汲極連接的閘極、與供給所述第一電源電壓的電源端子連接的源極、以及與所述電阻的第一端連接的汲極的所述第一導電型金屬氧化物半導體電晶體，

所述第六電晶體是具有與所述第五電晶體的閘極及所述第四電晶體的汲極連接的閘極、與供給所述第二電源電壓的電源端子連接的源極、以及與所述電阻的第二端及所述輸出端子連接的汲極的所述第二導電型金屬氧化物半導體電晶體。

【請求項3】 如請求項2所述的延遲電路，其中

所述電阻體是具有與所述第四電晶體的源極連接的第一端、以及與供給所述第一電源電壓的電源端子連接的第二端的二極體，且

所述延遲電路包括第七電晶體，所述第七電晶體具有與所述第六電晶體的汲極、所述電阻的第二端及所述輸出端子連接的閘極、與供給所述第一電源電壓的電源端子連接的源極、以及與所述第四電晶體的源極及所述二極體的第一端連接的汲極。

【請求項4】 如請求項3所述的延遲電路，其中

基於從所述第四電晶體的汲極輸出的電壓，向所述第七電晶體的閘極供給電壓。

【請求項5】 如請求項1所述的延遲電路，其中

所述電阻體是具有與所述第四電晶體的源極連接的第一端、以及與供給所述第一電源電壓的電源端子連接的第二端的二極體，且

所述延遲電路包括：第七電晶體，具有閘極、與供給所述第一電源電壓的電源端子連接的源極、以及與所述第四電晶體的源極及所述二極體的第一端連接的汲極；以及

反相器，具有與所述第四電晶體的汲極連接的輸入端、以及與所述第七電晶體的閘極連接的輸出端。

【請求項6】 如請求項1所述的延遲電路，其中

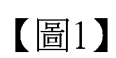
所述電阻體是具有與所述第四電晶體的源極連接的第一端、以及與供給所述第一電源電壓的電源端子連接的第二端的二極體，且

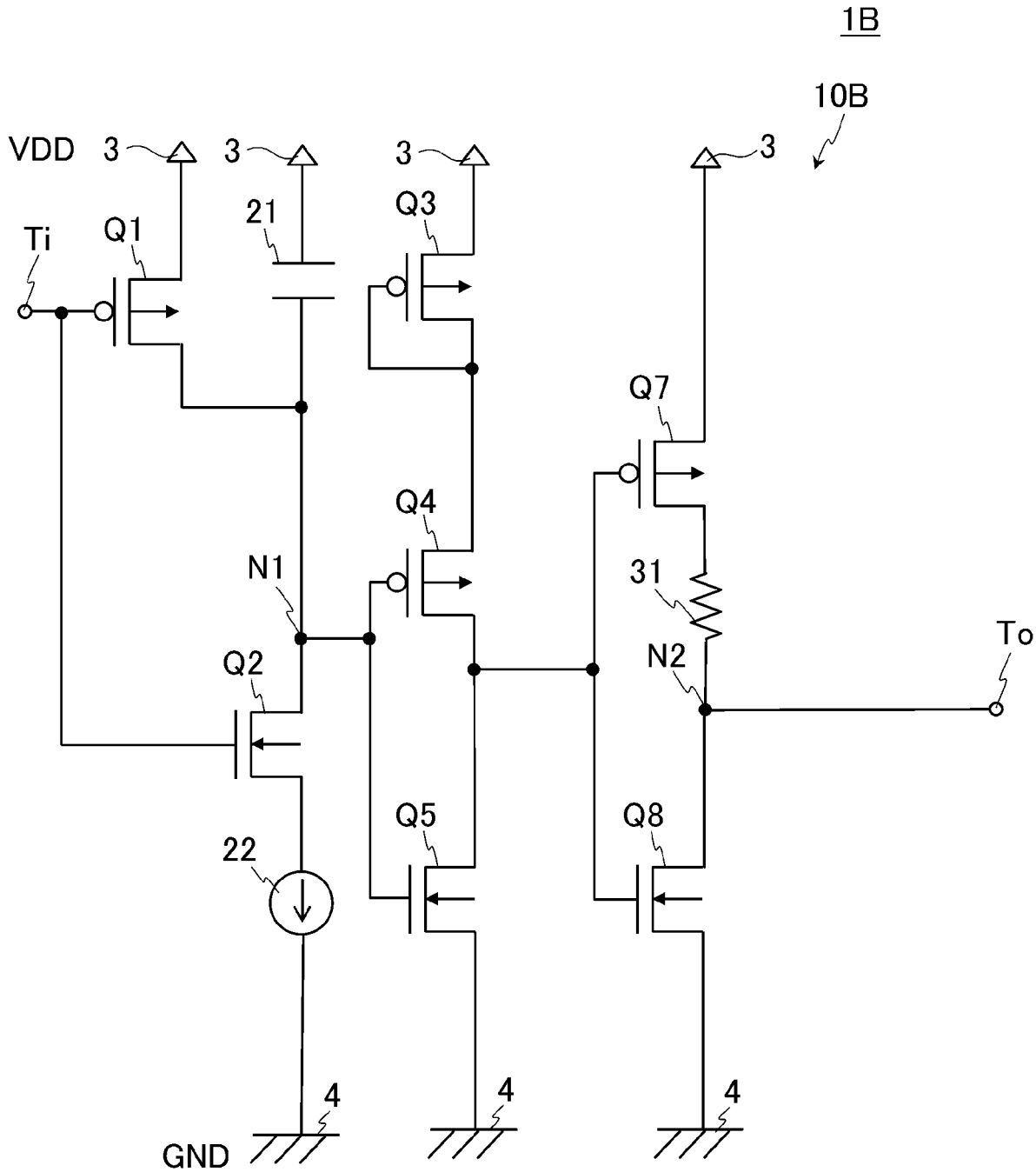
所述延遲電路包括第七電晶體，所述第七電晶體具有閘極、與供給所述第一電源電壓的電源端子連接的源極、以及與所述第四電晶體的源極及所述二極體的第一端連接的汲極；

基於從所述第四電晶體的汲極輸出的電壓，向所述第七電晶體的閘極供給電壓。

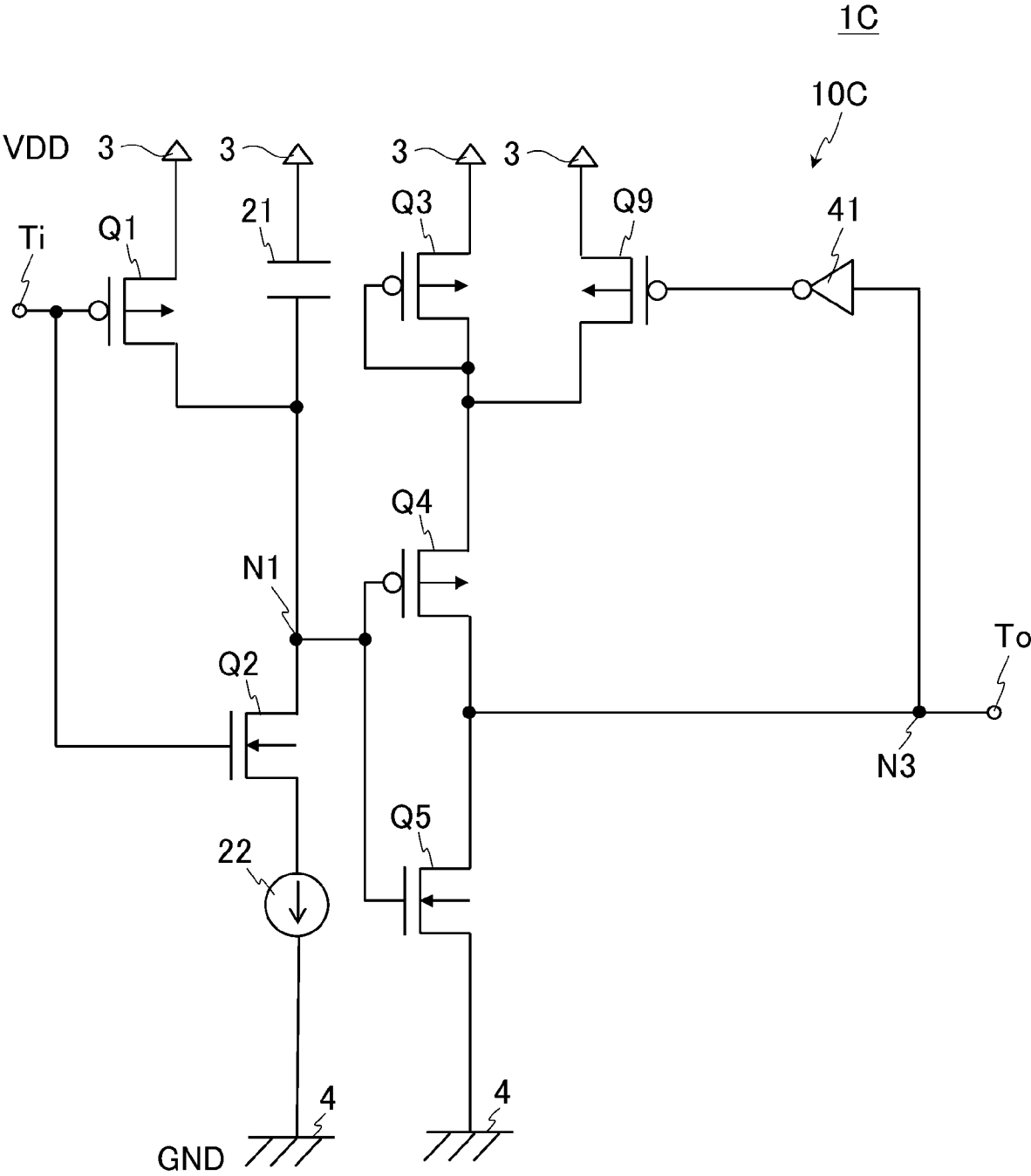
【請求項7】 如請求項1至請求項6中任一項所述的延遲電路，還包括：

第二定電流源，所述第二定電流源連接於所述第四電晶體的汲極與所述第三電晶體的汲極之間。

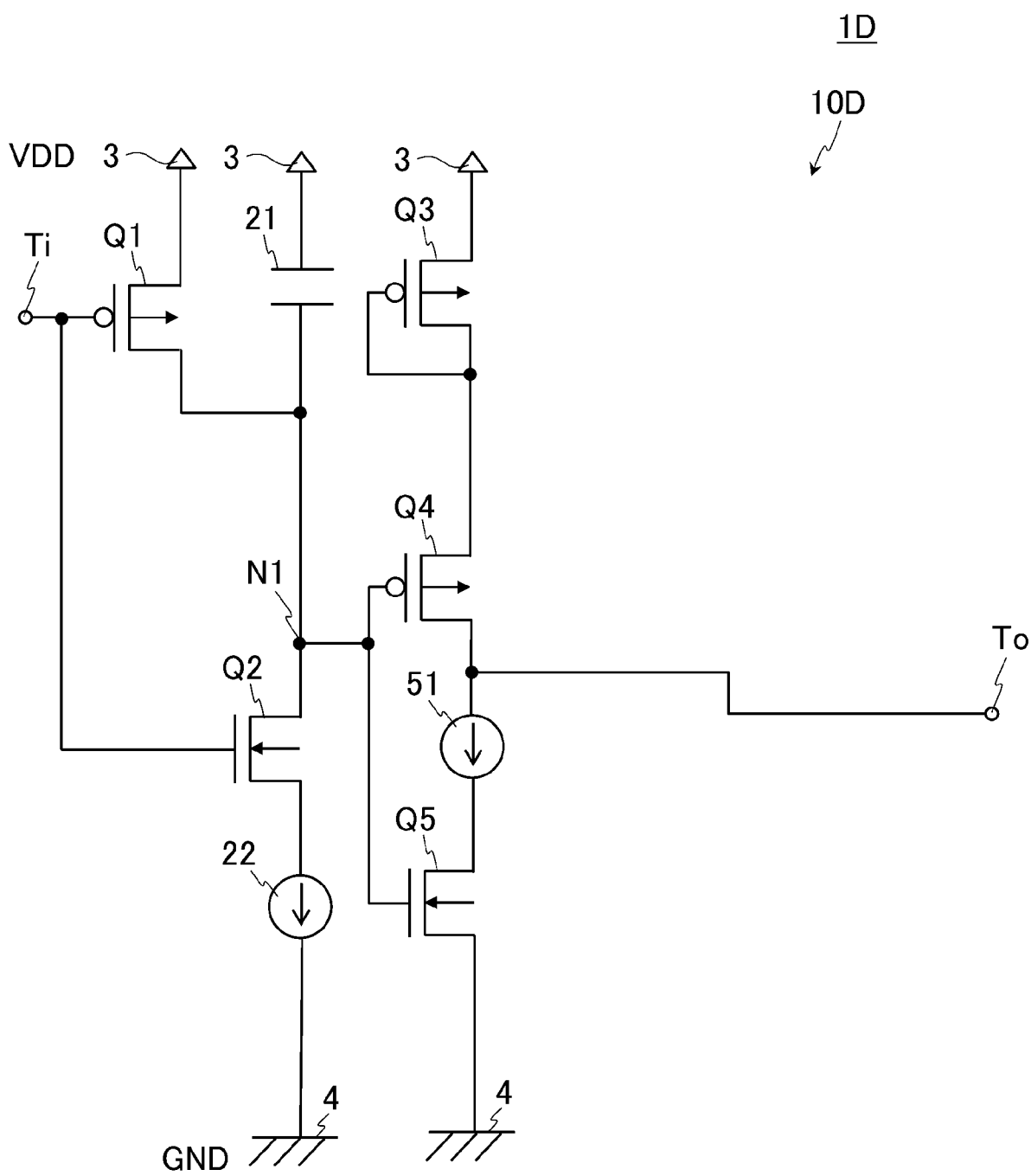




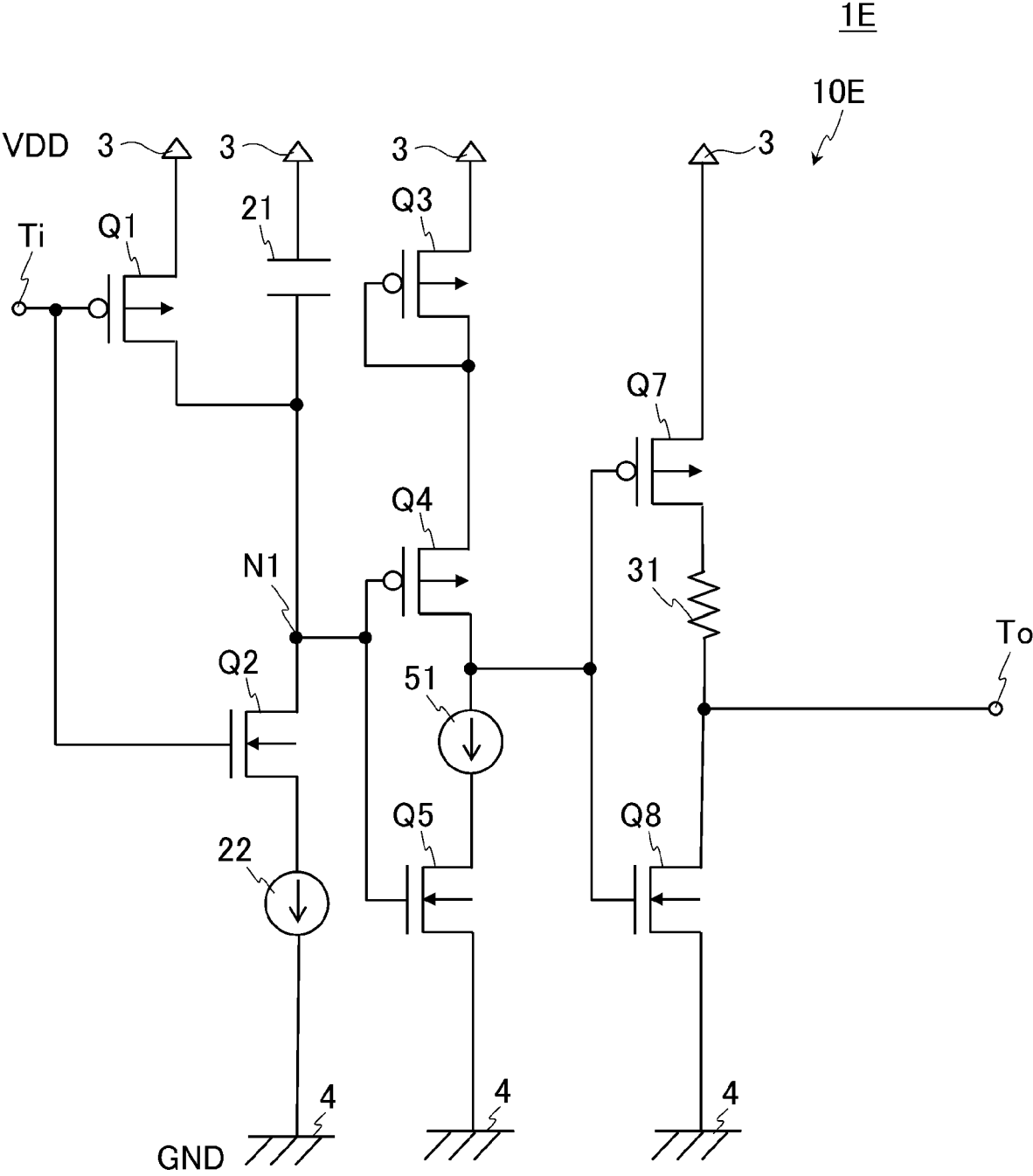
【圖2】



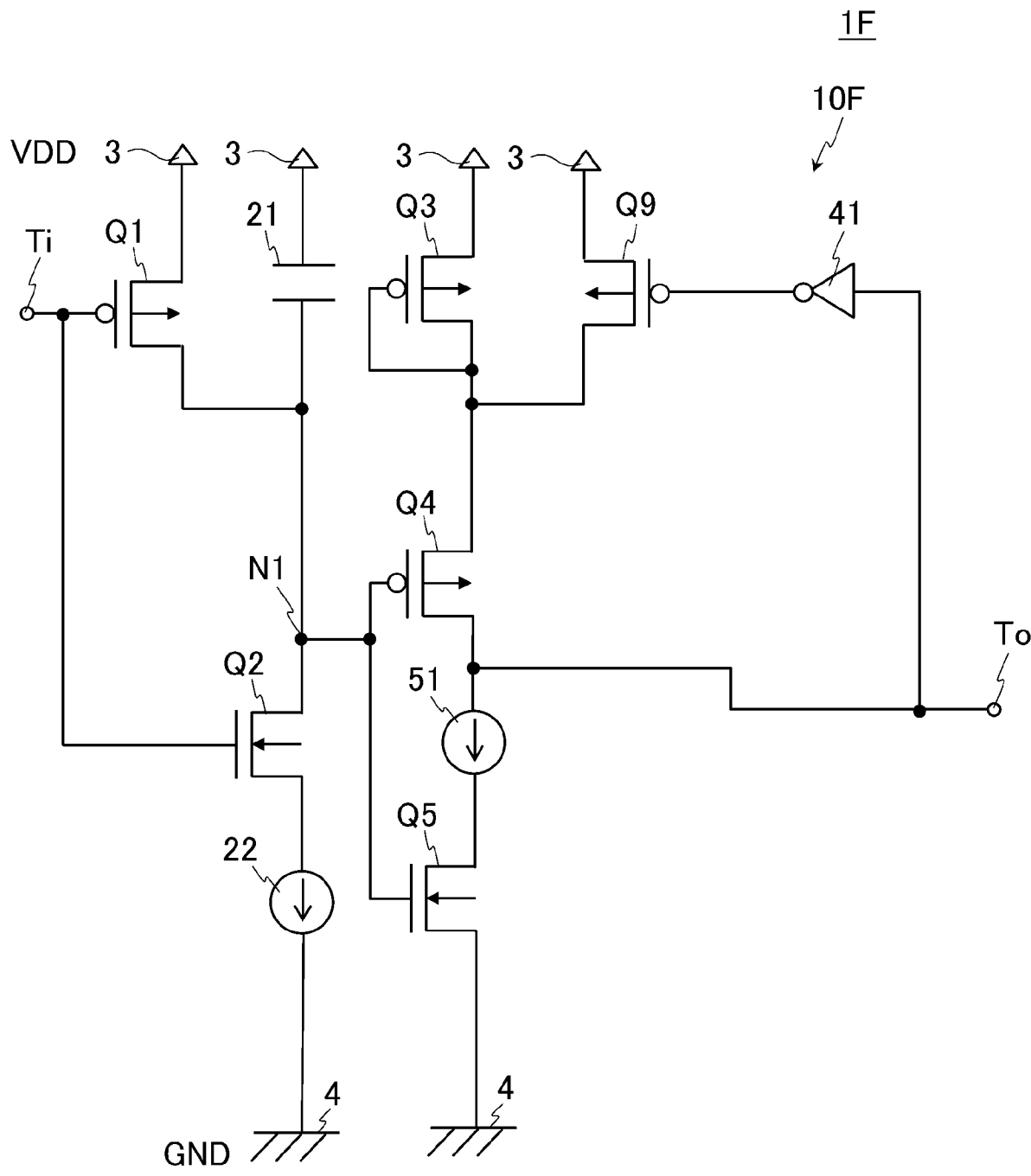
【圖3】



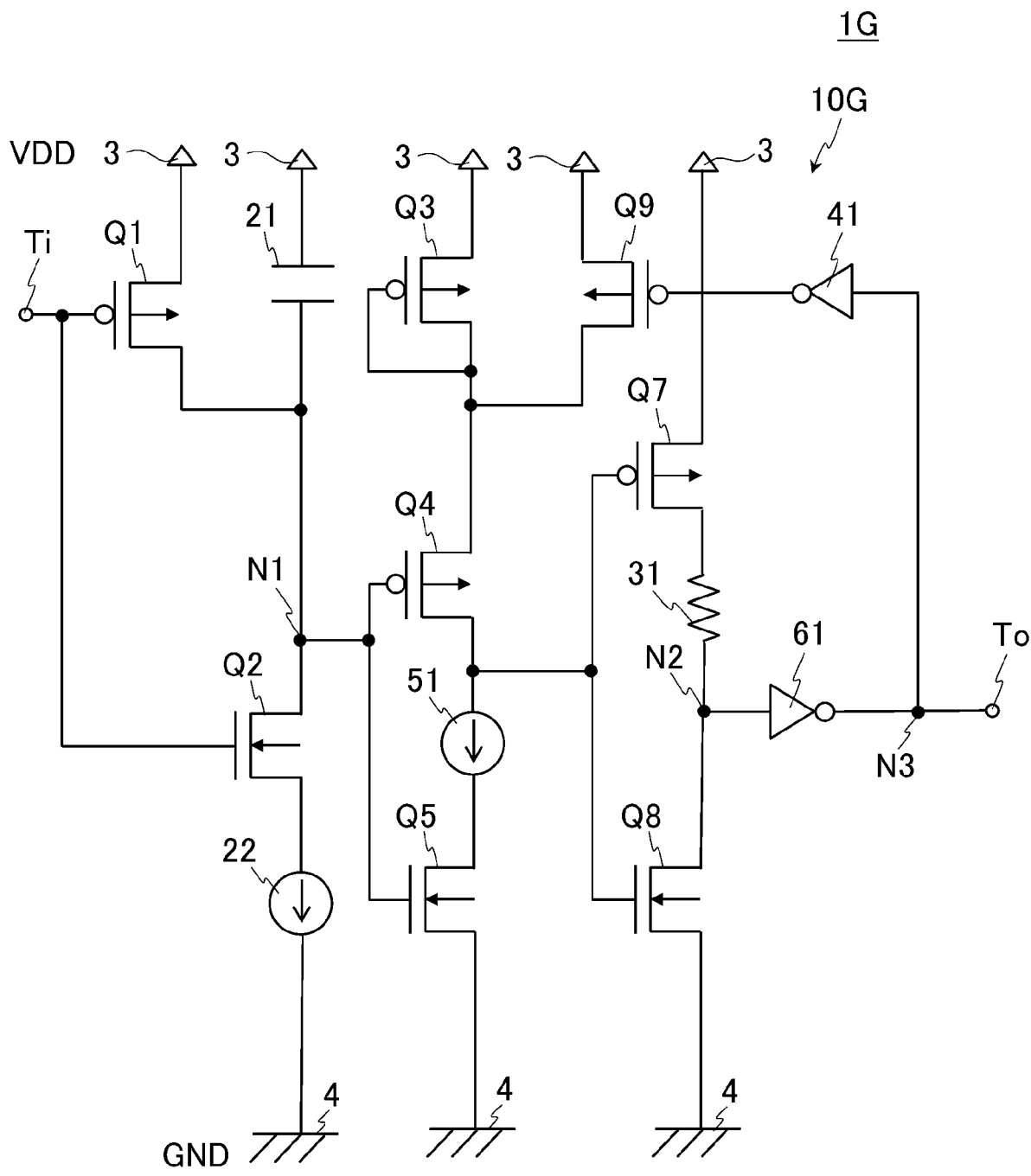
【圖4】



【圖5】



【圖6】



【圖7】