

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 17 年 2 月 3 日 (2005.2.3)

【公開番号】特開 2001-291389 (P2001-291389A)

【公開日】平成 13 年 10 月 19 日 (2001.10.19)

【出願番号】特願 2000-101204 (P2000-101204)

【国際特許分類第 7 版】

G 1 1 C 11/409

G 1 1 C 11/405

G 1 1 C 11/401

H 0 1 L 21/8242

H 0 1 L 27/108

【F I】

G 1 1 C 11/34 3 5 3 F

G 1 1 C 11/34 3 5 2 B

G 1 1 C 11/34 3 6 2 B

H 0 1 L 27/10 3 2 1

【手続補正書】

【提出日】平成 16 年 2 月 27 日 (2004.2.27)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ワード線と、

前記ワード線に接続され、記憶情報電圧によって選択的に所定電位との経路を形成することのできるメモリセルと、

前記メモリセルの記憶情報を出力するための第 1 データ線と、

前記第 1 データ線と対をなす第 2 データ線と、

前記第 1 データ線を第 1 プリチャージ電位にプリチャージするとともに前記第 2 データ線を前記第 1 プリチャージ電位と異なる第 2 プリチャージ電位にプリチャージするためのプリチャージ回路とを有し、

前記ワード線が選択状態のとき、前記第 1 データ線の電位は前記第 1 プリチャージ電位となり、前記第 2 データ線の電位は前記第 2 プリチャージ電位となることを特徴とした半導体集積回路。

【請求項 2】

記憶情報電圧によって選択的に所定電位との経路を形成することのできるメモリセルと、  
前記メモリセルの記憶情報を出力するための第 1 データ線と、

前記第 1 データ線と対をなす第 2 データ線と、

前記第 1 データ線を第 1 プリチャージ電位にプリチャージするとともに前記第 2 データ線を前記第 1 プリチャージ電位と異なる第 2 プリチャージ電位にプリチャージするためのプリチャージ回路とを有し、

前記第 1 データ線は、複数の第 1 ローカルデータ線と第 1 グローバルデータ線の階層構造を有し、前記階層構造は前記複数の第 1 ローカルデータ線のそれぞれに所定の数の前記メモリセルが接続されて成るブロックを単位として、前記ブロックを第 1 グローバルデータ線へ制御信号により選択的に接続させるものであり、

前記第 1 ローカルデータ線と前記第 1 グローバルデータ線はそれぞれ異なるメタル配線層を用いて、メモリアレイ上で平行に配線されることを特徴とする半導体集積回路。

【請求項 3】

請求項 1 において、

前記第 1 データ線は、複数の第 1 ローカルデータ線と第 1 グローバルデータ線の階層構造を有し、当該階層構造は前記複数の第 1 ローカルデータ線のそれぞれに所定の数の前記メモリセルが接続されて成るブロックを単位として、前記ブロックを前記第 1 グローバルデータ線へ制御信号により選択的に接続させるものであり、

前記第 2 データ線は、前記複数の第 1 ローカルデータ線とそれぞれ対をなす複数の第 2 ローカルデータ線と、前記第 1 グローバルデータ線と対を成す第 2 グローバルデータ線の階層構造を有し、当該階層構造は前記複数の第 2 ローカルデータ線のそれぞれに所定の数の前記メモリセルが接続されて成るブロックを単位として、前記ブロックを前記第 2 グローバルデータ線へ制御信号により選択的に接続させるものであり、

前記プリチャージ回路は互いに対を成す前記複数の第 1 及び第 2 ローカルデータ線に対して設けられ、

第 1 及び第 2 ローカルデータ線を第 1 メタル配線層を使用して配線し、第 1 及び第 2 グローバルデータ線を第 2 メタル配線層を利用して配線されることを特徴とする半導体集積回路。

【請求項 4】

請求項 3 において、

前記半導体装置は、前記第 1 及び第 2 データ線上の信号、もしくは第 1 及び第 2 グローバルデータ線上の信号電圧を増幅するための増幅器を更に有することを特徴とする半導体集積回路。

【請求項 5】

請求項 3 において、

前記メモリセルは記憶情報電圧によって選択的に第 2 電位より低い電位である第 1 電位への経路を生成するものであり、

第 1 プリチャージ電位は、第 2 プリチャージ電位より高い電位であることを特徴とする半導体集積回路。

【請求項 6】

請求項 5 において、

前記半導体装置は、前記第 1 及び第 2 データ線上の信号、もしくは第 1 及び第 2 グローバルデータ線上の信号電圧を前記第 1 電位又は前記第 2 電位に増幅するための増幅器を更に有し、

前記前記第 1 プリチャージ電位は、前記第 2 プリチャージ電位より、前記増幅装置で弁別できる最低電位差である識別電圧 以上高電位にあることを特徴とする半導体集積回路。

【請求項 7】

請求項 3 において、

前記メモリセルは記憶情報電圧によって選択的に第 1 電位より高い電位である第 2 電位への経路を生成するものであり、前記第 1 プリチャージ電位は、前記第 2 プリチャージ電位より低い電位を有することを特徴とする半導体集積回路。

【請求項 8】

請求項 7 において、

前記半導体装置は、前記第 1 及び第 2 データ線上の信号、もしくは第 1 及び第 2 グローバルデータ線上の信号電圧を増幅するための増幅器を更に有し、

前記第 1 プリチャージ電位は、前記第 2 プリチャージ電位より、前記増幅装置で弁別できる最低電位差である識別電圧 以上低電位にあることを特徴とする半導体集積回路。

【請求項 9】

請求項 5 乃至請求項 8 のいずれかにおいて、

前記第 1 プリチャージ電位は前記第 1 電位であり、前記第 2 プリチャージ電位は前記第 1

電位と前記第 2 電位のおよそ半分の値の第 3 電位であることを特徴とする半導体集積回路。

【請求項 10】

請求項 2 から 9 のいずれかにおいて、前記第 1 データ線は階層構造を有するものであって、前記各ブロック毎にプリチャージ回路を持つことを特徴とする半導体集積回路。

【請求項 11】

請求項 4 において、

前記メモリセルの記憶情報を前記増幅器にて増幅する際に、前記グローバルデータ対線を電氣的に平衡させるために、前記ローカルデータ線とグローバルデータ線を接続する制御信号にて、ローカルデータ線をグローバルデータ線から遮断制御することを特徴とする半導体集積回路。

【請求項 12】

請求項 1 から 11 のいずれかにおいて、

前記メモリセルは、3 トランジスタセルであり、情報電圧をそのゲートに保持し、係る情報電圧に対応してオン状態またはオフ状態にされる第 1 トランジスタと、書込み信号を前記第 1 トランジスタのゲートに与える第 2 トランジスタと、前記第 2 トランジスタのゲートに係る情報電圧に対応してオン状態またはオフ状態の情報を読み出し信号として出力するための第 3 トランジスタとを具備することを特徴とする半導体集積回路。

【請求項 13】

請求項 12 において、

半導体集積回路は、前記メモリセルの前記第 2 トランジスタの制御端子と前記第 3 トランジスタの制御端子が接続されるワード線を含み、

前記ワード線は、非選択状態では前記情報電圧とは無関係に前記第 3 トランジスタと前記第 2 トランジスタをオフにし、読み出し選択状態として、前記第 3 トランジスタのみオン状態にするとともに前記第 2 トランジスタをオフ状態に保つ第 1 電圧に設定される第 1 選択期間と、書込み選択状態として、前記第 2 ローカルデータ線に伝えられた書込みデータをメモリセルへ書込むための前記第 3 トランジスタと第 2 トランジスタを同時にオン状態にする第 2 電圧に設定される第 2 選択期間とを有し、

前記第 1 及び第 2 ローカルデータ線は、メモリセルの記憶情報を増幅する増幅器に接続された前記第 1 及び第 2 グローバルデータ線と平行に配置され、

前記第 1 ローカルデータ線と前記第 1 グローバルデータ線は読み出し転送用トランジスタで接続され、前記第 2 ローカルデータ線と前記第 2 グローバルデータ線は書き込み転送用トランジスタで接続され、

メモリセルからの読み出し動作時には、前記第 1 ローカルデータ線は前記第 1 グローバルデータ線に読み出し制御用トランジスタを用いて接続し、前記ワード線の第 1 選択期間にメモリセルから読み出されたデータを、読み出し制御用トランジスタをオンすることで、前記第 1 グローバルデータ線に伝達し、増幅器によって第 2 グローバルデータ線電圧を参照電圧として増幅し、

メモリセルへの書込み動作時には、前記書込みデータ線を第 2 グローバルデータ線に前記書込み制御用トランジスタを用いて接続し、前記ワード線の第 2 選択期間に第 2 グローバルデータ線へ伝達された書込みデータを、前記第 2 ローカルデータ線へ伝えることを特徴とする半導体集積回路。

【請求項 14】

メモリセルと、

前記メモリセルの記憶情報信号出力ノードに接続される第 1 データ線と、

前記第 1 データ線と対を成す第 2 データ線と、

前記第 1 データ線を第 1 プリチャージ電位にプリチャージするとともに前記第 2 データ線を前記第 1 プリチャージ電位と異なる第 2 プリチャージ電位にプリチャージするためのプリチャージ回路と、

前記第 1 データ線上で前記メモリセルからの記憶情報を第 1 電位及び第 2 電位の一方に増

幅するための増幅回路とを有し、

前記第 1 プリチャージ電位は前記第 2 電位であり、前記第 2 プリチャージ電位は前記第 1 電位と前記第 2 電位の間にある第 3 電位であることを特徴とする半導体集積回路。

【請求項 15】

請求項 14 において、

前記増幅器は、前記第 1 データ線に出力された記憶情報を受ける第 1 入力ノードと前記第 2 データ線の前記第 2 プリチャージ電位を参照電位として受ける第 2 入力ノードを持つ差動増幅器を含むことを特徴とする半導体集積回路。

【請求項 16】

請求項 14 から 15 のいずれかにおいて、

前記メモリセルは、3 個のトランジスタを含み、前記第 1 データ線に接続される前記記憶情報信号出力ノードに加えて前記第 2 データ線に接続される記憶情報信号入力ノードとを有することを特徴とする半導体集積回路。

【請求項 17】

メモリセルと、

前記メモリセルの記憶情報信号出力ノードに接続される第 1 ローカルデータ線と、

前記メモリセルの記憶情報信号入力ノードに接続される第 2 ローカルデータ線と、

前記第 1 ローカルデータ線に接続される第 1 グローバルデータ線と、

前記第 2 のローカルデータ線に接続される第 2 のグローバルデータ線と、

前記第 1 および第 2 のローカルデータ線を第 1 プリチャージ電位にプリチャージすると共に、前記第 1 および第 2 のグローバルデータ線を前記第 1 プリチャージ電位と異なる第 2 プリチャージ電位にプリチャージするためのプリチャージ回路とを有することを特徴とする半導体集積回路。

【請求項 18】

第 1 と第 2 配線と、第 1 スイッチと、複数の第 1 ワード線と、複数の第 1 メモリセルとを具備する第 1 メモリブロックと、

第 2 スイッチと、複数の第 2 ワード線と、複数の第 2 メモリセルとを具備する第 2 メモリブロックとを具備し、

前記複数の第 1 メモリセルのそれぞれは、第 1 と第 2 と第 3 トランジスタを具備し、前記第 1 と第 2 トランジスタのゲートは前記複数の第 1 ワード線のうちのひとつと接続され、前記第 3 トランジスタのドレインは前記第 2 トランジスタのソース・ドレイン経路と接続され、

前記複数の第 2 メモリセルのそれぞれは、第 4 と第 5 と第 6 トランジスタを具備し、前記第 4 と第 5 トランジスタのゲートは前記複数の第 2 ワード線のうちのひとつと接続され、前記第 6 トランジスタのドレインは前記第 5 トランジスタのソース・ドレイン経路と接続され、前記複数の第 1 メモリセルの前記第 1 トランジスタのソース・ドレイン経路は前記第 1 配線に接続され、

前記複数の第 2 メモリセルの前記第 4 トランジスタのソース・ドレイン経路は前記第 2 配線に接続され、

前記複数の第 1 メモリセルの前記第 2 トランジスタのソース・ドレイン経路は前記第 1 スイッチを介して前記第 2 配線に接続され、

前記複数の第 2 メモリセルの前記第 4 トランジスタのソース・ドレイン経路は前記第 2 スイッチを介して前記第 1 配線に接続される半導体集積回路。