

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年2月3日(2005.2.3)

【公開番号】特開2001-291389(P2001-291389A)

【公開日】平成13年10月19日(2001.10.19)

【出願番号】特願2000-101204(P2000-101204)

【国際特許分類第7版】

G 1 1 C 11/409

G 1 1 C 11/405

G 1 1 C 11/401

H 0 1 L 21/8242

H 0 1 L 27/108

【F I】

G 1 1 C 11/34 3 5 3 F

G 1 1 C 11/34 3 5 2 B

G 1 1 C 11/34 3 6 2 B

H 0 1 L 27/10 3 2 1

【手続補正書】

【提出日】平成16年2月27日(2004.2.27)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ワード線と、

前記ワード線に接続され、記憶情報電圧によって選択的に所定電位との経路を形成するこ
とのできるメモリセルと、

前記メモリセルの記憶情報を出力するための第1データ線と、

前記第1データ線と対をなす第2データ線と、

前記第1データ線を第1プリチャージ電位にプリチャージするとともに前記第2データ線
を前記第1プリチャージ電位と異なる第2プリチャージ電位にプリチャージするためのプリ
チャージ回路とを有し、

前記ワード線が選択状態のとき、前記第1データ線の電位は前記第1プリチャージ電位と
なり、前記第2データ線の電位は前記第2プリチャージ電位となることを特徴とした半導
体集積回路。

【請求項2】

記憶情報電圧によって選択的に所定電位との経路を形成することのできるメモリセルと、
前記メモリセルの記憶情報を出力するための第1データ線と、

前記第1データ線と対をなす第2データ線と、

前記第1データ線を第1プリチャージ電位にプリチャージするとともに前記第2データ線
を前記第1プリチャージ電位と異なる第2プリチャージ電位にプリチャージするためのプリ
チャージ回路とを有し、

前記第1データ線は、複数の第1ローカルデータ線と第1グローバルデータ線の階層構造
を有し、前記階層構造は前記複数の第1ローカルデータ線のそれぞれに所定の数の前記メ
モリセルが接続されて成るブロックを単位として、前記ブロックを第1グローバルデータ
線へ制御信号により選択的に接続させるものであり、

前記第1ローカルデータ線と前記第1グローバルデータ線はそれぞれ異なるメタル配線層を用いて、メモリアレイ上で平行に配線されることを特徴とする半導体集積回路。

【請求項3】

請求項1において、

前記第1データ線は、複数の第1ローカルデータ線と第1グローバルデータ線の階層構造を有し、当該階層構造は前記複数の第1ローカルデータ線のそれぞれに所定の数の前記メモリセルが接続されて成るブロックを単位として、前記ブロックを前記第1グローバルデータ線へ制御信号により選択的に接続させるものであり、

前記第2データ線は、前記複数の第1ローカルデータ線とそれぞれ対をなす複数の第2ローカルデータ線と、前記第1グローバルデータ線と対を成す第2グローバルデータ線の階層構造を有し、当該階層構造は前記複数の第2ローカルデータ線のそれぞれに所定の数の前記メモリセルが接続されて成るブロックを単位として、前記ブロックを前記第2グローバルデータ線へ制御信号により選択的に接続させるものであり、

前記プリチャージ回路は互いに対を成す前記複数の第1及び第2ローカルデータ線に対して設けられ、

第1及び第2ローカルデータ線を第1メタル配線層を使用して配線し、第1及び第2グローバルデータ線を第2メタル配線層を利用して配線されることを特徴とする半導体集積回路。

【請求項4】

請求項3において、

前記半導体装置は、前記第1及び第2データ線上の信号、もしくは第1及び第2グローバルデータ線上の信号電圧を増幅するための増幅器を更に有することを特徴とする半導体集積回路。

【請求項5】

請求項3において、

前記メモリセルは記憶情報電圧によって選択的に第2電位より低い電位である第1電位への経路を生成するものであり、

第1プリチャージ電位は、第2プリチャージ電位より高い電位であることを特徴とする半導体集積回路。

【請求項6】

請求項5において、

前記半導体装置は、前記第1及び第2データ線上の信号、もしくは第1及び第2グローバルデータ線上の信号電圧を前記第1電位又は前記第2電位に増幅するための増幅器を更に有し、

前記前記第1プリチャージ電位は、前記第2プリチャージ電位より、前記増幅装置で弁別できる最低電位差である識別電圧以上高電位にあることを特徴とする半導体集積回路。

【請求項7】

請求項3において、

前記メモリセルは記憶情報電圧によって選択的に第1電位より高い電位である第2電位への経路を生成するものであり、前記第1プリチャージ電位は、前記第2プリチャージ電位より低い電位を有することを特徴とする半導体集積回路。

【請求項8】

請求項7において、

前記半導体装置は、前記第1及び第2データ線上の信号、もしくは第1及び第2グローバルデータ線上の信号電圧を増幅するための増幅器を更に有し、

前記第1プリチャージ電位は、前記第2プリチャージ電位より、前記増幅装置で弁別できる最低電位差である識別電圧以上低電位にあることを特徴とする半導体集積回路。

【請求項9】

請求項5乃至請求項8のいずれかにおいて、

前記第1プリチャージ電位は前記第1電位であり、前記第2プリチャージ電位は前記第1

電位と前記第2電位のおよそ半分の値の第3電位であることを特徴とする半導体集積回路。

【請求項10】

請求項2から9のいずれかにおいて、前記第1データ線は階層構造を有するものであって、前記各ブロック毎にプリチャージ回路を持つことを特徴とする半導体集積回路。

【請求項11】

請求項4において、

前記メモリセルの記憶情報を前記増幅器にて増幅する際に、前記グローバルデータ対線を電気的に平衡させるために、前記ローカルデータ線とグローバルデータ線を接続する制御信号にて、ローカルデータ線をグローバルデータ線から遮断制御することを特徴とする半導体集積回路。

【請求項12】

請求項1から11のいずれかにおいて、

前記メモリセルは、3トランジスタセルであり、情報電圧をそのゲートに保持し、係る情報電圧に対応してオン状態またはオフ状態にされる第1トランジスタと、書き込み信号を前記第1トランジスタのゲートに与える第2トランジスタと、前記第2トランジスタのゲートに係る情報電圧に対応してオン状態またはオフ状態の情報を読み出し信号として出力するための第3トランジスタとを具備することを特徴とする半導体集積回路。

【請求項13】

請求項12において、

半導体集積回路は、前記メモリセルの前記第2トランジスタの制御端子と前記第3トランジスタの制御端子が接続されるワード線を含み、

前記ワード線は、非選択状態では前記情報電圧とは無関係に前記第3トランジスタと前記第2トランジスタをオフにし、読み出し選択状態として、前記第3トランジスタのみオン状態にするとともに前記第2トランジスタをオフ状態に保つ第1電圧に設定される第1選択期間と、書き込み選択状態として、前記第2ローカルデータ線に伝えられた書き込みデータをメモリセルへ書き込むための前記第3トランジスタと第2トランジスタを同時にオン状態にする第2電圧に設定される第2選択期間とを有し、

前記第1及び第2ローカルデータ線は、メモリセルの記憶情報を増幅する増幅器に接続された前記第1及び第2グローバルデータ線と平行に配置され、

前記第1ローカルデータ線と前記第1グローバルデータ線は読み出し転送用トランジスタで接続され、前記第2ローカルデータ線と前記第2グローバルデータ線は書き込み転送用トランジスタで接続され、

メモリセルからの読み出し動作時には、前記第1ローカルデータ線は前記第1グローバルデータ線に読み出し制御用トランジスタを用いて接続し、前記ワード線の第1選択期間にメモリセルから読み出されたデータを、読み出し制御用トランジスタをオンすることで、前記第1グローバルデータ線に伝達し、増幅器によって第2グローバルデータ線電圧を参照電圧として増幅し、

メモリセルへの書き込み動作時には、前記書き込みデータ線を第2グローバルデータ線に前記書き込み制御用トランジスタを用いて接続し、前記ワード線の第2選択期間に第2グローバルデータ線へ伝達された書き込みデータを、前記第2ローカルデータ線へ伝えることを特徴とする半導体集積回路。

【請求項14】

メモリセルと、

前記メモリセルの記憶情報信号出力ノードに接続される第1データ線と、

前記第1データ線と対を成す第2データ線と、

前記第1データ線を第1プリチャージ電位にプリチャージするとともに前記第2データ線を前記第1プリチャージ電位と異なる第2プリチャージ電位にプリチャージするためのプリチャージ回路と、

前記第1データ線上で前記メモリセルからの記憶情報を第1電位及び第2電位の一方に増

幅するための増幅回路とを有し、

前記第1プリチャージ電位は前記第2電位であり、前記第2プリチャージ電位は前記第1電位と前記第2電位の間にある第3電位であることを特徴とする半導体集積回路。

【請求項15】

請求項14において、

前記増幅器は、前記第1データ線に出力された記憶情報を受けける第1入力ノードと前記第2データ線の前記第2プリチャージ電位を参照電位として受けける第2入力ノードを持つ差動増幅器を含むことを特徴とする半導体集積回路。

【請求項16】

請求項14から15のいずれかにおいて、

前記メモリセルは、3個のトランジスタを含み、前記第1データ線に接続される前記記憶情報信号出力ノードに加えて前記第2データ線に接続される記憶情報信号入力ノードとを有することを特徴とする半導体集積回路。

【請求項17】

メモリセルと、

前記メモリセルの記憶情報信号出力ノードに接続される第1ローカルデータ線と、

前記メモリセルの記憶情報信号入力ノードに接続される第2ローカルデータ線と、

前記第1ローカルデータ線に接続される第1グローバルデータ線と、

前記第2のローカルデータ線に接続される第2のグローバルデータ線と、

前記第1および第2のローカルデータ線を第1プリチャージ電位にプリチャージすると共に、前記第1および第2のグローバルデータ線を前記第1プリチャージ電位と異なる第2プリチャージ電位にプリチャージするためのプリチャージ回路とを有することを特徴とする半導体集積回路。

【請求項18】

第1と第2配線と、第1スイッチと、複数の第1ワード線と、複数の第1メモリセルとを具備する第1メモリブロックと、

第2スイッチと、複数の第2ワード線と、複数の第2メモリセルとを具備する第2メモリブロックとを具備し、

前記複数の第1メモリセルのそれぞれは、第1と第2と第3トランジスタを具備し、前記第1と第2トランジスタのゲートは前記複数の第1ワード線のうちの一つと接続され、前記第3トランジスタのドレインは前記第2トランジスタのソース・ドレイン経路と接続され、

前記複数の第2メモリセルのそれぞれは、第4と第5と第6トランジスタを具備し、前記第4と第5トランジスタのゲートは前記複数の第2ワード線のうちの一つと接続され、前記第6トランジスタのドレインは前記第5トランジスタのソース・ドレイン経路と接続され、前記複数の第1メモリセルの前記第1トランジスタのソース・ドレイン経路は前記第1配線に接続され、

前記複数の第2メモリセルの前記第4トランジスタのソース・ドレイン経路は前記第2配線に接続され、

前記複数の第1メモリセルの前記第2トランジスタのソース・ドレイン経路は前記第1スイッチを介して前記第2配線に接続され、

前記複数の第2メモリセルの前記第4トランジスタのソース・ドレイン経路は前記第2スイッチを介して前記第1配線に接続される半導体集積回路。