



## (12) 发明专利

(10) 授权公告号 CN 101903953 B

(45) 授权公告日 2013. 12. 18

(21) 申请号 200880121408. 7

(51) Int. Cl.

(22) 申请日 2008. 09. 15

G11C 11/413(2006. 01)

## (30) 优先权数据

G11C 11/4193(2006. 01)

61/015, 724 2007. 12. 21 US

G11C 7/20(2006. 01)

61/048, 737 2008. 04. 29 US

## (85) PCT申请进入国家阶段日

## (56) 对比文件

2010. 06. 18

CN 1485858 A, 2004. 03. 31, 全文.

## (86) PCT申请的申请数据

CN 1902708 A, 2007. 01. 24, 全文.

PCT/CA2008/001623 2008. 09. 15

US 2007/0279112 A1, 2007. 12. 06, 全文.

## (87) PCT申请的公布数据

US 6216233 B1, 2001. 04. 10, 全文.

WO2009/079744 EN 2009. 07. 02

审查员 孔昕

## (73) 专利权人 莫塞德技术公司

权利要求书6页 说明书11页 附图5页

地址 加拿大安大略省

## (72) 发明人 吴学俊

(74) 专利代理机构 北京泛华伟业知识产权代理有限公司 11280

代理人 王勇

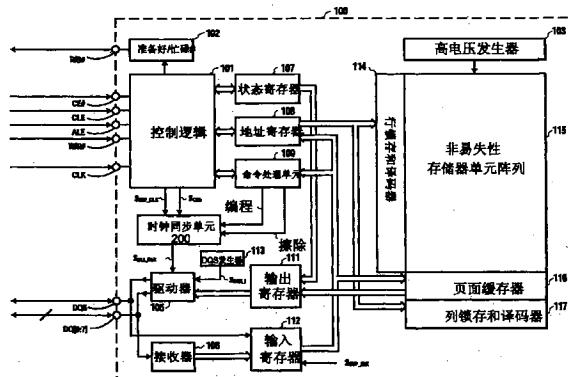
## (54) 发明名称

具有功率节省特性的非易失性半导体存储器设备

## (57) 摘要

CN 101903953 B

一种非易失性半导体存储器设备，包括 (i) 接口，具有用于接收输入时钟的输入和用于接收控制器发出的命令的一组数据线，该命令包括擦除命令；(ii) 具有反馈回路配置的电路部件的模块，该模块由基准时钟驱动；(iii) 可以可控地在基准时钟跟随输入时钟的第一状态和基准时钟和输入时钟解耦合的第二状态之间转换的时钟控制电路；和 (iv) 命令处理单元，配置为识别命令，并且使得时钟控制电路响应于识别擦除命令从第一状态转换为第二状态。相比于当基准时钟跟随输入时钟时，当基准时钟和输入时钟解耦合时，模块消耗更少的功率。



1. 一种非易失性半导体存储器设备,包括:

接口,包括

用于接收输入时钟信号的输入端口;和

用于接收命令的一组数据线,该命令包括擦除命令,该命令由控制器发出;

具有反馈回路配置的电路部件的模块,该模块由基准时钟信号驱动;

能够可控地在基准时钟信号跟随输入时钟信号的第一操作状态和基准时钟信号与输入时钟信号解耦合的第二操作状态之间转换的时钟控制电路;和

命令处理单元,配置为识别控制器发出的命令,并且响应于识别擦除命令使得时钟控制电路从第一操作状态转换为第二操作状态;

其中当基准时钟信号跟随输入时钟信号时,模块消耗第一数量的功率,并且其中当基准时钟信号和输入时钟信号解耦合时,模块消耗比第一数量的功率低的第二数量的功率。

2. 权利要求 1 中限定的非易失性半导体存储器设备,还包括控制电路,用于响应于命令处理单元识别擦除命令来输出指示该设备忙碌的信号。

3. 权利要求 2 中限定的非易失性半导体存储器设备,其中该控制电路配置为在命令处理单元使得时钟控制电路从第一操作状态转换为第二操作状态之后输出指示该设备忙碌的信号。

4. 权利要求 1 中限定的非易失性半导体存储器设备,其中,命令处理单元配置为响应于识别擦除命令来开始擦除操作。

5. 权利要求 4 中限定的非易失性半导体存储器设备,其中,命令处理单元配置为使得时钟控制电路在擦除操作完成之后转换返回第一操作状态。

6. 权利要求 5 中限定的非易失性半导体存储器设备,还包括配置为在擦除操作完成之后发出指示设备准备好的信号的控制电路。

7. 权利要求 6 中限定的非易失性半导体存储器设备,其中,时钟同步电路包括在基准时钟信号和输入时钟信号解耦合时失去同步的延迟锁定环路,其中在延迟锁定环路已经在时钟控制电路转换返回第一操作状态之后重新获得同步后,发出指示该设备准备好的信号。

8. 权利要求 4 中限定的非易失性半导体存储器设备,其中,命令处理电路配置为使得时钟控制电路在擦除操作完成之前转换返回第一操作状态。

9. 权利要求 8 中限定的非易失性半导体存储器设备,还包括配置为在命令处理单元使得时钟控制电路转换返回第一操作状态之后发出指示设备准备好的信号的控制电路。

10. 权利要求 9 中限定的非易失性半导体存储器设备,其中,时钟同步电路包括在基准时钟信号和输入时钟信号解耦合时失去同步的延迟锁定环路,其中在延迟锁定环路已经在时钟控制电路转换返回第一操作状态之后重新获得同步后,发出指示该设备准备好的信号。

11. 权利要求 1 中限定的非易失性半导体存储器设备,还包括多个非易失性存储器单元,其中命令处理单元配置为在至少一些非易失性存储器单元已经擦除之后使得时钟控制电路转换返回第一操作状态。

12. 权利要求 1 中限定的非易失性半导体存储器设备,其中,该模块包括配置为基于基准时钟信号产生同步时钟信号的时钟同步电路。

13. 权利要求 12 中限定的非易失性半导体存储器设备,其中,时钟同步电路包括延迟锁定环路。

14. 权利要求 12 中限定的非易失性半导体存储器设备,其中,时钟同步电路包括锁相环。

15. 权利要求 12 中限定的非易失性半导体存储器设备,其中,所述数据线还用于输出来自设备的读出数据。

16. 权利要求 15 中限定的非易失性半导体存储器设备,还包括配置为和同步时钟信号同步改变数据选通信号的输出驱动器。

17. 权利要求 16 中限定的非易失性半导体存储器设备,其中,输出驱动器配置为将读出数据的输出和数据选通信号同步。

18. 权利要求 17 中限定的非易失性半导体存储器设备,其中,所述接口包括用于输出来自设备的数据选通信号的端口。

19. 权利要求 1 中限定的非易失性半导体存储器设备,其中,所述时钟控制电路实现产生对应于基准时钟信号的输出的逻辑 AND 功能,其中,逻辑 AND 功能具有对应于输入时钟信号的第一输入和对应于在擦除命令由命令处理单元识别时确立有效的信号的第二输入。

20. 权利要求 1 中限定的非易失性半导体存储器设备,其中所述命令还包括不同的命令,并且其中所述命令处理单元还配置为响应于识别控制器发出的不同的命令,使得时钟控制电路从第一操作状态转换为第二操作状态。

21. 权利要求 20 中限定的非易失性半导体存储器设备,其中,非易失性半导体存储器设备还实现逻辑 OR 功能,逻辑 OR 功能具有对应于在擦除命令由命令处理单元识别时确立有效的信号的第一输入和对应于在不同的命令由命令处理单元识别时确立有效的信号的第二输入。

22. 权利要求 20 中限定的非易失性半导体存储器设备,还包括多个非易失性存储器单元,其中不同的命令是对至少一些非易失性存储器单元进行编程的命令。

23. 权利要求 22 中限定的非易失性半导体存储器设备,其中,命令处理单元配置为使得时钟控制电路在至少一些非易失性存储器单元已经编程之后转换返回第一操作状态。

24. 权利要求 22 中限定的非易失性半导体存储器设备,其中,所述不同的命令是页面编程命令。

25. 权利要求 1 中限定的非易失性半导体存储器设备,其中,所述接口包括用于接收来自控制器的设备选择信号的输入端口,设备选择信号指示设备是否已经选择或者取消选择。

26. 权利要求 25 中限定的非易失性半导体存储器设备,其中,命令处理单元配置为即使设备选择信号指示设备已经被选择时仍允许时钟控制电路转换为第二操作状态。

27. 权利要求 25 中限定的非易失性半导体存储器设备,其中,命令处理单元配置为阻止时钟控制电路转换为第二操作状态,除非设备选择信号指示设备已经取消选择。

28. 权利要求 1 中限定的非易失性半导体存储器设备,其中,当基准时钟信号跟随输入时钟信号时,模块在每个单元时间内实现第一平均数量的信号转变,并且其中当基准时钟信号和输入时钟信号解耦合时,模块在每单元时间内实现第二平均数量的信号转变,该第二平均数量小于第一平均数量。

29. 权利要求 1 中限定的非易失性半导体存储器设备, 其中, 控制器发出的命令是经编码的, 其中, 命令处理单元包括译码器, 并且其中为识别控制器发出的特定命令, 该译码器配置为译码所述特定的命令。

30. 权利要求 1 中限定的非易失性半导体存储器设备, 其中, 所述擦除命令是块擦除命令。

31. 权利要求 1 中限定的非易失性半导体存储器设备, 实现为 NAND 闪速存储器设备。

32. 权利要求 1 中限定的非易失性半导体存储器设备, 其中, 为识别控制器发出的命令, 命令处理单元配置为将经由数据线接收的信息载入至少一个寄存器并且将该信息译码为所述命令。

33. 一种非易失性半导体存储器设备, 包括 :

用于提供输入时钟信号的第一装置 ;

具有反馈回路配置的电路部件并且通过基准时钟信号驱动的第二装置 ;

用于可控地在基准时钟信号跟随输入时钟信号的第一操作状态和基准时钟信号与输入时钟信号解耦合的第二操作状态之间转换的第三装置 ; 和

用于识别控制器发出的包括擦除命令的命令并且响应于识别擦除命令改变第三装置的操作状态的第四装置 ;

其中, 当基准时钟信号跟随输入时钟信号时, 第二装置消耗第一数量的功率, 并且其中当基准时钟信号和输入时钟信号解耦合时, 第二装置消耗比第一数量的功率低的第二数量的功率。

34. 一种由非易失性存储器设备执行的方法, 该非易失性半导体存储器设备提供有输入时钟信号并且包括具有反馈回路配置的电路部件的模块, 该电路部件通过基准时钟信号驱动 ; 包括 :

产生基准时钟信号, 使得其在设备的第一操作状态跟随输入时钟信号并且在设备的第二操作状态和输入时钟信号解耦合, 其中当基准时钟信号跟随输入时钟信号时, 模块消耗第一数量的功率, 并且其中当基准时钟信号和输入时钟信号解耦合时, 模块消耗比第一数量的功率低的第二数量的功率 ; 并且

使得装置响应于识别从控制器接收的擦除命令从第一操作状态转换为第二操作状态。

35. 一种具有控制器和非易失性半导体存储器设备的系统, 包括 :

控制器, 配置为发出主时钟信号和发出包括擦除命令的命令 ; 和

非易失性半导体存储器设备, 包括 :

接口, 包括 :

输入端口, 用于接收和主时钟信号相关的输入时钟信号 ; 和

用于接收控制器发出的命令的一组数据线 ;

具有反馈回路配置的电路部件的模块, 该模块由基准时钟信号驱动 ;

能够可控地在基准时钟信号跟随输入时钟信号的第一操作状态和基准时钟信号与输入时钟信号解耦合的第二操作状态之间转换的时钟控制电路 ; 和

命令处理单元, 配置为识别控制器发出的命令并且使得时钟控制电路响应于识别擦除命令从第一操作状态转换为第二操作状态 ;

其中, 当基准时钟信号跟随输入时钟信号时, 模块消耗第一数量的功率, 并且其中当基

准时钟信号和输入时钟信号解耦合时,模块消耗比第一数量的功率低的第二数量的功率。

36. 一种非易失性半导体存储器设备,包括:

用于接收控制器发出的命令的接口,该命令包括擦除命令;

具有电路部件并且具有输入的模块;

能够可控地在第一操作状态和第二操作状态之间转换的可转换电路,其中在所述第一操作状态中,模块的输入能够接收用于模块的信号,在所述第二操作状态中,信号与模块的输入电解耦合;并且

命令处理单元,配置为识别控制器发出的命令,并且响应于识别擦除命令使得可转换电路从第一操作状态转换为第二操作状态。

37. 权利要求 36 中限定的非易失性半导体存储器设备,其中,所述电路部件在反馈回路配置中,并且其中用于模块的所述信号包括用于在信号电连接到模块的输入时将模块的操作同步的输入时钟信号。

38. 权利要求 37 中限定的非易失性半导体存储器设备,其中,所述接口包括一组数据线,并且其中该命令通过该组数据线接收。

39. 权利要求 37 中限定的非易失性半导体存储器设备,其中当信号电连接到模块的输入时,模块消耗第一数量的功率,并且其中当信号和模块的输入电解耦合时,模块消耗比第一数量的功率低的第二数量的功率。

40. 权利要求 37 中限定的非易失性半导体存储器设备,还包括控制电路,用于响应于命令处理单元识别擦除命令来输出指示该设备忙碌的信号。

41. 权利要求 40 中限定的非易失性半导体存储器设备,其中该控制电路配置为在命令处理单元使得可转换电路从第一操作状态转换为第二操作状态之后输出指示该设备忙碌的信号。

42. 权利要求 37 中限定的非易失性半导体存储器设备,其中,命令处理单元配置为响应于识别擦除命令来开始擦除操作。

43. 权利要求 42 中限定的非易失性半导体存储器设备,其中,命令处理单元配置为使得可转换电路在擦除操作完成之后转换返回第一操作状态。

44. 权利要求 43 中限定的非易失性半导体存储器设备,还包括控制电路,配置为在擦除操作完成之后发出指示设备准备好的信号。

45. 权利要求 44 中限定的非易失性半导体存储器设备,其中,电路部件实现在信号和模块的输入电解耦合时失去同步的延迟锁定环路,其中在延迟锁定环路已经在可转换电路转换返回第一操作状态之后重新获得同步后,发出指示该设备准备好的信号。

46. 权利要求 42 中限定的非易失性半导体存储器设备,其中,命令处理单元配置为使得可转换电路在擦除操作完成之前转换返回第一操作状态。

47. 权利要求 46 中限定的非易失性半导体存储器设备,还包括控制电路,配置为在命令处理单元使得可转换电路转换返回第一操作状态之后发出指示设备准备好的信号。

48. 权利要求 47 中限定的非易失性半导体存储器设备,其中,电路部件实现在信号和模块的输入电解耦合时失去同步的延迟锁定环路,其中在延迟锁定环路已经在可转换电路转换返回第一操作状态之后重新获得同步后,发出指示该设备准备好的信号。

49. 权利要求 37 中限定的非易失性半导体存储器设备,还包括多个非易失性存储器单

元,其中命令处理单元配置为在至少一些非易失性存储器单元已经擦除之后使得可转换电路转换返回第一操作状态。

50. 权利要求 37 中限定的非易失性半导体存储器设备,其中,该模块的电路部件实现配置为基于所述信号产生同步时钟信号的时钟同步电路。

51. 权利要求 50 中限定的非易失性半导体存储器设备,其中,时钟同步电路包括延迟锁定环路。

52. 权利要求 50 中限定的非易失性半导体存储器设备,其中,时钟同步电路包括锁相环。

53. 权利要求 50 中限定的非易失性半导体存储器设备,其中,所述接口还用于输出来自设备的读出数据。

54. 权利要求 53 中限定的非易失性半导体存储器设备,还包括配置为以和同步时钟信号同步改变数据选通信号的输出驱动器。

55. 权利要求 54 中限定的非易失性半导体存储器设备,其中,输出驱动器配置为将读出数据的输出和数据选通信号同步。

56. 权利要求 55 中限定的非易失性半导体存储器设备,其中,所述接口包括用于输出来自设备的数据选通信号的端口。

57. 权利要求 37 中限定的非易失性半导体存储器设备,其中,所述可转换电路实现产生输出的逻辑 AND 功能,其中,逻辑 AND 功能具有对应于输入时钟信号的第一输入和对应于在擦除命令通过命令处理单元识别时确立有效的信号的第二输入。

58. 权利要求 37 中限定的非易失性半导体存储器设备,其中通过控制器发出的命令还包括不同的命令,并且其中所述命令处理单元还配置为响应于识别控制器发出的不同的命令,使得可转换电路从操作状态转换为第二操作状态。

59. 权利要求 58 中限定的非易失性半导体存储器设备,其中,非易失性半导体存储器设备还实现逻辑 OR 功能,逻辑 OR 功能具有对应于在擦除命令通过命令处理单元识别时确立有效的信号的第一输入和对应于在不同的命令通过命令处理单元识别时确立有效的信号的第二输入。

60. 权利要求 58 中限定的非易失性半导体存储器设备,还包括多个非易失性存储器单元,其中不同的命令是对至少一些非易失性存储器单元进行编程的命令。

61. 权利要求 60 中限定的非易失性半导体存储器设备,其中,命令处理单元还配置为使得可转换电路在至少一些非易失性存储器单元已经编程之后转换返回第一操作状态。

62. 权利要求 60 中限定的非易失性半导体存储器设备,其中,所述不同的命令是页面编程命令。

63. 权利要求 37 中限定的非易失性半导体存储器设备,其中,所述接口包括用于接收来自控制器的设备选择信号的输入端口,设备选择信号指示设备是否已经选择或者取消选择。

64. 权利要求 63 中限定的非易失性半导体存储器设备,其中,命令处理单元还配置为即便当设备选择信号指示设备已经被选择时仍允许可转换电路转换为第二操作状态。

65. 权利要求 63 中限定的非易失性半导体存储器设备,其中,命令处理单元还配置为除非设备选择信号指示设备已经取消选择否则就阻止可转换电路转换为第二操作状态。

66. 权利要求 37 中限定的非易失性半导体存储器设备, 其中, 当信号电连接到模块的输入时, 模块的电路部件在每个单元时间内实现第一平均数量的信号转换, 并且其中当信号和模块的输入电解耦合时, 模块的电路部件在每单元时间内实现第二平均数量的信号转换, 该第二平均数量小于第一平均数量。

67. 权利要求 37 中限定的非易失性半导体存储器设备, 其中, 控制器发出的命令被编码成经编码的信号, 其中, 命令处理单元包括译码器, 该译码器配置为当特定经编码的信号编码擦除命令时从特定经编码的信号提取该擦除命令。

68. 权利要求 36 中限定的非易失性半导体存储器设备, 其中, 所述擦除命令是块擦除命令。

69. 权利要求 37 中限定的非易失性半导体存储器设备, 实现为 NAND 闪速存储器设备。

70. 权利要求 37 中限定的非易失性半导体存储器设备, 其中, 为识别控制器发出的命令, 命令处理单元配置为将经由接口接收的信息载入至少一个寄存器并且将该信息译码为所述命令。

71. 一种由非易失性半导体存储器设备执行的方法, 该非易失性半导体存储器设备包括模块, 该模块具有电路部件和输入, 该方法包括 :

响应于识别从控制器接收的擦除命令, 使得设备从第一操作状态转换为第二操作状态;

当设备处于第一操作状态时, 将信号电连接到模块的输入; 并且  
当设备处于第二操作状态时, 将信号和模块的输入电解耦合。

72. 一种具有控制器和非易失性半导体存储器设备的系统, 包括 :

控制器, 配置为发出包括擦除命令的命令; 和

非易失性半导体存储器设备, 包括 :

用于接收控制器发出的命令的接口, 该命令包括擦除命令;

具有电路部件并且具有信号的模块;

能够可控地在第一操作状态和第二操作状态之间转换的可转换电路, 其中在所述第一操作状态中, 模块的输入能够接收用于模块的信号, 在所述第二操作状态中, 信号与模块的输入电解耦合; 并且

命令处理单元, 配置为识别控制器发出的命令, 并且响应于识别擦除命令使得可转换电路从第一操作状态转换为第二操作状态。

## 具有功率节省特性的非易失性半导体存储器设备

[0001] 相关申请的交叉引用

[0002] 本申请基于美国法典第 35 部第 119 条 e 款要求 2007 年 12 月 21 日提交的美国临时专利申请序列号 61/015724 的权益，其通过引用包含进来。

[0003] 本申请还基于美国法典第 35 部第 119 条 e 款要求 2008 年 4 月 29 日提交的美国临时专利申请序列号 61/048737 的权益，其通过引用包含进来。

### 背景技术

[0004] 非易失性存储器可用于多种目的，主要涉及可能进行修改的永久数据存储。非易失性可重写存储器的实际应用包括数字图片、计算机文件和数字化录音音乐等的存储。因此，在诸如计算机、数码照相机、MP3 播放器、电话答录机、蜂窝电话等日常电子设备中通常能够找到非易失性重写存储器设备。

[0005] 存在可以通过还允许重写的非易失性存储器设备来物理保存数据的多种方式。一个例子是通过使用可以在许多计算机硬盘驱动器中找到的磁盘。另一个例子是通过诸如 CD-R/M 的光盘。有一个例子是通过诸如电可擦除可编程只读存储器 (EEPROM) 的固态存储器电路，其具体例子是闪速存储器设备。闪速存储器设备使用高电压通过一次操作擦除大块的非易失性存储器单元，允许这些单元随后使用新的数据重新编程。基于它们的鲁棒性、便捷性和低成本，闪速存储器设备已经在非易失性存储器的市场中变得非常流行，并且，随着对于非易失性存储器需求的持续增长，预计闪速存储器会占据更加主导的地位。

[0006] 自从最初引入闪速存储器的这些年来，一直进行技术改进以允许闪速存储器设备以不断增加的更高速度操作。这还扩展了消费应用 - 诸如某些视频和图像相关的应用 - 的范围，其中可以使用闪速存储器设备。然而，当尝试从多个设备建立大的高速存储器存储时，闪速存储器设备的更快速操作还可以引发特定的问题。更具体地，随着工作频率增加的闪速存储器设备的电功耗可以显著限制所建立的存储器存储的总的容量。

[0007] 鉴于此背景技术，明确需要具有降低的功耗的非易失性半导体存储器设备。

### 发明内容

[0008] 本发明的第一方面意图提供一种非易失性半导体存储器设备，包括 (i) 具有用于接收输入时钟信号的输入端口和用于接收命令的一组数据线的接口，该命令包括擦除命令且由控制器发出；(ii) 具有反馈回路配置的电路部件的模块，该模块由基准时钟信号驱动；(iii) 可以可控地在基准时钟信号跟随输入时钟信号的第一操作状态和基准时钟信号和输入时钟信号解耦合的第二操作状态之间转换的时钟控制电路；和 (iv) 命令处理单元，配置为识别控制器发出的命令，并且使得时钟控制电路响应于识别擦除命令从操作状态转换为第二操作状态。当基准时钟信号跟随输入时钟信号时，模块消耗第一数量的功率，并且其中当基准时钟信号和输入时钟信号解耦合时，模块消耗比第一数量的功率低的第二数量的功率。

[0009] 本发明的第二方面意图提供一种非易失性半导体存储器设备，包括用于提供输入

时钟信号的第一装置；具有反馈回路配置的电路部件并且通过基准时钟信号驱动的第二装置；用于可控地在基准时钟信号跟随输入时钟信号的第一操作状态和基准时钟信号和输入时钟信号解耦合的第二操作状态之间转换的第三装置；和用于识别控制器发出的包括擦除命令的命令并且响应于识别擦除命令改变第三装置的操作状态的第四装置。当基准时钟信号跟随输入时钟信号时，第二装置消耗第一数量的功率，并且其中当基准时钟信号和输入时钟信号解耦合时，第二装置消耗比第一数量的功率低的第二数量的功率。

[0010] 本发明的第三方面意图提供通过非易失性半导体存储器设备执行的方法。该方法包括提供输入时钟信号；提供具有反馈回路配置的电路部件并且通过基准时钟信号驱动的模块；产生基准时钟信号，使得其在设备的第一操作状态跟随输入时钟信号并且在设备的第二操作状态和输入时钟信号解耦合，其中当基准时钟信号跟随输入时钟信号时，模块消耗第一数量的功率，并且其中当基准时钟信号和输入时钟信号解耦合时，模块消耗比第一数量的功率低的第二数量的功率；并且使得装置响应于识别从控制器接收的擦除命令从第一操作状态转换为第二操作状态。

[0011] 本发明的第四方面意图提供一种系统，包括：控制器，配置为发出主时钟信号和发出包括擦除命令的命令；和非易失性半导体存储器设备。非易失性半导体存储器设备，包括(i)具有用于接收和主时钟信号相关的输入时钟信号的输入端口和用于接收控制器发出的命令的一组数据线的接口；(ii)具有反馈回路配置的电路部件的模块，该模块由基准时钟信号驱动；(iii)可以可控地在基准时钟信号跟随输入时钟信号的第一操作状态和基准时钟信号和输入时钟信号解耦合的第二操作状态之间转换的时钟控制电路；和(iv)命令处理单元，配置为识别控制器发出的命令，并且使得时钟控制电路响应于识别擦除命令从第一操作状态转换为第二操作状态。当基准时钟信号跟随输入时钟信号时，模块消耗第一数量的功率，并且其中当基准时钟信号和输入时钟信号解耦合时，模块消耗比第一数量的功率低的第二数量的功率。

[0012] 本发明的第五方面意图提供一种包括计算机可读指令的计算机可读存储介质，该指令被执行时用来向非易失性半导体存储器设备提供以下功能性：产生基准时钟信号，使得其在设备的第一操作状态跟随输入时钟信号并且在设备的第二操作状态和输入时钟信号解耦合，其中当基准时钟信号跟随输入时钟信号时，具有反馈回路配置的电路部件并且由基准时钟信号驱动的模块消耗第一数量的功率，并且其中当基准时钟信号和输入时钟信号解耦合时，模块消耗比第一数量的功率低的第二数量的功率；并且使得设备响应于识别从控制器接收的擦除命令从第一操作状态转换为第二操作状态。

[0013] 因此，已经提供改进的非易失性半导体存储器设备。

## 附图说明

[0014] 图 1 是根据非限制示例实施例包括控制器和非易失性存储器设备的存储器系统的框图。

[0015] 图 2 是根据非限制示例实施例的包括时钟同步单元的图 1 中非易失性存储器设备的框图。

[0016] 图 3A 是根据非限制示例实施例的图 2 中的时钟同步单元的框图。

[0017] 图 3B 是根据替代示例实施例的图 2 中的时钟同步单元的框图。

[0018] 图 4A 是示出和图 3A 的时钟同步单元相关的多个信号的信号转变的时序图。

[0019] 图 4B 是示出和图 3B 的时钟同步单元相关的多个信号的信号转变的时序图。

## 具体实施方式

[0020] 参考图 1, 示出根据实施例的存储器系统 80。存储器系统 80 包括通信耦合到非易失性存储器设备 100 的控制器 90。控制器 90 还通信耦合到其他存储器设备 100<sub>A</sub>。

[0021] 控制器 90 包括一组端口 92A, …, 92H, 其分别连接到非易失性存储器设备 100 的一组端口 93A, …, 93H。控制器 90 和非易失性存储器设备 100 经由它们相应的端口组 92A, …, 92H 和 93A, …, 93H 交换设备外部的电信号 94A, …, 94H。非易失性存储器设备 100 的端口 93A, …, 93H 和设备外部的信号 94A, …, 94H 将在随后更详细描述。

[0022] 图 2 是根据示例实施例的非易失性存储器设备 100 的框图。在非易失性存储器设备 100 中, 非易失性存储器单元阵列 115 包括以行和列布置的多个非易失性存储器单元。每个非易失性存储器单元包括浮栅场效应晶体管, 其能够保持用于数据的非易失性存储的电荷。非易失性存储器单元阵列 115 中的非易失性存储器单元可以通过为浮栅充电来电编程。

[0023] 非易失性存储器单元阵列 115 的行可以排列成页面块。通过非限制举例, 非易失性存储器单元阵列 115 的行可以组织成 2048 个块, 每块 64 个页面。

[0024] 非易失性存储器设备 100 包括接口, 该接口包括前面提及的端口组 93A, …, 93H。其中, 端口 93B、93C、93D、93E、93F(也分别标为 CE#、CLE、ALE、W/R#、CLK) 将设备外部信号从控制器 90 运载到非易失性存储器设备 100。端口 93A(也标为 R/B#) 将设备外部信号从非易失性存储器设备 100 运载到控制器 90。最后, 端口 93G 和 93H(也分别标为 DQS 和 DQ[0:7]) 可以基于非易失性存储器设备 100 的操作模式在两个方向运载设备外部信号。更具体地, 非易失性存储器设备 100 的端口包括但不限于:

[0025] • 芯片使能端口 (93B, 也标为 CE#)

[0026] 芯片使能端口 CE# 是允许非易失性存储器设备 100 了解其是否已经通过控制器 90 激活的输入端口。在本非限制实施例中, 当芯片使能端口 CE# 处的设备外部信号确立无效 (低) 时, 这意味着已经选择非易失性存储器设备 100, 反之当芯片使能端口 CE# 处的设备外部信号被确立有效 (高) 时, 这意味着已经不选择非易失性存储器设备 100。

[0027] • 输入时钟端口 (93F, 也标为 CLK)

[0028] 输入时钟端口 CLK 是输入端口, 承载用于同步非易失性存储器设备 100 的操作的时钟信号 (系统时钟)。因此, 应该理解通过同步到系统时钟, 非易失性存储器设备 100 区别于异步或者准同步存储器设备。

[0029] • 多个数据线 (93H, 也标为 DQ[0:7])

[0030] 数据线 DQ[0:7] 承载来自控制器 90 的地址、命令和写数据, 并且承载到控制器 90 的读数据。虽然在所示实施例中存在八个数据线, 但是这不应该理解为限制。例如, 在其他实施例中, 可以提供不同数量的数据线, 诸如 16 个。还存在其他的可能性。

[0031] • 命令锁存使能端口 (93C, 也标为 CLE) 和地址锁存使能端口 (93D, 也标为 ALE)

[0032] 命令锁存使能端口 CLE 和地址锁存使能端口 ALE 是输入端口, 承载和数据线 DQ[0:7] 上的设备外部信号并行并且限定地址、命令和 / 或写数据的开始和结束的设备外

部信号。

[0033] • 数据选通端口 (93G, 也标为 DQS)

[0034] 数据选通端口 DQS 承载指示数据线 DQ[0:7] 上有效数据存在的设备外部信号。当要把数据写到非易失性存储器设备 100 (在非限制性的双数据率实施例中) 时, 数据选通端口 DQS 处的设备外部信号通过控制器 90 产生, 具有和输入时钟端口 CLK 处的设备外部信号相同的频率, 并且和数据线 DQ[0:7] 上的设备外部信号有 90 度移位并且中心对准。当从非易失性存储器设备 100 (在非限制性的双数据率实施例中) 读出数据时, 数据选通端口 DQS 处的设备外部信号通过非易失性存储器设备 100 产生, 具有和输入时钟端口 CLK 处的设备外部信号相同的频率, 并且和数据线 DQ[0:7] 上的设备外部信号边缘对准。应该理解, 当在数据线 DQ[0:7] 上缺乏有效数据时, 可使数据选通端口 DQS 处的设备外部信号不振荡。因此, 存在数据选通端口 DQS 处的设备外部信号振荡的时间段和不振荡的时间段。

[0035] • 写 / 读端口 (93E, 也标为 W/R#)

[0036] 写 / 读端口 W/R# 是输入端口, 承载指示数据线 DQ[0:7] 是承载来自控制器 90 的写数据 (即, 当设备外部信号 W/R# 为高时) 还是承载来自存储器设备 100 的读数据 (即, 当设备外部信号 W/R# 为低时) 的设备外部信号。

[0037] • 准备好 / 忙碌端口 (93A, 也标为 R/B#)

[0038] 准备好 / 忙碌端口 R/B# 是输出端口, 承载指示非易失性存储器设备 100 可用于接收用于访问存储器单元阵列 115 的命令 (当设备外部信号为高时) 或者忙于处理用于访问存储器单元阵列 115 的命令 (当设备外部信号为低时) 的设备外部信号。

[0039] 控制器 90 通过改变不同输入端口处和数据线上的设备外部信号来控制非易失性存储器设备 100 的行为。从而, 非易失性存储器设备 100 包括控制逻辑 101, 该控制逻辑 101 配置为识别输入端口和数据线何时承载来自控制器 90 的某些特定信号, 并且基于这些信号以确定方式响应。

[0040] 例如, 控制逻辑 101 配置为识别命令锁存使能端口 CLE 处的设备外部信号何时为高和地址锁存使能端口 ALE 处的设备外部信号何时为低。在此情况下, 控制逻辑 101 认为数据线 DQ[0:7] 上的信息是命令信息。从而, 数据线 DQ[0:7] 上的信息由输入接收器 106 接收, 在缓存的时钟信号 S<sub>BIG\_CLK</sub> (该信号是输入时钟端口 CLK 处的设备外部信号的缓存形式并且具有相同的极性) 的上升沿上锁存到输入寄存器 112 中, 并且提供给命令处理单元 109。命令处理单元 109 可以包括将信息载入的寄存器和用于将载入的信息译码为一个或者多个命令的译码器。命令处理单元 109 产生控制信号, 一些控制信号馈送到控制逻辑 101 并且另一些控制信号馈送到时钟同步单元 200, 在下面对此进行进一步详细的描述。

[0041] 在一些实施例中, 命令处理单元 109 和控制逻辑 101 集成在一起, 而在其它实施例中, 命令处理单元 109 和控制逻辑 101 可以是存储器设备 100 的分离的部件。仍在其他实施例中, 命令处理单元的 109 的一部分 (诸如寄存器) 可以分离而命令处理单元 109 的其余部分可以和控制逻辑 101 集成在一起。

[0042] 存在可以通过非易失性存储器设备 100 处理的命令的多个实例, 一些非限制的可能示例包括块擦除、页面编程、页面读出、状态读出。这些命令的一些和它们的效果在下面通过非限制实例来描述。

[0043] A) 块擦除

[0044] 当控制逻辑 101 识别出块擦除命令（更精确地：块擦除命令的指示性的第一命令周期）时，控制逻辑 101 配置为随后期望在数据线 DQ[0:7] 上接收地址信息。当命令锁存使能端口 CLE 处的设备外部信号为低并且地址锁存使能端口 ALE 处的设备外部信号为高时，地址信号被认为存在于数据线 DQ[0:7] 上。从而，数据线 DQ[0:7] 上的信息由输入接收器 106 接收，在前述缓存时钟信号 S<sub>BUF\_CLK</sub> 的上升沿被锁存到输入寄存器 112 中并且传送到地址寄存器 108 中。可以跨越多个地址周期的地址信息可以包括指定期望擦除的块的地址的多个字节。地址信息整体可以载入行锁存和译码器 114 中。

[0045] 控制逻辑 101 配置为随后期望在数据线 DQ[0:7] 上接收块擦除命令的第二命令周期。从而，当命令锁存使能端口 CLE 处的设备外部信号为高并且地址锁存使能端口 ALE 处的设备外部信号为低时，数据线 DQ[0:7] 上的信息由输入接收器 106 接收，在缓存时钟信号 S<sub>BUF\_CLK</sub> 的上升沿被锁存到输入寄存器 112 中并且传送到命令处理单元 109 中。命令处理单元 109 识别块擦除命令的第二命令周期。

[0046] 命令处理单元 109 随后确立如下描述的时钟同步单元 200 所使用的擦除信号有效。控制逻辑 101 使得准备好 / 忙碌端口 R/B# 处的设备外部信号变为低，用来指示非易失性存储器设备 100 忙碌。控制逻辑 101 随后还激发高电压发生器 103 来施加高电压，用来擦除期望块中的非易失性存储器单元。对于当前技术，取决于多种因素，该操作可以花费在大约 2 毫秒到 15 毫秒范围中的一段延长的时间。

[0047] 当已经擦除期望块中的非易失性存储器设备后，命令处理单元 109 将擦除信号确立为无效。然后，在时钟同步单元 200 的特定部件重新取得同步所需的时间间隔之后，控制逻辑 101 使得准备好 / 忙碌端口 R/B# 处的设备外部信号变为高，用来指示非易失性存储器设备 100 准备好接收另一个命令。

#### [0048] B) 页面编程

[0049] 当控制逻辑 101 识别出页面编程命令（更精确地：页面编程命令的指示性第一命令周期）时，控制逻辑 101 配置为随后期望在数据线 DQ[0:7] 上接收地址信息。当命令锁存使能端口 CLE 处的设备外部信号为低并且地址锁存使能端口 ALE 处的设备外部信号为高时，地址信息被认为存在于数据线 DQ[0:7] 上。从而，数据线 DQ[0:7] 上的信息由输入接收器 106 接收，在缓存的时钟信号 S<sub>BUF\_CLK</sub> 的上升沿被锁存到输入寄存器 112 中并且传送到地址寄存器 108 中。可以跨越多个地址周期的地址信息可以包括指定期望编程的页面的多个字节。地址信息可以载入行锁存和译码器 114 和 / 或列锁存和译码器 117 中。

[0050] 控制逻辑 101 随后期望在数据线 DQ[0:7] 上接收写数据。当命令锁存使能端口 CLE 和地址锁存使能端口 ALE 处的设备外部信号以及写 / 读端口 W/R# 处的设备外部信号都为高时才会发生这种情况。设备外部信号还用于数据选通端口 DQS 处。在此情况中，通过输入接收器 106 接收的写数据在数据选通端口 DQS 处的设备外部信号的两个沿处被锁存到输入寄存器 112 中并且通过列锁存和译码器 117 选择以载入页面缓存器 116 中。

[0051] 当命令锁存使能端口 CLE 和地址锁存使能端口 ALE 处的设备外部信号不再都为高时，非易失性存储器设备 100 停止锁存写数据，并且因此写入非易失性存储器设备 100 的写数据的数量通过命令锁存使能端口 CLE 和地址锁存使能端口 ALE 处的设备外部信号都保持为高的时间长度来决定。例如，如果命令锁存使能端口 CLE 和地址锁存使能端口 ALE 处的设备外部信号都保持高持续 1024 时钟周期，则非易失性存储器设备 100 就接收了 2048 个

字节的写数据（对于在双数据率方案中的 8 位宽的数据总线）。

[0052] 控制逻辑 101 配置为随后期望在数据线 DQ[0:7] 上接收页面编程命令的第二命令周期。从而，当命令锁存使能端口 CLE 处的设备外部信号为高并且地址锁存使能端口 ALE 处的设备外部信号为低时，数据线 DQ[0:7] 上的信息由输入接收器 106 接收，在缓存的时钟信号 S<sub>BUF\_CLK</sub> 的上升沿被锁存到输入寄存器 112 中并且传送到命令处理单元 109 中。命令处理单元 109 识别页面编程命令的第二命令周期。

[0053] 命令处理单元 109 随后确立如下描述的时钟同步单元 200 所使用的编程信号有效。此外，控制逻辑 101 使得准备好 / 忙碌端口 R/B# 处的设备外部信号变为低，用来指示非易失性存储器设备 100 忙碌。控制逻辑 101 随后激发高电压发生器 103 来施加高电压，用来将页面缓存器 116 中的写数据传送到非易失性存储器单元阵列 115 中的期望页面。对于当前技术，取决于多种因素，该操作可以花费从大约 200 微秒到 2 毫秒范围中的一段延长的时间。

[0054] 当已经编程期望页面中的非易失性存储器单元后，命令处理单元 109 将编程信号确立为无效。然后，在时钟同步单元 200 的特定部件重新取得同步所需的时间间隔之后，控制逻辑 101 使得准备好 / 忙碌端口 R/B# 处的设备外部信号变为高，用来指示非易失性存储器设备 100 准备好接收另一个命令。

[0055] C) 页面读出

[0056] 当控制逻辑 101 识别出页面读出命令（更精确地：页面读出命令的指示性第一命令周期）时，控制逻辑 101 配置为随后期望在数据线 DQ[0:7] 上接收地址信息。当命令锁存使能端口 CLE 处的设备外部信号为低并且地址锁存使能端口 ALE 处的设备外部信号为高时，地址信息被认为存在于数据线 DQ[0:7] 上。从而，数据线 DQ[0:7] 上的信息由输入接收器 106 接收，在缓存的时钟信号 S<sub>BUF\_CLK</sub> 的上升沿被锁存到输入寄存器 112 中并且传送到地址寄存器 108 中。可以跨越多个地址周期的地址信息可以包括指定要读出的期望页面的多个字节。地址信息可以载入行锁存和译码器 114 和 / 或列锁存和译码器 117 中。

[0057] 控制逻辑 101 配置为随后期望在数据线 DQ[0:7] 上接收页面读出命令的第二命令周期。从而，当命令锁存使能端口 CLE 处的设备外部信号为高并且地址锁存使能端口 ALE 处的设备外部信号为低时，数据线 DQ[0:7] 上的信息由输入接收器 106 接收，在缓存的时钟信号 S<sub>BUF\_CLK</sub> 的上升沿被锁存到输入寄存器 112 中并且传送到命令处理单元 109 中。命令处理单元 109 识别页面读出命令的第二命令周期。

[0058] 此外，控制逻辑 101 使得准备好 / 忙碌端口 R/B# 处的设备外部信号变为低，用来指示非易失性存储器设备 100 忙碌。控制逻辑 101 随后激发高电压发生器 103 来施加高电压，用来将非易失性存储器单元阵列 115 中的期望页面的单元数据传送到页面缓存器 116 中。对于当前技术，取决于多种因素，该操作可以花费从大约 20 毫秒到 60 毫秒范围中的一段延长的时间。

[0059] 在期望页面的内容已经传送到页面缓存器 116 之后，控制逻辑 101 使得准备好 / 忙碌端口 R/B# 处的设备外部信号变为高，用来指示非易失性存储器设备 100 准备好输出页面缓存器 116 中的读数据或者接收另一个命令。

[0060] 控制逻辑 101 随后期望把读数据输出到数据线 DQ[0:7] 上。为此，命令锁存使能端口 CLE 和地址锁存使能端口 ALE 处的设备外部信号必须都为高并且写 / 读端口 W/R# 处

的设备外部信号必须为低。随后，页面缓存器 116 中的数据通过输出寄存器 111 和输出驱动器 105 输出到数据线 DQ[0:7]。这以同步方式执行。更具体地，来自页面缓存器 116 的数据通过列锁存和译码器 117 选择以载入输出寄存器 111 中。输出驱动器 105 因此顺序接收来自输出寄存器 111 的读出数据。输出驱动器 105 将从输出寄存器 111 接收的读出数据输出到数据线 DQ[0:7]，并且使读出数据以从时钟同步单元 200 接收的同步时钟信号 S<sub>DLL\_CLK</sub> 的上升沿和下降沿为基准，其在下面详细描述。

[0061] 同时，输出驱动器 105 接收内部产生的数据选通信号 S<sub>DQS\_I</sub>，该信号由数据选通信号发生器 113 产生。当存在要置于数据线 DQ[0:7] 上的读出数据时，该内部产生的数据选通信号 S<sub>DQS\_I</sub> 为高，否则为低。输出驱动器 105 将内部产生的数据选通信号 S<sub>DQS\_I</sub> 传送到数据选通端口 DQS 上，但将其与前面提及的同步时钟信号 S<sub>DLL\_CLK</sub> 的上升沿和下降沿同步。数据选通端口 DQS 处的设备外部的信号由控制器 90 用来在读出操作期间将数据锁存在数据线 DQ[0:7] 上。

[0062] 当命令锁存使能端口 CLE 和地址锁存使能端口 ALE 处的设备外部信号不再都为高时，非易失性存储器设备 100 停止输出读数据，并且因此从非易失性存储器设备 100 读出的读出数据的数量通过命令锁存使能端口 CLE 和地址锁存使能端口 ALE 处的设备外部信号都保持高的时间长度决定。例如，如果命令锁存使能端口 CLE 和地址锁存使能端口 ALE 处的设备外部信号都保持高持续 1024 时钟周期，则非易失性存储器设备 100 就输出了 2048 个字节的读出数据（对于在双数据率方案中的 8 位宽的数据总线）。

#### [0063] D) 状态读出

[0064] 当控制逻辑 101 识别出状态读出命令时，控制逻辑 101 配置为期望要求它随后在数据线 DQ[0:7] 上输出状态信息。为此，命令锁存使能端口 CLE 和地址锁存使能端口 ALE 处的设备外部信号必须都为高，并且写 / 读端口 W/R# 处的设备外部信号必须为低。在此情况下，状态寄存器 107 的内容通过输出寄存器 111 和输出驱动器 105 输出到数据线 DQ[0:7]。该状态读出操作还以与 DQS 信号同步的方式执行。

[0065] 因此，很明显命令处理单元 109 基于从控制器 90 接收的命令来确立擦除或者编程信号的有效或者无效。更具体地，命令处理单元 109 响应于接收到块擦除命令来确立擦除信号有效。命令处理单元 109 响应于接收到页面编程命令来确立编程信号有效。

[0066] 应该理解，非易失性存储器设备 100 可以包括其他端口，并且配置为产生或者接收其他设备外部信号。例如，可以具有写保护端口，其提供免受不期望的编程或者擦除操作的硬件保护。因此，当检测到写保护端口处的设备外部信号为低时，非易失性存储器设备 100 可以配置为不接受前述页面编程或者块擦除命令。

[0067] 而且，非易失性存储器设备 100 包括准备好 / 忙碌指示逻辑 102，其耦合到控制逻辑 101，指示非易失性存储器设备 100 是否忙碌。

[0068] 现在参考图 3A 来描述时钟同步单元 200 的一个非限制示例实施例。时钟同步单元 200 包括时钟控制电路 210，其从前述缓存的时钟信号 S<sub>BUF\_CLK</sub> 和前述擦除或者编程信号提取基准时钟信号 S<sub>REF\_CLK</sub>。时钟控制电路 210 将基准时钟信号 S<sub>REF\_CLK</sub> 馈送到延迟锁定环路 (DLL) 220，其产生同步时钟信号 S<sub>DLL\_CLK</sub>。

[0069] 为了产生基准时钟信号 S<sub>REF\_CLK</sub>，时钟控制电路 210 可控地在基准时钟信号 S<sub>REF\_CLK</sub> 跟随缓存的时钟信号 S<sub>BUF\_CLK</sub> 的第一操作状态和基准时钟信号 S<sub>REF\_CLK</sub> 和缓存的时钟信号 S<sub>BUF\_CLK</sub>

解耦合的第二操作状态之间转换。擦除或者编程信号在基准时钟信号  $S_{REF\_CLK}$  是否跟随缓存的时钟信号  $S_{BUF\_CLK}$  或者是否与其解耦合中发挥作用。更具体地，并且根据非限制示例实施例，当擦除信号或者编程信号都未被命令处理单元 109 确立为有效的时候，时钟控制电路 210 设计为进入 / 保持在第一操作状态（即，其中基准时钟信号  $S_{REF\_CLK}$  跟随缓存的时钟信号  $S_{BUF\_CLK}$ ）。相反，当擦除信号和编程信号的至少一个被命令处理单元 109 确立为有效的时候，时钟控制电路 210 设计为进入 / 保持在第二操作状态（即，其中基准时钟信号  $S_{REF\_CLK}$  和缓存的时钟信号  $S_{BUF\_CLK}$  解耦合）。

[0070] 从而，在特定的非限制示例实施例中，时钟控制电路 210 可以设计为包括与 (AND) 逻辑门 211 和或非 (NOR) 逻辑门 213。NOR 逻辑门 213 接收来自命令处理单元 109 的擦除和编程命令。AND 逻辑门 211 的第一输入是缓存的时钟信号  $S_{BUF\_CLK}$ 。AND 逻辑门 211 的第二输入是 NOR 逻辑门 213 的输出的信号  $S_{DLL\_EN2}$ 。因此，当擦除或者编程信号确立有效时，NOR 逻辑门 213 使得信号  $S_{DLL\_EN2}$  变低，其将 AND 逻辑门 211 停用并且使得其输出信号（即基准时钟信号  $S_{REF\_CLK}$ ）变低。这使得基准时钟信号  $S_{REF\_CLK}$  和缓存的时钟信号  $S_{BUF\_CLK}$  解耦合。另一方面，当擦除和编程信号确立无效时，NOR 逻辑门 213 使得信号  $S_{DLL\_EN2}$  变高，其将 AND 逻辑门 211 启用并且使得基准时钟信号  $S_{REF\_CLK}$  跟踪缓存的时钟信号  $S_{BUF\_CLK}$ ，同时将  $S_{BUF\_CLK}$  提供给 DLL 220。

[0071] 在一个替代实施例中，AND 逻辑门 211 可以是三输入 AND 逻辑门，第三输入是信号  $S_{DLL\_EN1}$ ，该信号是反相器逻辑门 212 的输出，反相器逻辑门 212 接收缓存的芯片使能信号  $S_{CEb}$ 。缓存的芯片使能信号  $S_{CEb}$  是芯片使能端口 CE# 处设备外部信号的缓存形式并且具有相同的极性。对时钟控制电路 210 的此次修改使得只要缓存的芯片使能信号  $S_{CEb}$  为低（即只要选择非易失性存储器设备 100）时，AND 逻辑门 211 都会如之前所描述的操作，但会导致置于缓存的芯片使能信号  $S_{CEb}$  为高（即当取消非易失性存储器设备 100 的选择）时，AND 逻辑门 211 的输出都变低，而不需要考虑擦除或者编程信号是否确立有效。

[0072] 在另一个替代实施例中，NOR 逻辑门 213 的功能在时钟控制电路 210 以外的地方实现。例如，NOR 逻辑门 213 的功能可以在命令处理单元 109 中实现。由此，命令处理单元 109 可以自身发出目前示出在 NOR 逻辑门 213 的输出处的信号  $S_{DLL\_EN2}$ 。

[0073] DLL 220 包括配置成反馈环的电路部件，用于产生相对于基准时钟信号  $S_{REF\_CLK}$  具有可控延迟的同步时钟信号  $S_{DLL\_CLK}$ 。可控延迟可以根据需要调整，确保接收同步时钟信号  $S_{DLL\_CLK}$  的输出驱动器 105 在数据线 DQ[0:7] 和数据选通端口 DQS 处输出设备外部信号，以满足非易失性存储器设备 100 的所期望的时序规范。为了实现必要的延迟，DLL 220 可以实现为包括可变延迟线路 221 的传统 DLL。可变延迟线路 221 响应于延迟调整信号  $S_{SHIFT}$  相对于基准时钟信号  $S_{REF\_CLK}$  来改变同步时钟信号  $S_{DLL\_CLK}$  的延迟。

[0074] 反馈延迟模块 224 响应于同步时钟信号  $S_{DLL\_CLK}$  产生反馈时钟信号  $S_{FB\_CLK}$ 。反馈延迟模块 224 可以具有复制的延迟模块，用于补偿诸如以下的一些内部电路块所导致的内部延迟：

[0075] – 时钟控制电路 210 中的 AND 逻辑门 211；

[0076] – 根据输入时钟端口 CLK 处的设备外部信号输出缓存的时钟信号  $S_{BUF\_CLK}$  的输入缓存器（未示），和 / 或

[0077] – 用于在数据线 DQ[0:7] 并且在数据选通端口 DQS 处输出设备外部信号的输出缓

存器。

[0078] DLL 220 还包括相位检测器 222，相位检测器 222 接收反馈时钟信号  $S_{FB\_CLK}$  和基准时钟信号  $S_{REF\_CLK}$ ，并且产生相位误差信号  $S_{PE}$ ，其具有指示基准时钟信号  $S_{REF\_CLK}$  和反馈时钟信号  $S_{FB\_CLK}$  之间的相位差的值。延迟控制 223 响应于来自相位检测器 222 的相位误差信号  $S_{PE}$  产生延迟调整信号  $S_{SHIFT}$ ，并且将延迟调整信号  $S_{SHIFT}$  应用到可变延迟线路 221 以调整通过可变延迟线路 221 施加的延迟。

[0079] 相位检测器 222 和延迟控制器 223 组合起来操作，来将通过可变延迟线路 221 应用的延迟作为基准时钟信号  $S_{REF\_CLK}$  和反馈时钟信号  $S_{FB\_CLK}$  之间所检测相位差的函数进行调整。更具体地，相位检测器 222 和延迟控制器 223 组合起来操作来调整同步时钟信号  $S_{DLL\_CLK}$  的可变延迟，直到基准时钟信号  $S_{REF\_CLK}$  和反馈时钟信号  $S_{FB\_CLK}$  之间所检测的相位差接近零。更具体地，调整同步时钟信号  $S_{DLL\_CLK}$  的延迟时，也相应调整来自反馈延迟模块 224 的反馈时钟信号  $S_{FB\_CLK}$  的相位，直到反馈时钟信号  $S_{FB\_CLK}$  具有和基准时钟信号  $S_{REF\_CLK}$  的相位基本相同的相位。当 DLL 220 已经将可变延迟调整为使得基准时钟信号  $S_{REF\_CLK}$  和反馈时钟信号  $S_{FB\_CLK}$  之间的相位偏移大体等于零的值时，DLL 220 称为被“锁定”。此时，假如反馈延迟模块 224 精确模拟多种内部延迟，输入时钟端口 CLK 处的设备外部信号和同步时钟信号  $S_{DLL\_CLK}$  将是同步的。

[0080] 考虑到 DLL 220 中的可变延迟线路 221 可以包含大量延迟级，所有延迟级在振荡时钟信号传播通过可变延迟线路 221 时进行转换，显然，在没有向 DLL 220 馈送振荡时钟信号期间将提高功率节省。这种情况进而出现在基准时钟信号  $S_{REF\_CLK}$  从缓存的时钟信号  $S_{BUF\_CLK}$  解耦合时，这是如上所述确立擦除或者编程信号有效的直接结果。总的来说，从而观察到 DLL220 所影响的每秒信号转变的平均数量在基准时钟信号  $S_{REF\_CLK}$  和缓存的时钟信号  $S_{BUF\_CLK}$  解耦合时比在基准时钟信号  $S_{REF\_CLK}$  跟随缓存的时钟信号  $S_{BUF\_CLK}$  时要低。这导致在更高时钟信号频率时特别显著的功率节省。

[0081] 现在参考图 3B，示出根据另一个非限制示例实施例的时钟同步单元 200<sub>B</sub>。图 3B 中的时钟同步单元 200<sub>B</sub> 包括类似于图 3A 的时钟同步单元 200 中的时钟控制电路 210 的经修改的时钟控制电路 210<sub>B</sub>，两者具有以下主要区别。更具体地，AND 逻辑门 211<sub>B</sub> 的第二输入是通过 2 输入 OR 逻辑门 234 输出的信号  $S_{DLL\_EN}$ 。2 输入 OR 逻辑门 234 接收 NOR 逻辑门 213 的输出（回忆一下，其接收擦除和编程信号）和反相器逻辑门 212 的输出（回忆一下，其接收缓存的芯片使能信号  $S_{CEB}$ ）。

[0082] 操作中，修改的时钟控制电路 210<sub>B</sub> 使得 AND 逻辑门 211<sub>B</sub> 在满足以下两个条件中的一个时将缓存的时钟信号  $S_{BUF\_CLK}$  传送到其输出（其承载基准时钟信号  $S_{REF\_CLK}$ ）：(i) 缓存的芯片使能信号  $S_{CEB}$  变低（即，选择非易失性存储器设备 100 时）或者 (ii) 擦除和编程信号确立为无效（=低）。相反，仅当以下两个条件都满足时基准时钟信号  $S_{REF\_CLK}$  和缓存的时钟信号  $S_{BUF\_CLK}$  解耦合：(i) 缓存的芯片使能信号  $S_{CEB}$  变高（即，取消非易失性存储器设备 100 的选择时）并且 (ii) 擦除或者编程信号确立有效（=高）。简单来说，和图 3A 中的时钟控制电路 210 相比时，图 3B 中的修改的时钟控制电路 210<sub>B</sub> 不会自动将基准时钟信号  $S_{REF\_CLK}$  和缓存的时钟信号  $S_{BUF\_CLK}$  在擦除或者编程信号确立有效时解耦合，而是需要附加的条件，根据该条件已经取消非易失性存储器设备 100 的选择。换句话说，选择非易失性存储器设备 100 将激活 DLL 220，因此取代擦除或者编程信号的效果。虽然这相对于图 3A 的电路导

致较少的功率节省,但是允许由控制器 90 直接对非易失性存储器设备 100 的操作进行更大范围的控制。

[0083] 图 4A 是示出在块擦除操作期间和图 3A 中的时钟同步单元 200 相关的多种信号的信号转变的非限制示例时序图。本领域内的普通技术人员可以理解,可以提供其他命令的类似时序图(例如,页面编程),但是由于相信这对技术人员理解示例实施例来说没有必要,所以将其略去。

[0084] 图 4A 顶部的控制信号(即,处于输入时钟端口 CLK,芯片使能端口 CE#,写 / 读端口 W/R#,命令锁存使能端口 CLE,地址锁存使能端口 ALE,数据线 DQ[0:7],数据选通端口 DQS 和准备好 / 忙碌端口 R/B# 上的信号)通过控制器 90 来发出。在时间 T1 到 T7 之间,非易失性存储器设备 100 接收块擦除命令的第一周期(60h),行地址信息(RA1, RA2 & RA3)和块擦除命令的第二周期(D0h)。一旦非易失性存储器设备 100 接收并且译码块擦除命令的第二周期(D0h),擦除信号在时间 T8 确立有效,并且 S<sub>DLL\_EN2</sub> 信号(在 NOR 逻辑门 213 的输出处)变低。AND 逻辑门 211 随后通过 S<sub>DLL\_EN2</sub> 信号的低状态停用。从而,基准时钟信号 S<sub>REF\_CLK</sub> 在大约时间 T8 处变为低状态。结果是,虽然缓存的时钟信号 S<sub>BUF\_CLK</sub> 继续切换,但是同步时钟信号 S<sub>DLL\_CLK</sub> 停止切换。此外,准备好 / 忙碌端口 R/B# 处的设备外部信号变低。

[0085] 非易失性存储器设备 100 随后在标为 t<sub>BERS</sub>(块擦除时间)的一段时间内对非易失性存储器单元阵列 115 执行内部“擦除和验证”操作,这段时间是可变的,并且例如对于 SLC(单级单元)类型的 NAND 闪速存储器设备可以是 2ms,或者例如对于一些类型的 MLC(多级单元)NAND 闪速存储器设备最多是 15ms。在非易失性存储器设备 100 完成内部“擦除和验证”操作期间,DLL220 有效停用,因此相比于在此时间期间启用 DLL 220 情况导致更少的功耗。

[0086] 在时间 T14 和 T15 之间,非易失性存储器设备 100 完成其最后的“擦除和验证”操作并且擦除信号变为低状态。结果是,S<sub>DLL\_EN2</sub> 信号在时间 T15 处返回高状态,这启用 AND 逻辑状态 211。从而,基准时钟信号 S<sub>REF\_CLK</sub> 开始再次跟随缓存的时钟信号 S<sub>BUF\_CLK</sub>,并且 DLL 220 试图根据基准时钟信号 S<sub>REF\_CLK</sub> 和反馈时钟信号 S<sub>FB\_CLK</sub> 来锁定同步时钟信号 S<sub>DLL\_CLK</sub>。本领域内的普通技术人员应该理解,当 DLL 220 包括延迟锁定环路时,同步时钟信号 S<sub>DLL\_CLK</sub> 重新取得同步(即,“重新锁定”)可能需要若干个时钟周期。图 4A 中的时序图假设简化的并且短的重新锁定序列,使得同步时钟信号 S<sub>DLL\_CLK</sub> 在时间 T16 处已经被锁定。本领域内公知合适的重新锁定序列,因此此处不再描述。

[0087] 在同步时钟信号 S<sub>DLL\_CLK</sub> 已经重新得到同步之后,准备好 / 忙碌端口 R/B# 处的设备外部信号变高,如时间 T16 和 T17 之间所示。非易失性存储器设备 100 现在变成“准备好”并且控制器 90 可以发出下一个命令,诸如但不限于状态读出、页面读出和页面编程。

[0088] 图 4B 是块擦除操作期间图 3B 中的时钟同步单元 200<sub>B</sub> 的信号的非限制示例时序图。图 4B 中的时序图类似于图 4A 中的时序图,但有以下不同。更具体地,时间 T7 和 T8 之间,注意到即使擦除信号确立有效,AND 逻辑门 211<sub>B</sub> 的第二输入处的 S<sub>DLL\_EN</sub> 信号也没有下拉到低状态。这是因为缓存的芯片使能信号 S<sub>C\_EB</sub> 信号仍旧处于低状态(意味着非易失性存储器设备 100 保持选择),在此实施例中,这超控本来通过擦除信号控制的时钟信号的解耦合效应。随后,在芯片使能端口 CE# 处的设备外部信号变为高状态(在时间 T8 和 T9 之间)之后,缓存的芯片使能信号 S<sub>C\_EB</sub> 也变为高状态,并且现在 S<sub>DLL\_EN</sub> 信号变为低状态。这使得 AND

逻辑门 211<sub>B</sub> 停用,使得基准时钟信号 S<sub>REF\_CLK</sub> 停止切换,使得 DLL 220 不会耗费不必要的功率。

[0089] 本领域内的普通技术人员可以理解,除了 DLL 220,时钟同步单元 200 可以使用具有反馈回路配置的电路部件的其他模块。这样的其他模块的一个例子是锁相环 (PLL)。因此,锁相环可以在擦除或者编程信号确立有效时失活一段时间。

[0090] 本领域内的普通技术人员还可以理解上述对块擦除、页面编程,页面读出和状态读出命令的描述仅意于示例,并且,在不脱离本发明的实施例的范围的情况下可以有多种修改。此外,目前或者未来的其他命令可以触发擦除和 / 或编程信号的确立有效。例如,考虑到假设的类似于上面描述的块擦除命令的页面擦除命令,其允许特定的多页面块的单个页面被擦除,而不会影响页面中的其它块。这样的命令的例子在 Jin-Ki KIM 的美国专利申请序列号 11/779685、标题为“Partial Block Erase Architecture For FlashMemory”中描述,其通过引用包含进来。

[0091] 可以理解上述非易失性存储器设备 100、100<sub>A</sub> 可以使用多种类型的非易失性存储器集成电路技术来实现,包括但不限于 NAND 闪速 EEPROM、NOR 闪速 EEPROM、AND 闪速 EEPROM、DiNOR 闪速 EEPROM、串行闪速 EEPROM、只读存储器 (ROM)、可擦除可编程 ROM (EPROM)、铁电随机存取存储器 (FRAM)、磁阻 RAM (MRAM) 和相变 RAM (PCRAM)。

[0092] 还应该理解在一些实施例中,某些信号,具体如时钟信号和数据选通信号 (非限制性的) 可以是单端的,而在其它实施例中这些信号可以是差分的。

[0093] 还应该理解在一些实施例中,某些设备,特别是输入寄存器 112 和输出驱动器 105,可以响应于上升沿、下降沿或者上升沿和下降沿二者,从而表现出单数据率 (SDR)、双数据率 (DDR) 或者四数据率 (QDR) 功能性。

[0094] 返回参考图 1,在一些例子中,存储器系统 80 可以至少大体兼容在 08 年 2 月 27 日的“Open NAND Flash Interface Specification”版本 2.0 中描述的闪速标准,其全部内容通过引用包含进来。当然在其他实施例中,存储器系统 80 可以至少大体和其他闪速标准兼容,该标准与所提供的包括 DLL 和 / 或 PLL 的存储器装置一致。

[0095] 还应该理解在一些实施例中,可以至少部分使用在计算机上运行的软件程序来向存储器装置 100、100<sub>A</sub> 提供上述功能性。这样的软件程序可以编码为计算机可读存储介质上的计算可读指令,该指令设计为将上述功能性转换为低级电路图和 / 或集成电路配置,用来实现上述功能性。

[0096] 可以对所述实施例进行特定修改和变化。从而,上述实施例被认为是示例性而非限制性的。

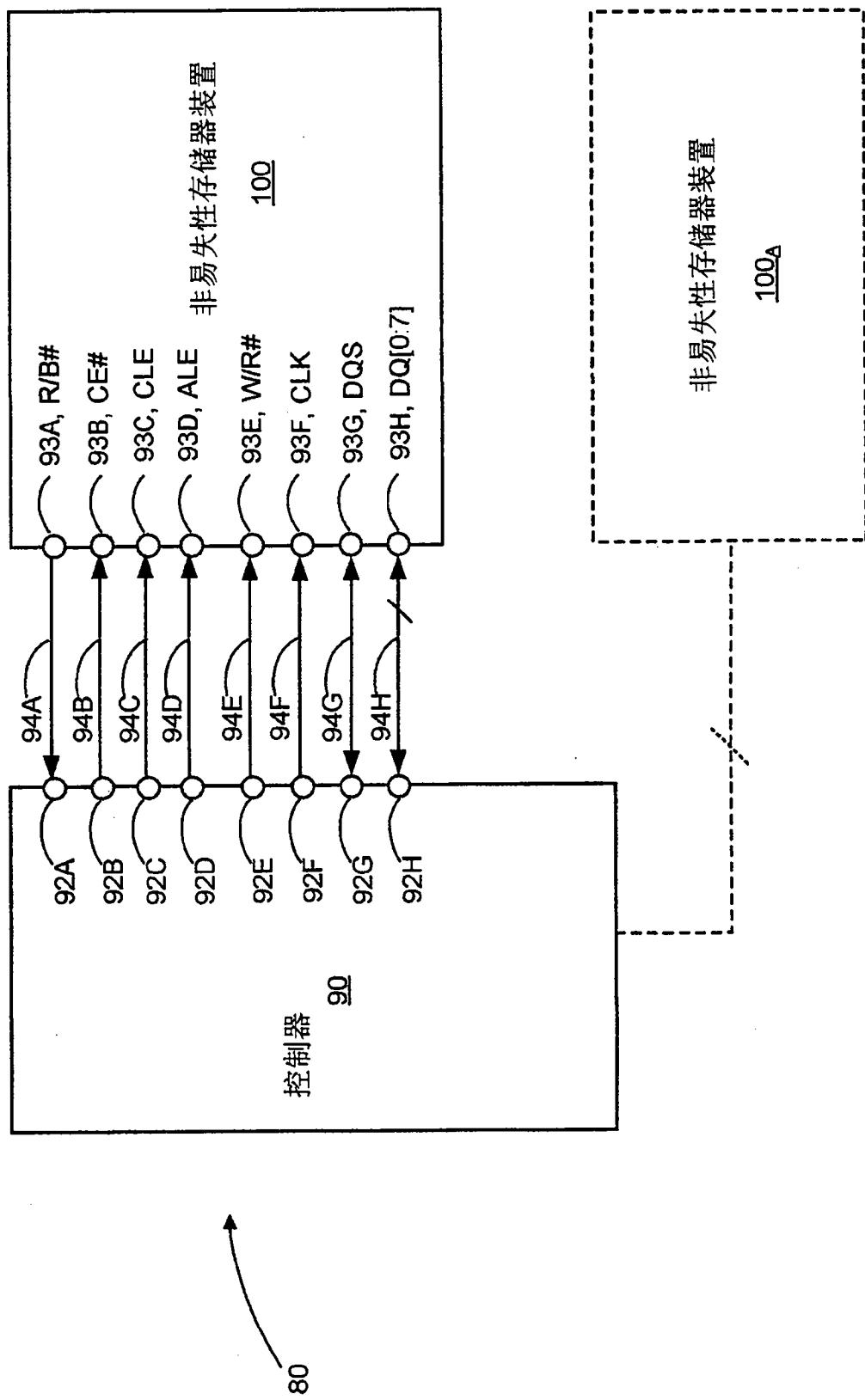


图 1

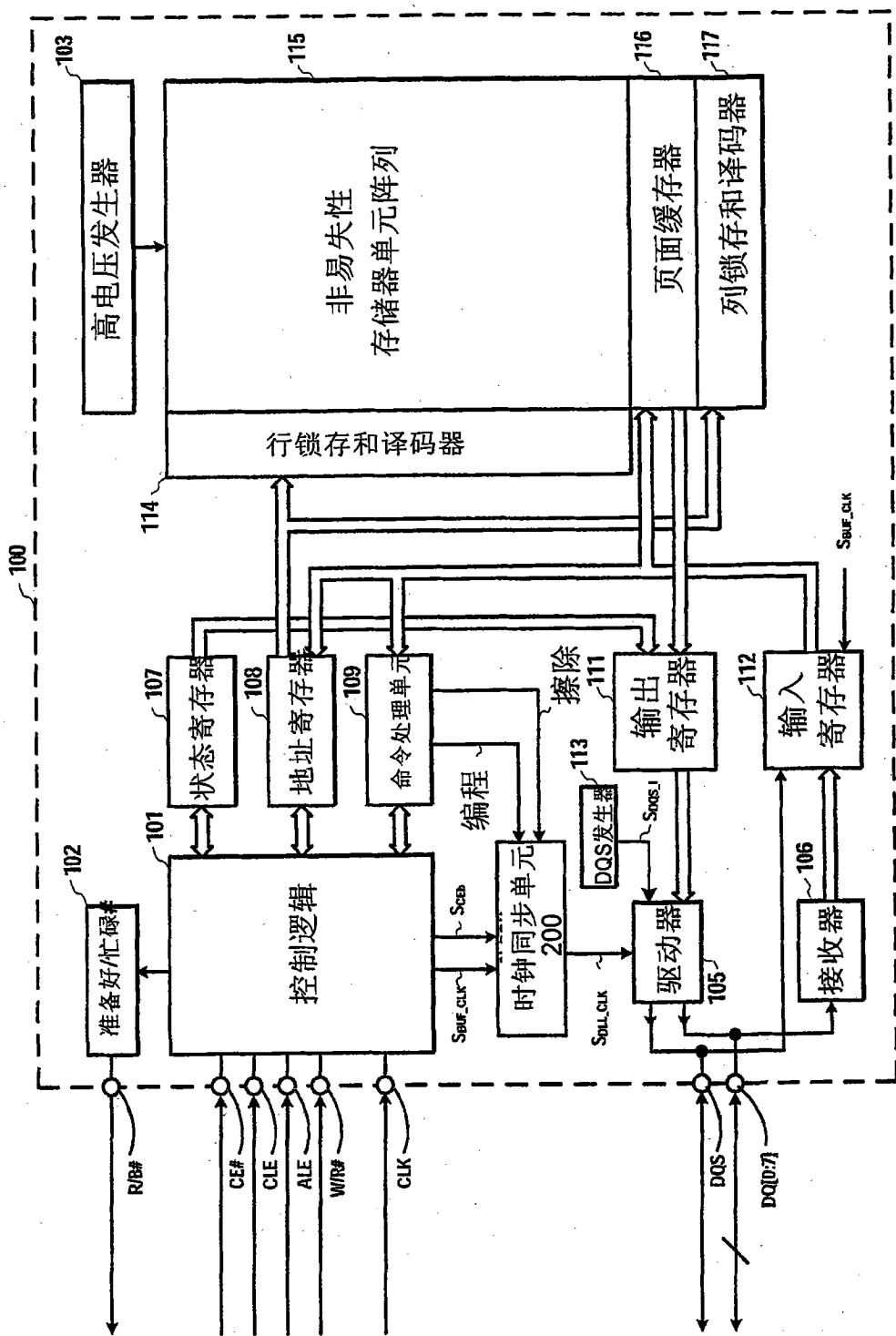
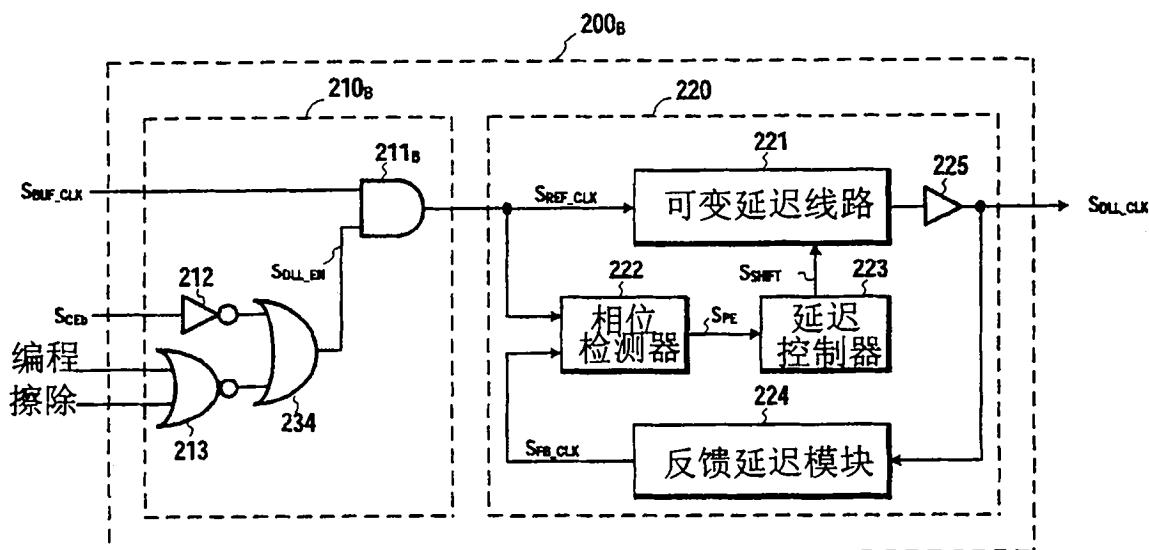
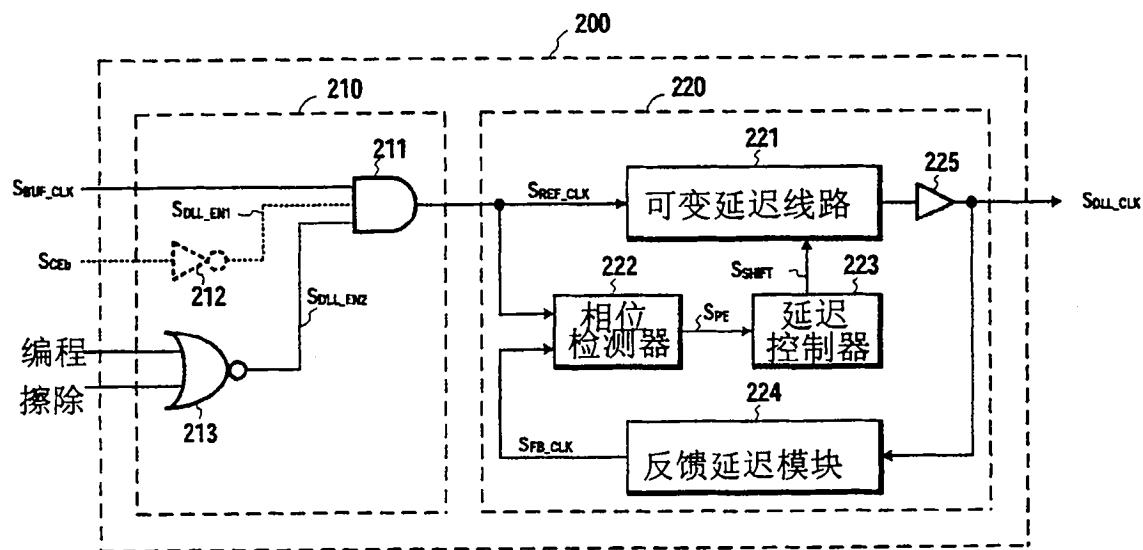


图 2



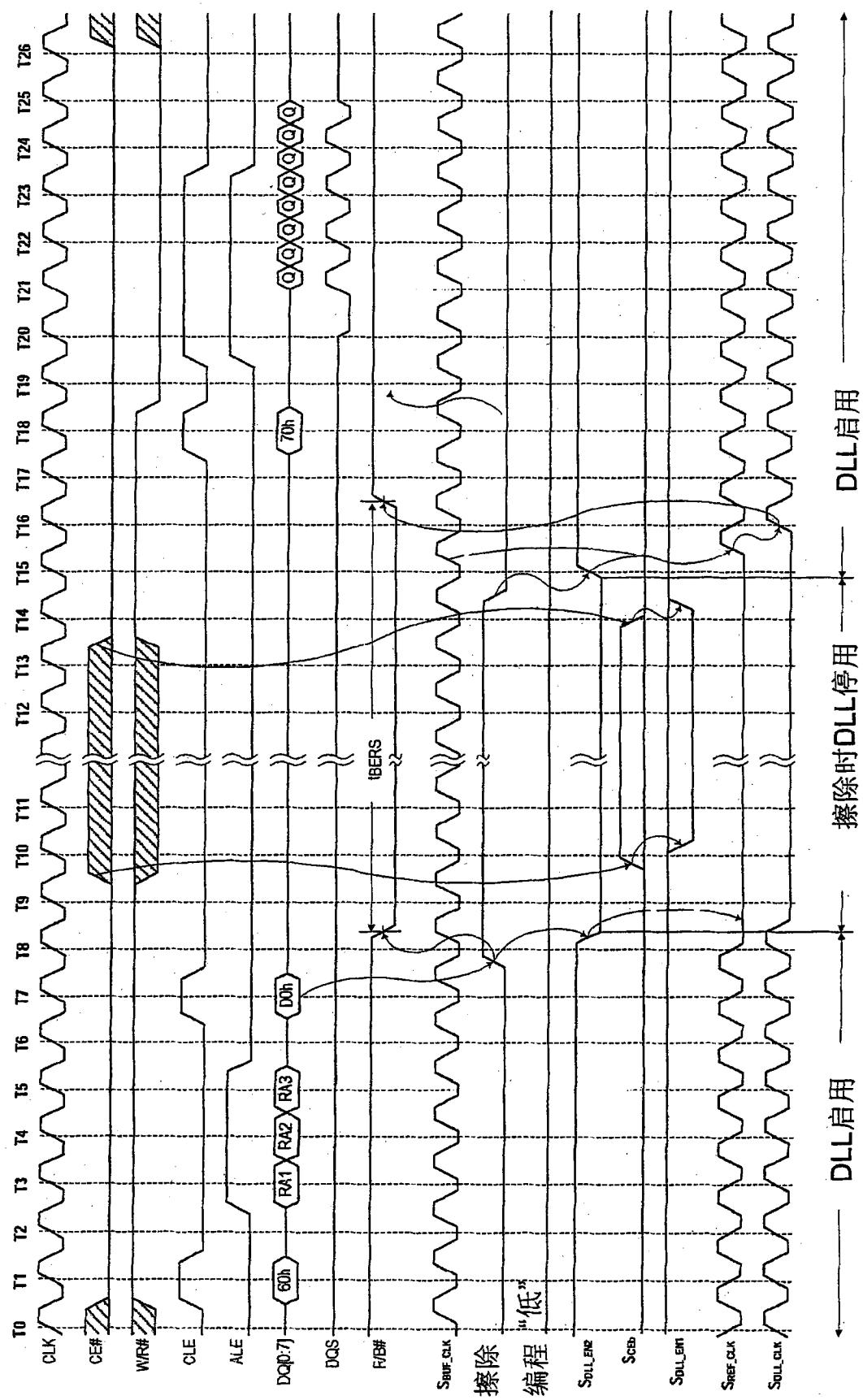


图 4A

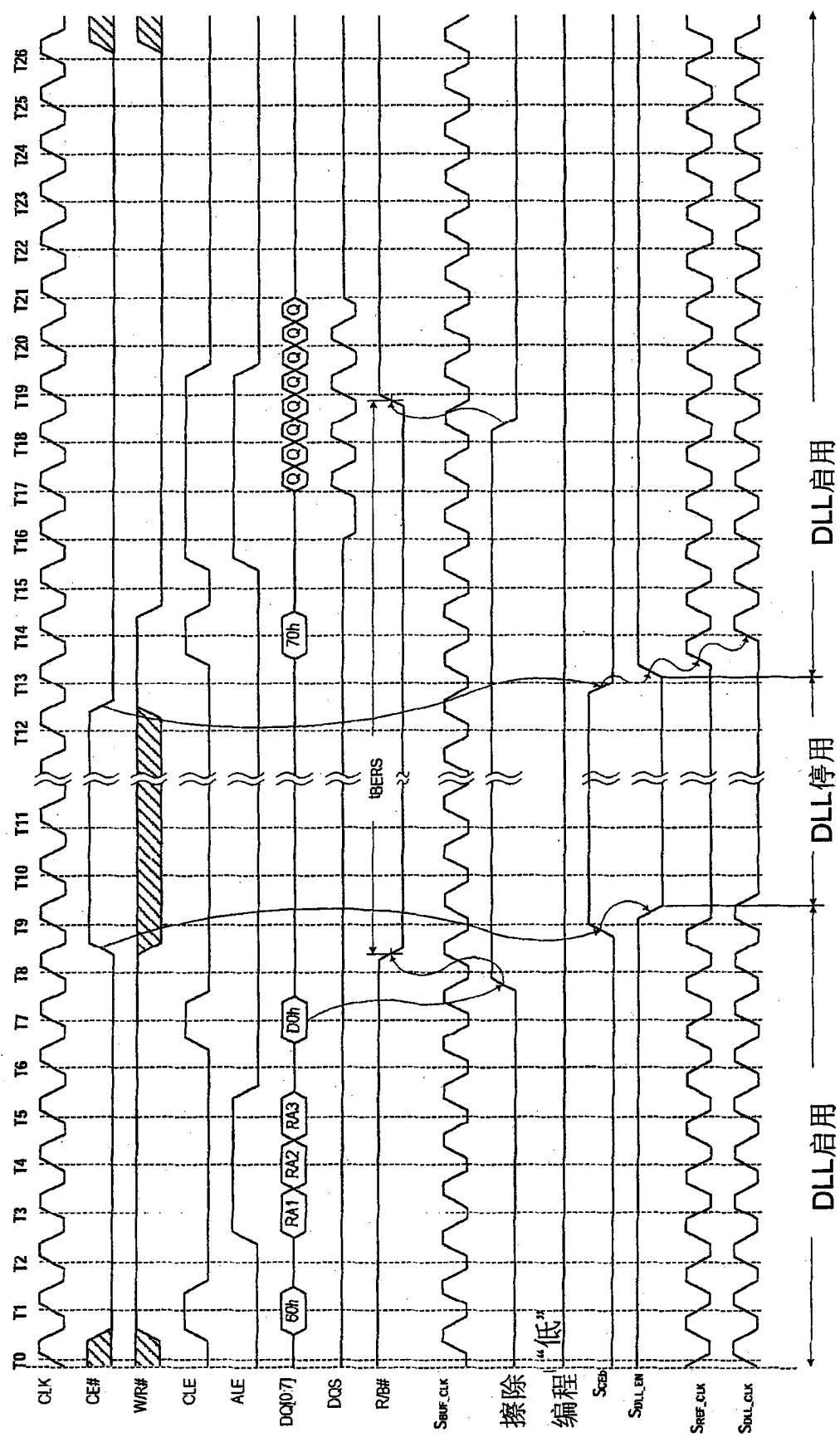


图 4B