

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-43873

(P2009-43873A)

(43) 公開日 平成21年2月26日(2009.2.26)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 5 1	5 F 0 8 3
HO 1 L 45/00 (2006.01)	HO 1 L 45/00 Z	
HO 1 L 49/00 (2006.01)	HO 1 L 49/00 Z	

審査請求 未請求 請求項の数 14 O L (全 15 頁)

(21) 出願番号	特願2007-206328 (P2007-206328)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成19年8月8日(2007.8.8)	(74) 代理人	100098785 弁理士 藤島 洋一郎
		(74) 代理人	100109656 弁理士 三反崎 泰司
		(74) 代理人	100130915 弁理士 長谷部 政男
		(72) 発明者	大場 和博 東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	水口 徹也 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 記憶素子および記憶装置

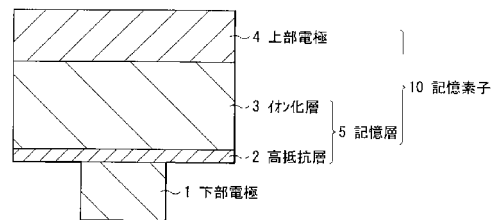
(57) 【要約】

【課題】抵抗変化型の記憶装置において、書込みおよび消去状態の抵抗値の保持能力を向上させる。

【解決手段】下部電極1と上部電極4との間に、高抵抗層2およびイオン化層3からなる記憶層5を有する。イオン化層3は、S(硫黄)、Se(セレン)およびTe(テルル)(カルコゲナイド元素)などのイオン伝導材料(陰イオン元素)と共に、陽イオン化する金属元素としてZr(ジルコニウム)およびAl(アルミニウム)を含有している。

当量比 = (陽イオンの価数 × モル数) / (陰イオンの価数 × モル数) で表される当量比が、0.5 ~ 1.5 の範囲内であり、これにより書込みおよび消去状態の保持特性が向上する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 電極と第 2 電極との間にイオン化層を含む記憶層を有し、前記記憶層の電気的特性の変化により情報を記憶する記憶素子であって、

前記イオン化層に、S (硫黄), Se (セレン) および Te (テルル) のうちの少なくとも 1 種からなるカルコゲナイド元素と共に、前記カルコゲナイド元素に対して陽イオン化する金属元素を含み、

前記金属元素の含有量が、陰イオンであるカルコゲナイド元素に対し、
 $(\text{陽イオンの価数} \times \text{モル数}) = (\text{陰イオンの価数} \times \text{モル数})$

のときに当量関係が成り立つとした場合に、

当量比 = $(\text{陽イオンの価数} \times \text{モル数}) / (\text{陰イオンの価数} \times \text{モル数})$

で表される当量比が、0.5 ~ 1.5 の範囲内である

ことを特徴とする記憶素子。

10

【請求項 2】

前記イオン化層は、前記金属元素として、遷移金属元素 (Ti (チタン), Zr (ジルコニウム), Hf (ハフニウム), V (バナジウム), Nb (ニオブ), Ta (タンタル), Cr (クロム), Mo (モリブデン) および W (タングステン)) のうちの少なくとも 1 種を含む

ことを特徴とする請求項 1 に記載の記憶素子。

【請求項 3】

前記金属元素は、Zr (ジルコニウム), Ti (チタン) および Cr (クロム) のうちの少なくとも 1 種である

ことを特徴とする請求項 2 に記載の記憶素子。

20

【請求項 4】

前記イオン化層は、前記金属元素として、Cu (銅) を含む

ことを特徴とする請求項 3 に記載の記憶素子。

【請求項 5】

前記イオン化層は、Al (アルミニウム) を含有している

ことを特徴とする請求項 1 に記載の記憶素子。

【請求項 6】

前記イオン化層は、Ge (ゲルマニウム), Mg (マグネシウム) および Si (シリコン) のうちの少なくとも 1 種を含む

ことを特徴とする請求項 1 に記載の記憶素子。

30

【請求項 7】

前記イオン化層に含まれる Al 含有量は、20 原子% 以上 60 原子% 以下である

ことを特徴とする請求項 5 に記載の記憶素子。

【請求項 8】

前記記憶層は、前記イオン化層と前記第 1 電極との間に前記イオン化層よりも抵抗値の高い高抵抗層を有する

ことを特徴とする請求項 1 に記載の記憶素子。

40

【請求項 9】

第 1 電極と第 2 電極との間にイオン化層を含む記憶層を有し、前記記憶層の電気的特性の変化により情報を記憶する複数の記憶素子と、前記複数の記憶素子に対して選択的に電圧または電流のパルス印加するパルス印加手段とを備えた記憶装置であって、

前記イオン化層に、S (硫黄), Se (セレン) および Te (テルル) のうちの少なくとも 1 種からなるカルコゲナイド元素と共に、前記カルコゲナイド元素に対して陽イオン化する金属元素を含み、

前記金属元素の含有量が陰イオンであるカルコゲナイド元素に対し、
 $(\text{陽イオンの価数} \times \text{モル数}) = (\text{陰イオンの価数} \times \text{モル数})$

の場合に当量関係が成り立つとした場合に、

50

当量比 = (陽イオンの価数 × モル数) / (陰イオンの価数 × モル数)
 で表される当量比が、0.5 ~ 1.5 の範囲内である
 ことを特徴とする記憶装置。

【請求項 10】

前記イオン化層は、前記金属元素として、遷移金属元素 (Ti (チタン), Zr (ジルコニウム), Hf (ハフニウム), V (バナジウム), Nb (ニオブ), Ta (タンタル), Cr (クロム), Mo (モリブデン) および W (タングステン)) のうちの少なくとも 1 種を含む
 ことを特徴とする請求項 9 に記載の記憶装置。

【請求項 11】

前記記憶層は、前記イオン化層と前記第 1 電極との間に前記イオン化層よりも抵抗値の高い高抵抗層を有する
 ことを特徴とする請求項 9 に記載の記憶装置。

【請求項 12】

各記憶素子は、2 値以上の多値の情報を記憶する
 ことを特徴とする請求項 9 に記載の記憶装置。

【請求項 13】

隣接する複数の記憶素子において、前記記憶素子を構成する少なくとも一部の層が同一層により共通に形成されている
 ことを特徴とする請求項 9 に記載の記憶装置。

【請求項 14】

前記複数の記憶素子における共通の層は、高抵抗層、イオン化層および上部電極であり、前記下部電極は素子毎に個別に形成されている
 ことを特徴とする請求項 13 に記載の記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イオン化層を含む記憶層の電気的特性の変化により 2 値以上の情報を記憶可能な記憶素子および記憶装置に関する。

【背景技術】

【0002】

コンピュータ等の情報機器においては、RAM (Random Access memory; ランダム・アクセス・メモリ) として、動作が高速で、高密度の DRAM (Dynamic Random Access memory) が広く使用されている。しかしながら、DRAM は、電子機器に用いられる一般的な論理回路 LSI (Large Scale Integration) や信号処理と比較して製造プロセスが複雑であるため、製造コストが高くなっている。また、DRAM は、電源を切ると情報が消えてしまう揮発性メモリであり、頻りにリフレッシュ動作、即ち書き込んだ情報 (データ) を読み出し、増幅し直して、再度書き込み直す動作を行う必要がある。

【0003】

そこで、電源を切っても情報が消えない不揮発性のメモリとして、例えば、フラッシュメモリ、FeRAM (Ferroelectric Random Access Memory) (強誘電体メモリ) や MRAM (Magnetoresistive Random Access Memory) (磁気記憶素子) 等が提案されている。これらのメモリの場合、電源を供給しなくても書き込んだ情報を長時間保持し続けることが可能になる。

【0004】

しかしながら、上述した各種の不揮発性のメモリは、それぞれ一長一短がある。フラッシュメモリは、集積度が高いが、動作速度の点で不利である。FeRAM は、高集積度化のための微細加工に限界あり、また作製プロセスにおいて問題がある。MRAM は、消費電力の問題がある。

【0005】

10

20

30

40

50

そこで、特にメモリ素子の微細加工の限界に対して有利な、新しいタイプの記憶素子が提案されている。この記憶素子は、2つの電極の間に、ある金属を含むイオン導電体を挟む構造としたものである。この記憶素子では、2つの電極のいずれか一方にイオン導電体中に含まれる金属を含ませることによって、2つの電極間に電圧を印加した場合に、電極中に含まれる金属がイオン導電体中にイオンとして拡散することによって、イオン導電体の抵抗値或いはキャパシタンス等の電気特性が変化する。例えば、特許文献1および非特許文献1では、この特性を利用したメモリデバイスの構成が記載されており、特に特許文献1においては、イオン導電体はカルコゲナイトと金属との固溶体よりなる構成が提案されている。具体的には、AsS, GeS, GeSeにAg, Cu, Znが固溶された材料からなり、2つの電極のいずれか一方の電極には、Ag, Cu, Znが含まれている。

10

【特許文献1】特表2002-536840号公報

【非特許文献1】日経エレクトロニクス 2003.1.20号(第104頁)

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上述した構成の記憶素子では、イオン導電体の抵抗値が低抵抗の記憶状態(例えば、「1」)、あるいは高抵抗値の消去状態(例えば「0」)で長時間にわたって放置した場合や、室温よりも高い温度雰囲気中で放置した場合には、抵抗値が変化して情報を保持しなくなるという問題がある。このように情報保持能力が低いと、揮発メモリに用いる素子特性としては不十分である。

20

【0007】

また、同じ面積あたりに大容量の記録を行うためには、単に高抵抗状態「0」、低抵抗状態「1」だけでなく、例えば高抵抗状態が数百M、低抵抗状態が数kとして、その中間的な任意の値の抵抗値を保持することが可能となれば、メモリの動作マージンが広がるのみならず、多値記録が可能となる。すなわち、4つの抵抗状態を記憶することができれば、2ビット/素子、16の抵抗値を記憶することができれば、3ビット/素子の情報を記憶することができ、メモリの容量をそれぞれ2倍、3倍と向上させることができる。

【0008】

しかしながら、従来の記憶素子では、例えば変化する抵抗値範囲が数k~数100Mの場合、低抵抗状態で保持可能な抵抗値はおよそ10k以下、高抵抗状態で保持可能な抵抗値はおよそ1M以上であり、高抵抗と低抵抗状態の中間的な抵抗値の保持が困難であり、多値記憶の実現は困難であるという問題があった。

30

【0009】

本発明はかかる問題点に鑑みてなされたもので、その目的は、特に、低抵抗状態(書込み状態)および高抵抗状態(消去状態)の抵抗値の保持能力が向上し、優れた動作特性を得ることができると共に、多値記憶の実現が可能な記憶素子および記憶装置を提供することにある。

【課題を解決するための手段】

【0010】

本発明の記憶素子は、第1電極と第2電極との間にイオン化層を含む記憶層を有し、記憶層の電気的特性の変化により情報を記憶する記憶素子であって、イオン化層に、S(硫黄), Se(セレン)およびTe(テルル)のうち少なくとも1種からなるカルコゲナイド元素と共に、カルコゲナイド元素に対して陽イオン化する金属元素を含み、金属元素の含有量が陰イオンであるカルコゲナイド元素に対し、

40

(陽イオンの価数×モル数) = (陰イオンの価数×モル数)

のときに当量関係が成り立つとした場合に、

当量比 = (陽イオンの価数×モル数) / (陰イオンの価数×モル数)

で表される当量比が、0.5~1.5の範囲内であるものである。

【0011】

本発明の記憶装置は、複数の記憶素子と、複数の記憶素子に対して選択的に電圧または

50

電流のパルスを印加するパルス印加手段とを備えたものであり、記憶素子として上記本発明の記憶素子を用いたものである。

【0012】

本発明の記憶素子または記憶装置では、初期状態（高抵抗状態）の素子に対して「正方向」（例えば第1電極側を負電位、第2電極側を正電位）の電圧または電流パルスが印加されると、第1電極側にイオン化する金属元素の伝導パスが形成されて低抵抗状態となる。この低抵抗な状態の素子に対して「負方向」（例えば第1電極側を正電位、第2電極側を負電位）へ電圧パルスが印加されると、上記伝導パスが酸化してイオン化層中へ溶解し、高抵抗な状態へ変化する。ここに、上記当量比が、0.5～1.5の範囲内にあるので、低抵抗状態（書込み状態）および高抵抗状態（消去状態）の保持性能が向上し、良好な動作特性を得ることができる。

10

【発明の効果】

【0013】

本発明の記憶素子または記憶装置によれば、イオン化層中の陽イオンと陰イオンの当量比を0.5～1.5の範囲内とするようにしたので、書込み状態および消去状態の保持性能が向上し、良好な動作特性を得ることができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態について説明する。

【0015】

図1は、本発明の一実施の形態に係る記憶素子10の断面構成図である。この記憶素子10は、下部電極1と上部電極4との間に記憶層5を有するものである。ここで、下部電極1は、例えば、後述（図2）のようにCMOS(Complementary Metal Oxide Semiconductor)回路が形成されたシリコン基板11上に設けられ、CMOS回路部分との接続部となっている。

20

【0016】

下部電極1には、半導体プロセスに用いられる配線材料、例えば、W（タングステン）、WN（窒化タングステン）、Cu（銅）、Al（アルミニウム）、Mo（モリブデン）、Ta（タンタル）およびシリサイド等を用いることができる。また、Cu等の、電界でイオン伝導が生じる可能性のある材料を用いる場合には、Cu等の電極上をW、WN、TiN（窒化チタン）、Ta₂N₅（窒化タンタル）等のイオン伝導や熱拡散しにくい材料で被覆するようにしてもよい。

30

【0017】

記憶層5は下部電極1側から積層された高抵抗層2およびイオン化層3により構成されている。イオン化層3は、イオン伝導材料およびイオン化する金属元素と共に、消去時（低抵抗時）に酸化物を形成する元素（添加元素）として、例えばAl（アルミニウム）を含有している。

【0018】

イオン伝導材料（陰イオン元素）としては、例えば、S（硫黄）、Se（セレン）およびTe（テルル）（カルコゲナイド元素）が挙げられ、これら元素の1種でも、あるいは2種以上の組み合わせでもよい。

40

【0019】

イオン化する金属元素は、書込み動作時のカソード極上で還元されて金属状態の伝導パス（フィラメント）を形成するもので、上記S、Se、Teが含まれるイオン化層3中で金属状態で存在することが、より化学的に安定である元素が望ましく、例えば、周期律表上の4A、5A、6A族の遷移金属元素、すなわち、Ti（チタン）、Zr（ジルコニウム）、Hf（ハフニウム）、V（バナジウム）、Nb（ニオブ）、Ta（タンタル）、Cr（クロム）、Mo（モリブデン）、W（タングステン）が好適である。これら元素の1種でもよいが、2種以上の金属元素を組み合わせるようにしてもよい。

【0020】

50

これらの遷移金属元素の他に、例えばCu（銅）や、Ni（ニッケル）、Ag（銀）、Zn（亜鉛）などの元素を含んでいてもよいが、1種若しくは2種以上の遷移金属元素を主として含んでいることが望ましい。具体的には、例えば遷移金属元素にCuを加えて用いる場合には、イオン化層3における遷移金属元素とCuとの下記の比率は0.15より大きくすることが望ましい。

$(\text{遷移金属元素の組成比, 原子\%}) / \{ (\text{Cuの組成比, 原子\%}) + (\text{遷移金属元素の組成比, 原子\%}) \}$

0.15よりも大きいと、保持特性が良好であるが、0.15以下になると、消去側の保持特性が低下するからである。

【0021】

イオン化層3に含まれる添加元素Alは、記憶素子10が低抵抗状態から高抵抗状態へ切り替わるときに酸化物を形成するものである。すなわち、消去動作によりアノード電極（第2電極）が卑な電位にバイアスされた場合に、固体電解質的に振舞うイオン化層2とアノード極との界面で酸化され、イオン化層3中に溶解するのではなく、化学的に安定な酸化膜（Al酸化膜）を生成する。これにより本実施の形態では、消去状態（高抵抗状態）の保持性能が改善されて、いずれの抵抗値域でも良好な保持特性が得られる。また、書き込み・消去サイクルを長期に繰り返しても、素子特性の変化や劣化が抑制される。

【0022】

イオン化層3中には、Alと同様な働きを示し、イオン化層3とアノード極との界面で酸化され、安定な酸化膜を生成する元素、例えばGe（ゲルマニウム）、Mg（マグネシウム）、Si（シリコン）などを含んでいてもよいが、少なくともAlを含んでいることが望ましい。

【0023】

イオン化層3中のAlの含有量は、好ましくは、20原子%以上60原子%以下である。20原子%未満では、高抵抗領域の保持特性を向上させる効果および繰り返し特性の向上効果が少なくなり、60原子%を超える場合には、Alイオンの移動が生じやすくなるため、Alイオンの還元によって書込み状態が作られてしまい、また、Alはカルコゲナイドの固体電解質内中で金属状態の安定性が低く、低抵抗な書込み状態の保持特性が低下するからである。

【0024】

本実施の形態では、上記のようにイオン化層3に、S（硫黄）、Se（セレン）およびTe（テルル）のうちの少なくとも1種からなるカルコゲナイド元素（陰イオン元素）と共に、カルコゲナイド元素に対して陽イオン化する金属元素（Zr、Al等）を含むものであるが、金属元素の含有量が陰イオンであるカルコゲナイド元素に対し、

$(\text{陽イオンの価数} \times \text{モル数}) = (\text{陰イオンの価数} \times \text{モル数})$

のときに当量関係が成り立つとすると、

$\text{当量比} = (\text{陽イオンの価数} \times \text{モル数}) / (\text{陰イオンの価数} \times \text{モル数})$

で表される当量比は、上記当量関係から大きく外れていないことが望ましい。この比によって特性が変化するためである。例えば、当量比が大きく、陽イオン元素が多過ぎる場合には、書込み動作は可能であるものの、消去動作はしづらくなり、一方、当量比が小さく、陰イオン元素が多過ぎる場合には、消去動作はしやすいものの、書込み状態を保持しにくくなるなどの問題がある。より詳細には、当量比が大き過ぎて、陽イオン元素が多過ぎる場合には、陽イオンと陰イオンとの釣り合いが取れずに、存在する金属元素のうち、イオン化しない元素の量が増大する。そのため、消去動作の際に、書込み動作で生じた伝導パスが効率的に除去されがたくなると考えられる。一方、当量比が小さ過ぎて、陰イオン元素が過剰に存在する場合には、書込み状態で生じた伝導パスが金属状態で存在しがたくなるために、書込み状態の保持性能が低下すると考えられる。本実施の形態では、このようなことから、保持特性に優れた良好な動作特性を得るために、上記当量比を、0.5～1.5の範囲内に設定する。

【0025】

10

20

30

40

50

イオン化層 3 は、具体的には、例えば、 $ZrTeAl$ 、 $TiTeAl$ 、 $CrTeAl$ 、 $WTeAl$ および $TaTeAl$ である。また、例えば、 $ZrTeAl$ に対して、 Cu を添加した $CuZrTeAl$ 、さらに Ge を添加した $CuZrTeAlGe$ 、更に、添加元素を加えた $CuZrTeAlSiGe$ としてもよい。あるいは、 Al の代わりに、消去時に酸化層を形成する元素として Mg を用いた $ZrTeMg$ としてもよい。イオン化する金属元素としては、 Zr の代わりに、 Ti や Ta を選択した場合でも同様な添加元素を用いることは可能であり、例えば $TaTeAlGe$ などとすることも可能である。更に、イオン伝導材料としては、 Te 以外に S や Se 、あるいは I (ヨウ素) を用いてもよく、具体的には $ZrSAl$ 、 $ZrSeAl$ 、 $ZeIAl$ 等を用いても、本発明の効果が得られることは容易に類推することができ、この場合においても、 Ge や Si あるいは Mg を用いても

10

【0026】

高抵抗層 2 は、イオン化層 3 と接していても安定である絶縁体あるいは半導体であればいずれの物質でも用いることができるが、好ましくは Gd (ガドリニウム) などの希土類元素、 Al 、 Mg 、 Ta 、 Si および Cu のうちの少なくとも 1 種を含む酸化物若しくは窒化物などがよい。高抵抗層 2 の抵抗値は、例えば希土類元素の酸化物により構成する場合には、その厚みや、含まれる酸素の量などによって調整することが可能である。高抵抗層 2 は本発明では必須ではないが、情報の保持特性を安定化させるためには高抵抗層 2 を設けることが好ましく、その場合には図 1 に示したように下部電極 1 側に接するように形成する。なお、高抵抗層 2 を形成しない場合には、イオン化層 3 の抵抗値は、消去電流および電圧によって調整することができる。

20

【0027】

上部電極 4 には、下部電極 1 と同様に公知の半導体配線材料を用いることができる。

【0028】

本実施の形態の記憶素子 10 では、上記下部電極 1 および上部電極 4 を介して図示しない電源 (パルス印加手段) から電圧パルス或いは電流パルスを印加すると、記憶層 5 の電気的特性、例えば抵抗値が変化するものであり、これにより情報の記憶、消去、更に読み出しが行われる。以下、その動作を具体的に説明する。

【0029】

まず、上部電極 4 が例えば正電位、下部電極 1 側が負電位となるようにして記憶素子 10 に対して正電圧を印加する。ここで、イオン化する金属元素として、例えば遷移金属元素の Zr を用いている場合には、イオン化層 3 から Zr の陽イオンがイオン伝導し、下部電極 1 側で電子と結合して析出し、その結果、下部電極 1 と記憶層 5 の界面に金属状態に還元された低抵抗の Zr の伝導パス (フィラメント) が形成される。若しくは、高抵抗層 2 の中に伝導パスが形成される。よって、記憶層 5 の抵抗値が低くなり、初期状態の高抵抗状態から低抵抗状態へ変化する。

30

【0030】

その後、正電圧を除去して記憶素子 10 にかかる電圧をなくしても、低抵抗状態が保持される。これにより情報が記録されたことになる。一度だけ記録が可能な記憶装置、いわゆる、 $PRoM$ (Programmable Read Only Memory) に用いる場合には、前記の記録過程のみで記録は完結する。一方、消去が可能な記憶装置、すなわち、 RAM (Random Access Memory) 或いは $EEPROM$ (Electrically Erasable and Programmable Read Only Memory) 等への応用には消去過程が必要であるが、消去過程においては、上部電極 4 が例えば負電位、下部電極 1 側が正電位になるように、記憶素子 10 に対して負電圧を印加する。これにより、記憶層 5 内に形成されていた伝導パスの Zr が酸化してイオン化し、イオン化層 3 に溶解若しくは Te 等と結合して、 Zr による伝導パスが消失すると共に、イオン化層 3 中に含まれる Al の酸化物 (絶縁層) が形成されて抵抗値が高くなる。

40

【0031】

その後、負電圧を除去して記憶素子 10 にかかる電圧をなくしても、抵抗値が高くなった状態で保持される。これにより、記録された情報を消去することが可能になる。このよ

50

うな過程を繰り返すことにより、記憶素子10に情報の記録(書き込み)と記録された情報の消去を繰り返し行うことができる。

【0032】

そして、例えば、抵抗値の高い状態を「0」の情報に、抵抗値の低い状態を「1」の情報に、それぞれ対応させると、正電圧の印加による情報の記録過程で「0」から「1」に変え、負電圧の印加による情報の消去過程で「1」から「0」に変えることができる。記録後の抵抗値は、記憶素子10のセルサイズおよび高抵抗層2の材料組成よりも、記録時に印加される電圧パルス或いは電流パルスの幅や電流量等の記録条件に依存し、初期抵抗値が100M以上の場合には、およそ数k~100Mの範囲となる。

【0033】

記録データを復調するためには、初期の抵抗値と記録後の抵抗値との比は大きいほど好ましいが、高抵抗層の抵抗値が大き過ぎる場合には、書き込み、つまり低抵抗化することが困難となり、書き込み閾値電圧が大きくなり過ぎることから、初期抵抗値は1G以下に調整される。高抵抗層2の抵抗値は、例えば、高抵抗層2を希土類元素の酸化物で形成する場合には、その厚みや含まれる酸素の量などにより制御することが可能である。なお、高抵抗層2を形成しない場合には、消去電流および電圧によって制御することができる。

【0034】

上述のように本実施の形態の記憶素子10では、上部電極4および下部電極1に電圧または電流パルスを印加することにより、情報を記録し、更に記録され情報を消去することが可能になるが、あらゆる範囲の抵抗値の保持性能が向上する。

【0035】

すなわち、本実施の形態では、上記のように当量比が0.5~1.5の範囲内となるように設定されているので、書き込み動作および消去動作の両動作特性が向上する。詳細については後述の実施例において説明する。

【0036】

加えて、本実施の形態では、Zrを含むイオン化層3で書き込みを行うと、Zrが伝導パスを形成するイオン化元素として働いて、還元された金属状態のZrからなる伝導パスが形成される。Zrの伝導パスはカルコゲナイドの電解質中で比較的溶解しづらいため、一度書き込み状態、すなわち低抵抗状態になった場合は、例えば、他のCuやAgなどカルコゲナイド電解質に溶解しやすい金属元素で伝導パスを形成した場合よりも低抵抗状態を保持しやすい。これにより低抵抗状態での保持性能が向上する。

【0037】

一方、消去時の高抵抗状態においても、Zrが再びイオン化層中にイオン(陽イオン)として溶解している場合には、Zrは少なくともCuなどの他の元素よりもイオン移動度が低いので、温度上昇があつたとしても、また長期間放置したとしても動きづらく、カソード極上において金属状態で析出するようなことが起こりにくい。あるいは、Zr酸化物はカルコゲナイド電解質中で安定であり、酸化物が劣化しにくいので、室温よりも高温状態や長時間にわたり保持した場合でも高抵抗状態を維持する。なお、Zr量が多過ぎると、イオン化層3の抵抗値が下がり過ぎてイオン化層3に有効な電圧が印加できない、若しくはカルコゲナイド層中にZrを溶解することが困難となる。そのため、特に消去がしづらくなり、Zr添加量に応じて消去の閾値電圧が上昇していき、更に多過ぎる場合には書き込み、つまり低抵抗化も困難となる。一方、Zr添加量が少な過ぎると、前述のようなあらゆる範囲の抵抗値の保持特性を向上させる効果が少なくなる。従って、イオン化層3中のZrの含有量は3原子%以上であることが好ましく、より好ましくは3原子%以上40原子%以下である。

【0038】

更に、本実施の形態では、イオン化層3にAlが含まれているので、消去動作時にはアノード極上でAlを含んだ高抵抗層(Al酸化物)が形成される。Al酸化物は、カルコゲナイドの固体電解質中で化学的に安定であるので、他の元素と反応して破壊されたりしないために、高抵抗状態を維持しやすく、保持および高温保持加速試験を行っても高抵抗

10

20

30

40

50

状態を保持しやすい。ちなみに、例えば、CuやAgの酸化物が消去動作によりアノード極上に形成されたとしても、アノード極に卑な電位を印加するバイアスがかからなくなり、情報保持モードになるとおそらくは高抵抗な酸化物がカルコゲナイドと反応するため、高抵抗状態を保持しがたい。

【0039】

このようなことから、本実施の形態では、あらゆる範囲の抵抗値を保持できる特性を有しているので、例えば低抵抗から高抵抗へと動作させる際の消去電圧を調整して、高抵抗状態と低抵抗状態の中間的な状態を作り出せば、その抵抗値の保持が可能であるので、多値メモリを実現することが可能となる。

【0040】

また、本実施の形態では、イオン化層3中にはZrとAlとが陽イオン状態で存在しているが、書込み動作時のカソード極上ではAlに比べてZrが還元されやすいので、Alが還元剂的な役割を果たしてZrの還元が促進される。そのため書込み動作速度が大きく向上する。一方、消去動作の場合には、逆にZrはAlが酸化して高抵抗層を形成する場合の酸化剤として作用するので、Alの酸化反応が加速され、動作速度が向上する。

【0041】

このように、本実施の形態では、書込みおよび消去の動作速度が著しく向上すると共に、上記のように書込み・消去動作が容易であるので、書込み・消去サイクルによる不必要なイオンの移動が起こることがなく、イオン化層3中での元素の偏析なども生じないためサイクル特性も向上する。

【0042】

なお、前述のように、イオン化層3中のAlの含有量は好ましくは20原子%以上60原子%以下であるが、記憶層5の高温熱処理時の膜剥がれを抑止するなどの目的で、Al以外の他の元素を添加することもできる。例えば、GeやSiは、保持特性の向上も同時に期待できる添加元素であり、イオン化層3においてAlと共に用いるのに好適である。これらの元素は、例えばGeは更にサイクル耐性を向上させるのに有効であるが、一方で添加量が多過ぎると書込み保持特性が低下する。そのメカニズムは必ずしも明らかではないが、おそらくは消去動作時に高抵抗層が形成される反応を促進させ、サイクル動作により不要な元素の拡散を抑制する効果があると考えられる。そして、この場合の添加量は、多過ぎると、データ保持特性および高速動作性が低下するので、添加元素としてGeやSiを用いた場合でも、Alとの合計添加量が20原子%以上60原子%以下の範囲内にあることが望ましい。

【0043】

以下、本実施の形態の記憶素子10の製造方法について説明する。

【0044】

まず、選択トランジスタ等のCMOS(Complementary Metal Oxide Semiconductor)回路が形成された基板の上に、例えばWから成る下部電極1を形成する。その後、必要であれば逆スパッタ等で、下部電極1の表面上の酸化物等を除去する。次に、Gd酸化膜から成る高抵抗層2を形成する。例えば、Gdターゲットを用いて、金属Gd膜を例えば膜厚1nmで成膜した後に、酸素プラズマによって酸化する。次に、イオン化層3、例えば、ZrTeAl膜を、DCマグネトロンスパッタリングで形成する。次に、上部電極4として例えばW(タングステン)膜を成膜する。このとき、上記当量比を0.5~1.5の範囲内となるように設定する。このようにして積層膜を形成する。

【0045】

その後、この積層膜の各層のうち、高抵抗層2、イオン化層3および上部電極4を、プラズマエッチング等によりパターンニングする。プラズマエッチングの他には、イオンミリング、RIE(Reaction Ion Etching)(反応性イオンエッチング)等のエッチング方法を用いてパターンニングを行うこともできる。次に、上部電極4に接続するよう配線層を形成し、全ての記憶素子10と共通電位を得るためのコンタクト部とを接続する。次に、積層膜に対して熱処理を施す。このようにして記憶素子10を製造することができる。

10

20

30

40

50

【 0 0 4 6 】

以上のように、本実施の形態の記憶素子 10 では、イオン化層 3 にカルコゲン元素の他に Zr と Al が含まれているので、情報保持特性に優れている。また、微細化していった場合に、トランジスタの電流駆動力が小さくなった場合においても、情報の保持が可能である。従って、この記憶素子 10 を用いて記憶装置を構成することにより高密度化および小型化を図ることができる。また、下部電極 1、高抵抗層 2、イオン化層 3 および上部電極 4 の各層のいずれもスパッタリングが可能な材料で構成することが可能であり、製造プロセスも簡素化される。すなわち、各層の材料に適応した組成からなるターゲットを用いて、順次スパッタリングを行えばよい。また、同一のスパッタリング装置内で、ターゲットを交換することにより、連続して成膜することも可能である。

10

【 0 0 4 7 】

上記記憶素子 10 を多数、例えば列状やマトリクス状に配列することにより、記憶装置（メモリ）を構成することができる。このとき、各記憶素子 10 に、必要に応じて、素子選択用の MOS トランジスタ、或いはダイオードを接続してメモリセルを構成し、更に、配線を介して、センスアンプ、アドレスレコーダ、記録・消去・読み出し回路等に接続すればよい。

【 0 0 4 8 】

図 2 および図 3 は多数の記憶素子 10 をマトリクス状に配置した記憶装置（メモリセルアレイ）の一例を表すものであり、図 2 は断面構成、図 3 は平面構成をそれぞれ表している。このメモリセルアレイでは、各記憶素子 10 に対して、その下部電極 1 側に接続される配線と、その上部電極 4 側に接続される配線とを交差するよう設け、例えばこれら配線の交差点付近に各記憶素子 10 が配置されている。また、例えば上部電極 4 側に接続された配線がアレイ全体に共通して形成される。

20

【 0 0 4 9 】

より具体的には、各記憶素子 10 は、高抵抗層 2、イオン化層 3 および上部電極 4 の各層を共有している。すなわち、高抵抗層 2、イオン化層 3 および上部電極 4 それぞれは各記憶素子 10 に共通の層（同一層）により構成されている。このうち共通に形成された上部電極 4 がプレート電極 PL となる。一方、下部電極 1 は、メモリセル毎に個別に形成されており、これにより各メモリセルが電氣的に分離されている。このメモリセル毎の下部電極 1 によって、各下部電極 1 に対応した位置に各メモリセルの記憶素子 10 が規定される。下部電極 1 は各々対応するセル選択用の MOS トランジスタ Tr に接続されており、各記憶素子 10 はこの MOS トランジスタ Tr の上方に形成されている。MOS トランジスタ Tr は、半導体基板 11 内の素子分離層 12 により分離された領域に形成されたソース/ドレイン領域 13 とゲート電極 14 とにより構成されている。ゲート電極 14 の壁面には、サイドウォール絶縁層が形成されている。ゲート電極 14 は、記憶素子 10 の一方のアドレス配線であるワード線 WL を兼ねている。MOS トランジスタ Tr のソース/ドレイン領域 13 の一方と、記憶素子 10 の下部電極 1 とが、プラグ層 15、金属配線層 16 およびプラグ層 17 を介して電氣的に接続されている。MOS トランジスタ Tr のソース/ドレイン領域 13 の他方は、プラグ層 15 を介して金属配線層 16 に接続されている。金属配線層 16 は、記憶素子の他方のアドレス配線であるビット線 BL（図 3 参照）に接続されている。なお、図 3 においては、MOS トランジスタ Tr のアクティブ領域 18 を鎖線で示しており、コンタクト部 21 は記憶素子 10 の下部電極 1、コンタクト部 22 はビット線 BL にそれぞれ接続されている。

30

40

【 0 0 5 0 】

このメモリセルアレイでは、ワード線 WL により MOS トランジスタ Tr のゲートをオン状態として、ビット線 BL に電圧を印加すると、MOS トランジスタ Tr のソース/ドレインを介して、選択されたメモリセルの下部電極 1 に電圧が印加される。ここで、下部電極 1 に印加された電圧の極性が、上部電極 4（プレート電極 PL）の電位に比して負電位である場合には、上述のように記憶素子 10 の抵抗値が低抵抗状態へと遷移する。これ

50

により選択されたメモリセルに情報が記録される。次に、下部電極 1 に、上部電極 4 (プレート電極 P L) の電位に比して正電位の電圧を印加すると、記憶素子 10 の抵抗値が再び高抵抗状態へと遷移する。これにより選択されたメモリセルに記録された情報が消去される。記録された情報の読み出しを行うには、例えば、M O S トランジスタ T r によりメモリセルを選択し、そのセルに対して所定の電圧または電流を印加する。このときの記憶素子 10 の抵抗状態により異なる電流または電圧を、ビット線 B L あるいはプレート電極 P L の先に接続されたセンスアンプ等を介して検出する。なお、選択したメモリセルに対して印加する電圧または電流は、記憶素子 10 の抵抗値の状態が遷移する電圧等の閾値よりも小さくする。

【0051】

10

本実施の形態の記憶装置は、上述のように各種のメモリ装置に適用することができる。例えば、一度だけ書き込みが可能な、いわゆる P R O M (Programmable Read Only Memory)、電氣的に消去が可能な E E P R O M (Erasable Programmable Read Only Memory)、或いは、高速に記録・消去・再生が可能な、いわゆる R A M 等、いずれのメモリ形態でも適用することが可能である。

【実施例】

【0052】

以下、本発明の具体的な実施例について説明する。

【0053】

20

(実験)

まず、図 2 および図 3 に示したように、半導体基板 11 に M O S トランジスタ T r を形成した。次いで、半導体基板 11 の表面を覆うように絶縁層を形成し、この絶縁層にビアホールを形成した。続いて、C V D (Chemical Vapor Deposition) 法によりビアホールの内部を W (タングステン) から成る電極材で充填し、その表面を C M P (Chemical Mechanical Polishing) 法により平坦化した。そして、これらの工程を繰り返すことにより、プラグ層 15、金属配線層 16、プラグ層 17 および下部電極 1 を形成して、更に下部電極 1 をメモリセル毎にパターンニングした。この下部電極 1 の開口部の大きさは直径 300 nm とした。次に、下部電極 1 の上面の酸化物を除去するために、R F 電源を用いた逆スパッタによって、1 nm 程度エッチングした。このとき下部電極 1 の表面を周囲の絶縁層と実質的に同一の高さになるよう平坦化した。次に、D C マグネトロンスパッタにより、膜厚 1.0 nm の金属 G d 膜を形成し、更にチャンパー圧 1 m T o r r、O₂ 雰囲気、投入電力 500 W の条件の R F プラズマによって G d 膜を 10 秒間酸化し、この G d 酸化物を高抵抗層 2 とした。

30

【0054】

次に、高抵抗層 2 上にイオン化層 3 として、下記の組成比を有する Z r T e A l 膜を 45 nm 堆積した。これらは、それぞれ、Z r が +4 価でイオン化とした場合に、陽イオン/陰イオンの当量比がそれぞれ 0.4、0.5、0.73、0.86、1.0、1.5、2 となるようにしたものである。

サンプル 1 (比較例 1) Z r 10% - T e 50% - A l 40% (原子%)
(当量比: 0.4)

40

サンプル 2 (実施例 1) Z r 12% - T e 48% - A l 40% (原子%)
(当量比: 0.5)

サンプル 3 (実施例 2) Z r 16% - T e 44% - A l 40% (原子%)
(当量比: 0.73)

サンプル 4 (実施例 3) Z r 18% - T e 42% - A l 40% (原子%)
(当量比: 0.86)。

サンプル 5 (実施例 4) Z r 20% - T e 40% - A l 40% (原子%)
(当量比: 1.0)

サンプル 6 (実施例 5) Z r 26% - T e 34% - A l 40% (原子%)
(当量比: 1.5)

50

サンプル 7 (比較例 2) $Zr 30\% - Te 30\% - Al 40\%$ (原子%)
(当量比 : 2)

【 0 0 5 5 】

更に、イオン化層 3 上に、上部電極 4 として W 膜を膜厚 20 nm で形成した。更に、イオン化層 3 上に、上部電極 4 として W 膜を膜厚 20 nm で形成した。その後、半導体基板 11 の上に全面的に形成された高抵抗層 2 , イオン化層 3 および上部電極 4 をメモリ部全体にわたって残るようにパターニングして、図 1 に示した記憶素子 10 を形成すると共に、上部電極 4 の表面に対してエッチングを行い、中間電位 ($V_{dd}/2$) を与えるための外部回路に接続されるコンタクト部分を露出させた。更に、露出したコンタクト部分に接続されるように厚さ 200 nm の配線層 (Al 層) を形成した。続いて、真空熱処理炉において、2 時間、300 の熱処理を施した。このようにして、図 2 および図 3 に示したメモリセルアレイを作製し、実施例 1 とした。

10

【 0 0 5 6 】

(結果)

サンプル 1 ~ 7 の記憶素子 10 のセルアレイに対して、上部電極 4 に接続された上部配線を $V_{dd}/2$ の中間電位に接地し、選択するメモリセルのゲート電極即ちワード線 WL に電圧を印加してオン状態にし、トランジスタ Tr のソース/ドレイン 13 のうち、記憶素子 10 に接続されていない方に接続されている電極、即ちビット線 BL に、例えば、10 μs のパルス幅で 3.0 V を印加する「書込み動作」をメモリセルアレイ中の 10 素子 \times 2 列で合計 20 素子に対して行い、その後抵抗値を読み出した。次いで、ゲート電極に 3.0 V を印加してオン状態にして -0.7 V ~ -2.5 V まで 0.2 V 刻みの電圧を、例えば 10 μs のパルス幅でメモリセルアレイ中の同じ 10 素子 \times 2 列で合計 20 素子の印加し「消去動作」を行い、消去状態の抵抗値を読み出した。この書込みおよび消去動作をメモリセルアレイに対して 1000 回繰り返して行い、繰り返し動作特性を評価した。書込みおよび消去動作時のパルス幅を例えば狭くすれば、高速動作特性を評価することができる。また、1000 回繰り返し後に 10 素子 \times 2 列の 1 列分は書込み状態で停止し、残りの 1 列分は消去状態で停止し、書き込み状態および消去状態の抵抗値を測定した。次に、130 のオープン中に 1 時間保持し、高温加速保持試験を行った。その後書込み状態および消去状態の抵抗値を読み出して、高温加速保持試験前後で抵抗値を比較して、情報保持特性を評価した。このようにして得られたサンプル 1 ~ 7 の記憶素子の繰り返し特性を図 4 に示す。

20

30

【 0 0 5 7 】

図 4 の結果から、当量比が増加するにつれて、高い消去抵抗を得るための消去電圧が増大し、消去するのにより大きな電圧が必要になっていき、当量比が 1.5 付近までは、消去動作によって高抵抗化している (実施例 5) が、更に、Zr の存在量を増加させて、当量比を 2 とすると、消去時に高抵抗にもどらなくなる (比較例 2) 。一方で、当量比を低下させていくと、特に書込み状態の保存特性が悪化していき、当量比が 0.4 になると、十分なデータ保持性能が得られていない (比較例 1) 。このように、書込みおよび消去性能は、陽イオン元素と陰イオン元素とのイオン価数を加味した当量関係に依存して変化するものであり、良好な動作特性を得るためには、実施例 1 ~ 5 のサンプルのように、当量比を 0.5 ~ 1.5 の範囲に設定することが必要であることが分かった。

40

【 0 0 5 8 】

なお、ここでは、図示しないが、Cu をキャリアイオンとした場合でも、同様な関係が存在しており、Cu の場合はカルコゲナイド元素の中で +1 価の陽イオンであるので、Zr に対して 4 倍の組成比の Cu が必要であることが分かっている。また、これら Zr や Cu 以外の、カルコゲナイド元素の中で陽イオン化する金属元素を用いた場合も同様である。

【 0 0 5 9 】

以上、実施の形態および実施例を挙げて本発明を説明したが、本発明は上記実施の形態および実施例に限定されるものではなく、種々変形は可能である。

50

【図面の簡単な説明】

【0060】

【図1】本発明の一実施の形態に係る記憶素子の構成を表す断面図である。

【図2】図1の記憶素子を用いたメモリセルアレイの概略構成を表す断面図である。

【図3】同じくメモリセルアレイの平面図である。

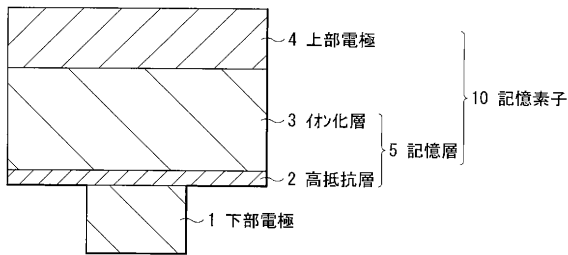
【図4】サンプル1～7における記憶素子の繰り返し保持特性を表す図である。

【符号の説明】

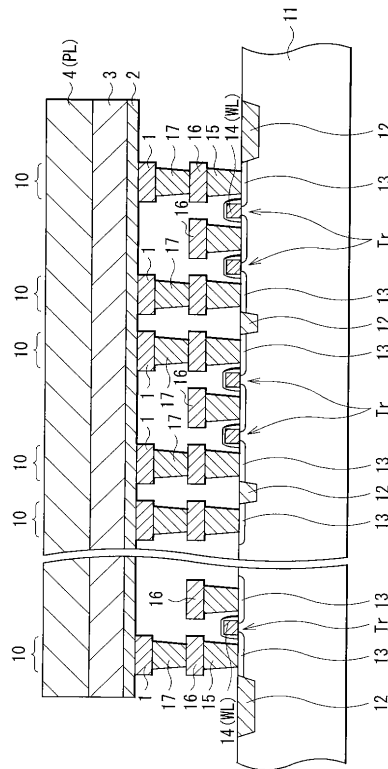
【0061】

1 ... 下部電極、2 ... 高抵抗層、3 ... イオン化層、4 ... 上部電極、5 ... 記憶層、10 ... 記憶素子、11 ... 半導体基板、13 ... ソース/ドレイン領域、14 ... ゲート電極、15, 17 ... プラグ層、16 ... 金属配線層、18 ... アクティブ領域、21, 22 ... コンタクト部

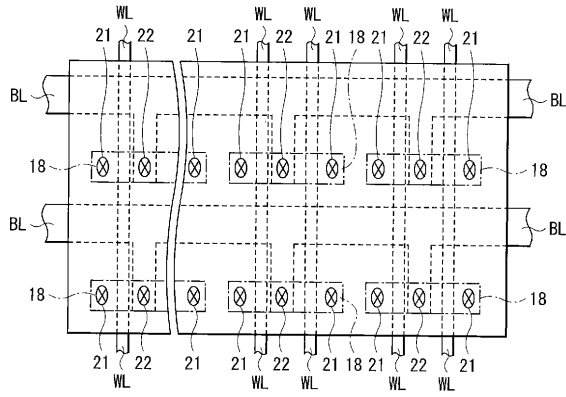
【図1】



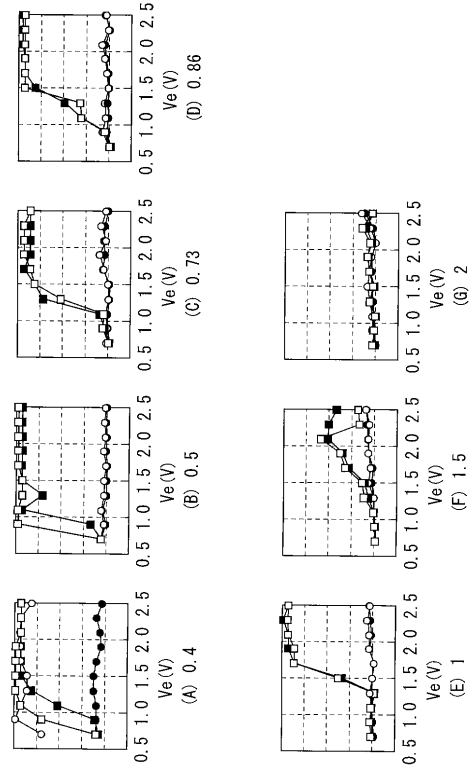
【図2】



【 図 3 】



【 図 4 】



フロントページの続き

(72)発明者 保田 周一郎

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 5F083 FZ10 GA21 JA35 JA36 JA37 JA39 JA40 MA06 MA19 ZA21