

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 8 月 12 日 (12.08.2004)

PCT

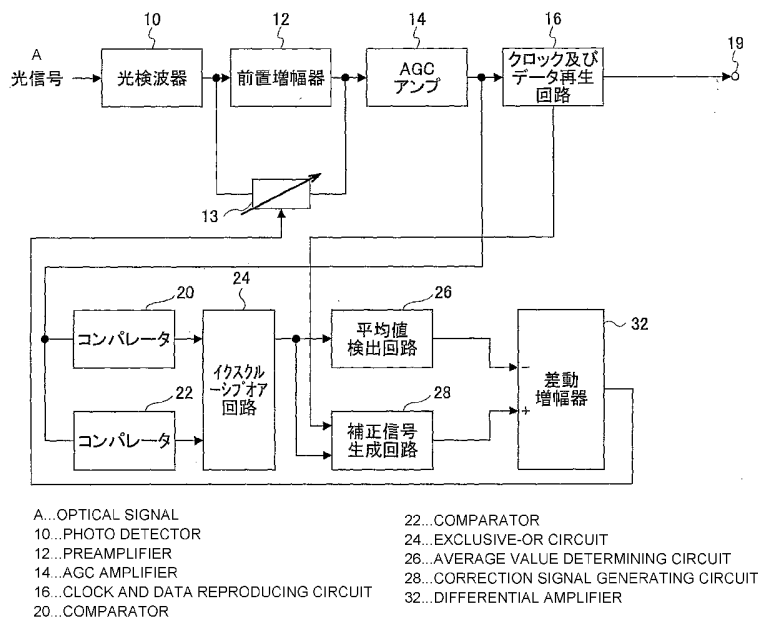
(10) 国際公開番号
WO 2004/068705 A1

- (51) 国際特許分類: H03G 3/20, (72) 発明者; および
3/30, H03F 1/34, 3/08, H04L 25/03 (75) 発明者/出願人(米国についてのみ): 国井 昌樹 (KUNII, Masaki) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜三丁目 9 番 1 8 号 富士通ネットワークテクノロジー株式会社内 Kanagawa (JP). 長田 浩和 (OSADA, Hirokazu) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜三丁目 9 番 1 8 号 富士通ネットワークテクノロジー株式会社内 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2004/000647
- (22) 国際出願日: 2004 年 1 月 26 日 (26.01.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願平03-00734 2003 年 1 月 27 日 (27.01.2003) JP
- (71) 出願人(米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,

[続葉有]

(54) Title: PREAMPLIFIER CIRCUIT, CLOCK SWITCH CIRCUIT, AND OPTICAL RECEIVER USING THE SAME

(54) 発明の名称: 前置増幅回路及びクロック切替え回路及びそれを用いた光受信器



(57) Abstract: The present invention comprises a preamplifier that establishes a bandwidth for performing amplification with a variable feedback resistor responsive to a control signal; control signal generating means that determines the band of the output signal of the preamplifier to generate the control signal; and correction signal generating means that generates a correction signal for correcting the control signal; wherein the correction signal corrects the control signal to adjust the value of the variable feedback resistor, whereby even when the number of rising and falling edges of light input signals in a given time period is lower than a predetermined value, the control voltage can be appropriately generated to perform a successful band control. Thus, an optical receiver that can automatically adjust the bandwidth with no influence of input signal pattern dependency can be obtained, and the cost can be reduced.

[続葉有]



LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明は、制御信号に応じて帰還抵抗値を変化して増幅を行う帯域幅を設定する前置増幅器と、前記前置増幅器の出力信号の帯域を検出して前記制御信号を生成する制御信号生成手段と、前記制御信号の補正信号を生成する補正信号生成手段を有し、前記制御信号を前記補正信号で補正して前記帰還抵抗値の可変調整を行うよう構成することにより、光入力信号の一定時間内の立ち上がり及び立ち下がり数が予め決められた範囲より小さくなった場合にも、制御電圧を正しく生成でき正常な帯域制御を行うことができ、入力信号パターン依存性の影響なく帯域幅を自動的に調整した光受信器を実現することができ、コストの低減をはかることができる。

明細書

前置増幅回路及びクロック切替え回路及びそれを用いた光受信器

5 技術分野

本発明は、前置増幅回路及びクロック切替え回路及びそれを用いた光受信器に関し、特に、光受信器に設けられ光電変換した信号を前置増幅し、信号の伝送速度に応じてクロック切替えを行う前置増幅回路及びクロック切替え回路及びそれを用いた光受信器に関する。

10

背景技術

光受信器に設けられ光電変換した信号を前置増幅する前置増幅回路として、例えば特開平3-195107号公報、または、特開平3-270504号公報に記載されたものがある。

15 図1は、従来の前置増幅回路の一例のブロック図を示す。同図中、光検波器1は、光入力信号を光電変換する。光検波器1の出力信号は前置増幅器2で増幅される。前置増幅器2と並列にバイアス電圧にて抵抗値が変化する可変抵抗素子3が設けられている。前置増幅器2の出力信号は次段回路に供給されると共に、比較回路4、5に供給される。

20 比較回路4は出力信号を第1基準電圧と比較して比較結果を制御電圧生成回路6に供給し、比較回路5は出力信号を第1基準電圧より低い第2基準電圧と比較して比較結果を制御電圧生成回路6に供給する。制御電圧生成回路6は上記2つの比較結果の排他的論理和（すなわち立ち上がり及び立ち下がり検出信号）を求め、この排他的論理和信号の平均値電圧を求め、この平均値電圧と基準電圧との
25 差動増幅を行って制御電圧を出力する。この制御電圧はバイアスとして可変抵抗素子3に印加され、可変抵抗素子3の抵抗値を可変制御する。

これによって、可変抵抗素子3が前置増幅器2出力を入力側に帰還する帰還量を制御して、前置増幅器2のゲイン及び周波数帯域幅を可変し、光入力信号の周波数に最適な形態としている。

- しかるに、従来の前置増幅回路は、一定時間における入力信号の立ち上がり及び立ち下りの数が予め決められた範囲から外にでないことを条件としている。このため、光入力信号の一定時間内の立ち上がり及び立ち下りの数が予め決められた範囲より小さくなった場合、可変抵抗素子3の制御電圧を正しく生成できず、帯域制御が正常に動作しないという問題を生じる。

光受信器は、信号光を確実に等化増幅 (Reshaping)、リタイミング (Retiming)、識別再生 (Regenerating) する3R機能が適応して動作することが必須である。

- 図2は、従来の光受信器の一例のブロック図を示す。同図中、図1と同一部分には同一符号を付しており、比較回路4、5及び制御電圧生成回路6は省略している。光検波器1は、光入力信号を光電変換する。光検波器1の出力信号は前置増幅器2で増幅される。前置増幅器2と並列にバイアス電圧にて抵抗値が変化する可変抵抗素子3が設けられている。

- 前置増幅器2の出力信号はAGC (自動利得制御) アンプ7を経てクロック発生器8及び識別回路9に供給される。クロック発生器8はPLLまたはSAWフィルタを用いてAGCアンプ7の出力信号に含まれるクロック成分に同期したクロックを発生して識別回路9に供給する。識別回路9はAGCアンプ7の出力信号をクロック発生器8から供給されるクロックでサンプリングしてデータを再生し、このデータをクロックと共に出力する。

- 従来の光受信器は、3R機能が正確に動作するように、使用する信号光の伝送速度に対応して設計されており、例えば伝送速度622Mb/s、2.48Gb/s、10Gb/sそれぞれに対応して専用の光受信器が使用されている。

- 等化増幅を行う前置増幅器2及びAGCアンプ7が例えば伝送速度2.48Gb/sに対応している場合に、等化帯域 (2.48Gb/s) より高速な伝送速度10Gb/sの信号を受信したときには、受信信号 (10Gb/s) が等化増幅部で帯域制限を受けて波形が歪み受信特性が劣化する。また、等化帯域より低速な伝送速度信号622Mb/sの信号を受信したときには、前置増幅器2で高周波雑音成分が大きくなり受信特性が劣化する。

このため、信号光の伝送速度に対応した前置増幅器2が必要となり、異なる伝

送速度 622 Mb/s , 2.48 Gb/s , 10 Gb/s の信号光を受信するためには3種類の光受信器が必要となり、回路規模が大きくなり、コストが高くなるという問題があった。

5 発明の開示

本発明は、入力信号パターン依存性の影響なく帯域幅を自動的に調整することができ、また、入力信号の伝送速度に応じて自動的にクロック切替えを行うことができ、コストの低減をはかることができる前置増幅回路及びクロック切替え回路及びそれを用いた光受信器を提供することを総括的な目的とする。

10 この目的を達成するため、本発明の前置増幅回路は、制御信号に応じて帰還抵抗値を可変して増幅を行う帯域幅を設定する前置増幅器と、前記前置増幅器の出力信号の帯域を検出して前記制御信号を生成する制御信号生成手段と、前記制御信号の補正信号を生成する補正信号生成手段を有し、前記制御信号を前記補正信号で補正して前記帰還抵抗値の可変調整を行うよう構成される。

15 このような前置増幅回路によれば、光入力信号の一定時間内の立ち上がり及び立ち下りの数が予め決められた範囲より小さくなった場合にも、制御電圧を正しく生成でき正常な帯域制御を行うことができ、入力信号パターン依存性の影響なく帯域幅を自動的に調整した光受信器を実現することができ、コストの低減をはかることができる。

20

図面の簡単な説明

図1は、従来の前置増幅回路の一例のブロック図である。

図2は、従来の光受信器の一例のブロック図である。

図3は、本発明の前置増幅回路及びそれを用いた光受信器の一実施例のブロッ

25 ク図である。

図4は、本発明の前置増幅回路及びそれを用いた光受信器の一実施例の詳細ブロック図である。

図5は、可変抵抗素子の抵抗値に応じた前置増幅器の特性を示す図である。

図6は、本発明を説明するため信号波形図である。

図 7 は、本発明の前置増幅回路及びクロック切替え回路及びそれを用いた光受信器の一実施例のブロック図である。

図 8 は、本発明の前置増幅回路及びクロック切替え回路及びそれを用いた光受信器の一実施例の詳細ブロック図である。

- 5 図 9 は、光入力信号の伝送速度と制御電圧のレベルとの関係を説明するための図である。

図 10 は、基準クロックと異なる伝送速度における排他的論理和信号の波形図である。

図 11 は、伝送速度検出部及び分周部の一実施例の回路構成図である。

10

発明を実施するための最良の形態

以下、本発明の実施例を図面に基づいて説明する。

- 図 3 は本発明の前置増幅回路及びそれを用いた光受信器の一実施例のブロック図、図 4 はその詳細ブロック図を示す。両図中、光検波器 10 は、例えばフォト
15 ダイオードで構成され、光入力信号を光電変換する。光検波器 10 の出力信号は前置増幅器 12 で増幅される。前置増幅器 12 と並列にバイアス電圧にて抵抗値が変化する可変抵抗素子 13 が設けられている。前置増幅器 12 で増幅された信号は A G C アンプ 14 で出力レベルが一定となるようにゲインコントロールされてクロック及びデータ再生回路 16 及びコンパレータ 20, 22 に供給される。
- 20 ここで、可変抵抗素子 13 で帰還を行う前置増幅器 12 は、バイアス電圧が高く可変抵抗素子 13 の抵抗値が大で帰還量が小さいとき周波数帯域幅が狭くゲインが大きい図 5 に一点鎖線で示す特性を持ち、バイアス電圧が低く可変抵抗素子 13 の抵抗値が小で帰還量が大きいとき周波数帯域幅が広くゲインが小さい二点鎖線で示す特性を持ち、可変抵抗素子 13 の抵抗値が中位で帰還量が中位のとき
25 周波数帯域幅が中位でゲインが中位の実線で示す特性を持つ。

そして、光検波器 10 の前置増幅器 12 としては、光入力信号の周波数 f_i が上記特性におけるカットオフ周波数 f_c に対し、 $f_i \cong 0.8 f_c$ であるとき最適とされ、 $f_i \cong 0.8 f_c$ となるように可変抵抗素子 13 の抵抗値を可変制御することが求められている。

クロック及びデータ再生回路16は、図4に示すように、クロック発生器17と識別器18から構成され、識別器18はAGCアンプ14の出力信号をクロック発生器17から供給されるクロックを用いてサンプリングして識別し、識別結果として得られたデータを端子19から出力する。

- 5 コンパレータ20はAGCアンプ14の出力信号を第1基準電圧と比較し、コンパレータ22はAGCアンプ14の出力信号を第1基準電圧より低い第2基準電圧と比較する。コンパレータ20、22それぞれの出力信号はイクスクルーシブオア回路24で排他的論理和演算され、ここで得られた排他的論理和信号つまり立ち上がり及び立ち下がり検出信号は平均値検出回路26及び補正信号生成回路28に供給される。
- 10

- 平均値検出回路26は排他的論理和信号の平均値電圧を検出して差動増幅器32の反転入力端子に供給する。補正信号生成回路28は、D型フリップフロップ29と積分器30から構成されている。D型フリップフロップ29は、クロック発生器17から供給されるデータ識別用のクロックを用いて排他的論理和信号をサンプリングすることで、排他的論理和信号のパルス幅を最低でもクロック周期にして積分器30に供給する。積分器30はパルス幅一定の排他的論理和信号を積分し積分値電圧を差動増幅器32の非反転入力端子に供給する。
- 15

- 差動増幅器32は、上記積分値電圧と平均値電圧との差動増幅を行って制御電圧を生成する。この制御電圧はバイアスとして可変抵抗素子13に印加されて可変抵抗素子13の抵抗値が可変制御される。可変抵抗素子13は前置増幅器12出力を入力側に帰還しており、可変抵抗素子13の抵抗値を可変制御することで前置増幅器12のゲイン及び周波数帯域幅を可変し、光入力信号の周波数に最適な形態としている。
- 20

- ここで、前置増幅器12の通過帯域が高周波数まで延びた広帯域（図5の二点差線）の場合、排他的論理和信号の立ち上がり及び立ち下がりが急峻となるため排他的論理和信号のパルス幅は狭くなる。また、前置増幅器12の通過帯域が狭帯域（図5の一点差線）の場合、排他的論理和信号の立ち上がり及び立ち下がりがなだらかとなるため排他的論理和信号のパルス幅は広くなる。
- 25

入力信号の立ち上がり及び立ち下がりの数が予め決められた範囲より少ない場

合は、前置増幅器 1 2 の通過帯域は狭帯域であることが望まれる。これに反して、前置増幅器 1 2 の通過帯域が広帯域であると、A G C アンプ 1 4 の出力信号波形は図 6 (A) に示すようになる。なお、この波形は立ち上がり及び立ち下りの数が少ない「1」連続パターンを示している。また、コンパレータ 2 0, 2 2 それぞれの第 1, 第 2 基準電圧を a, b で示している。

前置増幅器 1 2 の通過帯域が広帯域であると、イクスクルーシブオア回路 2 4 の出力する排他的論理和信号の波形は図 6 (B) に示すようにパルス幅は狭くなる。本実施例の補正信号生成回路 2 8 では、排他的論理和信号のパルス幅を最低でも図 6 (C) に示すクロックの周期にしているため、D 型フリップフロップ 2 9 の出力する排他的論理和信号の波形は図 6 (D) に示すようになり、積分器 3 0 の出力する積分値電圧は、平均値検出回路 2 6 の出力する平均値電圧に比べ相対的に高くなる。図 6 (E), (F) に平均値電圧、積分値電圧それぞれを破線で示す。実線は排他的論理和信号のパルスがない状態の電圧である。

このため、制御電圧つまり可変抵抗素子 1 3 のバイアスは高くなり、前置増幅器 1 2 の通過帯域を狭帯域にすることができる。なお、前置増幅器 1 2 の通過帯域が狭帯域になると、イクスクルーシブオア回路 2 4 の出力する排他的論理和信号のパルス幅は図 6 (B) に示す波形より広くなり、図 6 (D) に示す程度となった時点で制御電圧が安定する。

これによって、光入力信号の一定時間内の立ち上がり及び立ち下りの数が予め決められた範囲より小さくなった場合にも、制御電圧を正しく生成でき正常な帯域制御を行うことができる。つまり、入力信号パターン依存性の影響なく帯域幅を自動的に調整した光受信器を実現することができ、コストの低減をはかることができる。

図 7 は本発明の前置増幅回路及びクロック切替え回路及びそれを用いた光受信器の一実施例のブロック図、図 8 はその詳細ブロック図を示す。両図中、光検波器 4 0 は、例えばフォトダイオードで構成され、光入力信号を光電変換する。ここで、光入力信号は異なる伝送速度 6.22 Mb/s , 2.48 Gb/s , 10 Gb/s であるものとする。

光検波器 4 0 の出力信号は前置増幅器 4 2 で増幅される。前置増幅器 4 2 と並

列にバイアス電圧にて抵抗値が変化する可変抵抗素子 4 3 が設けられている。前置増幅器 4 2 で増幅された信号は A G C アンプ 4 4 で出力レベルが一定となるようにゲインコントロールされて、制御電圧生成回路 4 5, クロック切替え回路 4 6, 識別回路 4 8 それぞれに供給される。即ち、前置増幅器 4 2 と A G C アンプ 4 4 で等化増幅を行っている。

ここで、可変抵抗素子 4 3 で帰還を行う前置増幅器 4 2 は、バイアス電圧が高く可変抵抗素子 4 3 の抵抗値が大で帰還量が小さいとき周波数帯域幅が狭くゲインが大きい図 5 に一点鎖線で示す特性を持ち、バイアス電圧が低く可変抵抗素子 4 3 の抵抗値が小で帰還量が多いとき周波数帯域幅が広くゲインが小さい二点鎖線で示す特性を持ち、可変抵抗素子 4 3 の抵抗値が中位で帰還量が中位のとき周波数帯域幅が中位でゲインが中位の実線で示す特性を持つ。

そして、光検波器 4 0 の前置増幅器 4 2 としては、光入力信号の周波数 f_i が上記特性におけるカットオフ周波数 f_c に対し、 $f_i \cong 0.8 f_c$ であるとき最適とされ、 $f_i \cong 0.8 f_c$ となるように可変抵抗素子 4 3 の抵抗値を可変制御することが求められている。

制御電圧生成回路 4 5 は、図 8 に示すように、コンパレータ 5 0, 5 2, イクスクルーシブオア回路 5 4, 平均値検出回路 5 6, 補正信号生成回路 5 8, 差動増幅器 6 2 から構成されている。

コンパレータ 5 0 は A G C アンプ 4 4 の出力信号を第 1 基準電圧と比較し、コンパレータ 5 2 は A G C アンプ 4 4 の出力信号を第 1 基準電圧より低い第 2 基準電圧と比較する。コンパレータ 5 0, 5 2 それぞれの出力信号はイクスクルーシブオア回路 5 4 で排他的論理和演算され、ここで得られた排他的論理和信号つまり立ち上がり及び立ち下がり検出信号は平均値検出回路 5 6 及び補正信号生成回路 5 8 に供給される。平均値検出回路 5 6 は排他的論理和信号の平均値電圧を検出して差動増幅器 6 2 の反転入力端子に供給する。

補正信号生成回路 5 8 は、D 型フリップフロップ 5 9 と積分器 6 0 から構成されている。D 型フリップフロップ 5 9 は、クロック切替え回路 4 6 から供給される基準クロックを用いて排他的論理和信号をサンプリングすることで、排他的論理和信号のパルス幅を最低でも基準クロック周期にして積分器 6 0 に供給する。

積分器 60 はパルス幅一定の排他的論理和信号を積分し積分値電圧を差動増幅器 62 の非反転入力端子に供給する。なお、基準クロックは、光入力信号の伝送速度が 622 Mb/s 、 2.48 Gb/s 、 10 Gb/s である場合、最高速の伝送速度 10 Gb/s の光入力信号のデータ識別を行うためのクロックである。

- 5 差動増幅器 62 は、上記積分値電圧と平均値電圧との差動増幅を行って制御電圧を生成する。この制御電圧はバイアスとして可変抵抗素子 43 に印加されると共にクロック切替え回路 46 に供給されており、可変抵抗素子 43 の抵抗値は制御電圧に応じて可変制御される。可変抵抗素子 43 は前置増幅器 42 出力を入力側に帰還しており、可変抵抗素子 43 の抵抗値を可変制御することで前置増幅器
- 10 42 のゲイン及び周波数帯域幅を可変し、光入力信号の周波数に最適な形態としている。

- 前置増幅器 42 の通過帯域が高周波数まで延びた広帯域の場合、排他的論理和信号の立ち上がり及び立ち下がりが急峻となるため排他的論理和信号のパルス幅は狭くなり、また、前置増幅器 12 の通過帯域が狭帯域の場合、排他的論理和信号の立ち上がり及び立ち下がりがなだらかとなるため排他的論理和信号のパルス幅は広がって、光入力信号の一定時間内の立ち上がり及び立ち下がりの数が予め決められた範囲より小さくなった場合にも、制御電圧を正しく生成でき正常な帯域制御を行うことができ、入力信号パターン依存性の影響なく帯域幅を自動的に調整できることは前述のとおりである。
- 15

- 20 クロック切替え回路 46 は、図 8 に示すように、クロック発生部 64、伝送速度検出部 66、分周部 68 から構成されている。

- クロック発生部 64 は PLL または SAW フィルタを用いて AGC アンプ 44 の出力信号に含まれるクロック成分に同期した基準クロックを発生して分周部 68 及び D 型フリップフロップ 59 に供給する。なお、光入力信号の伝送速度が 622 Mb/s 、 2.48 Gb/s 、 10 Gb/s と整数倍の関係にある場合、基準クロックの周波数は、どの伝送速度の光信号が入力されていても伝送速度最大の光入力信号に対応した 10 GHz である。
- 25

伝送速度検出部 66 は、差動増幅器 62 から供給される制御電圧を閾値 V_H 、 V_M 、 V_L それぞれと比較して光入力信号の伝送速度を検出し、分周部 68 は伝

送速度の検出結果に応じて基準クロックを分周する。ここで、図 9 (A) に示すように、光入力信号の伝送速度が期間 T 1 で 10 Gb/s 、期間 T 2 で 2.48 Gb/s 、期間 T 3 で 622 Mb/s と変化した場合、制御電圧のレベルは図 9 (B) に示すように変化する。なお、図 9 (B) に制御電圧と共に閾値 V_H 、 V_M 、 V_L を示す。

これは、前述のように、伝送速度が低い場合に、前置増幅器 4 2 の通過帯域が広帯域であるとイクスクルーシブオア回路 5 4 の出力する排他的論理和信号のパルス幅が狭くなり、補正信号生成回路 5 8 で排他的論理和信号のパルス幅を基準クロックの周期にしているため積分値電圧が平均値電圧に比べ相対的に高くなり、これによって制御電圧つまり可変抵抗素子 1 3 のバイアスが高くなり、前置増幅器 1 2 の通過帯域を狭帯域にしてイクスクルーシブオア回路 2 4 の出力する排他的論理和信号のパルス幅が D 型フリップフロップ 5 9 の出力信号のパルス幅程度となった時点で制御電圧が安定するためである。

図 10 (A) に基準クロック (10 GHz) の波形を示し、また、図 10 (B), (C), (D) に伝送速度が 10 Gb/s 、 2.48 Gb/s 、 622 Mb/s それぞれの場合の D 型フリップフロップ 5 9 が出力する排他的論理和信号の波形 (1 パルス分) を示す。

図 11 は、伝送速度検出部 6 6 及び分周部 6 8 の一実施例の回路構成図を示す。同図中、直列接続された抵抗 R_1 、 R_2 、 R_3 は電源電圧 V_{cc} を分圧して閾値 V_H 、 V_M 、 V_L を生成しコンパレータ 7 1、7 2、7 3 の反転入力端子に供給する。端子 7 0 には差動増幅器 6 2 から制御電圧が入来し、コンパレータ 7 1、7 2、7 3 それぞれの非反転入力端子に供給される。

コンパレータ 7 1 は制御電圧が閾値 V_H 未満ではローレベル出力で、閾値 V_H を超えるとハイレベル出力となる。コンパレータ 7 2 は制御電圧が閾値 V_M 未満ではローレベル出力で閾値 V_M を超えるとハイレベル出力となる。コンパレータ 7 3 は制御電圧が閾値 V_L 未満ではローレベル出力で、閾値 V_L を超えるとハイレベル出力となる。

コンパレータ 7 1 の出力はインバータ 7 4、7 6 に供給されると共にアンド回路 7 7 に供給される。コンパレータ 7 2 の出力はインバータ 7 5 に供給されると

共にアンド回路 78 に供給される。コンパレータ 73 の出力はアンド回路 79 に供給される。

5 アンド回路 77 は制御電圧が閾値 V_H を超えたときハイレベル出力となって分周器 82 をイネーブル状態とし、分周器 82 はクロック発生部 64 から端子 81 を経て供給される周波数 10 GHz の基準クロックを $1/16$ 分周して周波数 622 MHz のクロックを生成する。

10 アンド回路 78 は制御電圧が閾値 V_M から閾値 V_H までの範囲にあるときハイレベル出力となって分周器 83 をイネーブル状態とし、分周器 83 は周波数 10 GHz の基準クロックを $1/4$ 分周して周波数 2.48 GHz のクロックを生成する。

15 アンド回路 79 は制御電圧が閾値 V_L から閾値 V_M までの範囲にあるときハイレベル出力となって分周器 84 をイネーブル状態とし、分周器 84 は周波数 10 GHz の基準クロックを $1/1$ 分周して周波数 10 GHz のクロックを生成する。なお、分周器 84 は実質的に分周を行わないため、トランスマッションゲート等を用いても良い。上記の分周器 82, 83, 84 のいずれかから出力されるクロックはオア回路 85 を通して識別回路 48 に供給される。

20 なお、伝送速度検出部 66 では制御電圧を閾値 V_H , V_M , V_L と比較しているが、制御電圧を閾値 V_H , V_M と比較して分周比を $1/16$ または $1/4$ または $1/1$ のいずれにするかを決定することも可能であり、上記実施例に限定されるものではない。

25 識別回路 48 は、識別器 48a と D 型フリップフロップ 48b よりなり、AGC アンプ 44 の出力信号を識別器 48a にて識別し、D 型フリップフロップ 48b において分周部 68 から供給されるクロックを用いてサンプリングし、識別結果として得られたデータを端子 49a から出力すると共に、上記クロックを端子 49b から出力する。

このようにして、入力信号の伝送速度に応じて自動的にクロック切替えを行うことができ、異なる伝送速度 622 Mb/s, 2.48 Gb/s, 10 Gb/s の信号光を 1 回路の光受信器で受信することが可能となり、回路規模を小さくすることができ、コストを低減することができる。

- 11 -

なお、平均値検出回路 2 6，差動増幅器 3 2，コンパレータ 2 0，2 2，イク
スクルーシブオア回路 2 4 が請求項記載の制御信号生成手段に対応し、補正信号
生成回路 2 8 が補正信号生成手段に対応し、コンパレータ 2 0 が第 1 コンパレー
タに対応し、コンパレータ 2 2 が第 2 コンパレータに対応し、AGC アンプ 1 4
5 が AGC 手段に対応し、データ再生回路 1 6 がデータ識別再生手段に対応し、伝
送速度検出部 6 6 が伝送速度検出手段に対応し、クロック発生部 6 4 がクロック
発生手段に対応し、分周部 6 8 が分周手段に対応する。

請求の範囲

1. 制御信号に応じて帰還抵抗値を可変して増幅を行う帯域幅を設定する前置増幅器と、
- 5 前記前置増幅器の出力信号の帯域を検出して前記制御信号を生成する制御信号生成手段と、
- 前記制御信号の補正信号を生成する補正信号生成手段を有し、
- 前記制御信号を前記補正信号で補正して前記帰還抵抗値の可変調整を行う前置増幅回路。
- 10
2. 請求項 1 記載の前置増幅回路において、
- 前記制御信号生成手段は、前記前置増幅器の出力信号を第 1 基準電圧と比較する第 1 コンパレータと、
- 前記前置増幅器の出力信号を前記第 1 基準電圧より低い第 2 基準電圧と比較する第 2 コンパレータと、
- 15 前記第 1 コンパレータ出力と前記第 2 コンパレータ出力との排他的論理和演算を行って前記前置増幅器の出力信号の立ち上がり及び立ち下がり検出信号である排他的論理和信号を得るイクスクルーシブオア回路と、
- 前記排他的論理和信号の平均値を検出する平均値検出回路と、
- 20 前記平均値電圧と前記補正信号電圧とを差動増幅する差動増幅回路を有する前置増幅回路。
3. 請求項 2 記載の前置増幅回路において、
- 前記補正信号生成手段は、排他的論理和信号をクロックでサンプリングするフリップフロップと、
- 25 前記フリップフロップの出力信号を積分して補正信号としての積分値を得る積分回路を有する前置増幅回路。

- 13 -

4. 請求項 3 記載の前置増幅回路において、
前記クロックは、データ識別用のクロックである前置増幅回路。
5. 請求項 4 記載の前置増幅回路と、
- 5 前記前置増幅回路の出力信号レベルを一定として出力する A G C 手段と、
前記 A G C 手段の出力信号を、前記データ識別用のクロックでサンプリングしてデータを識別し再生するデータ識別再生手段を有する光受信器。
- 10 6. 制御信号に応じて帰還抵抗値を可変して異なる伝送速度の入力信号の増幅を行う帯域幅を設定する増幅手段と、
前記増幅手段の出力信号の帯域を検出して前記制御信号を生成する制御信号生成手段と、
前記制御信号の補正信号を生成する補正信号生成手段と、
- 15 前記帰還抵抗値の可変調整を行うため前記補正信号で補正した制御信号を基に前記入力信号の伝送速度を検出し、伝送速度最大の入力信号のクロックである基準クロックを発生すると共に、前記伝送速度の検出結果に応じて前記増幅手段の出力信号を識別するためのクロックの周波数を切替えるクロック切替え手段を有するクロック切替え回路。
- 20
7. 請求項 6 記載のクロック切替え回路において、
前記クロック切替え手段は、前記帰還抵抗値の可変調整を行うため前記補正信号で補正した制御信号を所定の閾値と比較して前記入力信号の伝送速度を検出する伝送速度検出手段と、
- 25 前記入力信号に同期して伝送速度最大の入力信号のクロックである基準クロックを発生するクロック発生手段と、
前記伝送速度の検出結果に応じた分周比で前記基準クロックを分周して前記増幅手段の出力信号を識別するためのクロックの周波数を切替える分周手段を有するクロック切替え回路。

8. 請求項7記載のクロック切替え回路において、
前記制御信号生成手段は、前記増幅手段の出力信号を第1基準電圧と比較する第1コンパレータと、
- 5 前記増幅手段の出力信号を前記第1基準電圧より低い第2基準電圧と比較する第2コンパレータと、
前記第1コンパレータ出力と前記第2コンパレータ出力との排他的論理和演算を行って前記増幅手段の出力信号の立ち上がり及び立ち下がり検出信号である排他的論理和信号を得るイクスクルーシブオア回路と、
- 10 前記排他的論理和信号の平均値を検出する平均値検出回路と、
前記平均値電圧と前記補正信号電圧とを差動増幅する差動増幅回路を有するクロック切替え回路。
9. 請求項8記載のクロック切替え回路において、
- 15 前記補正信号生成手段は、排他的論理和信号を前記基準クロックでサンプリングするフリップフロップと、
前記フリップフロップの出力信号を積分して補正信号としての積分値を得る積分回路を
有するクロック切替え回路。
- 20
10. 請求項9記載のクロック切替え回路において、
前記増幅手段は、
制御信号に応じて帰還抵抗値を可変する前置増幅器と、
前記前置増幅器の出力信号レベルを一定として出力するAGC手段を
- 25 有するクロック切替え回路。
11. 請求項10記載の前置増幅回路と、
前記AGC手段の出力信号を、前記分周手段の出力するデータ識別用のクロックでサンプリングしてデータを識別し再生するデータ識別再生手段を

- 15 -

有する光受信器。

1/11

FIG.1

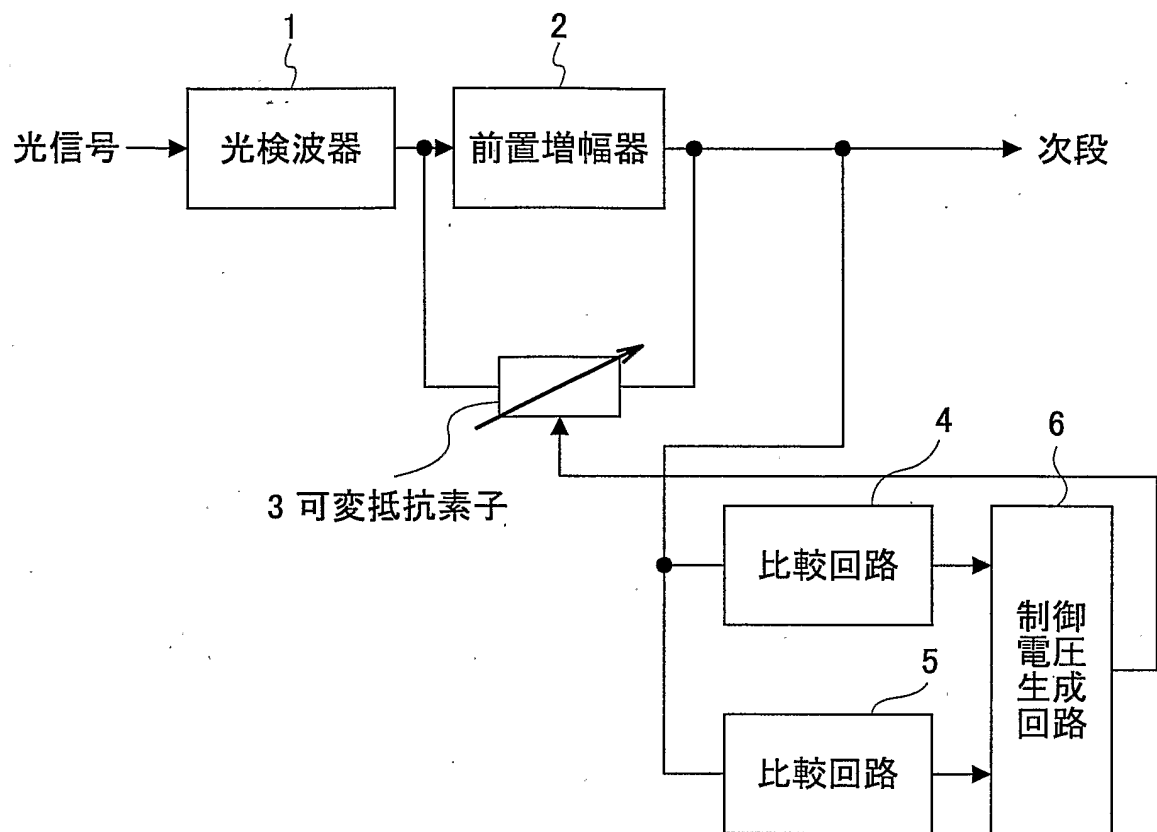


FIG.2

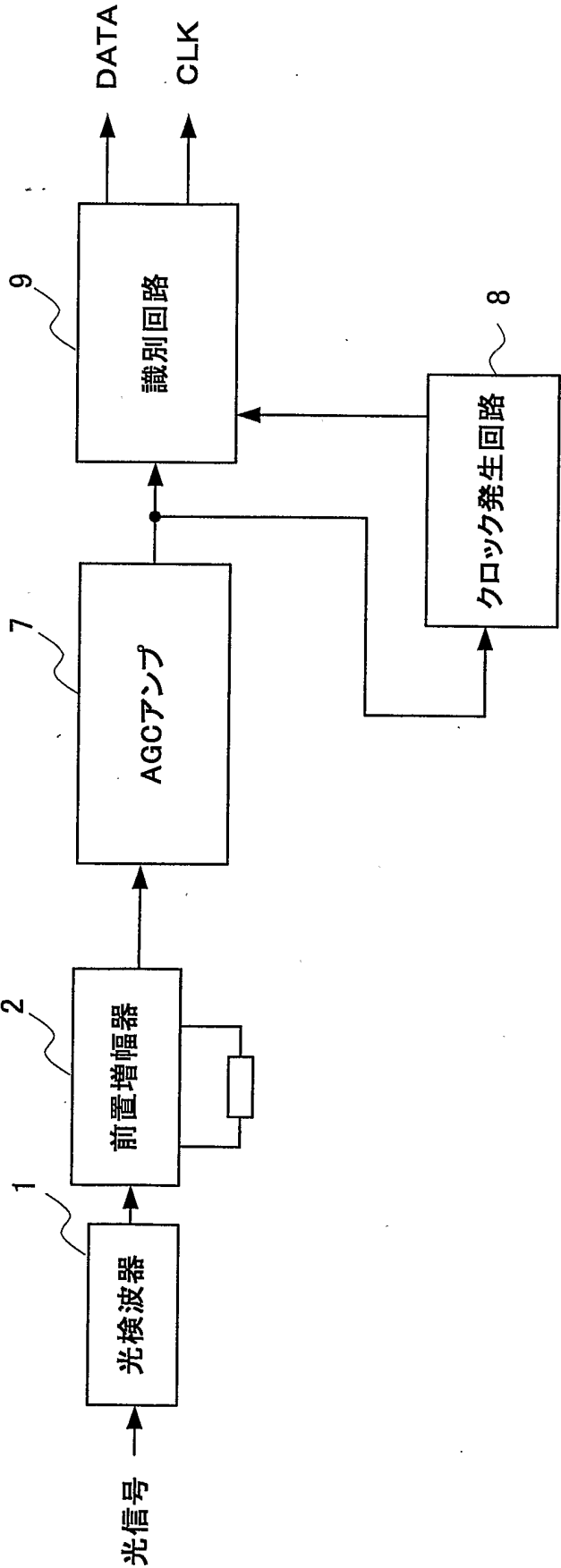


FIG.3

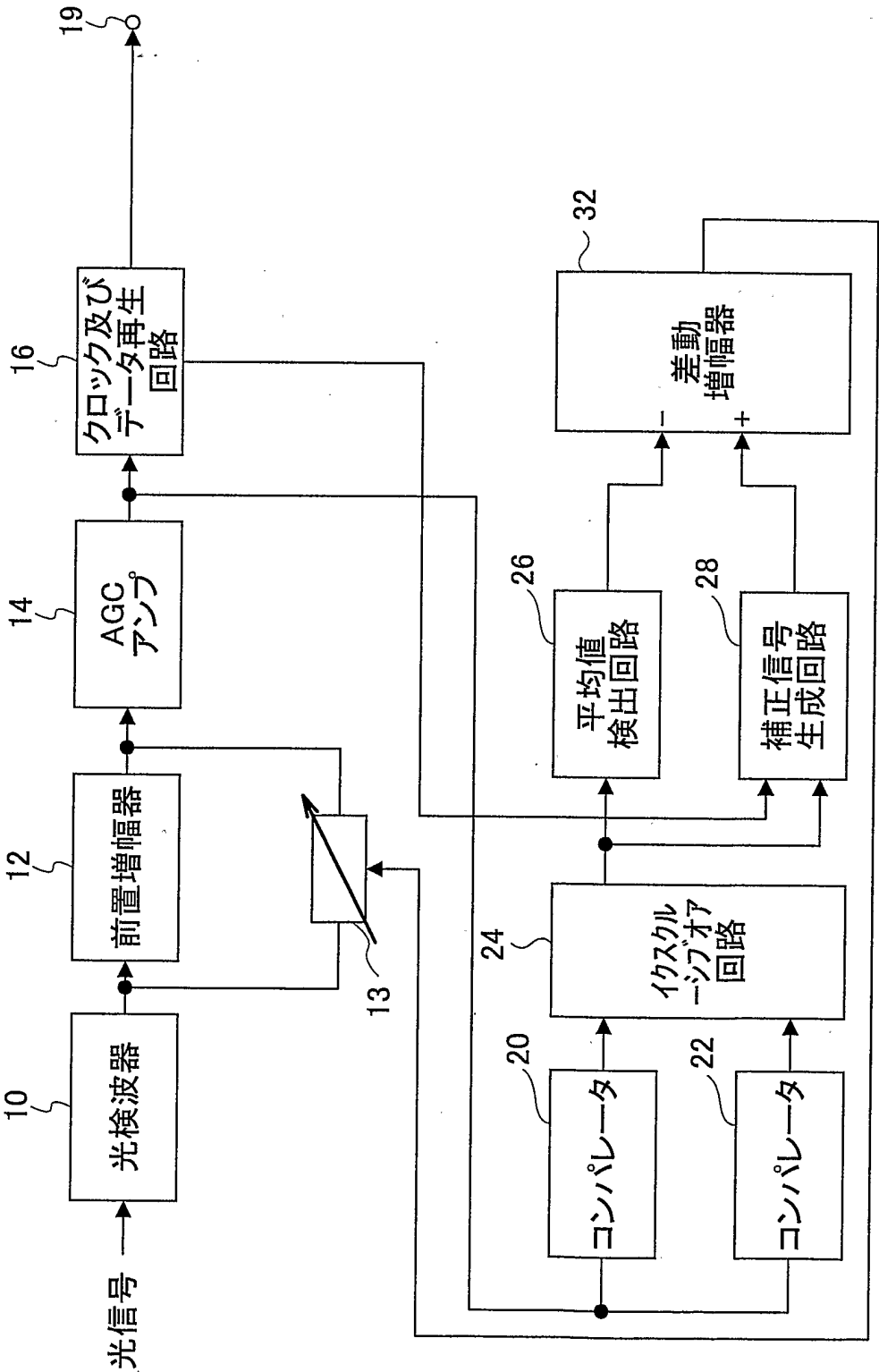
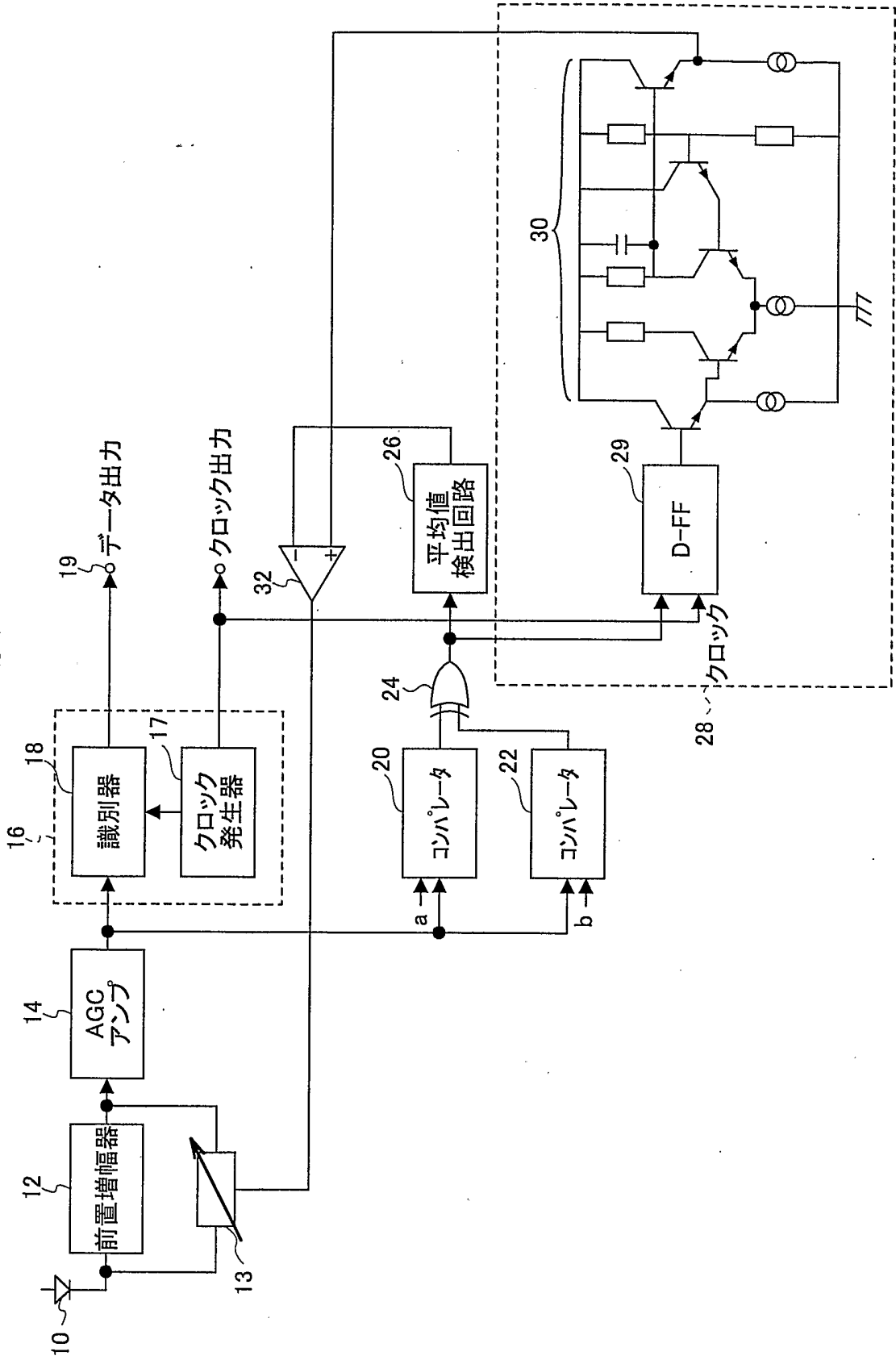
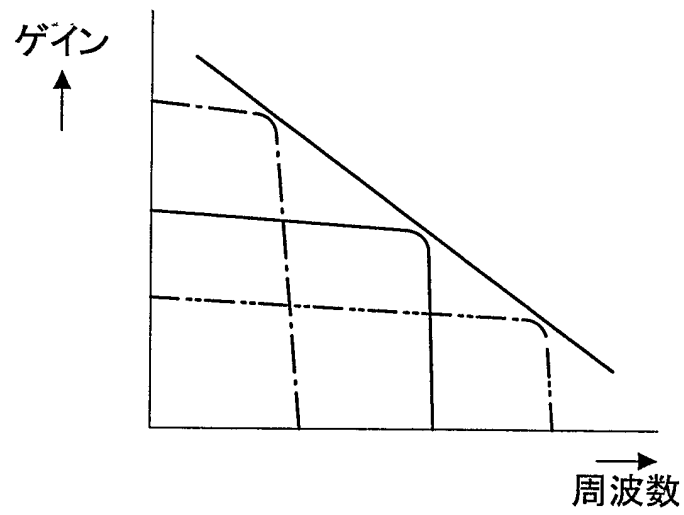


FIG.4



5/11

FIG.5



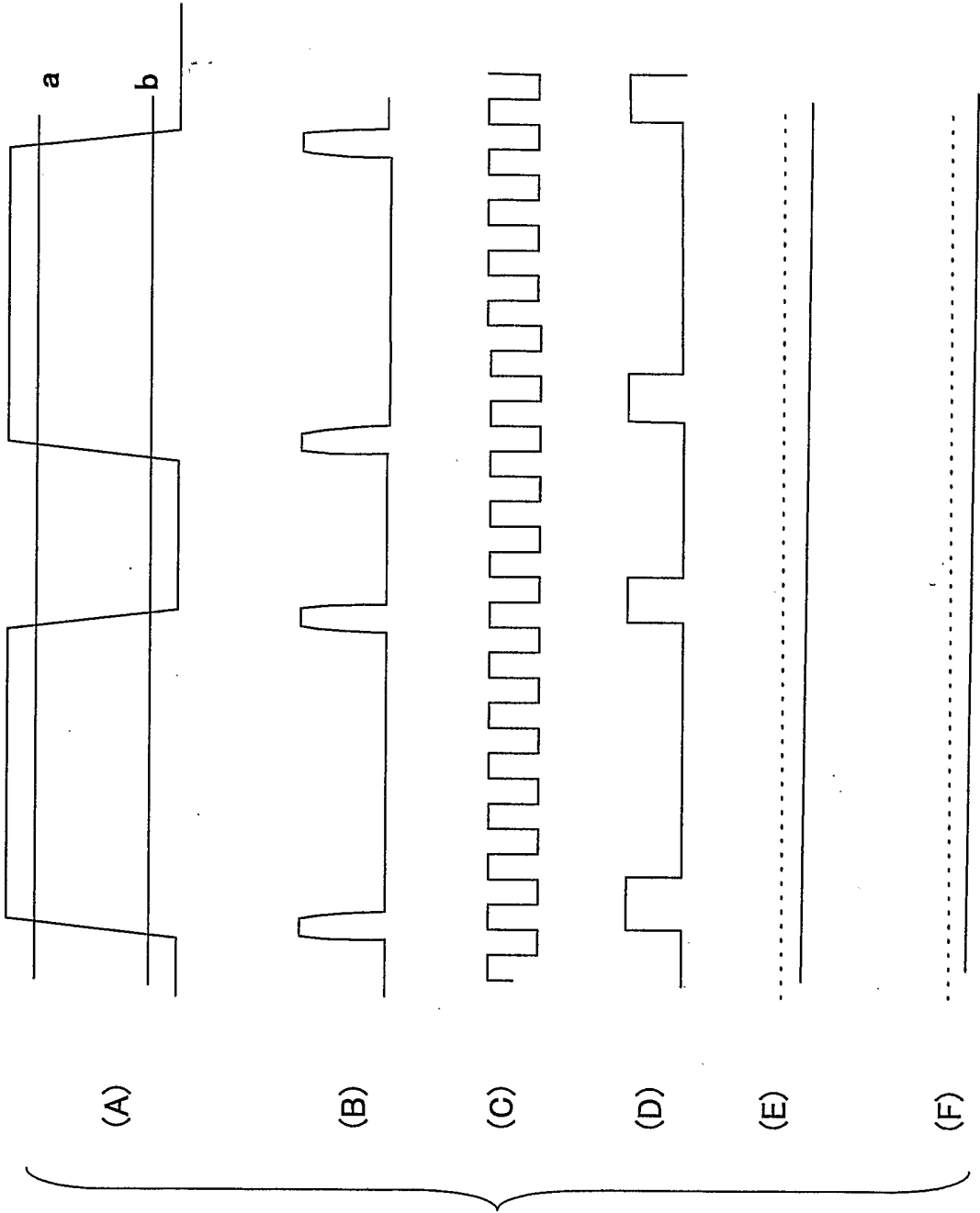
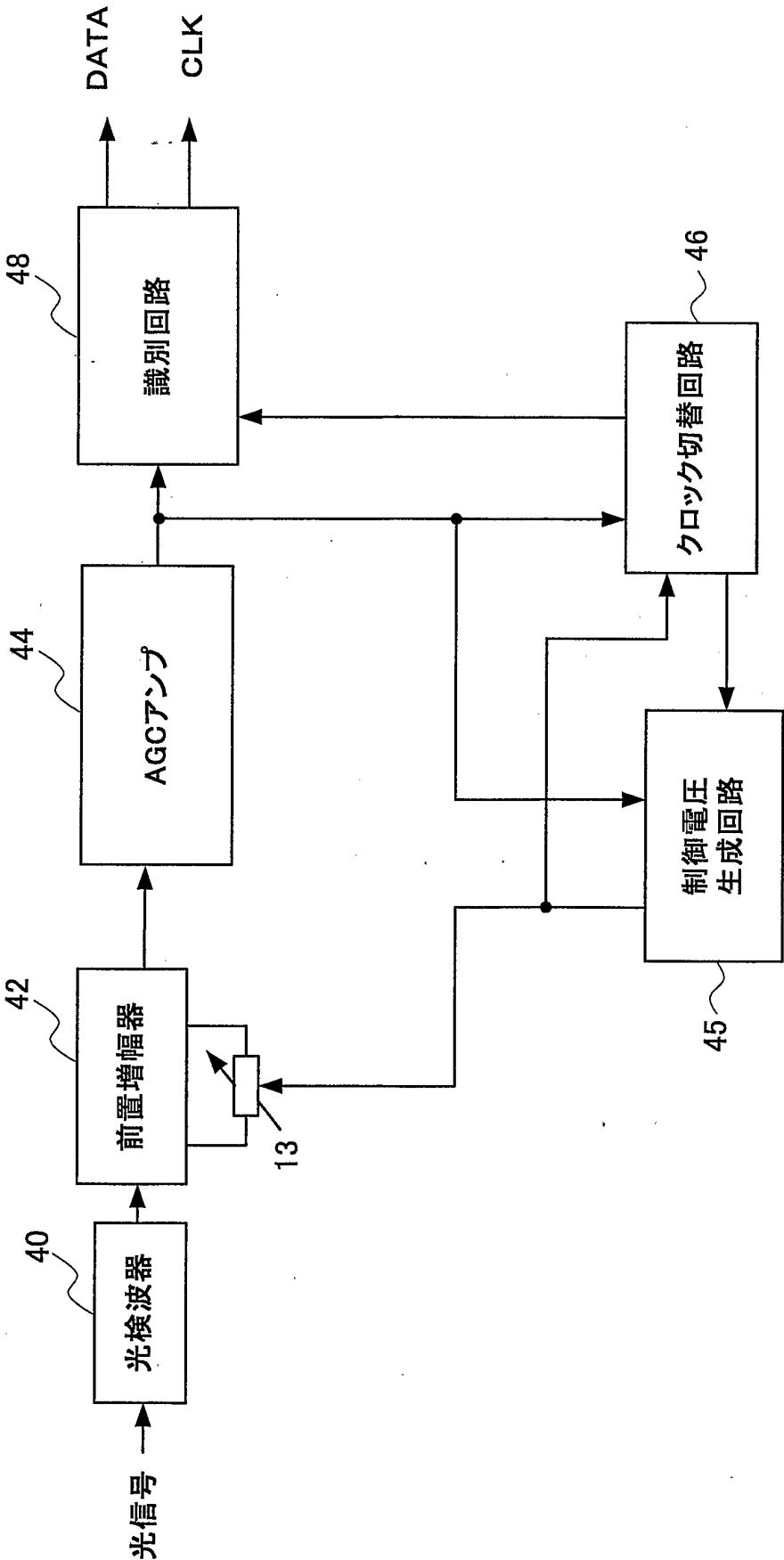


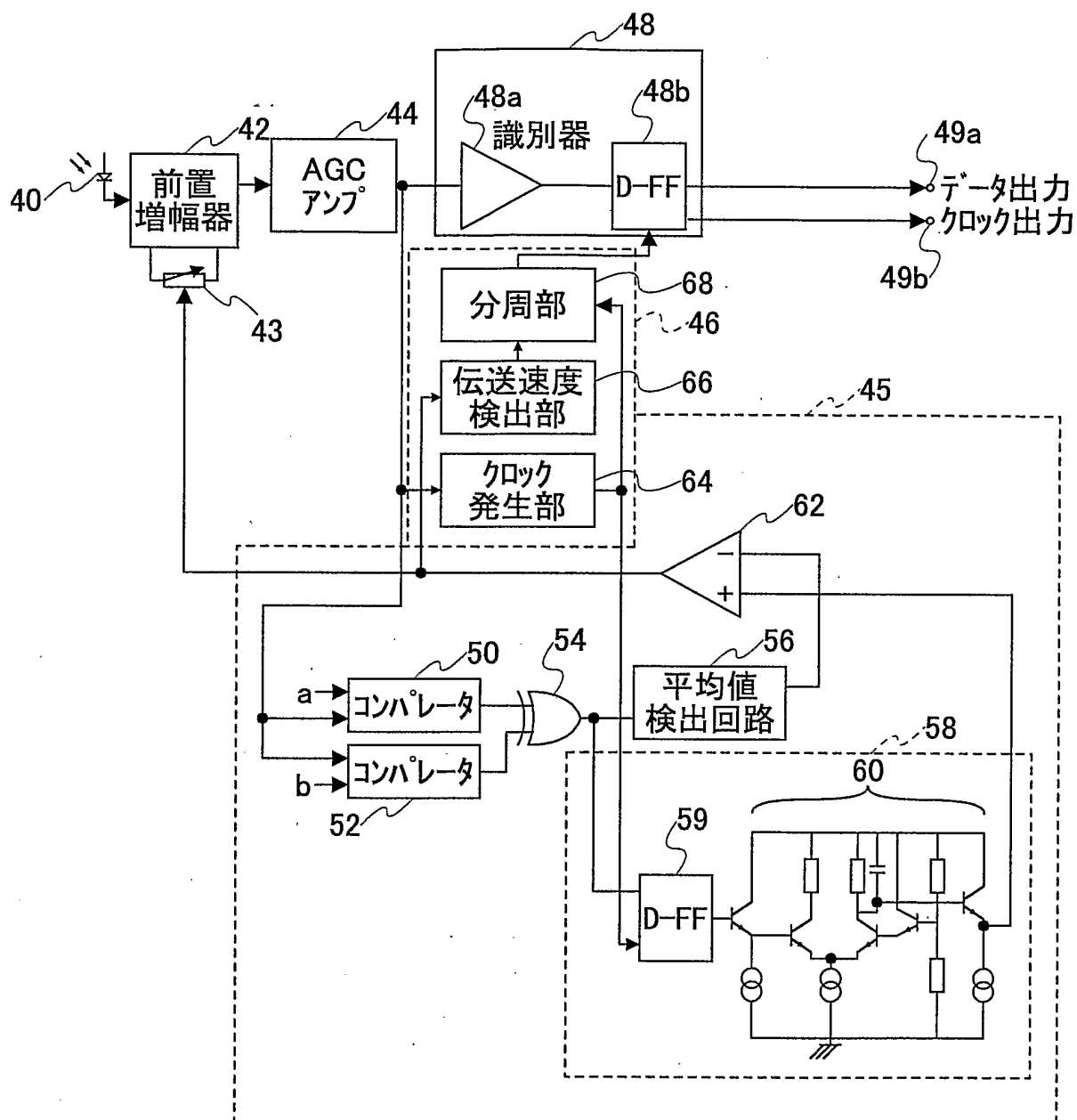
FIG.6

FIG.7



8/11

FIG.8



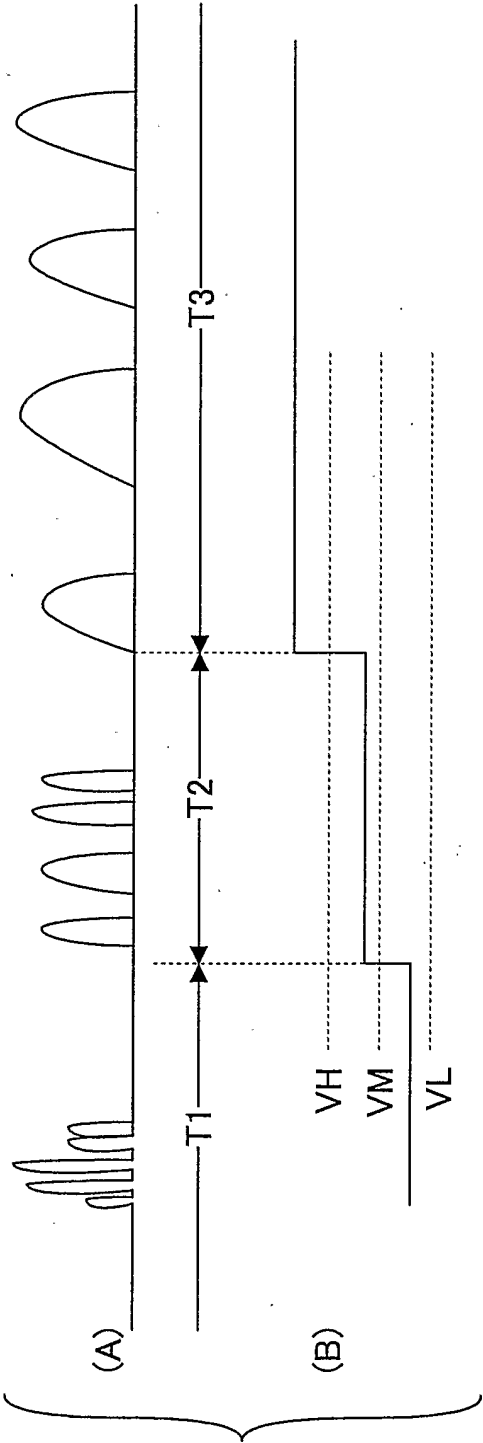


FIG.9

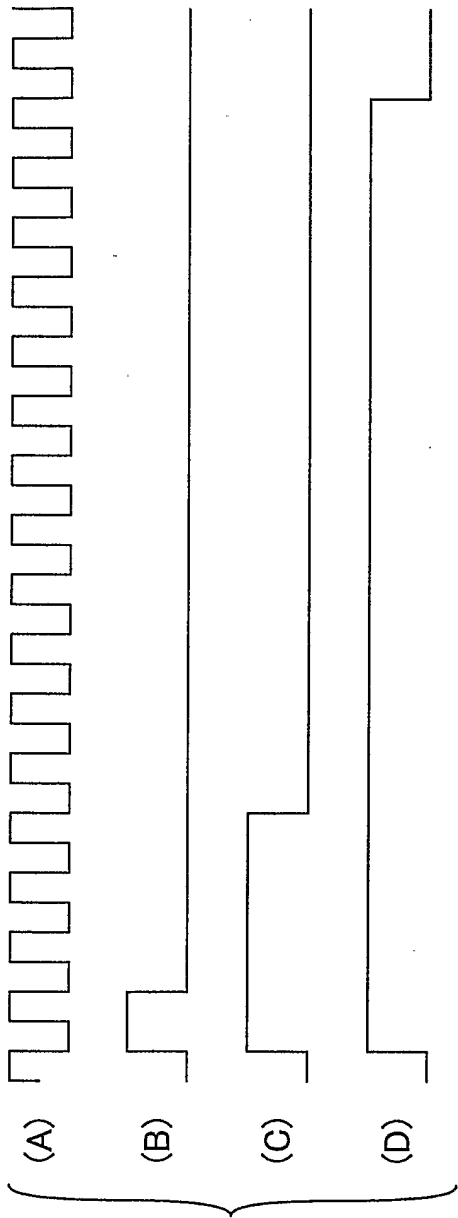
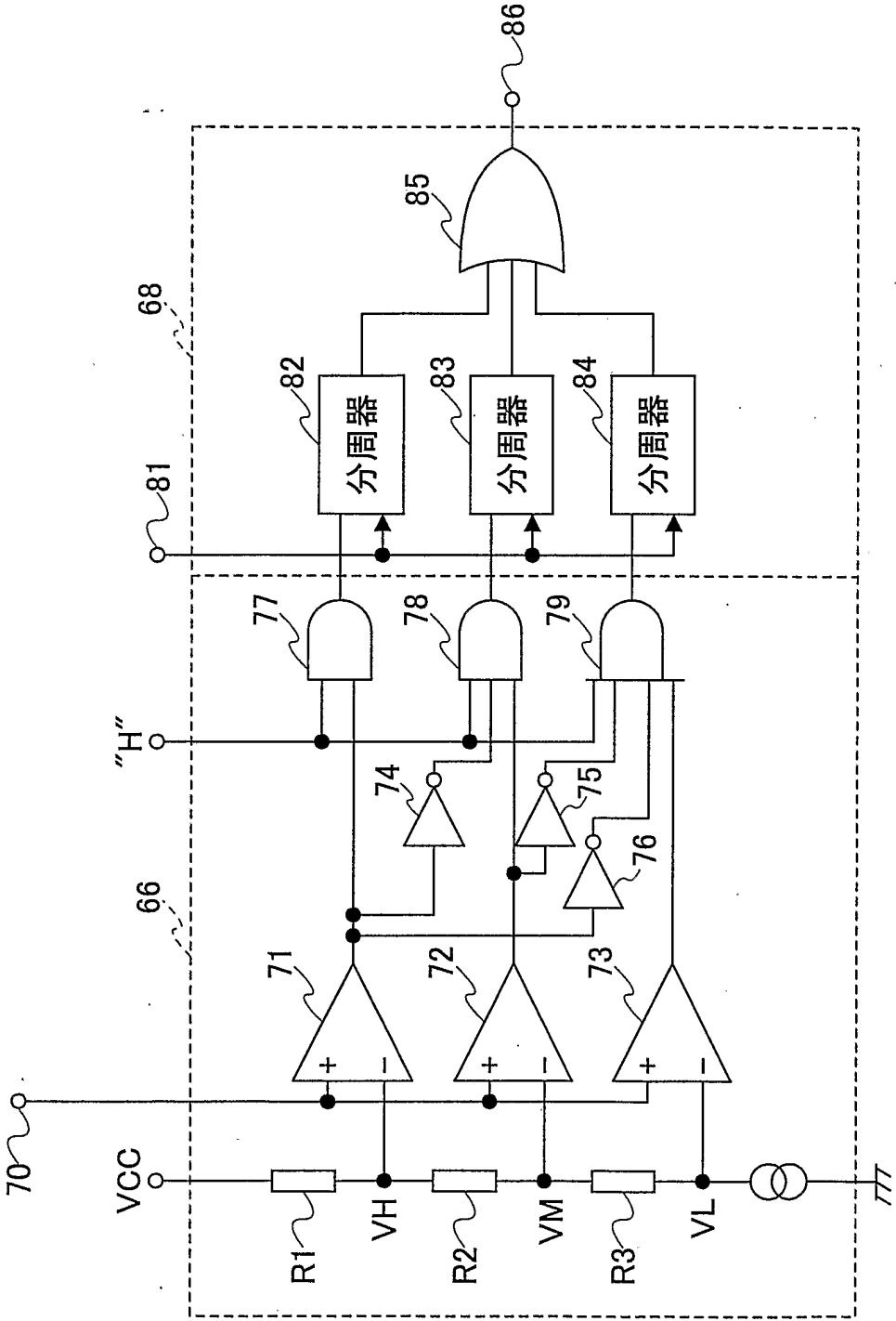


FIG.10

FIG.11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000647

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03G3/20, H03G3/30, H03F1/34, H03F3/08, H04L25/03

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03G1/00-11/08, H03F1/00-3/72, H04L25/03-25/04, H04B10/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 01/067597 A (Fujitsu Ltd.), 13 September, 2001 (13.09.01), Full text; all drawings (Family: none)	1 2-11
A	JP 03-270504 A (Fujitsu Ltd.), 02 December, 1991 (02.12.91), Full text; all drawings (Family: none)	1-11
A	JP 2003-23398 A (Agilent Technologies Inc.), 24 January, 2003 (24.01.03), Full text; all drawings & US 20020135845 A & DE 10213599 A & GB 2378344 A	1-11

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 April, 2004 (16.04.04)Date of mailing of the international search report
11 May, 2004 (11.05.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H03G 3/20 H03G 3/30 H03F 1/34 H03F 3/08 H04L25/03		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H03G 1/00-11/08 H03F 1/00- 3/72 H04L25/03-25/04 H04B10/06		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	WO 01/067597 A (富士通株式会社) 2001. 0 9. 13, 全文, 全図 (ファミリーなし)	1 2-11
A	JP 03-270504 A (富士通株式会社) 1991. 1 2. 02, 全文, 全図 (ファミリーなし)	1-11
A	JP 2003-23398 A (アジレント・テクノロジーズ・イ ンク) 2003. 01. 24, 全部, 全図 &US 20020135845 A&DE10213599 A &GB 2378344 A	1-11
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 16. 04. 2004	国際調査報告の発送日 11. 5. 2004	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 白井 孝治	5W 8843
電話番号 03-3581-1101 内線 3576		