

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年10月6日(2005.10.6)

【公開番号】特開2003-338178(P2003-338178A)

【公開日】平成15年11月28日(2003.11.28)

【出願番号】特願2002-144869(P2002-144869)

【国際特許分類第7版】

G 11 C 11/407

H 01 L 21/822

H 01 L 27/04

【F I】

G 11 C 11/34 354 F

H 01 L 27/04 B

【手続補正書】

【提出日】平成17年5月13日(2005.5.13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基準電圧を発生する基準電圧発生回路、

活性化時、前記基準電圧と内部電圧とを比較し、該比較結果に応じた信号を出力する比較回路、

前記比較回路の出力信号に従って、内部電圧線に電源ノードから電流を供給して前記内部電圧を生成するドライブ回路、

内部電圧レベル設定信号に従って、前記比較回路の比較動作を停止させ、その出力信号を所定電圧レベルに固定して前記ドライブ回路を常時導通状態に設定するための比較制御回路、および

前記内部電圧レベル設定信号に従って前記内部電圧線を前記電源ノードに結合する補助トランジスタを備える、半導体装置。

【請求項2】

前記内部電圧レベル設定信号に従って前記基準電圧発生回路の基準電圧発生動作を停止させる基準電圧制御回路をさらに備える、請求項1記載の半導体装置。

【請求項3】

前記比較回路は、

前記基準電圧と前記内部電圧に相当する電圧とを比較する差動段と、

前記差動段に電流を供給するカレントミラー段とを備え、

前記ドライブ回路は、導通時、前記電源ノードから前記内部電圧線に電流を供給するドライブトランジスタを備え、

前記比較制御回路は、

前記内部電圧レベル設定信号に従って、前記比較回路の第1の内部出力ノードを第1の電圧供給源に結合する第1のトランジスタと、

前記内部電圧レベル設定信号に従って前記比較回路の第2の内部出力ノードを前記第1の電圧供給源と異なる第2の電圧供給源に結合する第2のトランジスタとを備え、前記第2の内部出力ノードが前記ドライブトランジスタのゲートに結合され、前記第1および第2の内部出力ノードには、前記比較回路の活性化時前記差動段の比較結果に応じた差動電

圧が生じる、請求項 1 記載の半導体装置。

【請求項 4】

前記比較回路は、

活性化時、前記内部電圧と前記基準電圧とを比較し、該比較結果に応じた信号を生成する比較器と、

前記内部電圧レベル設定信号と動作モード指示信号とに従って、前記比較器に動作電流を選択的に流す電流源トランジスタとを備える、請求項 1 記載の半導体装置。

【請求項 5】

前記比較回路は、

活性化時、前記内部電圧と前記基準電圧とを比較し、該比較結果を示す信号を生成する比較器と、

前記内部電圧レベル設定信号に従って、前記比較器の動作電流の生成を停止する電流源トランジスタとを備える、請求項 1 記載の半導体装置。

【請求項 6】

複数のメモリセルと、

前記内部電圧を動作電源電圧として受けて動作し、前記複数のメモリセルからアドレス信号に従ってメモリセルを選択する周辺回路とをさらに備える、請求項 1 記載の半導体装置。

【請求項 7】

前記内部電圧レベル設定信号に従って選択的に能動化され、第 2 の基準電圧と内部電源線の第 2 の内部電圧との比較に基づいて前記内部電源線に前記第 2 の内部電圧を発生する内部電圧発生回路と、

電圧モード設定信号に従って、前記内部電源線と前記内部電圧線とを電気的に接続する接続制御回路をさらに備える、請求項 1 記載の半導体装置。

【請求項 8】

前記内部電源線の第 2 の内部電圧を動作電源電圧として受けて動作し、外部信号から内部信号を生成する入力回路をさらに備える、請求項 7 記載の半導体装置。

【請求項 9】

第 1 の電源電圧を動作電源電圧として受け、モード設定信号に従って選択的に能動化され、能動化時、外部信号から第 1 の内部信号を生成する第 1 の入力回路、

第 2 の電源電圧を動作電源電圧として受け、前記モード設定信号に応答して選択的に能動化され、能動化時、前記外部信号から第 2 の内部信号を生成する第 2 の入力回路、

前記第 2 の入力回路からの第 2 の内部信号を前記第 1 の電源電圧レベルの振幅の信号にレベル変換して第 3 の内部信号を生成するレベル変換回路、および

前記第 1 の電源電圧を動作電源電圧として受け、前記第 1 および第 3 の内部信号に従って、内部回路に伝達される第 4 の内部信号を生成する入力ゲート回路を備え、前記入力ゲート回路は、前記第 1 および第 2 の入力回路の不能動化時においては、該不能動化された入力回路の出力信号に従ってバッファ回路として動作して、前記レベル変換回路または前記第 1 の入力回路の出力信号をバッファ処理する、半導体装置。

【請求項 10】

前記モード設定信号に従って、前記第 1 および第 2 の電源電圧の供給ノードを電気的に短絡する回路をさらに備える、請求項 9 記載の半導体装置。

【請求項 11】

前記モード設定信号に従って選択的に不能動化され、不能動化時、前記第 2 の電源電圧の発生動作を停止する内部電圧発生回路をさらに備える、請求項 9 記載の半導体装置。

【請求項 12】

第 1 の制御信号を受ける第 1 の制御信号入力ノードと第 1 の内部ノードとの間に接続される第 1 の容量素子、

前記第 1 の内部ノードの電圧レベルに従って、第 2 および第 3 の内部ノードを外部電源電圧レベルにそれぞれプリチャージする第 2 および第 3 のトランジスタ、

第2の制御信号を入力する第2の制御信号入力ノードと前記第2の内部ノードとの間に接続される第2の容量素子、

前記第2の内部ノードの電圧レベルに従って選択的に導通し、導通時、前記第3の内部ノードと出力ノードとの間で電荷を伝達する出力トランジスタ、

外部電源ノードの電源電圧と第1の内部電圧ノードの電圧とを動作電源電圧として受け、第3の制御信号に従って第4の内部ノードを駆動するドライブ回路、

前記第4の内部ノードと前記第3の内部ノードとの間に接続される第3の容量素子、  
第4の容量素子、および

前記第4の容量素子を、第4の制御信号を受ける第4の制御信号入力ノードと前記第1の内部電圧ノードとの間および前記第4の制御信号入力ノードと前記第3の内部ノードとの間のいずれかの経路に選択的かつ固定的に接続する配線を備える、半導体装置。

#### 【請求項13】

前記配線は、前記第4の容量素子を前記第4の制御信号入力ノードと前記第3の内部ノードとの間に接続する、請求項12記載の半導体装置。

#### 【請求項14】

前記第1の内部電圧ノードは、第2の電源電圧レベルに固定される、請求項13記載の半導体装置。

#### 【請求項15】

前記半導体装置は、第5の制御信号を入力する第5の制御信号入力ノードと第5の内部ノードとの間に接続される第5の容量素子、および

前記第5の内部ノードの電圧レベルに従って選択的に導通し、導通時、前記第1の内部電圧ノードを所定電圧レベルにプリチャージする第4のトランジスタをさらに備え、

前記第4の容量素子は、前記第4の制御信号入力ノードと前記第1の内部電圧ノードとの間に接続される、請求項12記載の半導体装置。

#### 【請求項16】

前記第2の制御信号は、前記外部電源ノードの電圧よりも大きな電圧振幅を有する、請求項12記載の半導体装置。

#### 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

【0054】

この発明の第7の観点に係る半導体装置は、第1の制御信号を受ける第1の制御信号入力ノードと第1の内部ノードとの間に接続される第1の容量素子と、第1の内部ノードの電圧レベルに従って、第2および第3の内部ノードを外部電源電圧レベルにそれぞれプリチャージする第2および第3のトランジスタと、第2の制御信号を入力する第2の制御信号入力ノードと前記第2の内部ノードとの間に接続される第2の容量素子と、第2の内部ノードの電圧レベルに従って選択的に導通し、導通時、第3の内部ノードと出力ノードとの間で電荷を伝達する出力トランジスタと、外部電源ノードの電源電圧と第1の内部電圧ノードの電圧とを動作電源電圧として受け、第3の制御信号に従って第4の内部ノードを駆動するドライブ回路と、第4の内部ノードと前記第3の内部ノードとの間に接続される第3の容量素子と、第4の容量素子と、第4の容量素子を、第4の制御信号を受ける第4の制御信号入力ノードと第1の内部電圧ノードとの間および第4の制御信号入力ノードと第3の内部ノードとの間のいずれかの経路に選択的かつ固定的に接続する配線を備える。

#### 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】削除

【補正の内容】

**【手続補正4】**

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】削除

【補正の内容】

**【手続補正5】**

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

一実施例においては、第4の容量素子が、第4の制御信号入力ノードと前記第3の内部ノードとの間に接続される。

別の実施例においては、第1の内部電圧ノードは、第2の電源電圧レベルに固定される。

この半導体装置は、さらに、第5の制御信号を入力する第5の制御信号入力ノードと第5の内部ノードとの間に接続される第5の容量素子と、第5の内部ノードの電圧レベルに従って選択的に導通し、導通時、前記第1の内部電圧ノードを所定電圧レベルにプリチャージする第4のトランジスタをさらに備える。この構成においては、第4の容量素子は、前記第4の制御信号入力ノードと前記第1の内部電圧ノードとの間に接続される。

好ましくは、第2の制御信号は、その電圧振幅が外部電源電圧よりも大きくされる。

この発明の第8の観点に係る半導体装置は、活性化時、所定電圧レベルの内部電圧を生成する内部電圧発生回路と、この内部電圧発生回路の生成する内部電圧を分圧して分圧電圧を生成する分圧回路と、分圧電圧と基準電圧とを比較する比較回路と、この分圧電圧に従って駆動電流量が調整される電流源を含み、比較回路の出力信号に従って比較結果信号を生成する可変出力回路と、この比較結果信号に従って内部電圧生成回路の内部電圧生成動作を選択的に活性化する電圧制御回路とを含む。