

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 9월 28일 (28.09.2017)



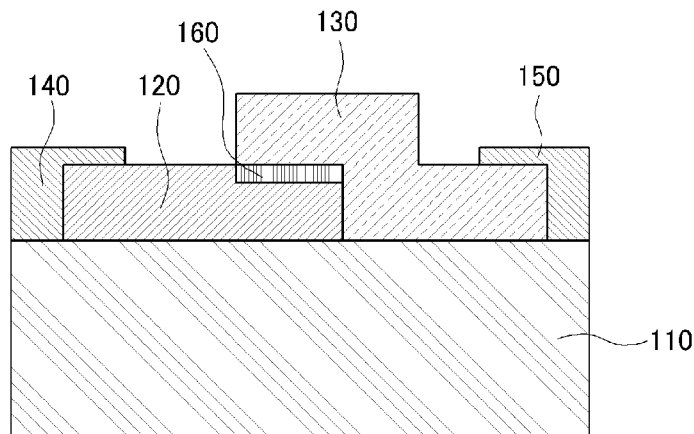
(10) 국제공개번호
WO 2017/164617 A1

- (51) 국제특허분류:
H01L 29/792 (2006.01) H01L 29/788 (2006.01)
H01L 29/423 (2006.01) H01L 29/861 (2006.01)
H01L 29/51 (2006.01)
- (21) 국제출원번호: PCT/KR2017/003017
- (22) 국제출원일: 2017년 3월 21일 (21.03.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2016-0033635 2016년 3월 21일 (21.03.2016) KR
- (71) 출원인: 성균관대학교산학협력단 (RESEARCH & BUSINESS FOUNDATION SUNGKYUNKWAN UNIVERSITY) [KR/KR]; 16419 경기도 수원시 장안구 서부로 2066, 성균관대학교내 (천천동), Gyeonggi-do (KR).
- (72) 발명자: 박진홍 (PARK, Jin Hong); 18454 경기도 화성시 동탄지성로 17, 101 동 1303 호 (반송동, 풍성 위버폴리스), Gyeonggi-do (KR). 심재우 (SHIM, Jae Woo); 14574 경기도 부천시 옥산로 33, 1420 동 104 호 (중동, 연화마을 대원아파트), Gyeonggi-do (KR). 이성주 (LEE, Sung Joo); 13531 경기도 성남시 분당구 판교역로 49, 909 동 602 호 (백현동, 백현마을 아파트), Gyeonggi-do (KR).
- (74) 대리인: 특허법인 엠에이피에스 (MAPS INTELLECTUAL PROPERTY LAW FIRM); 06239 서울특별시 강남구 테헤란로 8길 37, 8층 (역삼동, 한동빌딩), Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: NEGATIVE DIFFERENTIAL RESISTANCE DEVICE COMPRISING TRAP LAYER AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭 : 트랩층을 포함하는 부성 미분 저항 소자 및 그 제조 방법



(57) Abstract: A negative differential resistance device according to an embodiment of the present invention comprises: a substrate; a degenerated first semiconductor layer formed on the substrate and having a first polarity; a degenerated second semiconductor layer formed on the substrate and having a second polarity; a first electrode coupled to one end of the first semiconductor layer; a second electrode coupled to one end of the second semiconductor layer; and a trap layer located in the contact area between the first semiconductor layer and the second semiconductor layer, wherein the trap layer comprises an oxide layer, and carriers are trapped in the trap layer when the negative differential resistance device is operated.

(57) 요약서:

[다음 쪽 계속]

WO 2017/164617 A1

**공개:**

— 국제조사보고서와 함께 (조약 제 21 조(3))

본 발명의 일 실시예에 따른 부정 미분 저항(negative differential resistance) 소자는 기판; 기판 상에 형성되고, 제 1 극성을 갖는 축퇴된 제 1 반도체층; 기판 상에 형성되고, 제 2 극성을 갖는 축퇴된 제 2 반도체층; 제 1 반도체층의 일측 단부에 결합된 제 1 전극; 제 2 반도체층의 일측 단부에 결합된 제 2 전극; 및 제 1 반도체층과 제 2 반도체층의 접촉 영역 사이에 위치한 트랩층을 포함하되, 트랩층은 산화물층이고, 부정 미분 저항 소자의 동작시 캐리어가 트랩층에 트랩되도록 한다.

명세서

발명의 명칭: 트랩층을 포함하는 부성 미분 저항 소자 및 그 제조 방법

기술분야

- [1] 본 발명은 트랩층을 포함하는 부성 미분 저항 소자 및 그 제조 방법에 관한 것이다.

배경기술

- [2] 부성 미분 저항(negative differential resistance, NDR) 소자는 통상적인 경우와 반대로 인가된 전압이 증가함에도 불구하고 전류가 오히려 감소하는 특성을 보인다. 이와 같이 NDR 특성을 보이는 소자는 에사키 다이오드 (Esaki diode), 공명 터널링 다이오드 (resonant tunneling diode) 및 단전자 트랜지스터 (single electron transistor) 등이 있다. 이러한 소자들은 터널링을 이용하기 때문에 고속 동작 특성을 가지며, 다치 논리 회로의 구현이 가능하다는 장점이 있다. 이와 관련하여, 실리콘(Si), 실리콘 게르마늄(Si_xGe_y), 인듐비소(InAs), 알루미늄안티몬(AlSb), 이중층 그래핀(bilayer grapheme), 삼중층 이황화몰리브덴(tri layer MoS_2) 등을 이용하여 제조된 공명 터널링 다이오드 소자가 보고되었으나 대부분 극저온(50K 이하)에서 NDR 특성이 관찰되었다.
- [3] 최근에 이황화몰리브덴(MoS_2) 반도체와 이셀레늄화텅스텐(WSe_2) 반도체를 이용하여 에사키 다이오드를 구현한 것이 보고되었으나, NDR 특성을 얻기 위해서는 이황화몰리브덴(MoS_2) 반도체와 이셀레늄화텅스텐(WSe_2)을 각각 다른 게이트 전극을 이용하여 각 반도체의 페르미 준위(Fermi level)를 제어해야 하기 때문에 공정이 어렵다. 또한, 열전자 방출 전류(thermionic emission current)에 대한 영향을 줄여야 하기 때문에 77K 이하의 온도에서만 동작한다는 단점이 있다.
- [4] 이러한 NDR 특성을 보이는 소자와 관련하여, 선행기술인 한국공개특허 제 2013-0138045호는 NDR 소자 및 그 제작공정에 대해 개시하고 있다. 또한, 선행기술인 한국등록특허 제10-0935827호는 부성 미분 저항을 갖는 2단자 전자소자 및 그 제조방법에 대해 개시하고 있다.
- [5] 다만, 지금까지 보고된 대부분의 NDR 소자는 이론적인 계산에만 머물러 있는 경우가 많으며, 실제 제작된 소자도 저온에서만 동작하거나 비록 상온에서 동작하더라도 피크(peak)와 벨리(valley)간 전류 비(peak-to-valley current ratio, PVCR)가 매우 낮다는 문제가 있다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명은 전술한 문제점을 해결하기 위하여, 본 발명의 일 실시예는 페르미 준위 차이가 큰 제 1 반도체층과 제 2 반도체층 사이에 많은 트랩 사이트를

가지고 있는 트랩층(산화물층)을 형성시킴으로써, 열전자 방출 전류에 대한 영향을 줄이고, 산화물층 내에 트랩된 캐리어에 의해 형성된 내부 전기장을 조절하여 전류 비(PVCR)를 증가시킨 부성 미분 저항 소자를 제공하는 데에 그 목적이 있다.

- [7] 다만, 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제들로 한정되지 않으며, 또 다른 기술적 과제들이 더 존재할 수 있다.

과제 해결 수단

- [8] 상기와 같은 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 부성 미분 저항(negative differential resistance) 소자는 기판; 기판 상에 형성되고, 제 1 극성을 갖는 축퇴된 제 1 반도체층; 기판 상에 형성되고, 제 2 극성을 갖는 축퇴된 제 2 반도체층; 제 1 반도체층의 일측 단부에 결합된 제 1 전극; 제 2 반도체층의 일측 단부에 결합된 제 2 전극; 및 제 1 반도체층과 제 2 반도체층의 접촉 영역 사이에 위치한 트랩층을 포함하되, 트랩층은 산화물층이고, 부성 미분 저항 소자의 동작시 캐리어가 트랩층에 트랩되도록 한다.
- [9] 또한, 본 발명의 일 실시예에 따른 부성 미분 저항 소자의 제조 방법은 기판 상에 제 1 극성을 갖는 축퇴된 제 1 반도체층을 형성하는 단계; 기판 및 제 1 반도체층 상에 제 2 극성을 갖는 축퇴된 제 2 반도체층을 형성하는 단계; 제 1 반도체층의 일측 단부 및 제 2 반도체층의 일측 단부에 각각 제 1 전극 및 제 2 전극을 형성하는 단계; 및 제 1 전극과 제 2 전극에 전압을 인가하여, 상기 제 1 반도체층과 제 2 반도체층의 접촉 영역 사이에 트랩층을 형성하는 단계를 포함한다.
- [10] 또한, 본 발명의 다른 실시예에 따른 부성 미분 저항 소자의 제조 방법은 부성 미분 저항 소자의 제조 방법은 기판 상에 제 1 극성을 갖는 축퇴된 제 1 반도체층을 형성하는 단계; 제 1 반도체층의 일 영역에 트랩층을 형성하는 단계; 기판 및 제 1 반도체층의 트랩층 상에 제 2 극성을 갖는 축퇴된 제 2 반도체층을 형성하는 단계; 및 제 1 반도체층의 일측 단부 및 제 2 반도체층의 일측 단부에 각각 제 1 전극 및 제 2 전극을 형성하는 단계를 포함한다.

발명의 효과

- [11] 본 발명의 일 실시예에 따른 부성 미분 저항 소자에 의하면, 많은 트랩 사이트를 가지고 있는 트랩층(산화물층)을 페르미 준위 차이가 큰 제 1 반도체층과 제 2 반도체층 사이에 형성시킴으로써, PVCR이 증가되며, 부성 미분 저항(NDR) 소자가 고속 스위칭 회로 또는 다치 논리 회로에 응용되었을 때 잡음 여유(noise margin)를 향상 시키는 효과가 있다.

도면의 간단한 설명

- [12] 도1은 본 발명의 일 실시예에 따른 부성 미분 저항 소자의 단면도이다.
- [13] 도2는 본 발명의 일 실시예에 따른 부성 미분 저항 소자의 제작 방법을 설명하기 위한 순서도이다.

- [14] 도3은 본 발명의 일 실시예에 따른 부성 미분 저항 소자의 제작 방법을 상세하게 설명하기 위한 세부 과정을 도시한 도면이다.
- [15] 도4는 본 발명의 다른 실시예에 따른 부성 미분 저항 소자의 제작 방법을 설명하기 위한 순서도이다.
- [16] 도5 내지 도8은 본 발명의 또 다른 실시예에 따른 부성 미분 저항 소자의 제작 방법을 상세하게 설명하기 위한 세부 과정을 도시한 도면이다.
- [17] 도9a 및 도9b는 트랩 사이트가 많은 트랩층(산화물층)이 부성 미분 저항 특성에 미치는 영향을 설명하기 위한 전기적 측정 결과를 도시한 도면이다.
- [18] 도10은 본 발명의 일 실시예에 따른 부성 미분 저항 소자의 구조를 나타낸 도면이다.
- [19] 도11a 내지 도11c는 본 발명의 일 실시예에 따른 부성 미분 저항 소자에 전압이 인가되는 경우, 전압의 증가에 따라 다르게 나타나는 트랩층(산화물층)의 전기적 측정 결과를 비교한 도면이다.

발명의 실시를 위한 형태

- [20] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [21] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미하며, 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [22] 도 1은 본 발명의 일 실시예에 따른 부성 미분 저항 소자의 단면도이다.
- [23] 도 1을 참조하면, 본 발명의 부성 미분 저항 소자는 기판(110), 제 1 반도체층(120), 제 2 반도체층(130), 제 1 전극(140), 제 2 전극(150) 및 트랩층(160)을 포함한다. 여기서, 트랩층(160)은 제 1 반도체층(120)과 제 2 반도체층(130)의 접촉 영역 사이에 위치하며, 제 1 전극(140) 및 제 2 전극(150)에 전압을 인가함으로써 줄(Joule) 열을 이용하여 형성된 산화물층일 수 있다. 이때, 산화물층은 많은 트랩 사이트를 가지며, 산화물층 내에 트랩된 캐리어에 의해 형성된 내부 전기장을 조절하여 피크(peak)와 밸리(valley)간 전류 비(PVCR)를 증가시킬 수 있다. 따라서, PVCR이 증가됨에 따라 본 발명의 부성 미분 저항

소자가 고속 스위칭 회로 또는 다치 논리 회로에 응용되었을 때 잡음 여유를 향상시키는 효과가 있다.

- [24] 도 1을 참조하면, 기판(110)은 이산화규소(SiO_2), 산화알루미늄(Al_2O_3), 산화하프늄(HfO_2) 중 적어도 하나로 구성된 절연층이 증착된 실리콘(Si) 기판, 저마늄(Ge) 기판, 유리(glass) 기판 및 PET(polyethylene terephthalate) 기판 중 적어도 하나로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [25] 제 1 반도체층(120)은 기판(110) 상에 형성되고, 제 1 극성을 가지며, 축퇴(degenerate)될 수 있다. 이때, 반도체 내의 불순물의 농도가 매우 높아서 n형 반도체의 경우 페르미 레벨이 전도대보다 높게 형성되고, p형 반도체의 경우 가전자대보다 낮게 형성된 상태를 축퇴(degenerate)되었다고 표현한다. 축퇴된 반도체를 형성하기 위한 불순물의 농도는 실리콘(Si)의 경우 10^{19} cm^{-3} 이상, 저마늄(Ge)의 경우 10^{18} cm^{-3} 이상, 비화갈륨(GaAs)의 경우 10^{17} cm^{-3} 이상이다.
- [26] 제 2 반도체층(130)은 기판(110) 상에 형성되고, 제1 극성과 상이한 제 2 극성을 가지며, 축퇴될 수 있다. 이때, 축퇴된 제 1 반도체층(120) 및 제 2 반도체층(130)은 각 극성에 맞게 고농도로 도핑된 것을 의미한다.
- [27] 일 예로, 제 1 반도체층(120)은 p형 반도체층이고, 제 2 반도체층(120)은 n형 반도체층일 수 있으며, 다른 예로, 제 1 반도체층(120)은 n형 반도체층이고, 제 2 반도체층(120)은 p형 반도체층일 수 있다.
- [28] 여기서, p형 반도체층은 실리콘, 저마늄(Ge), 주기율표의 III-V 족 원소에 대한 반도체, 유기물 반도체, 비유기물인 산화물 반도체, 전이금속 칼코젠 화합물(transition metal dichalcogenide) 및 흑린(phosphorene) 중 적어도 하나로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [29] 또한, n형 반도체층은 실리콘, 저마늄(Ge), 주기율표의 III-V 족 원소에 대한 반도체, 유기물 반도체, 비유기물인 산화물 반도체, 전이금속 칼코젠 화합물(transition metal dichalcogenide) 및 이황화레늄(ReS_2) 중 적어도 하나로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [30] 제 1 전극(140)은 제 1 반도체층(120)의 일측 단부에 결합될 수 있다.
- [31] 제 1 전극(140)은 티타늄(Ti), 알루미늄(Al), 에르븀(Er), 플레티늄(Pt), 금(Au) 및 팔라듐(Pd) 중 적어도 하나로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [32] 제 2 전극(150)은 제 2 반도체층(130)의 일측 단부에 결합될 수 있다.
- [33] 제 2 전극(150)은 티타늄(Ti), 알루미늄(Al), 에르븀(Er), 플레티늄(Pt), 금(Au) 및 팔라듐(Pd) 중 적어도 하나로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [34] 트랩층(160)은 제 1 반도체층(120)과 제 2 반도체층(130)의 접촉 영역 사이에 위치하며, 제 1 반도체층(120)의 상부에 적층한 금속층의 산화에 의하여 형성된 산화물층일 수 있다. 이때, 금속층은 티타늄(Ti) 및 알루미늄(Al) 중 적어도 하나로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 이러한 트랩층(160)은 제 1 전극(140)과 제 2 전극(150)에 인가된 전압에 의하여 발생된 줄(joule)열에 의하여 형성될 수 있다.

- [35] 예시적으로, 트랩층(160)(즉, 산화물층)은 제 1 반도체층(120)과 제 2 반도체층(130)의 접촉 영역 사이(즉, 제 1 반도체층(120)의 상부)에 적층한 금속층이 제 1 전극(140)과 제 2 전극(150)에 인가된 전압에 의하여 발생된 줄 열에 의하여 산화됨으로써 형성될 수 있다.
- [36] 트랩층(160)은 본 발명의 부성 미분 저항 소자의 동작시 캐리어가 트랩층(160)에 트랩되도록 할 수 있다.
- [37] 제 1 전극(140)과 제 2 전극(150)에 인가되는 전압의 증가에 따라 트랩층(160)에 트랩되는 캐리어가 증가하게 되고, 트랩된 캐리어의 증가에 따라 전압과 반대 방향의 전기장이 형성될 수 있다.
- [38] 트랩층(160)의 역할에 대한 구체적인 설명은 다른 도면들을 참고하여 후술하기로 한다.
- [39] 이하에서는 부성 미분 저항 소자의 제조 방법에 대하여 설명하고자 한다.
- [40] 도 2는 본 발명의 일 실시예에 따른 부성 미분 저항 소자의 제작 방법을 설명하기 위한 순서도이고, 도 3은 본 발명의 일 실시예에 따른 부성 미분 저항 소자의 제작 방법을 상세하게 설명하기 위한 세부 과정을 도시한 도면이다.
- [41] 우선, 기판(110) 상에 제 1 극성을 갖는 축퇴된 제 1 반도체층(120)을 형성한다(S110).
- [42] 제 1 반도체층(120)을 형성하는 단계(S110)는 기판(110) 상에 제 1 극성을 갖는 제 1 반도체층(120)을 증착하는 단계 및 제 1 반도체층(120)을 축퇴시키는 단계를 포함할 수 있다.
- [43] 이어서, 기판(110) 및 제 1 반도체층(120) 상에 제 2 극성을 갖는 축퇴된 제 2 반도체층(130)을 형성한다(S120).
- [44] 제 2 반도체층(130)을 형성하는 단계(S120)는 기판(110) 상에 제 2 극성을 갖는 제 2 반도체층(130)을 증착하는 단계 및 제 2 반도체층(130)을 축퇴시키는 단계를 포함할 수 있다.
- [45] 다음으로, 제 1 반도체층(120)의 일측 단부 및 제 2 반도체층(130)의 일측 단부에 각각 제 1 전극(140) 및 제 2 전극(150)을 형성한다(S130).
- [46] 마지막으로, 제 1 전극(140)과 제 2 전극(150)에 전압을 인가하여, 제 1 반도체층(120)과 제 2 반도체층(130)의 접촉 영역 사이에 트랩층(160)을 형성한다(S140). 여기서, 트랩층(160)은 제 1 전극(140)과 제 2 전극(150)에 인가된 전압에 의하여 발생된 줄(joule)열에 의하여 형성된 산화물층일 수 있다.
- [47] 여기서, 각 반도체층의 형성 시에 소정의 패턴을 갖도록하는 리소그래피 공정과 식각 공정 등이 수행될 수 있으며, 이에 대한 상세한 설명은 생략하도록 한다.
- [48] 예를 들어, 제 1 반도체층(120) 및 제 2 반도체층(130)을 형성하는 경우, 저마늄(Ge), 주기율표의 III-V 족 원소에 대한 반도체, 유기물 반도체, 비유기물인 산화물 반도체 등을 열 증착법(thermal evaporation), 전자빔 증착법(e-beam evaporation), 스퍼터링(sputtering), 화학적 진공 증착법(chemical vapor

deposition)에 의하여 형성함으로써 제 1 반도체층(120) 및 제 2 반도체층(130)을 형성시킬 수 있다.

- [49] 또한, 전이금속 칼코겐 화합물, 흑린 및 이황화레늄과 같은 2차원 반도체 물질은 테이프를 이용한 박리법과 CVD(chemical vapor deposition)와 같은 화학적 진공 증착법을 사용하여 성장시키는 방법으로 제 1 반도체층(120) 및 제 2 반도체층(130)을 형성시킬 수 있다.
- [50] 도 3을 참고하여, 본 발명의 일 실시예에 따른 부성 미분 저항 소자의 제조 방법을 구체적으로 설명하면 우선, 도 3의 (a)에 도시된 바와 같이, 기판(110) 상에 축퇴된 제 1 반도체층(120)을 형성시킬 수 있다. 이어서, 도 3의 (b)에 도시된 바와 같이, 축퇴된 제 1 반도체층(120) 상에 축퇴된 제 2 반도체층(130)을 형성시킬 수 있다. 이러한 축퇴된 제 1 반도체층(120) 및 제 2 반도체층(130)은 수십 nm 내지 수백 um까지 다양한 두께로 형성될 수 있다. 여기서, 축퇴된 제 1 반도체층(120) 및 제 2 반도체층(130)은 벌크(bulk) 상태의 흑린 및 이황화레늄과 같이 자연적으로 축퇴된 형태로 존재하는 반도체 물질이 사용되거나, 반도체층의 성장 또는 증착시 인시츄(in-situ) 도핑 방법을 이용하여 축퇴된 반도체 층을 형성하여 사용될 수 있다.
- [51] 또한, 제 1 반도체층(120)이 p형 반도체층인 경우, 제 2 반도체층(130)은 n형 반도체층이고, 제 1 반도체층(120)이 n형 반도체층인 경우, 제 2 반도체층(130)은 p형 반도체층일 수 있다. 즉, p형 반도체층과 n형 반도체층의 형성 순서가 뒤 바뀔 수 있다.
- [52] 다음으로, 도 3의 (c)에 도시된 바와 같이, 축퇴된 제 1 반도체층(120) 및 제 2 반도체층(130)의 일측 단부에 각각 제 1 전극(140) 및 제 2 전극(150)을 결합시킬 수 있다. 이때, 제 1 전극(140)은 제 1 반도체층(120)이 n형 반도체인 경우, 낮은 일함수 에너지를 갖는 티타늄(Ti), 알루미늄(Al), 에르븀(Er) 등의 금속이 n형 반도체층에 옴접합(Ohmic Junction)을 형성시킬 때 사용될 수 있고, 제 1 반도체층(120)이 p형 반도체인 경우, 높은 일함수 에너지를 갖는 플레티늄(Pt), 금(Au), 팔라듐(Pd) 등의 금속이 p형 반도체층에 옴접합(Ohmic Junction)을 형성시킬 때 사용될 수 있다. 또한, 제 2 전극(150)은 제 2 반도체층(130)이 n형 반도체인 경우, 낮은 일함수 에너지를 갖는 티타늄(Ti), 알루미늄(Al), 에르븀(Er) 등의 금속이 n형 반도체층에 옴접합(Ohmic Junction)을 형성시킬 때 사용될 수 있고, 제 2 반도체층(130)이 p형 반도체인 경우, 높은 일함수 에너지를 갖는 플레티늄(Pt), 금(Au), 팔라듐(Pd) 등의 금속이 p형 반도체층에 옴접합(Ohmic Junction)을 형성시킬 때 사용될 수 있다. 또한, 제 1 전극(140) 및 제 2 전극(150)은 그래핀 또는 인듐 주석 산화물(ITO)과 같은 투명 전극이 사용될 수 있다.
- [53] 이어서, 도 3의 (d)에 도시된 바와 같이, 제 1 전극(140) 및 제 2 전극(150)에 전압을 인가하여 소자 내부에 줄(Joule)열을 발생시킴으로써, 축퇴된 제 1 반도체층(120) 및 제 2 반도체층(130) 사이에 트랩층(160)을 형성시킬 수 있다. 이때, 트랩층(160)은 금속이 산화된 산화물층(160)이므로, 이러한

- 산화물층(160)을 형성시키기 위해 인가되는 전압의 크기는 4V 내지 10V이며, 전압이 인가되는 시간은 1초 내지 10초일 수 있으나, 이에 한정되는 것은 아니다.
- [54] 따라서, 이러한 방법을 통하여 본 발명의 부정 미분 저항 소자에 인위적으로 트랩층(160)을 형성시킴으로써, 부정 미분 저항 소자의 동작시 캐리어가 트랩층(160)에 강제적으로 트랩되도록 하여 부정 미분 저항 소자 내부의 전기장을 변화시켜서 높은 PVCR을 얻을 수 있다.
- [55] 도4는 본 발명의 다른 실시예에 따른 부정 미분 저항 소자의 제작 방법을 설명하기 위한 순서도이고, 도5 내지 도8은 본 발명의 다른 실시예에 따른 부정 미분 저항 소자의 제작 방법을 상세하게 설명하기 위한 세부 과정을 도시한 도면이다.
- [56] 상술한 도 1내지 도3에 도시된 구성 중 동일한 기능을 수행하는 구성의 경우 설명을 생략하기로 한다.
- [57] 우선, 기판(210) 상에 제 1 극성을 갖는 축퇴된 제 1 반도체층(220)을 형성한다(S210).
- [58] 제 1 반도체층(220)을 형성하는 단계(S210)는 기판(210) 상에 제 1 극성을 갖는 제 1 반도체층(220)을 증착하는 단계 및 제 1 반도체층(220)을 축퇴시키는 단계를 포함할 수 있다.
- [59] 이어서, 제 1 반도체층(220)의 일 영역에 트랩층(260)을 형성한다(S220).
- [60] 제 2 반도체층(230)을 형성하는 단계(S230)는 기판(210) 상에 제 2 극성을 갖는 제 2 반도체층(230)을 증착하는 단계 및 제 2 반도체층(230)을 축퇴시키는 단계를 포함할 수 있다.
- [61] 다음으로, 기판(210) 및 제 1 반도체층(220)의 트랩층(260) 상에 제 2 극성을 갖는 축퇴된 제 2 반도체층(230)을 형성한다(S230).
- [62] 트랩층(260)을 형성하는 단계(S220)는 제 1 반도체층(220)의 상부에 금속층을 증착한 후, 금속층을 산화시키는 단계를 포함한다. 즉, 트랩층(260)은 산화물층이 될 수 있다.
- [63] 마지막으로, 제 1 반도체층(220)의 일측 단부 및 제 2 반도체층(230)의 일측 단부에 각각 제 1 전극(240) 및 제 2 전극(250)을 형성한다(S240).
- [64] 이하에서는 본 발명의 또 다른 실시예에 따른 부정 미분 저항 소자의 제조 방법을 구체적으로 설명하고자 한다.
- [65] 도 5를 참조하여, 부정 미분 저항 소자의 제조 방법을 설명하면 우선, 도 5의 (a)에 도시된 바와 같이, 기판(210) 상에 축퇴된 제 1 반도체층(220)을 형성시킬 수 있다. 이어서, 도 5의 (b)에 도시된 바와 같이, 축퇴된 제 1 반도체층(220) 위에 산화가 잘 일어나는 금속층(261)을 증착시킬 수 있다. 이때, 산화가 잘 일어나는 금속층(261)은 산소와 반응이 잘 일어나는 티타늄(Ti), 알루미늄(Al)일 수 있다. 또한, 금속층(261)의 두께는 0.5 nm 내지 3 nm일 수 있다. 여기서, 제 1 반도체층(220)은 열 증착법(thermal evaporation), 전자빔 증착법(e-beam evaporation), 스퍼터링(sputtering), 화학적 진공 증착법(chemical vapor deposition)

등에 의하여 형성될 수 있다. 다음으로, 도 5의 (c)에 도시된 바와 같이, 산화가 잘 일어나는 금속층(261)을 트랩층(260)으로 형성시킬 수 있다. 여기서, 트랩층(260)은 1시간 내지 24시간 동안 산화가 잘 일어나는 금속층(261)을 공기 중이나 산소 분위기에 노출시킴으로써, 형성시킬 수 있다. 이어서, 도 5의 (d)에 도시된 바와 같이, 트랩층(260) 위에 축퇴된 제 2 반도체층(230)을 형성시킬 수 있다. 마지막으로, 축퇴된 제 1 반도체층(220) 및 제 2 반도체층(230)의 일측 단부에 각각 제 1 전극(240) 및 제 2 전극(250)을 결합시킬 수 있다.

- [66] 도 6을 참조하여, 부성 미분 저항 소자의 제조 방법을 설명하면 우선, 도 6의 (a)에 도시된 바와 같이, 기판(310) 상에 축퇴된 제 1 반도체층(320)을 형성시킬 수 있다. 이어서, 도 6의 (b)에 도시된 바와 같이, 축퇴된 제 1 반도체층(320) 위에 트랩층(360)을 형성시킬 수 있다. 이때, 트랩층(360)은 이산화규소(SiO_2), 산화알루미늄(Al_2O_3), 산화하프늄(HfO_2), 산화티타늄(TiO_2) 등 일반적인 반도체 공정에서 주로 사용되는 산화물 층이 사용될 수 있다. 또한, 트랩층(360)의 두께는 0.5nm 내지 3nm일 수 있다. 다음으로, 도 6의 (c)에 도시된 바와 같이, 트랩층(360) 위에 축퇴된 제 2 반도체층(330)을 형성시킬 수 있다. 이어서, 도 6의 (d)에 도시된 바와 같이, 축퇴된 제 1 반도체층(320) 및 제 2 반도체층(330)의 일측 단부에 각각 제 1 전극(340) 및 제 2 전극(350)을 결합시킬 수 있다.

- [67] 도 7을 참조하여, 부성 미분 저항 소자의 제조 방법을 설명하면 우선, 도 7의 (a)에 도시된 바와 같이, 기판(410) 상에 제 1 반도체층(421)을 증착시킬 수 있다. 이어서, 도 7의 (b)에 도시된 바와 같이, 제 1 반도체층(421)을 도핑 공정을 통하여 축퇴된 제 1 반도체층(420)으로 형성시킬 수 있다. 여기서, 제 1 반도체층(421)의 도핑 공정은 일반적으로 p형 반도체 공정에서 사용되는 이온 임플란테이션(ion implantation) 공정을 사용하거나 이산화질소(NO_2)와 같은 가스를 이용한 도핑 방법이 사용될 수 있다. 다음으로, 도 7의(c)에 도시된 바와 같이, 축퇴된 제 1 반도체층(420) 위에 산화가 잘 일어나는 금속층(461)을 증착시킬 수 있다. 이어서, 도 7의 (d)에 도시된 바와 같이, 산화가 잘 일어나는 금속층(461)을 트랩층(460)으로 형성시킬 수 있다. 다음으로, 도 7의 (e)에 도시된 바와 같이, 트랩층(460) 위에 제 2 반도체층(431)을 증착시킬 수 있다. 이어서, 도 7의 (f)에 도시된 바와 같이, 제 2 반도체층(431)을 도핑 공정을 통하여 축퇴된 제 2 반도체층(430)으로 형성시킬 수 있다. 여기서, 제 2 반도체층(430)의 도핑 공정은 일반적으로 n형 반도체 공정에서 사용되는 이온 임플란테이션 공정을 사용하거나 염화금염(AuCl_3) 도핑 방법이 사용될 수 있다. 마지막으로, 도 7의 (g)에 도시된 바와 같이, 축퇴된 제 1 반도체층(420) 및 제 2 반도체층(430)의 일측 단부에 각각 제 1 전극(440) 및 제 2 전극(450)을 결합시킬 수 있다.

- [68] 도 8을 참조하여, 부성 미분 저항 소자의 제조 방법을 설명하면 우선, 도 8의 (a)에 도시된 바와 같이, 기판(510) 상에 제 1 반도체층(521)을 증착시킬 수 있다. 이어서, 도 8의 (b)에 도시된 바와 같이, 제 1 반도체층(521)을 도핑 공정을 통하여 축퇴된 제 1 반도체층(520)으로 형성시킬 수 있다. 다음으로, 도 8의 (c)에 도시된

바와 같이, 축퇴된 제 1 반도체층(520) 위에 트랩층(560)을 형성시킬 수 있다. 이어서, 도 8의 (d)에 도시된 바와 같이, 트랩층(560) 위에 제 2 반도체층(531)을 증착시킬 수 있다. 다음으로, 도 8의 (e)에 도시된 바와 같이, 제 2 반도체층(531)을 도핑 공정을 통하여 축퇴된 제 2 반도체층(530)으로 형성시킬 수 있다. 마지막으로, 도 8의 (f)에 도시된 바와 같이, 축퇴된 제 1 반도체층(520) 및 제 2 반도체층(530)의 일측 단부에 각각 제 1 전극(540) 및 제 2 전극(550)을 결합시킬 수 있다.

- [69] 따라서, 상술한 방법에 따르면, 축퇴된 제 1 반도체층(220, 320, 420, 520) 및 제 2 반도체층(230, 330, 430, 530) 사이에 트랩층(260, 360, 460, 560)을 형성시킴으로써, 본 발명의 다른 실시예에 따른 부성 미분 저항소자 동작시 캐리어가 산화물 층에 트랩되도록 할 수 있다. 이로 인해, 인가된 전압에 반대되는 전기장을 형성시켜서 벨리(valley) 전류 값을 크게 감소시킬 수 있다. 이렇게 크게 감소된 벨리(valley) 전류는 부성 미분 저항(NDR)의 PVCR을 증가시킬 수 있으며, 이러한 NDR 소자가 고속 스위칭 회로 또는 다치 논리 회로에 응용될 때 잡음 여유(noise margin)를 향상시킬 수 있다.
- [70] 도 9a 및 도 9b는 트랩 사이트가 많은 트랩층(산화물층)이 부성 미분 저항 특성에 미치는 영향을 설명하기 위한 전기적 측정 결과를 도시한 도면이다.
- [71] 도 9a를 참조하면, 백금(Pt)과 구리(Cu)의 금속 전극 사이에 삽입된 20 nm의 두께를 갖는 산화하프늄(HfO₂)층이 나타난다.
- [72] 도 9b를 참조하면, 3V에서 4V 사이에 한 개의 피크(peak) 전류와 벨리(valley) 전류를 갖는 NDR 특성이 나타난다. 즉, 트랩이 많은 트랩층(산화하프늄)을 양단의 전극 사이에 형성시키고, 내부 전기장을 조절하여, NDR 특성이 나타난다.
- [73] 구체적으로, 전압을 인가하는 경우, 캐리어는 트랩층(산화하프늄)을 터널링하며, 전류가 증가할 수 있다. 여기서, 트랩층에 전자 트랩 사이트가 많이 존재하는 경우, 전자는 트랩층 내에 트랩되어 갇힐 수 있다. 트랩층 내에 갇힌 전자는 외부에서 인가된 전압과 반대 방향을 갖는 전기장을 소자 내부에 형성시키며, 캐리어의 흐름을 방해할 수 있다. 이로 인해, 인가된 전압은 증가함에도 불구하고, 전류는 감소할 수 있다. 또한, 외부에서 인가된 전압의 크기를 점점 더 증가시킬 경우, 트랩층 내에 갇힌 전자에 의해 형성된 내부 전기장 보다 더 큰 전기장이 형성될 수 있다. 따라서, 캐리어들은 쉽게 트랩층을 터널링할 수 있으며, 전압이 증가함에 따라 전류가 다시 증가할 수 있다.
- [74] 도 10은 본 발명의 일 실시예에 따른 부성 미분 저항 소자의 구조를 나타낸 도면이고, 도 11a 내지 도 11c는 본 발명의 일 실시예에 따른 부성 미분 저항 소자에 전압이 인가되는 경우, 전압의 증가에 따라 다르게 나타나는 트랩층(산화물층)의 전기적 측정 결과를 비교한 도면이다.
- [75] 이하에서는 NDR 소자 중 하나인 에사키 다이오드의 PVCR을 증가시키기 위해 축퇴된 p형 반도체와 축퇴된 n형 반도체 사이에 트랩층을 형성하기 위하여, 전압

인가할 때, 전압의 증가에 따라 다르게 나타나는 트랩층의 전기적 측정 결과를 설명하고자 한다.

- [76] 도 10을 참조하면, 본 발명의 일 실시예에 따른 부성 미분 저항 소자는 기판(SiO_2) 상에 형성된 축퇴된 제 1 반도체층(phosphorene), 축퇴된 제 2 반도체층(ReS_2), 축퇴된 제 1 반도체층 및 제 2 반도체층의 일측 단부에 각각에 결합된 제 1 전극 및 제 2 전극(전극), 축퇴된 제 1 반도체층 및 제 2 반도체층 사이에 위치한 트랩층(phosphorene oxide)을 포함한다. 여기서, 트랩층은 축퇴된 제 1 반도체층 및 제 2 반도체층의 일측 단부에 각각에 결합된 전극에 인가된 전압에 의해 발생한 줄(Joule) 열로 인해 산화된 흑린(phosphorene oxide)이 사용된다.
- [77] 도 11a 내지 11c는 축퇴된 제 1 반도체층 및 제 2 반도체층 사이에 형성된 트랩층(산화물층)에 대한 영향을 알아보기 위해 전압을 증가함에 따라 다르게 나타나는 NDR의 전기적 측정 결과이다.
- [78] 도 11a를 참조하면, 낮은 전압이 인가되는 경우, 흑린을 산화시킬 정도로 충분한 줄(Joule) 열이 발생하지 않기 때문에, 트랩층(산화물층)이 형성되지 않고, 상온에서 1.4 정도의 낮은 PVCR이 나타난다.
- [79] 도 11b를 참조하면, 전압을 2 V 까지 증가시켜 인가하는 경우, 트랩층(산화된 흑린)이 형성된다. 트랩층이 형성된 후의 측정 결과는 일반적인 에사키 다이오드의 특성과 다르게 피크(peak)와 벨리(valley) 전류가 각각 두 개씩 형성된 것이 나타난다. 여기서, 0.5 V에서 0.8 V 사이에 형성된 첫 번째 피크(peak)와 벨리(valley) 전류는 일반적인 에사키 다이오드에서 관찰 할 수 있는 밴드간 터널링 전류로 인해 발생된 것이다. 반면, 0.9 V에서 1.3 V 사이에 형성된 두 번째 피크(peak)와 벨리(valley) 전류는 산화된 흑린에 의해 형성된 것이다.
- [80] 도 11c를 참조하면, 전압을 5 V까지 증가시켜 인가하는 경우, 더 두꺼운 트랩층(산화된 흑린)이 형성된다. 여기서, 축퇴된 제 1 반도체층 및 제 2 반도체층 사이에 두꺼운 트랩층이 형성되었기 때문에, 더욱 더 많은 전자들이 트랩층 내에 갇히게 된다. 따라서, 트랩층 내에 갇힌 전자에 의해 형성된 내부 전기장의 크기는 더욱 증가하게 된다. 이로 인해, 상온에서 2.4의 높은 PVCR이 나타난다.
- [81] 일반적으로, 에사키 다이오드는 밴드간 터널링 전류로 인해 한 개의 피크(peak)와 벨리(valley) 전류를 발생시키며, 확산 전류(diffusion current)에 의해 인가된 전압이 증가할수록 전류는 계속해서 증가한다. 반면, 트랩 사이트가 많은 트랩층이 반도체간 접합 사이에 형성되어 있을 때는 캐리어들이 트랩층 내에 트랩된다. 여기서, 트랩층 내에 전자(electron)가 갇히게 된다면 외부에서 인가된 전압에 의해 형성된 전기장과 반대 방향을 갖는 전기장이 소자 내부에 형성된다. 결과적으로, 전자의 흐름을 방해하게 되어 전류가 다시 감소하는 현상이 발생하게 된다. 다만, 인가된 전압을 더 증가시키는 경우, 트랩층 내에 갇힌 전자에 의해 형성된 내부 전기장보다 큰 전기장이 형성되기 때문에 전자는 트랩층을 쉽게 터널링 할 수 있다. 따라서, 인가된 전압이 증가함에 따라 전류는 다시 증가할 수 있다.

- [82] 다시 말해서, 축퇴된 제 1 반도체층 및 제 2 반도체층 사이에 트랩층을 형성시킴으로써, 두 개의 피크(peak)와 벨리(valley) 전류를 갖는 부정 미분 저항(NDR) 소자를 얻을 수 있다.
- [83] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [84] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

청구범위

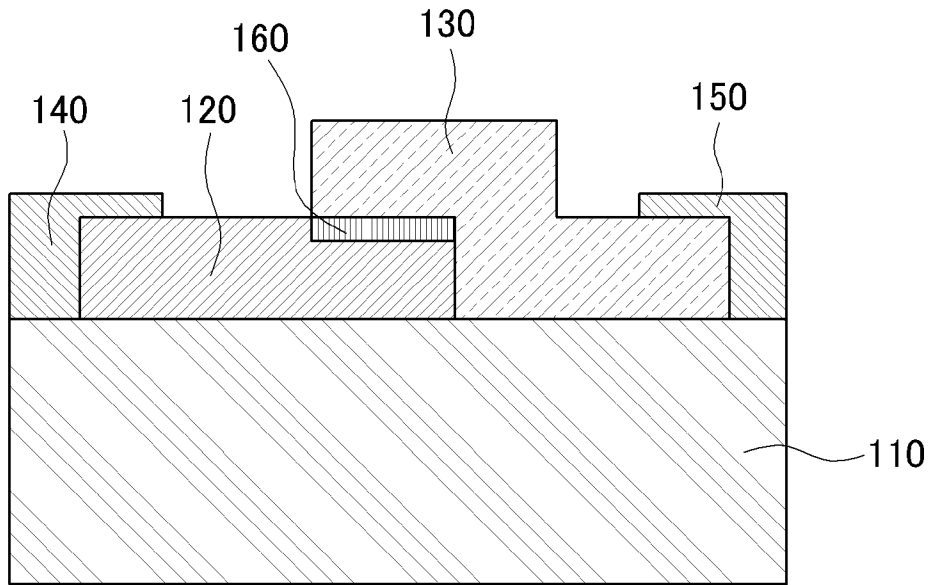
- [청구항 1] 부성 미분 저항(negative differential resistance) 소자에 있어서,
 기판;
 상기 기판 상에 형성되고, 제 1 극성을 갖는 축퇴된 제 1 반도체층;
 상기 기판 상에 형성되고, 제 2 극성을 갖는 축퇴된 제 2 반도체층;
 상기 제 1 반도체층의 일측 단부에 결합된 제 1 전극;
 상기 제 2 반도체층의 일측 단부에 결합된 제 2 전극; 및
 상기 제 1 반도체층과 제 2 반도체층의 접촉 영역 사이에 위치한 트랩층을 포함하되,
 상기 트랩층은 산화물층이고, 상기 부성 미분 저항 소자의 동작시 캐리어가 상기 트랩층에 트랩되도록 하는 부성 미분 저항 소자.
- [청구항 2] 제 1항에 있어서,
 제 1 전극과 제 2 전극에 인가되는 전압의 증가에 따라 상기 트랩층에 트랩되는 캐리어가 증가하게 되고, 트랩된 캐리어의 증가에 따라 상기 전압과 반대 방향의 전기장이 형성되는 부성 미분 저항 소자.
- [청구항 3] 제 1항에 있어서,
 상기 제 1 반도체층은 p형 반도체층이고, 제 2 반도체층은 n형 반도체층이거나
 상기 제 1 반도체층은 n형 반도체층이고, 상기 제 2 반도체층은 p형 반도체층인 것인 부성 미분 저항 소자.
- [청구항 4] 제 3항에 있어서,
 상기 p형 반도체층은 실리콘, 저마늄(Ge), 주기율표의 III-V 족 원소에 대한 반도체, 유기물 반도체, 비유기물인 산화물 반도체, 전이금속 칼코겐 화합물(transition metal dichalcogenide) 및 흑린(phosphorene) 중 적어도 하나로 이루어지고,
 상기 n형 반도체층은 저마늄(Ge), 주기율표의 III-V 족 원소에 대한 반도체, 유기물 반도체, 비유기물인 산화물 반도체, 전이금속 칼코겐 화합물(transition metal dichalcogenide) 및 이황화레늄(ReS_2) 중 적어도 하나로 이루어지는 것인 부성 미분 저항 소자.
- [청구항 5] 제 4항에 있어서,
 상기 제 1 전극 및 제 2 전극은 티타늄(Ti), 알루미늄(Al), 에르븀(Er), 플레티늄(Pt), 금(Au) 및 팔라듐(Pd) 중 적어도 하나로 이루어지는 것인 부성 미분 저항 소자.
- [청구항 6] 제 1항에 있어서,
 상기 트랩층은 상기 제 1 전극과 제 2 전극에 인가된 전압에 의하여 발생된 줄(joule)열에 의하여 형성된 산화물층인 부성 미분 저항 소자.
- [청구항 7] 제 1항에 있어서,

- 상기 트랩층은 상기 제 1 반도체층의 상부에 적층한 금속층의 산화에 의하여 형성된 산화물층인 부성 미분 저항 소자.
- [청구항 8] 제 7항에 있어서,
상기 금속층은 티타늄(Ti) 및 알루미늄(Al) 중 적어도 하나로 이루어지는 것인 부성 미분 저항 소자.
- [청구항 9] 제 1항에 있어서,
상기 기판은 이산화규소(SiO_2), 산화알루미늄(Al_2O_3), 산화하프늄(HfO_2) 중 적어도 하나로 구성된 절연층이 증착된 실리콘(Si) 기판, 저마늄(Ge) 기판, 유리(glass) 기판 및 PET(polyethylene terephthalate) 기판 중 적어도 하나로 이루어지는 것인 부성 미분 저항 소자.
- [청구항 10] 부성 미분 저항(negative differential resistance) 소자의 제조 방법에 있어서,
기판 상에 제 1 극성을 갖는 축퇴된 제 1 반도체층을 형성하는 단계;
상기 기판 및 제 1 반도체층 상에 제 2 극성을 갖는 축퇴된 제 2 반도체층을 형성하는 단계;
상기 제 1 반도체층의 일측 단부 및 제 2 반도체층의 일측 단부에 각각 제 1 전극 및 제 2 전극을 형성하는 단계; 및
상기 제 1 전극과 제 2 전극에 전압을 인가하여, 상기 제 1 반도체층과 제 2 반도체층의 접촉 영역 사이에 트랩층을 형성하는 단계를 포함하는 부성 미분 저항 소자의 제조 방법.
- [청구항 11] 제 10 항에 있어서,
상기 제 1 반도체층을 형성하는 단계는
상기 기판 상에 제 1 극성을 갖는 제 1 반도체층을 증착하는 단계 및
상기 제 1 반도체층을 축퇴시키는 단계를 포함하고,
상기 제 2 반도체층을 형성하는 단계는
상기 기판 상에 제 2 극성을 갖는 제 2 반도체층을 증착하는 단계 및
상기 제 2 반도체층을 축퇴시키는 단계를 포함하는 부성 미분 저항 소자의 제조 방법.
- [청구항 12] 제 10 항에 있어서,
상기 트랩층은 상기 제 1 전극과 제 2 전극에 인가된 전압에 의하여 발생된 줄(joule)열에 의하여 형성된 산화물층인 것인 부성 미분 저항 소자의 제조 방법.
- [청구항 13] 부성 미분 저항(negative differential resistance) 소자의 제조 방법에 있어서,
기판 상에 제 1 극성을 갖는 축퇴된 제 1 반도체층을 형성하는 단계;
상기 제 1 반도체층의 일 영역에 트랩층을 형성하는 단계;
상기 기판 및 제 1 반도체층의 트랩층 상에 제 2 극성을 갖는 축퇴된 제 2 반도체층을 형성하는 단계; 및
상기 제 1 반도체층의 일측 단부 및 제 2 반도체층의 일측 단부에 각각 제 1 전극 및 제 2 전극을 형성하는 단계를 포함하는 부성 미분 저항 소자의

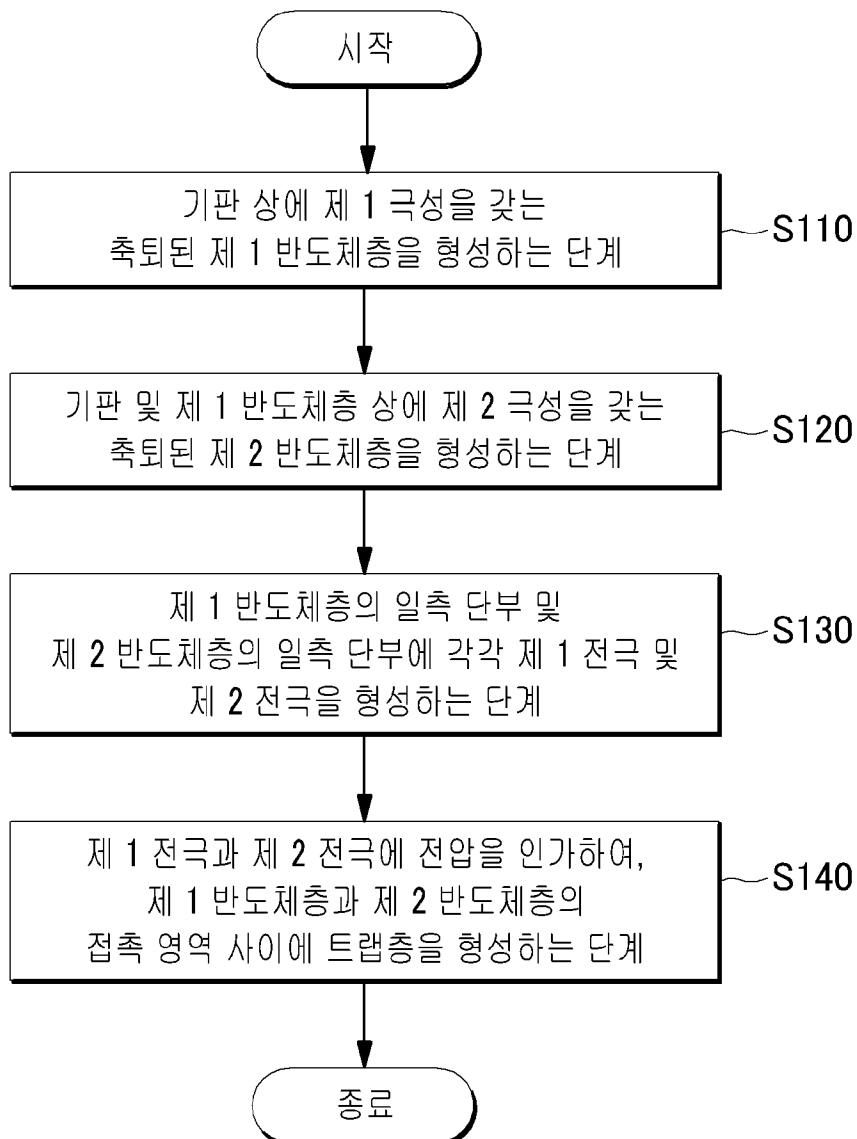
제조 방법.

- [청구항 14] 제 13 항에 있어서,
상기 제 1 반도체층을 형성하는 단계는
상기 기판 상에 제 1 극성을 갖는 제 1 반도체층을 증착하는 단계 및
상기 제 1 반도체층을 축퇴시키는 단계를 포함하고,
상기 제 2 반도체층을 형성하는 단계는
상기 기판 상에 제 2 극성을 갖는 제 2 반도체층을 증착하는 단계 및
상기 제 2 반도체층을 축퇴시키는 단계를 포함하는 부성 미분 저항
소자의 제조 방법.
- [청구항 15] 제 13항에 있어서,
상기 트랩층을 형성하는 단계는
상기 제 1 반도체층의 상부에 금속층을 증착하는 단계 및
상기 금속층을 산화시키는 단계를 포함하는 부성 미분 저항 소자의 제조
방법.

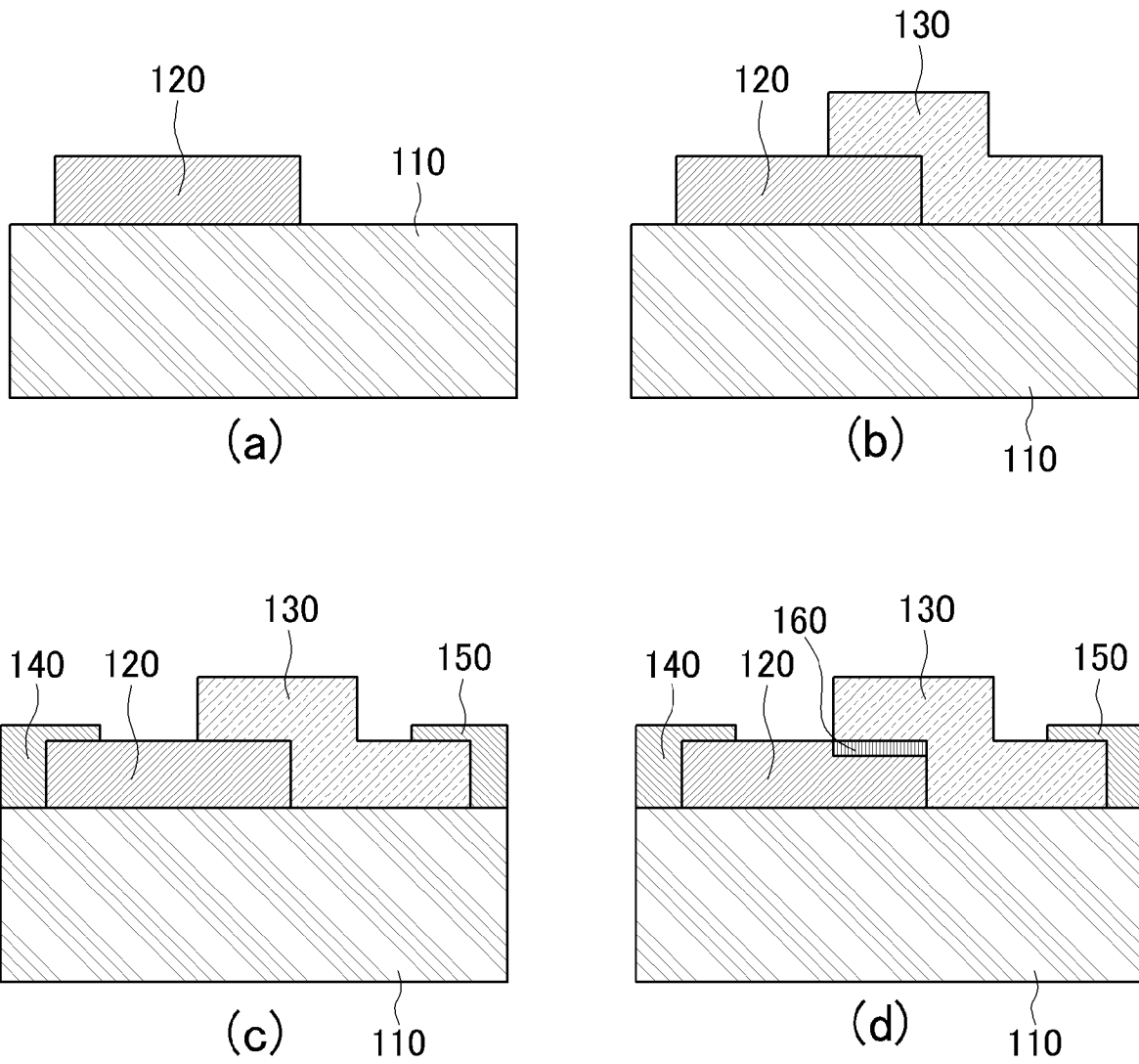
[도1]



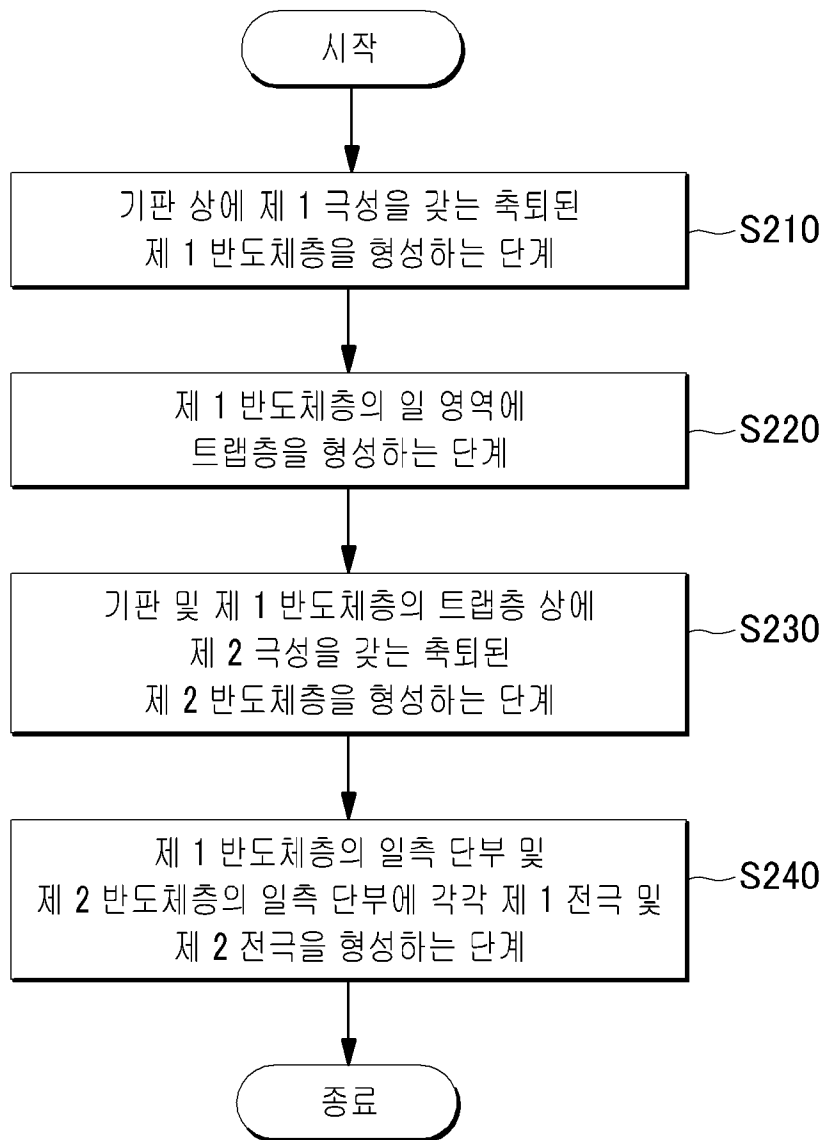
[도2]



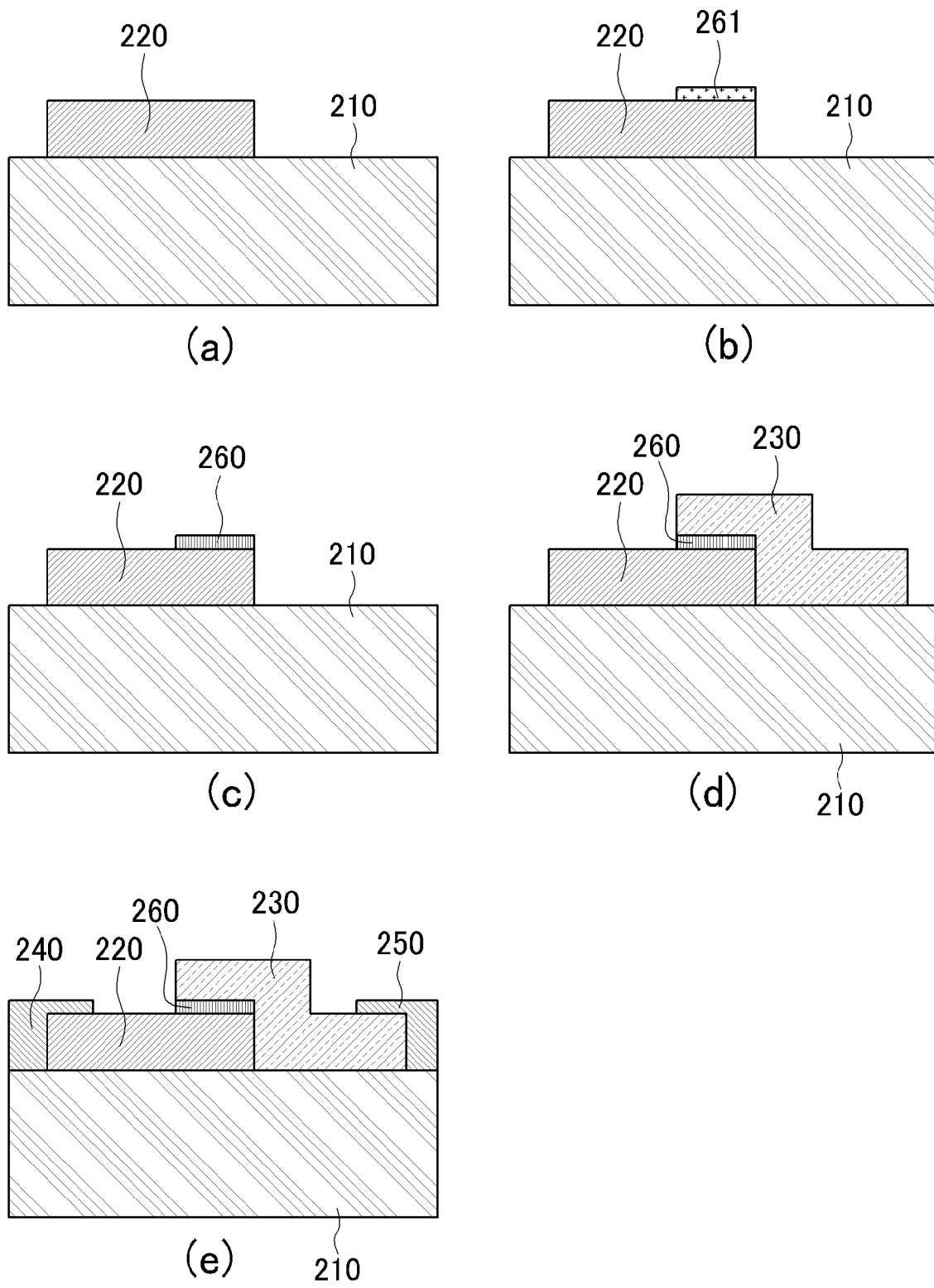
[도3]



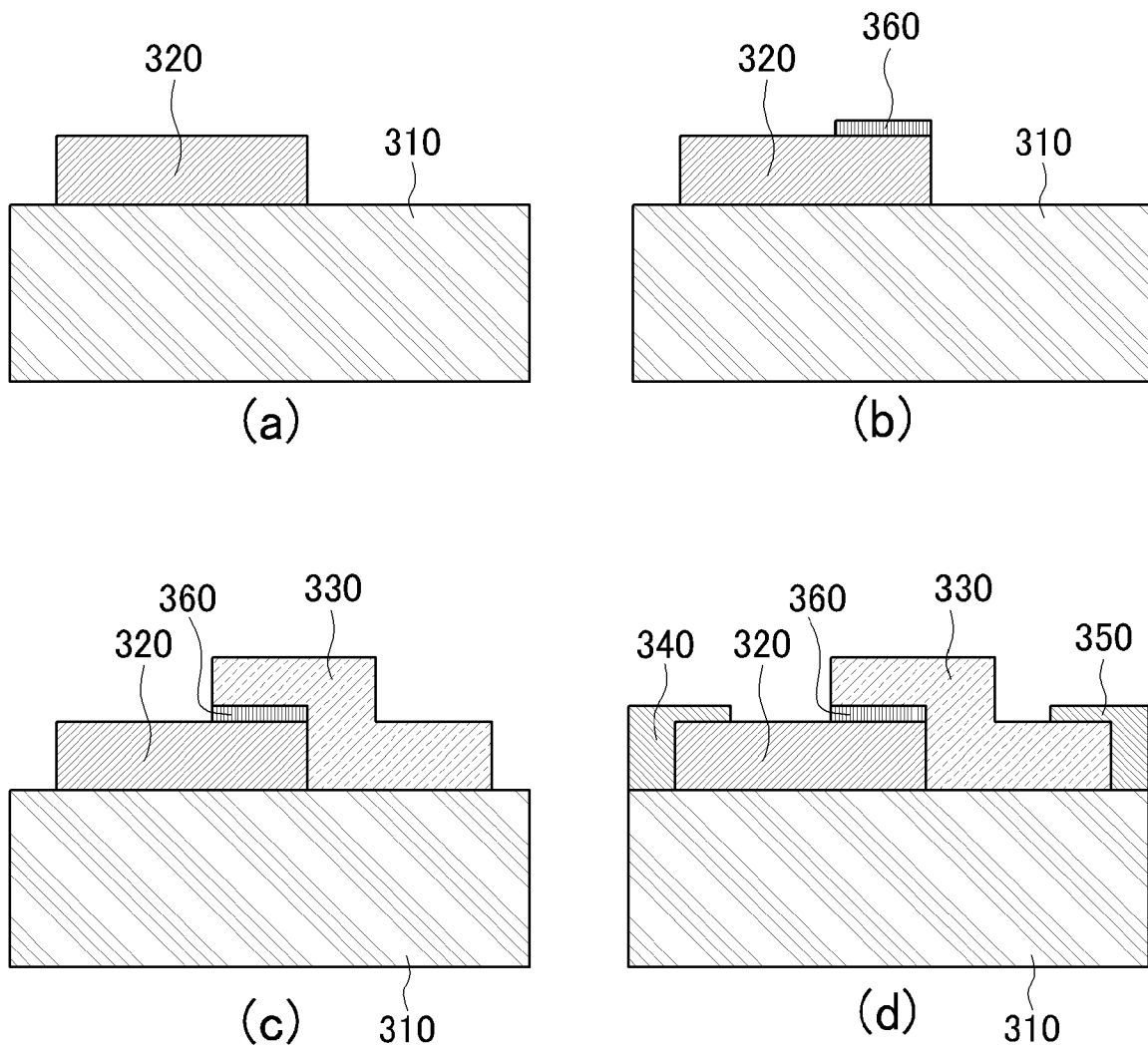
[도4]



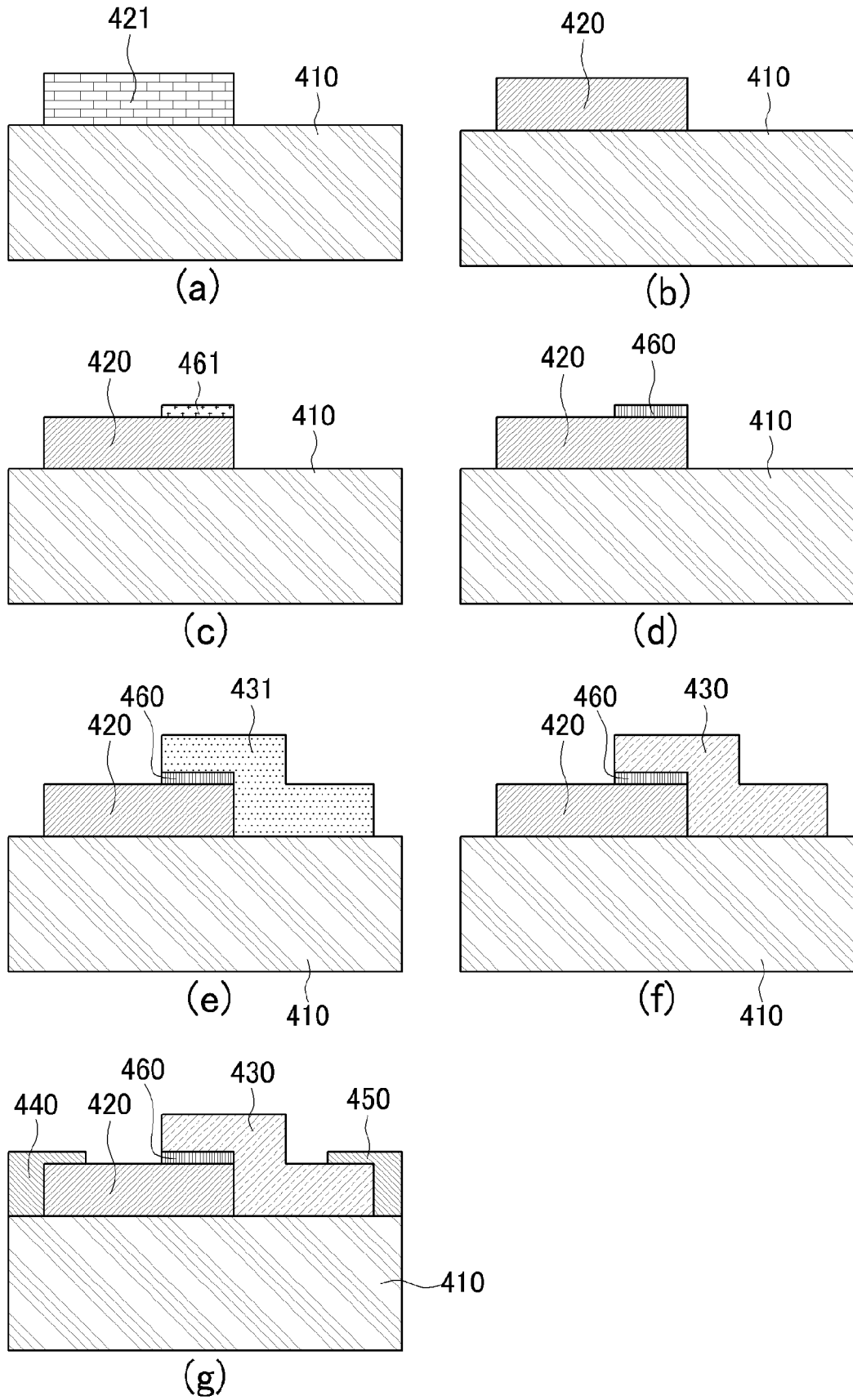
[도5]



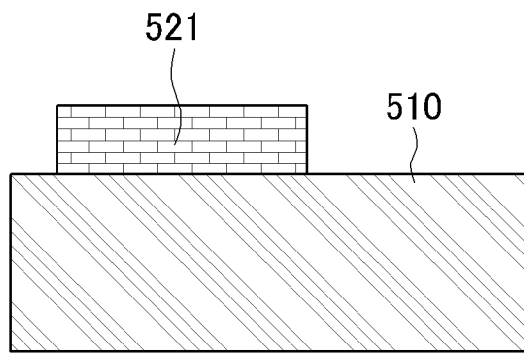
[도6]



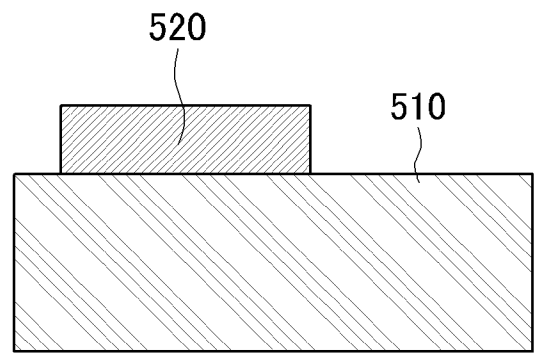
[도7]



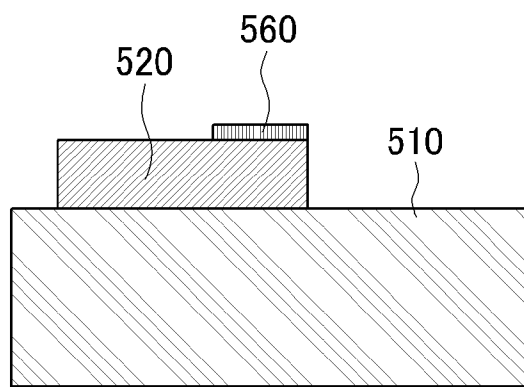
[도8]



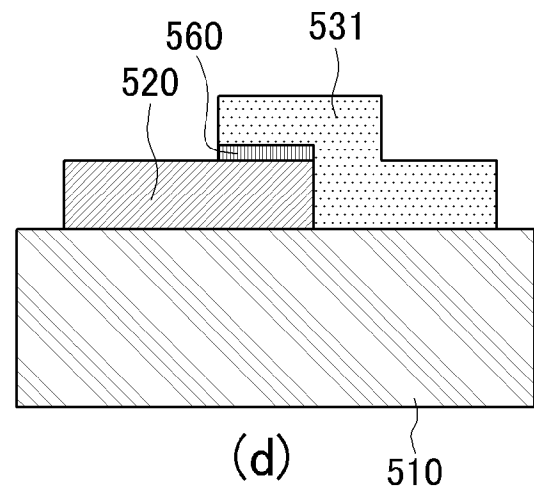
(a)



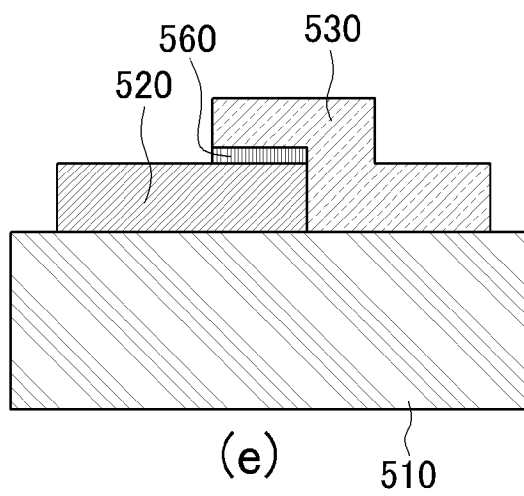
(b)



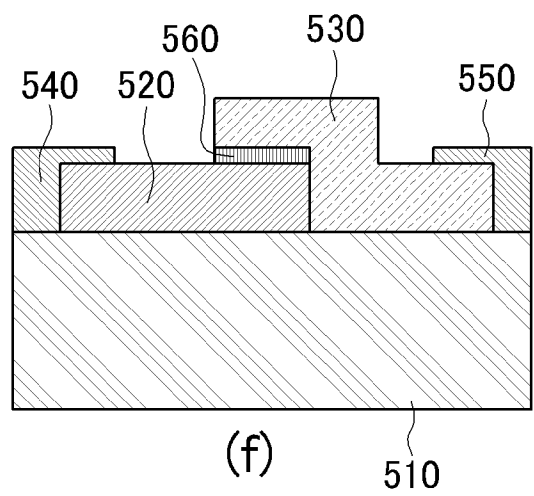
(c)



(d)

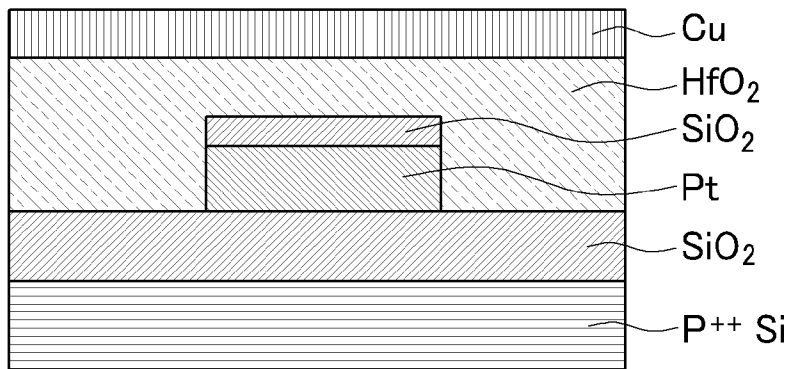


(e)

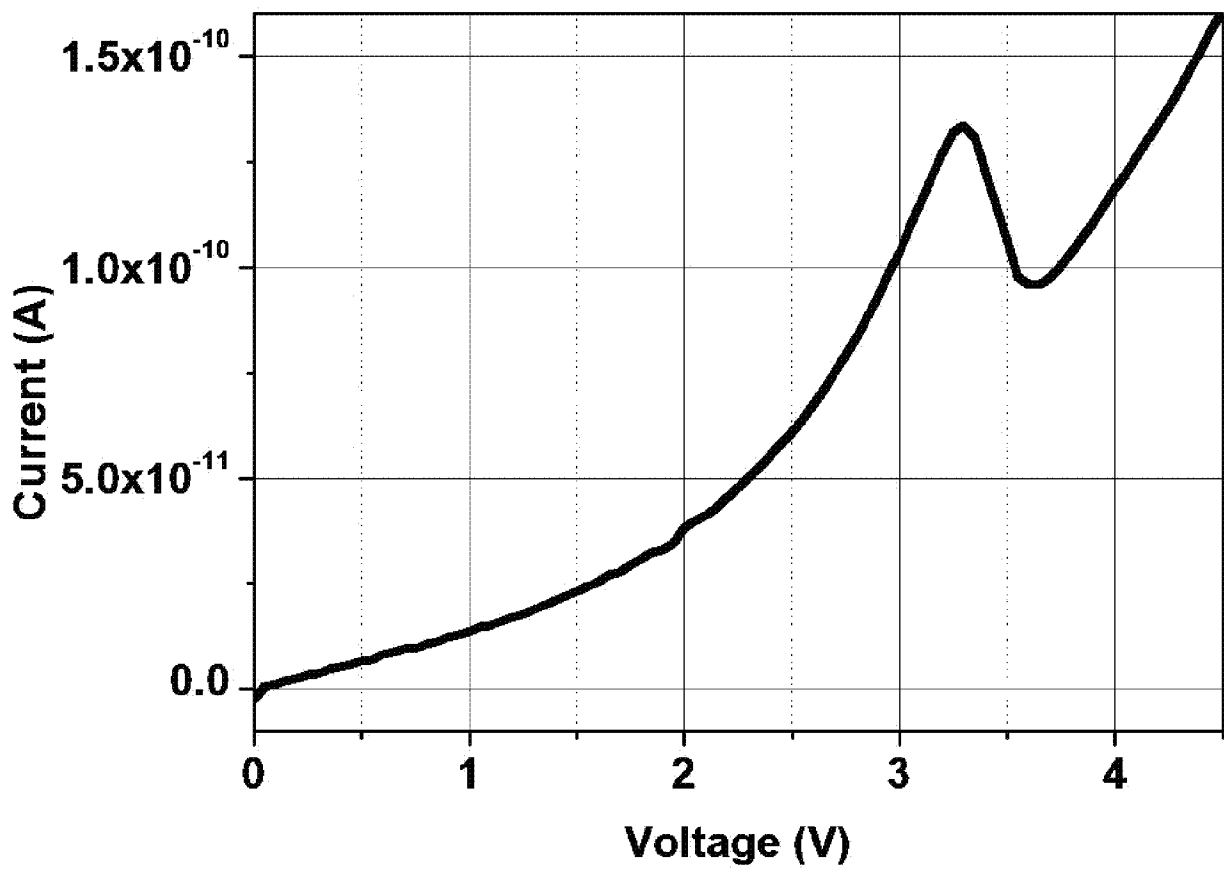


(f)

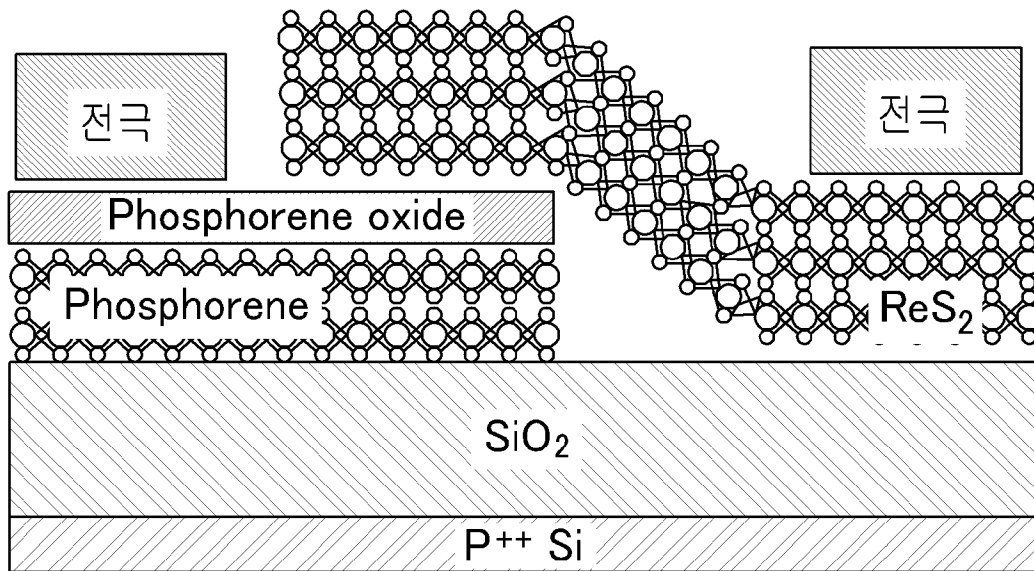
[도9a]



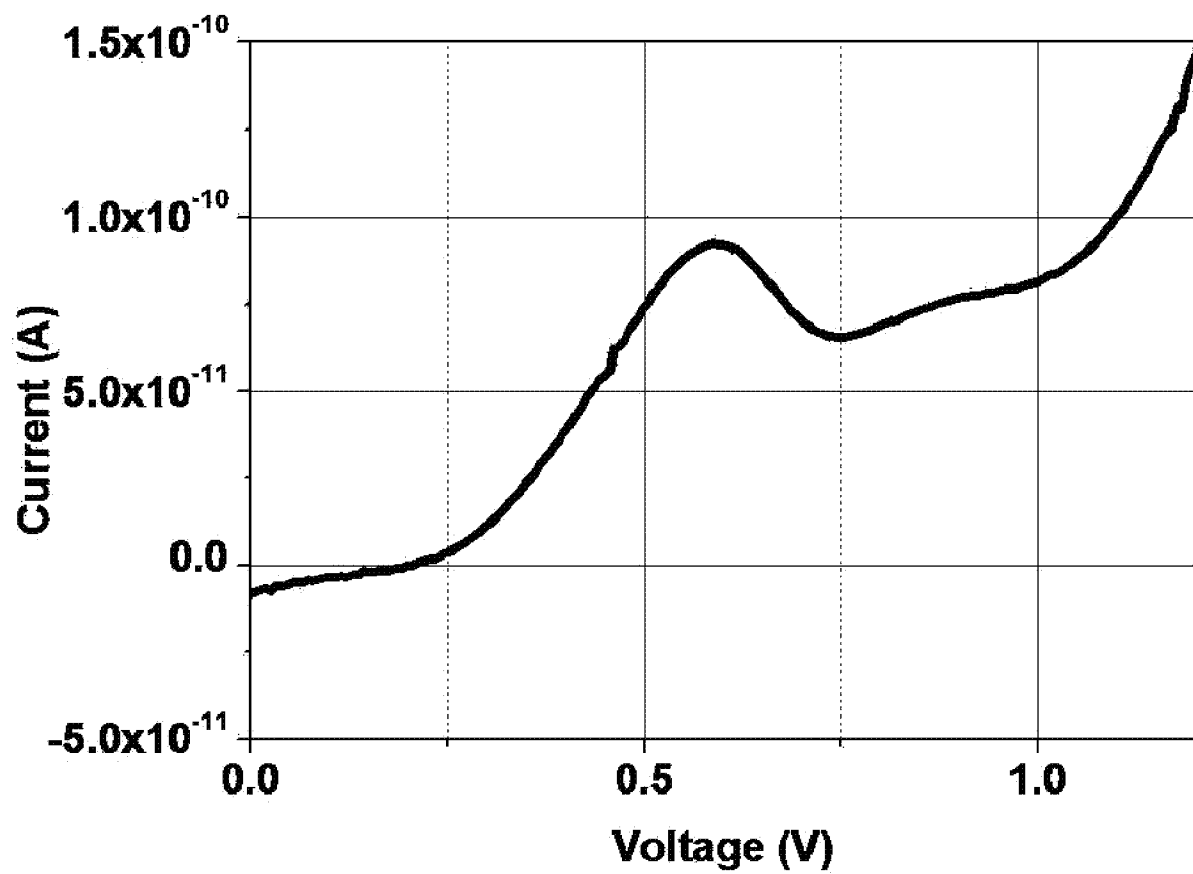
[도9b]



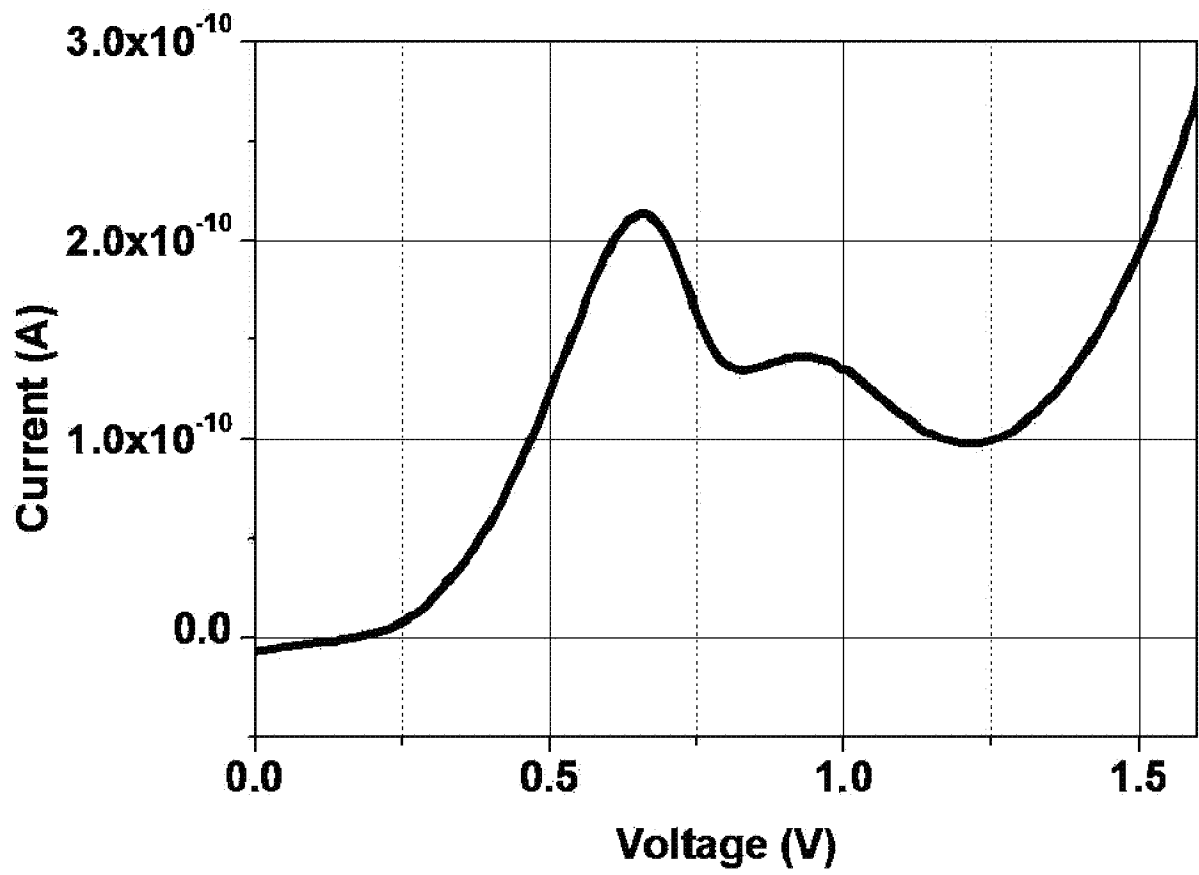
[도10]



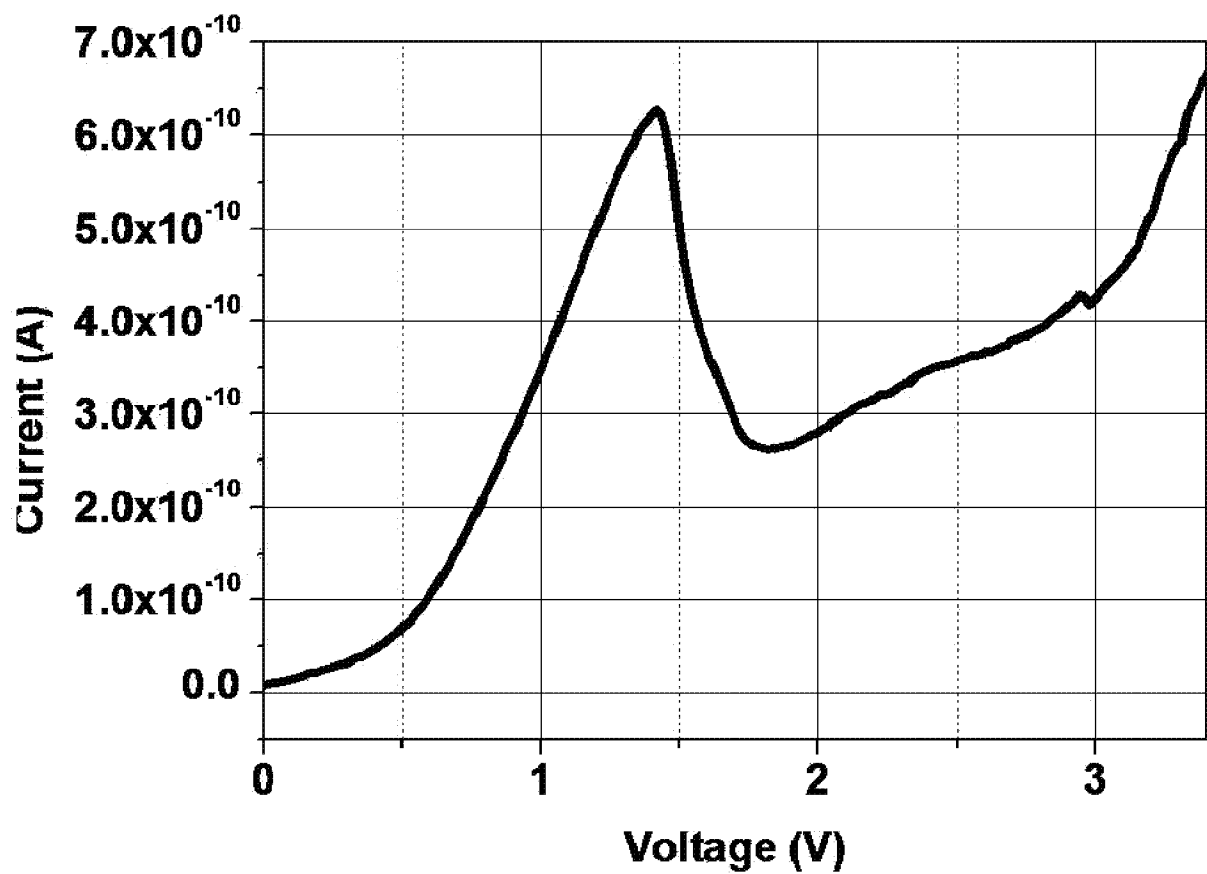
[도11a]



[도11b]



[도11c]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/003017**A. CLASSIFICATION OF SUBJECT MATTER*****H01L 29/792(2006.01)i, H01L 29/423(2006.01)i, H01L 29/51(2006.01)i, H01L 29/788(2006.01)i, H01L 29/861(2006.01)i***

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/792; H01L 29/88; H01L 27/115; H01L 29/66; H01L 39/22; H01L 27/10; H01L 21/8247; H01L 29/423; H01L 29/51;
H01L 29/788; H01L 29/861Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as aboveElectronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS (KIPO internal) & Keywords: negative differential resistance, degeneracy, semiconductor layer, trap layer**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-261248 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 13 September 2002 See paragraphs [0033]-[0090], claims 1, 3, 5 and figures 1-22.	1-15
A	JP 2000-031506 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 28 January 2000 See paragraphs [0021]-[0046] and figures 1-7.	1-15
A	KR 10-2014-0018156 A (TOKYO ELECTRON LIMITED) 12 February 2014 See paragraphs [0017]-[0027] and figures 1-2.	1-15
A	JP 2007-188977 A (SHARP CORP.) 26 July 2007 See paragraphs [0045]-[0057] and figure 1.	1-15
A	JP 02-143574 A (MITSUBISHI ELECTRIC CORP.) 01 June 1990 See page 3 and figures 1-5.	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

28 JUNE 2017 (28.06.2017)

Date of mailing of the international search report

28 JUNE 2017 (28.06.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/003017

Patent document cited in search report	Publication date	Patent family member	Publication date
JP 2002-261248 A	13/09/2002	NONE	
JP 2000-031506 A	28/01/2000	NONE	
KR 10-2014-0018156 A	12/02/2014	JP 2014-033041 A TW 201423749 A US 2014-0034893 A1	20/02/2014 16/06/2014 06/02/2014
JP 2007-188977 A	26/07/2007	JP 4907174 B2	28/03/2012
JP 02-143574 A	01/06/1990	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/792(2006.01)i, H01L 29/423(2006.01)i, H01L 29/51(2006.01)i, H01L 29/788(2006.01)i, H01L 29/861(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 29/792; H01L 29/88; H01L 27/115; H01L 29/66; H01L 39/22; H01L 27/10; H01L 21/8247; H01L 29/423; H01L 29/51; H01L 29/788; H01L 29/861

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 부정 미분 저항, 축퇴, 반도체층, 트랩층

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	JP 2002-261248 A (MATSUSHITA ELECTRIC IND CO., LTD.) 2002.09.13 단락 [0033]-[0090], 청구항 1, 3, 5 및 도면 1-22 참조.	1-15
A	JP 2000-031506 A (MATSUSHITA ELECTRIC IND CO., LTD.) 2000.01.28 단락 [0021]-[0046] 및 도면 1-7 참조.	1-15
A	KR 10-2014-0018156 A (도쿄엘렉트론가부시키키가이샤) 2014.02.12 단락 [0017]-[0027] 및 도면 1-2 참조.	1-15
A	JP 2007-188977 A (SHARP CORP.) 2007.07.26 단락 [0045]-[0057] 및 도면 1 참조.	1-15
A	JP 02-143574 A (MITSUBISHI ELECTRIC CORP.) 1990.06.01 페이지 3 및 도면 1-5 참조.	1-15

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 06월 28일 (28.06.2017)

국제조사보고서 발송일

2017년 06월 28일 (28.06.2017)

ISA/KR의 명칭 및 우편주소



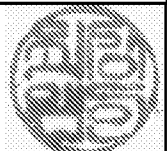
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2002-261248 A	2002/09/13	없음	
JP 2000-031506 A	2000/01/28	없음	
KR 10-2014-0018156 A	2014/02/12	JP 2014-033041 A TW 201423749 A US 2014-0034893 A1	2014/02/20 2014/06/16 2014/02/06
JP 2007-188977 A	2007/07/26	JP 4907174 B2	2012/03/28
JP 02-143574 A	1990/06/01	없음	